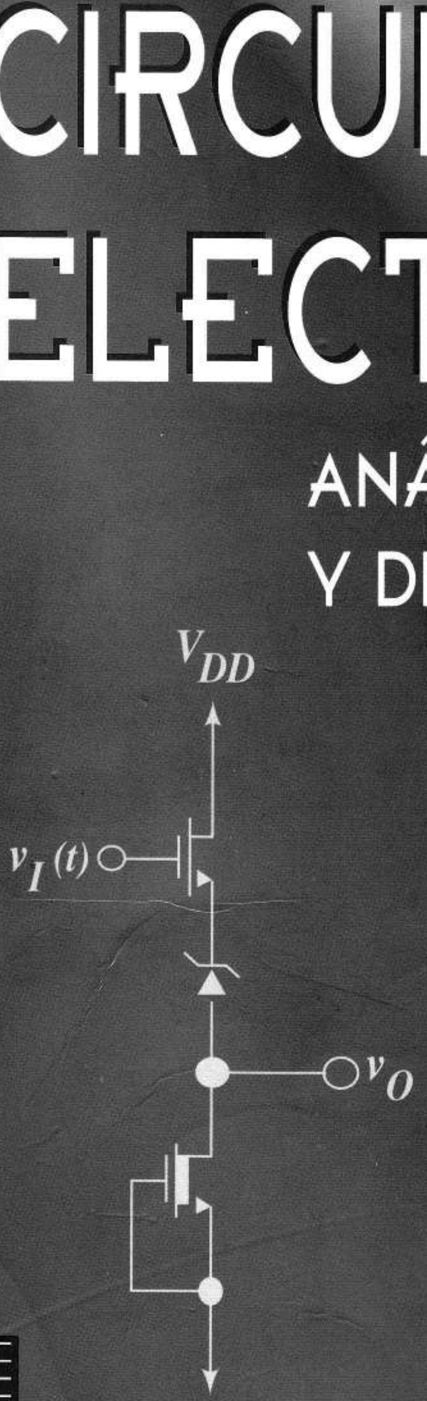
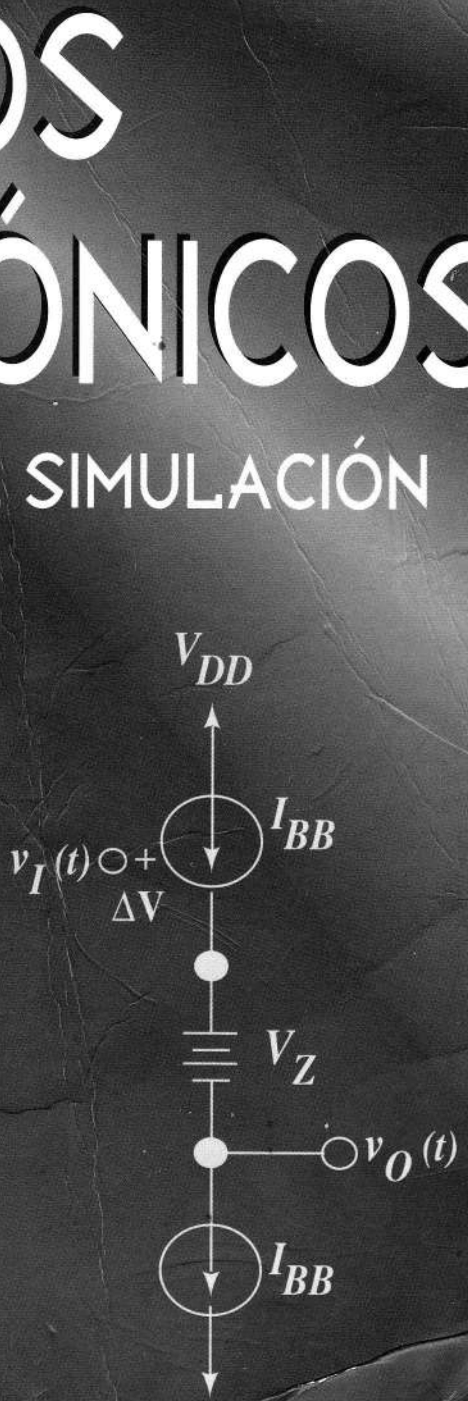
Norbert R. Malik

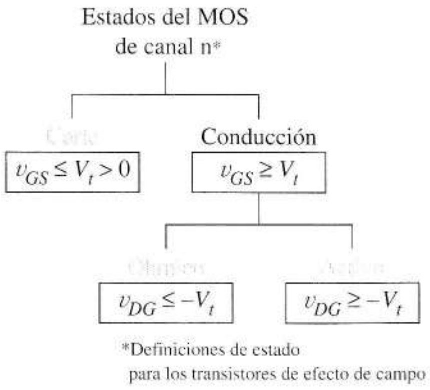
CIRCUITOS ELECTRÓNICOS

ANÁLISIS, SIMULACIÓN Y DISEÑO





PRENTICE HALL



Corte

$$i_D = 0$$

Activo

$$i_D = \frac{k}{2}\,(v_{GS} - V_t)^2$$

Óhmico

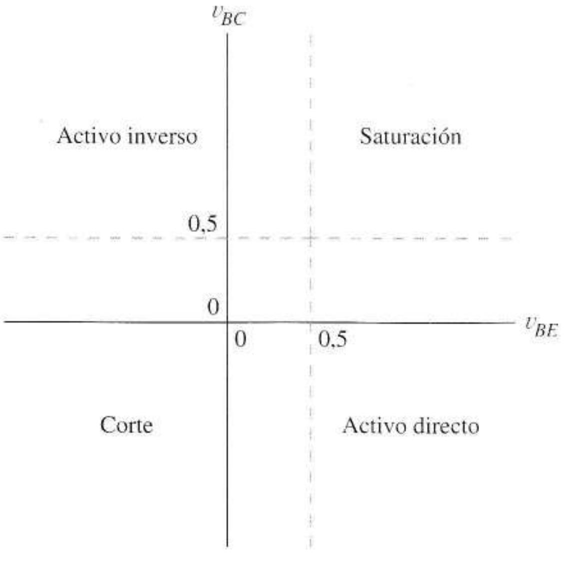
$$i_D = \frac{k}{2}\left[2(v_{GS} - V_t)\,v_{DS} - v_{DS}^2\right]$$

o

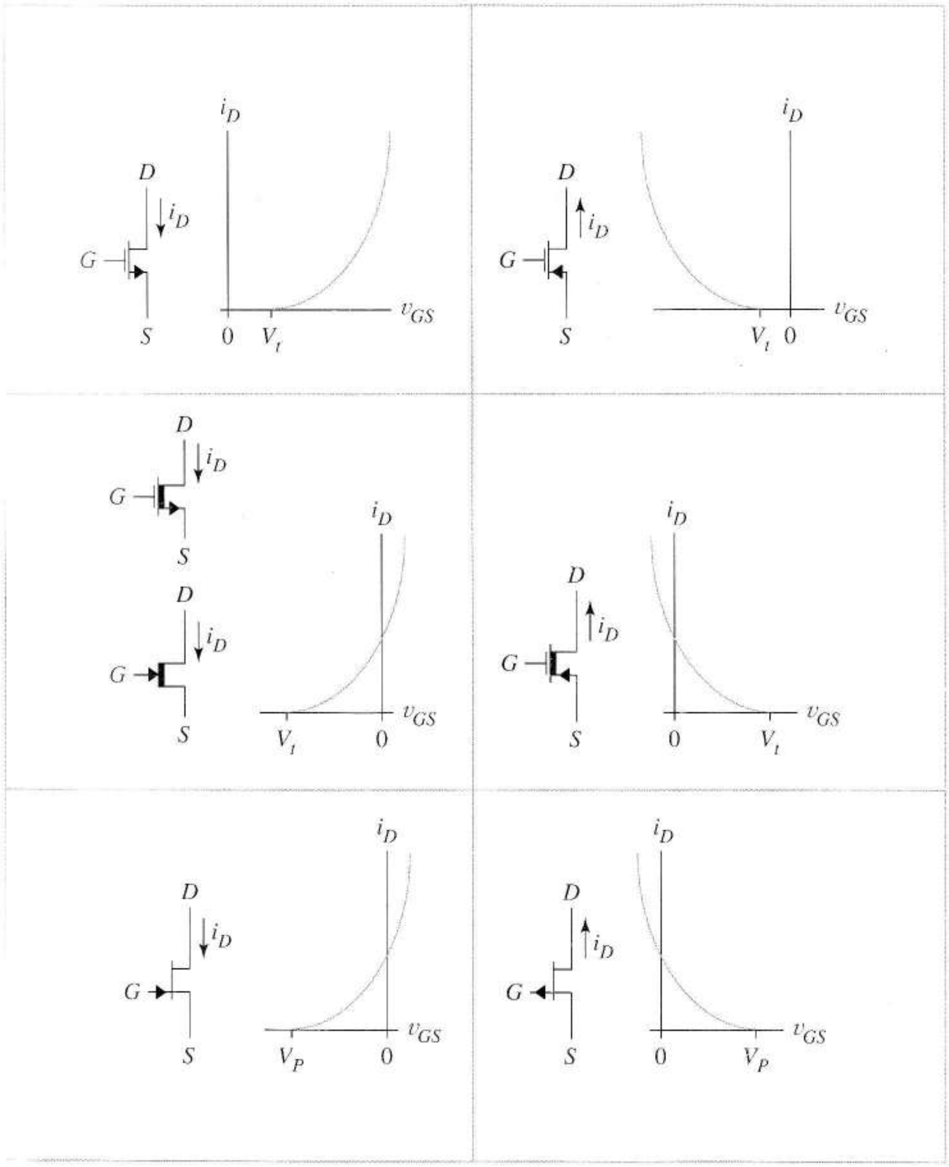
$$R_{NMOS} = \frac{1}{k\,(v_{GS} - V_t)},$$

siempre que $v_{DS} \leq 0{,}2\,|v_{GS} - V_t|$

Definiciones de estado para los transistores de efecto de campo



Definiciones de los estados de los transistores bipolares



Funciones de transferencia de los FET en estado activo

CONTENIDO

Prólogo xi
Prólogo a la Edición en Español xiv

Capítulo 1. Principios del modelado y procesamiento de señal 1
1.1 Sinergia hombre-computador 3
1.2 Características tensión-corriente y transferencia de los dispositivos 4
1.3 Amplificadores ideales 12
1.4 Entradas, salidas y cargas intermedias 17
1.5 Amplificadores diferenciales 23
1.6 Otras limitaciones de los amplificadores 39
1.7 Sumario 52

Referencias 52
Problemas 53

Capítulo 2. Amplificadores operacionales 63
2.1 El amplificador operacional 63
2.2 Circuitos con operacionales sin memoria 65
2.3 Circuitos con amplificadores operacionales con memoria 76
2.4 Simulación de amplificadores operacionales de ganancia infinita 83
2.5 Efectos de segundo orden en amplificadores operacionales 87
2.6 Circuitos sin realimentación negativa 111
2.7 Sumario 115

Referencias 116
Problemas 116

Capítulo 3. Semiconductores, uniones p-n y circuitos con diodos 127
3.1 Conducción en aislantes y metales 128
3.2 Conducción en semiconductores intrínsecos 132
3.3 Semiconductores dopados 137
3.4 Difusión de huecos y electrones 144
3.5 La unión p-n en equilibrio 146
3.6 El diodo de unión 150
3.7 Modelos de diodos de gran señal 154
3.8 Modelo estático SPICE para el diodo 166
3.9 Circuitos no lineales conformadores de ondas 168
3.10 Circuitos conformadores de onda que utilizan amplificadores operacionales 186
3.11 El diodo como interruptor 192
3.12 Propiedades dinámicas de la unión p-n 194
3.13 Modelo dinámico SPICE para el diodo 202
3.14 Tipos especiales de diodos 204
3.15 Sumario 206

Referencias 207
Problemas 208

CAPÍTULO 4. TRANSISTORES BIPOLARES 219
4.1 Principios físicos 219
4.2 Modelos de Ebers-Moll 222
4.3 Estado activo directo 225
4.4 Estados de corte, saturación y activo inverso 229
4.5 La recta de carga 232
4.6 Transistor pnp 237
4.7 Análisis del punto *Q* 238
4.8 Modelo estático SPICE del transistor bipolar 251
4.9 Efectos de segundo orden 254
4.10 Modelo dinámico del transistor 264
4.11 La conmutación del transistor 265
4.12 Modelo dinámico SPICE del transistor bipolar 269
4.13 Fabricación de circuitos integrados 272
4.14 Sumario 280

Referencias 281
Problemas 281

CAPÍTULO 5. TRANSISTORES DE EFECTO DE CAMPO 291
5.1 El MOSFET de canal n 291
5.2 Análisis del punto de trabajo de los MOSFET 302
5.3 Resistencias FET y líneas de carga no lineales 311
5.4 MOSFET de canal p 317
5.5 Modelo estático SPICE para el MOSFET 322
5.6 Transistores de efecto de campo con puerta de unión 325
5.7 Análisis del punto de trabajo de los MESFET y JFET 333
5.8 Modelo SPICE estático del JFET 338
5.9 Efectos de segundo orden de los FET 341
5.10 Modelos dinámicos para los FETs 346
5.11 El FET como interruptor 349
5.12 Sumario 358

Referencias 360
Problemas 360

CAPÍTULO 6. CIRCUITOS DE POLARIZACIÓN 371
6.1 Polarización y señales en circuitos analógicos 371
6.2 Técnicas de diseño de circuitos de polarización 375
6.3 Principios de diseño de circuitos de polarización 381
6.4 Variaciones en el diseño 387
6.5 Sensibilidad 394
6.6 Análisis de los circuitos de polarización en SPICE 399
6.7 Fuentes de corriente 407
6.8 Referencias de corriente especiales 426
6.9 Sumario 437

Referencias 439
Problemas 439

CAPÍTULO 7. AMPLIFICADORES CON TRANSISTORES 451
7.1 Principios del análisis en pequeña señal 451
7.2 Modelos del transistor en pequeña señal 453
7.3 Circuitos equivalentes en pequeña señal 463
7.4 Amplificadores en emisor común y fuente común 468
7.5 Amplificadores en base común y puerta común 476

7.6 Amplificadores en colector común y drenador común 482
7.7 Análisis SPICE en pequeña señal 487
7.8 Amplificadores con varios transistores 489
7.9 Amplificadores diferenciales 503
7.10 Aspectos avanzados en el diseño y análisis en continua 539
7.11 Sumario 546

Referencias 547
Problemas 547

CAPÍTULO 8. RESPUESTA EN FRECUENCIA 565
8.1 Amplificador de banda ancha 565
8.2 Herramientas de análisis para dinámica de circuitos 567
8.3 Respuesta en baja frecuencia 570
8.4 Respuesta en alta frecuencia 584
8.5 Respuesta en frecuencia de amplificadores diferenciales de una etapa 609
8.6 Respuesta en frecuencia de amplificadores con dos transistores 618
8.7 Valores de los parámetros de los transistores bipolares 624
8.8 Sumario 629

Referencias 630
Problemas 630

CAPÍTULO 9. CIRCUITOS DE REALIMENTACIÓN 645
9.1 Teoría de realimentación negativa ideal 645
9.2 Efectos sobre la sensibilidad, ancho de banda y distorsión 647
9.3 Clases de amplificadores realimentados 654
9.4 Teoría de realimentación cuando hay efectos de carga 661
9.5 Amplificadores FET y bipolares realimentados 667
9.6 Estabilidad de los amplificadores realimentados 680
9.7 Osciladores senoidales 695
9.8 Sumario 713

Referencias 715
Problemas 715

CAPÍTULO 10. CIRCUITOS Y SISTEMAS DE POTENCIA 725
10.1 Disipación de potencia en los transistores 726
10.2 Transistores de potencia y amplificadores de potencia 730
10.3 Amplificadores de clase A 732
10.4 Distorsión de no linealidad 739
10.5 Amplificadores en clase B 742
10.6 Amplificador en clase AB 748
10.7 Operacionales de potencia 761
10.8 Amplificador en clase D 764
10.9 Fuentes de alimentación 768
10.10 Sumario 779

Referencias 780
Problemas 780

CAPÍTULO 11. CIRCUITOS INTEGRADOS ANALÓGICOS 789
11.1 El amplificador operacional de transconductancia 789
11.2 El amplificador operacional 741: Un caso a estudiar 797
11.3 Multiplicador analógico 812
11.4 PLL (bucle de captura de fase) 830
11.5 Sumario 851

Referencias ... 852
Problemas ... 852

Capítulo 12. **Filtros** ... 859
12.1 Conceptos básicos de filtros ... 859
12.2 Filtros activos de segundo orden ... 867
12.3 Filtros activos de paso bajo de orden n ... 886
12.4 Extensión de la teoría de los filtros pasivos a los activos ... 903
12.5 Circuitos de capacidades conmutadas ... 910
12.6 Sumario ... 919
Referencias ... 920
Problemas ... 921

Capítulo 13. **Circuitos lógicos digitales** ... 927
13.1 Puertas lógicas ideales y aproximaciones prácticas ... 928
13.2 Circuitos lógicos NMOS y PMOS ... 932
13.3 Circuitos lógicos CMOS ... 943
13.4 Circuitos lógicos de arseniuro de galio ... 952
13.5 Circuitos lógicos TTL ... 959
13.6 Lógica de emisores acoplados ... 977
13.7 Sumario ... 987
Referencias ... 988
Problemas ... 989

Capítulo 14. **Memorias, interconexión y principios de temporización** ... 997
14.1 Circuitos biestables ... 998
14.2 Circuitos monoestables ... 1010
14.3 Circuitos astables ... 1013
14.4 Temporizador integrado 555 ... 1018
14.5 Principios y problemas de la interconexión ... 1022
14.6 Efectos en las líneas de transmisión ... 1048
14.7 Memorias de estado sólido ... 1073
14.8 Sumario ... 1084
Referencias ... 1086
Problemas ... 1086

Apéndice A. **Análisis SPICE** ... 1099
A.1 Análisis en continua ... 1099
A.2 Análisis en alterna ... 1101
Referencias ... 1102

Apéndice B. **Cuadripolos** ... 1103
B.1 Definición de cuadripolo ... 1103
B.2 Parámetros z ... 1104
B.3 Parámetros y ... 1107
B.4 Parámetros h ... 1109
B.5 Parámetros g ... 1111
Problemas ... 1116

Apéndice C. **Parámetros SPICE de los transistores bipolares** ... 1117

Índice analítico ... 1123

PRÓLOGO

Este texto está inicialmente pensado para un curso en dos semestres de las ingenierías eléctricas. Cubre multitud de tópicos con una profundidad razonable aunque el profesor podrá eliminar algunos de los puntos para adaptarlo a las necesidades individuales de cada programa. La organización del texto también es útil para las necesidades específicas de las ingenierías en informática ya que permite avanzar en los aspectos digitales omitiendo muchos de los detalles de las aplicaciones lineales.

El texto exige como prerrequisito un curso de teoría de circuitos que incluya el análisis senoidal en régimen permanente y el análisis transitorio de circuitos RC de primer orden. También sería de gran ayuda otro curso simultáneo de teoría de circuitos que incluya las transformadas de Laplace y las funciones de transferencia cuando se esté estudiando la segunda parte del libro. Finalmente, los capítulos 13 y 14 suponen una cierta familiarizacion con las puertas lógicas ideales.

La secuenciación de los capítulos comienza con aspectos orientados a la instrumentación tales como amplificadores operacionales y formas de onda para dar a los estudiantes un rendimiento rápido a sus horas de estudio y facilitar el acceso simultáneo al laboratorio donde se pueden experimentar los conceptos más interesantes y los diseños mas sencillos.

El énfasis inicial en amplificadores operacionales apunta hacia un diseño descendente[1] ya que obliga a los estudiantes, desde el principio a ver los circuitos electrónicos en términos de módulos funcionales.

Al comienzo del capítulo 1, el libro hace énfasis en las relaciones entre las representaciones gráficas, matemáticas y circuitales de los dispositivos. En la experiencia del autor, tal énfasis, continuado a lo largo del texto, ayuda a los estudiantes a una mejor integración y retención del material. El capttulo 1 introduce la idea de usar la simulación en computador como soporte al estudio y a la aplicación de la electrónica.

El modelado en SPICE está totalmente integrado en el texto y no es relegado a un apéndice. Esta integración establece un ambiente de estudio en el que los estudiantes se aprovechan de la potencia de cálculo de los computadores mientras aprenden los conceptos. El texto centra continuamente la atención de los estudiantes en la importancia del análisis manual algebraico y en los modelos sencillos para desarrollar el conocimiento y después hacer énfasis, mediante ejemplos seleccionados, en cómo usar SPICE para extender este conocimiento mas allá de los límites de estos modelos sencillos. Esta aproximación permite un tratamiento válido de los aspectos importantes que tradicional-

mente sólo eran cubiertos superficialmente debido a su complejidad matemática; tres ejemplos de esto pueden ser el análisis de los retardos de almacenamiento de carga, sensibilidades y distorsiones. Las exposiciones y ejemplos SPICE son muy básicos y no se decantan hacia ninguna versión de SPICE. Los ejemplos del texto fueron desarrollados mediante la versión educacional PSPICE™ y comprobados en clase mediante una implementacion de redes de SPICE II.

El texto desarrolla nuevos conceptos de forma tradicional, por análisis; sin embargo, las ideas son después resumidas y replanteadas desde la perspectiva del diseñador, dándole otro sentido distinto del que se obtendría del simple análisis de un conjunto de ecuaciones. El SPICE se usa para completar esta perspectiva de diseño práctico. Por ejemplo, el análisis de sensibilidad numérico del SPICE se usa para identificar qué parámetros de circuitos y componentes son más críticos para la obtención de las especificaciones. El diseñador trabajará después sólo sobre los parámetros críticos de las expresiones algebraicas para descubrir cómo mejorar el circuito. Las ideas prácticas de diseño de este tipo permiten el desarrollo de todos los tópicos en lugar de ser relegados a unos pocos ejemplos especiales y problemas. Los ejemplos y ejercicios hacen hincapié en el análisis crítico de los resultados de SPICE en términos de principios teóricos.

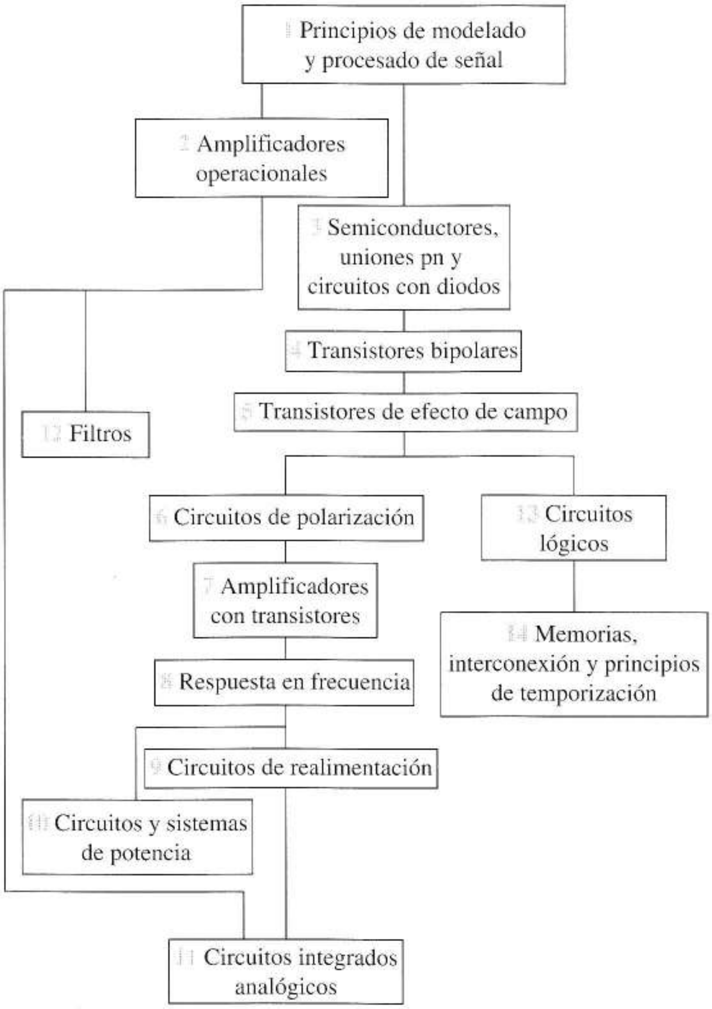
El diagrama de flujo adjunto muestra los requisitos esenciales para cada capítulo. Los capítulos 4 y 5 introducen los transistores bipolares y los FETs pero exclusivamente sus modelos de gran señal y su relación con las curvas características. Los modelos de pequeña señal aparecen brevemente en el capítulo 6 y se definen formalmente en el capítulo 7. Esta aproximación evita la confusión que se suele asociar al intento de enseñar demasiados modelos antes de que éstos sean reforzados mediante aplicaciones. El énfasis inicial en los modelos de gran señal también genera dos posibles ramas de evolución directa para el estudiante: circuitos digitales en el capítulo 13 ó algo más convencional, continuando por el capítulo 6 donde los modelos se aplican al análisis y diseño de los circuitos de polarización.

Cualquier secuencia de capítulos consistente con el diagrama de flujos puede presentarse sin dificultades de enseñanza. Por ejemplo, los amplificadores operacionales pueden ser situados detrás de los circuitos con transistores como prefieren algunos profesores. Se pueden dar varios tipos de cursos incluyendo variaciones sobre el siguiente tema básico: un primer curso con la mayoría de los capítulos 1 a 5 más el diseño de los circuitos de polarización del capítulo 6 y un segundo curso que comenzaría con la sensibilidad en el capitulo 6 y continuaría con los aspectos más importantes de los capítulos 7 a 10, 12 y 13.

Quiero reconocer mi deuda con algunos autores contemporáneos, especialmente Sedra y Smith, Gray y Meyer, y Hodges y Jackson cuyos lúcidos y creativos libros de texto han influenciado mi forma de pensar, mi enseñanza y, presumiblemente este libro. De un trabajo inicial de Angelo he aprendido por primera vez lo placentero que podría ser enseñar con el apoyo de un texto que los estudiantes sean capaces de leer. También agradezco en gran medida el apoyo del Departamento de Ingeniería Eléctrica e Ingeniería Informática, especialmente por la ayuda prestada en los momentos difíciles y por el ambiente educativo y excelentes facilidades del Centro para Estudios Avanzados de la Universidad de Iowa. Muchos profesores asociados y estudiantes contribuyeron al proyecto tanto en clase como entre bastidores. Especialmente notables fueron los esfuerzos de Terry Shie, Tom Cross, Geetani Edirisooriya, Brian Sobecks y Alissa Chan que me han ayudado a formular y comprobar el manual de soluciones.

De forma personal, agradezco a Rosemary Malik y Lumir Samek sus vitales consejos, a Bill Streib y Margaret McDowell la inspiracion de las clases y a mi esposa Margaret su infalible apoyo.

Norbert R. Malik



Estructura de requisitos para los capítulos.

PRÓLOGO A LA EDICIÓN EN ESPAÑOL

Cuando se decidió la traducción de la obra "Electronics Circuits" de N.R. Malik, la intención era obtener un texto en castellano que tuviese la máxima aceptación posible dentro del segmento de lectores al que va dirigido. Esta es —no cabe duda— una tarea compleja por cuanto el resultado final debe satisfacer a un conjunto de personas que presentan claras diferencias en los términos que habitualmente manejan. El ámbito de utilización de este texto (varias ingenierías y facultades de ciencias físicas) es ya, por sí mismo, un panorama amplio de divergencias y desacuerdos pero, si aún añadimos las diferencias idiomáticas entre los distintos países que compartimos el castellano como lengua común, el problema se agrava y se puede hacer válida la frase de "separados por un mismo idioma".

Con estas ideas muy presentes se ha procurado traducir respetando al máximo la obra original y lo que el autor quiso poner en ella, así como cumpliendo con las normas de nuestro propio idioma, el que formalmente regula la Real Academia Española de la Lengua y el que introduciendo términos no recogidos aún por aquélla, se habla en el contexto técnico —académico o no— y que constituye una jerga aparte. Así, se han empleado términos tales como, por ejemplo, *senoidal* o *drenador* en lugar de los lingüísticamente correctos, *sinusoidal* o *drenaje*, por la sencilla razón de que los primeros se utilizan mucho más; esta misma idea se puede extender a otros casos que el lector irá encontrando a lo largo del texto y que, sin ánimo de menosprecio alguno a la Lengua, consideramos que contribuyen a mejorar la comunicación. En otros casos se ha mantenido el término en inglés ya sea porque su traducción convertiría una palabra en una frase (y dificultaría la comprensión) ya sea porque la terminología anglosajona está más extendida en el mundillo técnico; ejemplos de estos casos son los términos *slew-rate*, *driver*, *buffer*, *aliasing* entre otros. Para ellos, se ha optado por dar una traducción a pie de página con la correspondiente explicación para la primera vez en que aparecen. Finalmente, en aquellos casos en que existía la duda de cuál de las dos versiones (la castellana o la anglosajona) era la mejor, nos hemos decidido por la primera pero indicando también el término en inglés en, al menos, la primera vez en que aparece. Por esta serie de licencias que nos hemos concedido pedimos la comprensión del lector ya que se ha procurado mantener la claridad del texto como primer objetivo aún sacrificando el rigor literario.

También se ha realizado una "relajación progresiva en los términos" a lo largo del texto, pasando de una terminología estricta en las primeras veces en que aparece un determinado concepto a una más acorde con el lenguaje técnico habitual para ayudar al neófito a introducirse mejor en la "jerga electrónica"; un ejemplo está términos como *fuente de alimentación*, *amplificador operacional* o *transistor bipolar* que, a medida que se suceden las páginas, se convierten en *alimentación*, *operacional* y *bipolar*, forma de expresarse más próxima a la que se emplea en el lenguaje habitual.

Cuando a lo largo del texto encontremos un término que describe un concepto y que no nos resulta tan familiar como el que aplicamos habitualmente, lejos de despreciar cualquiera de los dos, asumamos que si con ambos se puede expresar el mismo concepto, no significa tanto que crea confusión como que se enriquece nuestro vocabulario y nuestro idioma. Desgraciadamente, en un texto sólo puede recogerse uno de ellos.

Capítulo 1

PRINCIPIOS DE MODELADO Y PROCESAMIENTO DE SEÑAL

La electrónica se diferencia de forma significativa de cursos anteriores de teoría de circuitos. En ellos, las tensiones y corrientes consistían, bien en funciones temporales elementales tales como senoides o exponenciales, bien en valores continuos sin significado o sentido especial. En la *electrónica*, las tensiones y corrientes aplicadas son, en general, *señales* que contienen información que el circuito *procesará* de algún modo. En los sistemas *analógicos* la información se codifica en las formas de onda de tensiones o corrientes y el procesamiento podría traducirse en hacer la señal mayor o menor, en eliminar ruidos, cambiar su forma, determinar el valor de pico, medio o combinarla con otra señal. En sistemas digitales las señales son secuencias de números binarios; los valores altos y bajos de una corriente o de una tensión representan respectivamente los valores binarios uno y cero. Los circuitos electrónicos digitales realizan operaciones aritméticas y otras sofisticadas operaciones de procesamiento de información binaria, usando interconexiones de circuitos electrónicos de propósito especial llamados puertas lógicas.

Podemos identificar los circuitos electrónicos por la presencia de dispositivos especiales que modifican la forma de la señal o amplifican su potencia. Según este criterio, la electrónica se originó en 1896 con la transmisión de la señal sin cable por Marconi en Italia y Popov en Rusia. Los primeros receptores de radio detectaban señales mediante la utilización de dispositivos de contacto de puntas, llamados "cat whiskers" (*)[1], o mediante el uso de diodós de vacío, para cambiar la forma de onda de la señal. La electrónica moderna data de 1907, cuando Lee DeForest añadió al diodo de vacío descubierto por Thomas Edison en 1883 una rejilla de control. El descubrimiento hecho por DeForest basado en que una señal de entrada muy pequeña podría controlar una señal grande de salida a través de la rejilla de control, constituye la base de la amplificación. En 1947, un equipo de los laboratorios de la compañía Bell Telephone: William Schockley, John Bardeen y Walter Brattain desarrollaron el transistor de unión, un dispositivo de estado sólido y no de vacío, que realizaba la misma función. Gracias a este descubrimiento los inventores ganaron un premio Nobel y comenzaron a hacerse avances en la miniaturización, fiabilidad, velocidad de operación y coste de los circuitos electrónicos. El circuito integrado (CI) inventado independientemente por Jack Kilby en Texas Instruments y por

[1] Cat whiskers: denominados así por su forma de pelo de gato.

Robert Noyce en Fairchild Semiconductor, condujo a avances igualmente revolucionarios. El concepto de circuito integrado hacía posible la fabricación de circuitos formados por miles de transistores, con sus resistencias y condensadores asociados en un único chip semiconductor. El CI, además, eliminó la necesidad de conexiones a nivel de circuito y llevó a grandes reducciones de coste.

Asociado al procesamiento de señal está el sentido del flujo de información a través del circuito. Un lado del circuito, por convención la parte izquierda, funciona como entrada y la señal entra en forma de tensión o corriente. El otro extremo del circuito, el derecho, funciona como *salida* y la señal procesada sale del circuito y pasa a ser observable para llevar a cabo alguna función útil o para ser procesada por otro circuito.

Algunas veces, las fuentes conectadas a la entrada representan "*transductores de entrada*", dispositivos que convierten variables físicas como el sonido, temperatura, presión, caudal o aceleración en señales eléctricas codificadas en variaciones de tensión o corriente. A éstas, se las denomina señales de corriente alterna (ca) porque varían con el tiempo. Sin embargo, en algunos casos, la señal se puede mantener constante durante largos intervalos de tiempo (corriente continua o cc) y sigue siendo una señal, dado que contiene información. Como ejemplos tenemos la temperatura, la intensidad luminosa, la tensión mecánica y la presión.

Los diagramas que representan circuitos electrónicos muestran a menudo una resistencia especial en la salida, denominada *carga* o *resistencia de carga*, a través de la cual se transforma la señal de salida. La resistencia de carga representa a veces un *transductor de salida* que convierte la energía eléctrica en otra magnitud física, como por ejemplo hace el sonar, que convierte energía eléctrica en ondas de presión submarinas. O, en otro caso, la resistencia de carga podría representar la entrada de otro circuito de procesamiento de señal, o simplemente comportarse como una resistencia.

Algunos circuitos electrónicos sirven como fuentes de señales usadas para distintas aplicaciones, como temporización y prueba de laboratorio de otros circuitos. Estas fuentes son ejemplos de circuitos electrónicos que no precisan de señales de entrada.

Otra idea introducida en la electrónica es la *polarización*. Los dispositivos sólo son capaces de amplificar señales debido a la conversión de potencia continua en potencia en la señal. Por tanto, además de aplicar tensiones y corrientes continuas a las señales, debemos aplicarlas a nuestros circuitos electrónicos. En consecuencia, en la mayor parte de los circuitos electrónicos, las señales de tensión y de corriente se encuentran superpuestas sobre los niveles de *polarización*. Esto se representa en la Figura 1.1a como un circuito: una *fuente de alimentación* V_{PP} con corriente media I_P suministra potencia continua $V_{PP}I_P$ al circuito. La tensión v_i y la corriente i_i contienen información que será procesada en el circuito y R_L es la resistencia de carga, destino de la señal procesada. Supongamos que la señal v_i está a 0 hasta el instante de tiempo $t = 0$, cambia a un estado activo cuando pasan T segundos y después vuelve a estar en estado 0. Las formas de onda de la corriente y la tensión tendrían el aspecto de las Figuras 1.1b y c. Antes de $t = 0$ y después de $t = T$, sólo aparecen en la salida una tensión V_L y una corriente I_L de polarización. Sin embargo, cuando está presente una señal de entrada v_L e i_L contiene componentes de señal que *superponen* los niveles continuos V_L e I_L.

La mayor parte de los circuitos digitales no emplean directamente polarización, sin embargo, su capacidad de recuperar niveles de señales que se han deteriorado durante la transmisión depende de amplificadores de potencia que actúan conjuntamente con fuentes de alimentación. El concepto de combinar señales con niveles continuos es importante en el diseño de circuitos de interconexión digital.

Para distinguir entre los distintos tipos de tensiones y corrientes se siguen las siguientes convenciones en notación: los caracteres en mayúsculas con subíndices en mayúsculas, tales como V_{PP} , I_P ,V_L e I_L describen tensiones y corrientes continuas. Los caracteres en minúsculas con subíndices en minúsculas, como v_i , i_i , v_l e i_l describen señales. Los caracteres en minúsculas con subíndices en mayúsculas como v_L e i_L describen tensiones y corrientes totales, que incluyen tanto los valores continuos de polarización como las señales.

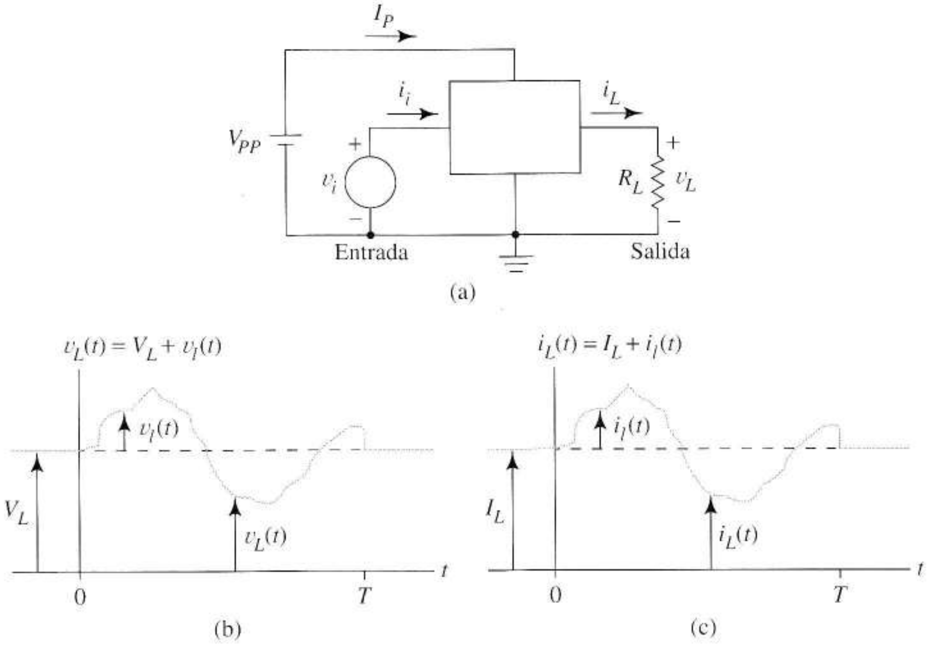


FIGURA 1.1 Notación para los circuitos electrónicos: (a) continua, señal y tensiones y corrientes totales en un circuito; (b) componentes de una forma de onda de tensión típica; (c) componentes de una forma de onda de corriente típica.

Por tanto, en la Figura 1.1b, para $t < 0$ y $t > T$, $i_L = I_L$. Para $0 \leq t \leq T$, $i_L = i_l + I_L$. Estas distinciones se convierten en especialmente importantes en la introducción del análisis en pequeña señal del Capítulo 7.

1.1 SINERGIA HOMBRE-COMPUTADOR

Antiguamente, gran parte del tiempo de un ingeniero estaba ocupado en realizar tediosos cálculos. Hoy, los ingenieros han sido reemplazados en ese tipo de tareas por la superior velocidad, precisión y memoria de los computadores. No obstante, los computadores son inferiores en la mayor parte de las tareas que llevan asociadas decisiones o comprensión. Reconociendo que los seres humanos y los computadores tienen capacidades complementarias, es importante que los ingenieros mejoren estos aspectos que facilitan su trabajo en colaboración con los computadores y no en competencia. Así se concentrarían en recordar principios básicos y en cómo aplicarlos, a la vez que en aprender el manejo de computadores para extender su conocimiento en áreas en las que están limitados por sus modestas capacidades de cálculo.

Los dispositivos y circuitos electrónicos son complejos, sin embargo su funcionamiento básico se comprende de una forma sencilla mediante modelos que sacrifican la exactitud a la sencillez. Estos modelos nos ayudan a hacer predicciones matemáticas sobre cómo se comportará el circuito físico. Además están disponibles potentes paquetes de simulación por computador que nos ayudan en nuestras tareas de análisis y diseño. Estos programas utilizan sofisticados modelos que hacen predicciones matemáticas mucho más exactas que las calculadas mediante los sencillos modelos utilizados

directamente por el hombre en cálculos manuales. Sin embargo, el computador no puede interpretar los resultados de sus predicciones ni, por lo general, mejorar el diseño original. En este caso se requieren el conocimiento humano y la intuición afianzados con la experiencia obtenida con modelos sencillos, para evaluar resultados y sugerir mejoras.

En este capítulo aprenderemos algunos conceptos elementales de modelado y los usaremos para describir amplificadores sencillos. En posteriores capítulos aplicaremos los mismos conceptos a una gran variedad de dispositivos y circuitos. Los modelos proporcionan un mecanismo eficiente y relativamente fácil de reunir, almacenar, relacionar y recuperar mucha información sin demasiada necesidad de memorizarla. Más aún, concede una cualidad de comprensión que nos permite recurrir a experiencias previas para adquirir nuevos conocimientos y analizar nuevos circuitos.

El programa de computadores llamado SPICE[2] nos ayuda a aplicar las ideas de modelado a circuitos complejos. Las simulaciones también nos hacen más efectivos en el laboratorio debido a que las decisiones de diseño ya han sido probadas, verificadas y mejoradas antes de que se haya construido realmente un prototipo.

SPICE realiza análisis en continua, alterna o transitorio de cualquier circuito que le describamos. La información que precisa es exactamente la que se necesitaría para poder realizar el análisis a mano. Suministramos el diagrama del circuito introduciendo una sentencia para cada elemento: resistencia, bobina, condensador o fuente. Esta sentencia le da un número de nodo a cada punto de conexión y el valor numérico apropiado a los elementos pasivos y fuentes de continua. En las fuentes con valores variables en el tiempo usamos las convenciones SPICE para indicar la naturaleza de la función. Las sentencias especiales de control indican el tipo deseado de análisis y los valores numéricos de salida que queremos examinar. Según se vaya introduciendo cada nuevo dispositivo electrónico en los siguientes capítulos, describiremos su modelo SPICE correspondiente para poder avanzar, habituándonos a tener esta potente herramienta de cálculo computacional que complementa nuestro trabajo.

Los resultados SPICE —*numéricos*— pueden ser significativamente distintos de los resultados obtenidos en el análisis manual —*ecuaciones algebraicas*. Las ecuaciones nos revelan cómo contribuyen los componentes individuales al funcionamiento global del circuito y debido a esto, da una visión del circuito que no se obtiene con sólo resultados numéricos. Esta visión es más importante para diseñadores que necesitan a menudo mejorar el circuito que está siendo analizado.

1.2 CARACTERÍSTICAS TENSIÓN-CORRIENTE Y DE TRANSFERENCIA DE LOS DISPOSITIVOS

Usamos tres descripciones distintas para analizar y diseñar circuitos electrónicos y ver la forma en que funcionan: (1) ecuaciones matemáticas, (2) modelos de circuitos y (3) curvas gráficas. Las ecuaciones matemáticas dan descripciones cuantitativas precisas de cada dispositivo. Los modelos de circuitos permiten el análisis sistemático de elementos conectados entre sí mediante el uso de formalismos de la teoría de circuitos. Las representaciones gráficas facilitan el uso de las características humanas de reconocimiento de patrones para asociar los elementos con dispositivos ideales. Aunque estas descripciones representan distintos puntos de vista, están estrechamente relacionadas. Un conocimiento claro de la forma exacta en que se relacionan hace que la electrónica sea mucho más fácil. El elemento clave es un sencillo gráfico que representa la corriente y la tensión de un dispositivo dado. Por convención, estos gráficos son conocidos como *curvas vi (tensión-corriente)*, aunque curvas corriente-tensión sería un nombre más adecuado.

[2]N. del T.: SPICE son las iniciales de Simulation Program Integrated Circuit Emphasis o, en castellano, Programa de Simulación para Circuitos Integrados.

1.2.1 CURVAS VI (TENSIÓN-CORRIENTE)

Comenzaremos con algunos *dipolos* familiares, es decir, elementos que tienen un *par* de nodos exclusivamente.

Resistencia Para introducir la idea de una curva característica consideremos, para empezar, las resistencias. A este elemento está asociado el símbolo de la Figura 1.2a. Siempre que insertemos una resistencia en un circuito, añadiremos dos variables, v e i, para indicar las tensiones y corrientes desconocidas; también introduciremos una restricción. Para la resistencia, esta restricción es la ley de Ohm, Ecuación (1.1), que caracteriza la resistencia mediante una relación entre v e i.

$$i = \left(\frac{1}{R}\right) v \tag{1.1}$$

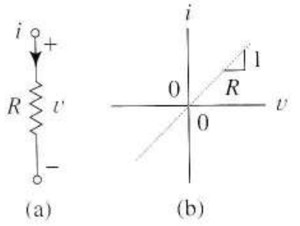


FIGURA 1.2 Resistencia: (a) símbolo esquemático; (b) curva *vi*.

La característica *vi* de la resistencia es una representación de la Ecuación (1.1) en un sistema de coordenadas de corriente y tensión, la línea recta mostrada en la Figura 1.2b, donde la inversa de la pendiente es la resistencia R. La curva característica es simplemente la representación gráfica de la ecuación que caracteriza el elemento o la restricción que impone el elemento en el circuito.

El símbolo, la ecuación y la curva característica son representaciones equivalentes del mismo objeto y debemos ser capaces de pasar de unas a otras con facilidad. Por ejemplo, cualquier elemento representado por una línea recta que atraviese el origen en su curva característica puede escribirse como una ecuación como la (1.1) para describirlo matemáticamente, y siempre podremos representarlo por el símbolo de la Figura 1.2a.

Fuente de tensión independiente Una primera visión de una fuente de tensión independiente es la que muestra el símbolo de la Figura 1.3a. Cuando añadimos este elemento en un circuito, introducimos nuevas variables v e i al igual que ocurre con las resistencias. Sin embargo, en las fuentes de tensión no existe ninguna ecuación que relacione v e i. En su lugar, el elemento está caracterizado por

$$v = V_{ss} \tag{1.2}$$

y

$$i = ? \tag{1.3}$$

La Ecuación (1.2) indica que la tensión sólo puede tomar el valor V_{SS}. La Ecuación (1.3) enfatiza el hecho de que la corriente no está definida de ningún modo por la fuente de tensión. Esto quiere decir que la corriente puede tener *cualquier* valor positivo, negativo o cero.

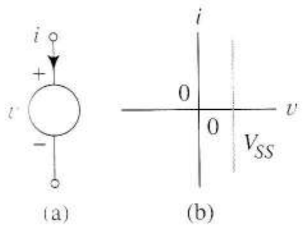


FIGURA 1.3 Fuente de tensión independiente: (a) símbolo esquemático; (b) curva *vi*.

La Figura 1.3 muestra esto más claramente. La curva característica es una línea de tensión constante en el punto $v = V_{SS}$. La cantidad de corriente depende totalmente de los demás elementos conectados a la fuente, no de la propia fuente. De hecho, la *única* forma de determinar la corriente en una fuente de tensión ideal es aplicar las leyes de Kirchhoff de la corriente en uno de sus nodos. La capacidad de que la fuente de tensión ideal dé potencia ilimitada *vi* a un circuito externo está definida implícitamente, ya que i puede ser arbitrariamente grande mientras que v es un valor fijo.

Hasta ahora, hemos caracterizado una fuente de tensión continua. Para una fuente alterna, reemplazaremos la Ecuación (1.2) por una función temporal $v = v_s(t)$. Esto

significa que la línea vertical de la Figura 1.2 se desplaza a izquierda y derecha con el tiempo según vaya definiendo $v_s(t)$. El resto de observaciones sobre las fuentes de tensión siguen siendo válidas.

Fuente de corriente independiente La fuente ideal de corriente de la Figura 1.4a introduce dos variables y una restricción. Matemáticamente

$$i = I_{SS} \tag{1.4}$$

y

$$v = ? \tag{1.5}$$

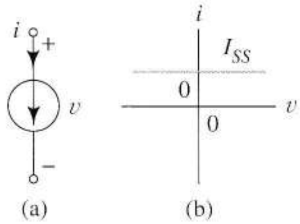


FIGURA 1.4 Fuente de corriente independiente; (a) símbolo esquemático; (b) curva *vi*.

La restricción es que la corriente tiene el valor conocido I_{SS}. La tensión no está especificada y sólo se puede determinar mediante la ley de tensiones de Kirchhoff en algún bucle que contenga a la fuente. En la Figura 1.4b la línea constante (horizontal) que representa la corriente y corta al eje de corrientes en el valor I_{SS} muestra esto gráficamente. La fuente de corriente independiente es también capaz de generar potencia infinita. En una fuente de corriente alterna, la línea constante se desplaza hacia arriba y hacia abajo de una forma determinada.

Cortocircuitos y circuitos abiertos Aunque no son propiamente elementos de un circuito, los cortocircuitos y los circuitos abiertos proporcionan restricciones similares a las de los elementos reales y es útil estudiar sus descripciones. El cortocircuito de la Figura 1.5 añade al circuito una tensión $v = 0$ y una corriente i que puede tener cualquier valor. Estas restricciones se muestran en el gráfico de la Figura 1.5b. Cuando comparamos las Figuras 1.5b y 1.3b vemos que el cortocircuito es una fuente de tensión independiente con $V_{SS} = 0$ ya que ambas tienen las mismas curvas características. A menudo, en casos de superposición, es necesario *desactivar* las fuentes de tensión. En la curva característica vemos que desactivar una fuente de tensión implica mover la línea constante de tensión de la Figura 1.3b hasta el origen, es decir, fijar la tensión especificada a cero. Por tanto, desactivar una fuente de tensión es equivalente a reemplazarla por un cortocircuito en el diagrama del circuito.

Una comparación similar de las Figuras 1.5c y d muestra que un circuito abierto en un diagrama es equivalente a una fuente de corriente que se ha desactivado o fijado a cero.

Hay otra forma útil de ver los cortocircuitos y los circuitos abiertos. Las Figuras 1.5 y 1.2 muestran que un cortocircuito es el caso límite de una resistencia según se va aproximando a cero, y un circuito abierto es el caso límite de una resistencia que se aproxima a infinito.

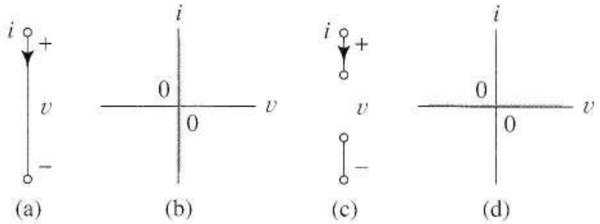


FIGURA 1.5 Elementos extremos de un circuito. (a) cortocircuito; (b) curva *vi* de un cortocircuito; (c) circuito abierto; (d) curva *vi* de un circuito abierto.

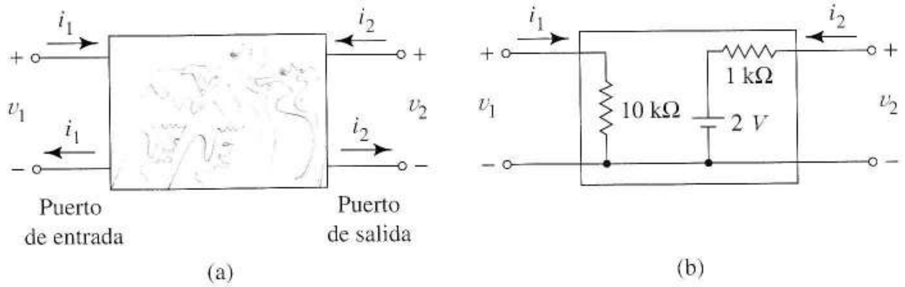


FIGURA 1.6 Cuadripolo: (a) concepto y notación general; (b) ejemplo.

1.2.2 ENTRADA, SALIDA Y CURVAS CARACTERÍSTICAS PARA CUADRIPOLOS

Muchos dispositivos electrónicos se modelan como *cuadripolos*, circuitos que se comunican con el mundo exterior exclusivamente a través de un puerto de entrada y de un puerto de salida, como muestra la Figura 1.6a. La palabra "puerto" implica un par de nodos en donde la corriente que entra por uno de ellos sale por el otro. Dentro del cuadripolo se encuentra un dispositivo electrónico o interconexiones de elementos del circuito, como en la Figura 1.6b.

Un interesante ejemplo de cuadripolo es la fuente de tensión controlada por tensión (VCVS)[3] de la Figura 1.7a. Un cuadripolo introduce *cuatro* incógnitas: las variables de entrada v_1 e i_1 y las variables de salida v_2 e i_2. También introduce dos restricciones al circuito. Para VCVS son

$$i_1 = 0 \tag{1.6}$$

y

$$v_2 = \mu v_1 \tag{1.7}$$

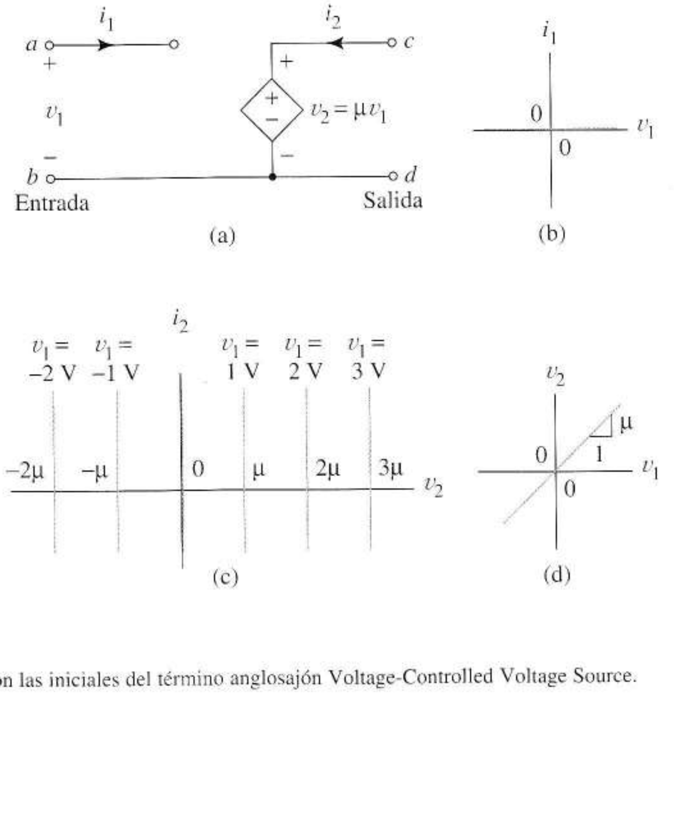


FIGURA 1.7 Fuente de tensión controlada por tensión; (a) símbolo esquemático; (b) característica de entrada; (c) característica de salida; (d) función de transferencia.

[3] N. del T.: VCVS son las iniciales del término anglosajón Voltage-Controlled Voltage Source.

En la Ecuación (1.7) la tensión de entrada v_1 controla la tensión dependiente v_2, obligando a v_2 a ser μ veces v_1. Al factor que relaciona la salida del cuadripolo con la entrada lo llamamos la transmitancia del cuadripolo. La transmitancia del VCVS es μ. Las cantidades restantes v_1 e i_2 no están especificadas.

Una descripción gráfica de un cuadripolo requiere *dos* curvas tensión-corriente, una curva *característica de entrada* y una curva *característica de salida* que relacione las variables de salida. Para la VCVS, la característica de entrada es la curva *vi* de un circuito abierto como el de la Figura 1.7b. La descripción gráfica del puerto de salida es la familia de curvas de la Figura 1.7c. Como la fuente dependiente es de tensión, su salida se describe como una línea con un valor constante de tensión. Sin embargo, dado que es dependiente, la posición exacta de la línea se determina por la *variable de control* v_1. Es habitual sugerir gráficamente este control mostrando una *familia* de líneas, una para cada valor representativo de la variable de control, como en la Figura 1.7c. El valor del parámetro determina el espacio existente entre las líneas. Así, cuando v_1 = 1 Voltio, la línea constante de tensión se sitúa en $v_2 = \mu$ Voltios, cuando v_1 = 2 Voltios, se sitúa en 2 μ Voltios y así sucesivamente, tanto para valores positivos de v_1 como negativos.

Además de tener curvas características de entrada y de salida, un cuadripolo tiene un tercer gráfico asociado, las curvas de la *función de transferencia* que relacionan las variables de salida con las de entrada. Para VCVS, el gráfico de la Ecuación (1.7) se muestra en la Figura 1.7d, donde la pendiente de la curva es su transmitancia. La función de transferencia es importante porque muestra exactamente como *transfiere* el cuadripolo la información desde la entrada hasta la salida.

La Figura 1.8a muestra otro cuadripolo, la fuente de corriente controlada por corriente (CCCS)[4]. Su característica de entrada es la curva *vi* de un cortocircuito. Su característica de salida es una familia de líneas de corriente de valor constante, donde el valor de la corriente de entrada se usa para seleccionar una de las curvas de salida de las infinitas posibilidades existentes. Estas curvas dan lugar a las descripciones matemáticas

$$v_1 = 0 \tag{1.8}$$

$$i_2 = \beta i_1 \tag{1.9}$$

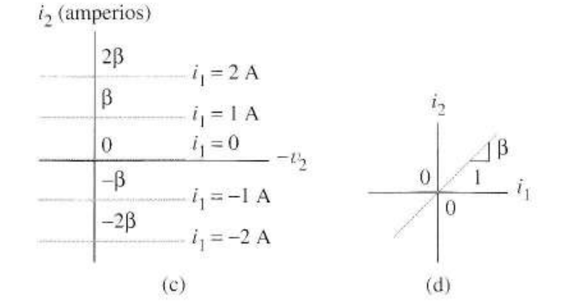


FIGURA 1.8 Fuente de corriente controlada por corriente; (a) esquema; (b) característica de entrada; característica de salida; (d) función de transferencia.

[4] N. del T.: CCCS son las siglas de Current-Controlled Current Source.

La función de transferencia de la Figura 1.8d es la expresión gráfica de la Ecuación (1.9), siendo la pendiente la constante de proporcionalidad de la corriente de la Ecuación (1.9).

Hay otros dos tipos de fuentes dependientes, la fuente de corriente controlada por tensión (VCCS) y la fuente de tensión controlada por corriente (CCVS), ambas representadas en la Figura 1.9.

Los siguientes ejemplos ilustran cómo estas sencillas ideas de modelado proporcionan una forma de comprender dispositivos que no sean familiares.

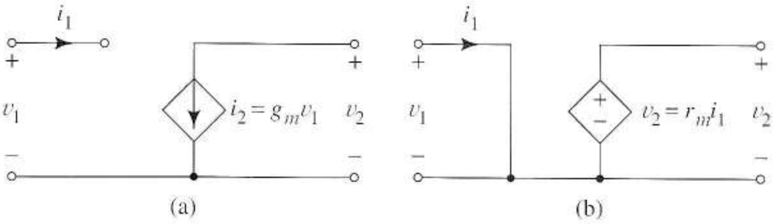


FIGURA 1.9 (a) Fuente de corriente controlada por tensión; (b) fuente de tensión controlada por corriente.

Ejercicio 1.1 Para el cuadripolo de la Figura 1.6b, escribir la ecuación de (a) la curva característica de entrada y (b) la curva característica de salida.

Respuesta: (a) $i_1 = 10^{-4}v_1$, $i_2 = (v_2-2)/10^3$.

EJEMPLO 1.1 La Figura 1.10a es la representación de un cuadripolo denominado transistor bipolar. Las curvas características, mostradas en las Figuras 1.10b y c sólo se aplican al primer cuadrante de los valores de tensión y corriente. Dibujar un modelo lineal de circuito para el transistor e indíquese cualquier restricción necesaria para usar el modelo.

Solución En primer lugar podemos reconocer en la Figura 1.10b la curva *vi* de una fuente de tensión de 0,7 V. Una fuente de tensión de 0,7 V conectada entre los nodos *B* y *E* daría como resultado la misma característica de entrada. Para restringirla al primer cuadrante, especificaremos los valores de entrada de la corriente $i_B \geq 0$.

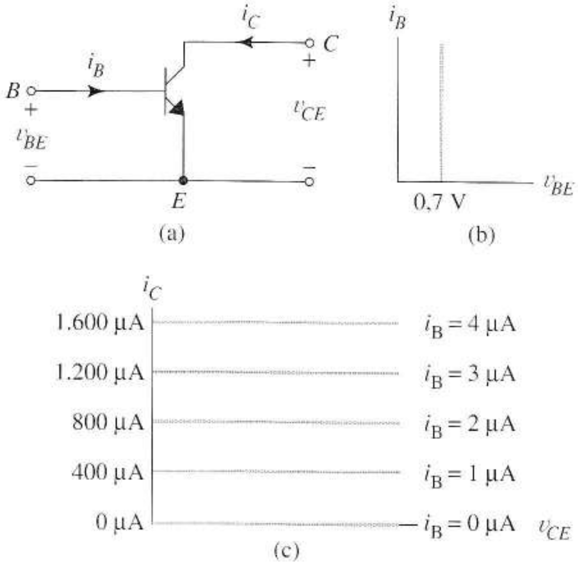


FIGURA 1.10 Modelado de un cuadripolo: (a) esquema del transistor; (b) característica de entrada; (c) característica de salida.

Seguidamente podemos reconocer las características de salida, líneas de corriente con valor constante etiquetadas con valores de corrientes de entrada, como las descripciones de una CCCS, conectada entre los nodos C y E y controladas por i_B. A partir del espacio existente entre las líneas, la transmitancia debe ser $\beta = 400$. Como $i_B \geq 0$ ya evita el funcionamiento en el tercer y cuarto cuadrantes (ver la Figura 1.10c) sólo necesitamos el requisito adicional $v_{CE} \geq 0$ para restringir el funcionamiento al primer cuadrante. La Figura 1.11 muestra el circuito que representa el transistor cuando $i_B \geq 0$ y $v_{CE} \geq 0$. ❑

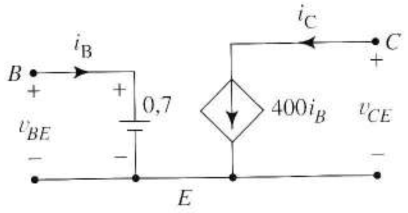


FIGURA 1.11 Modelo del circuito para el dispositivo cuadripolo de la Figura 1.10a.

Ejercicio 1.2 Describir las características de entrada y salida de la Figura 1.9a si $g_m = 2$ ms.

Respuesta La característica de entrada es la línea horizontal $i_1 = 0$. Las características de salida son una familia de líneas separadas a la misma distancia unas de otras, cada una de ellas etiquetada con un valor de v_1. Para $v_1 = \pm 1$ V, ± 2 V..., las líneas se separan en intervalos de 2 mA.

EJEMPLO 1.2 La Figura 1.12a es el esquema del triodo de vacío de DeForest y la Figura 1.12b es un circuito que representa al triodo bajo ciertas condiciones. Hacer el esquema de las características de salida en el primer cuadrante del triodo para $v_G = 0$ V, -1 V, -2 V y -3 V.
Se supone que μ es un parámetro positivo.

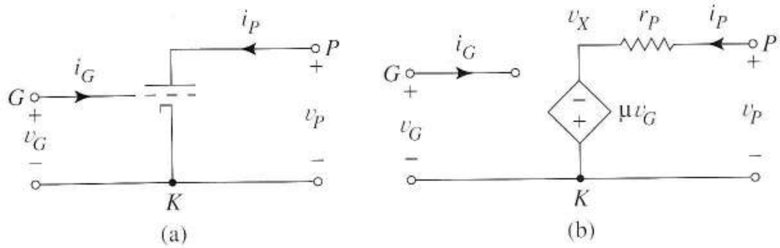


FIGURA 1.12 Esquema y modelo del circuito del triodo de vacío.

Solución Sin r_P, las curvas serían las de un VCVS, de la Figura 1.7c. Para incluir el efecto de r_P, escribiremos una ecuación que relacione la corriente de salida i_P con la tensión de salida v_P. Si usamos el nodo K como referencia de tensión, podemos escribir

$$i_P = \frac{v_P - v_X}{r_P} = \frac{v_P - \left(-\mu v_G\right)}{r_P} = \frac{v_P + \mu v_G}{r_P}$$

una ecuación que relaciona las variables de salida i_P y v_P utilizando la variable de entrada v_G como variable de control. Cuando $v_G = 0$ tenemos la ecuación de una resistencia en la curva marcada con $v_G = 0$ de la Figura 1.13. Sustituyendo en la ecuación de forma consecutiva v_G por -1, -2 y -3 obtenemos tres nuevas líneas rectas de la misma pendiente, pero desplazadas hacia la derecha por incrementos de μ voltios. ❑

En el límite en que r_P se acerca a cero, tanto el circuito de la Figura 1.12b como la curva característica de la Figura 1.13 se aproximan al valor de VCVS. Podemos llegar a la conclusión de que añadir una resistencia pequeña en serie con una fuente de tensión dependiente hace que las curvas características de salida se aparten ligeramente de las líneas verticales. A la inversa, una familia de

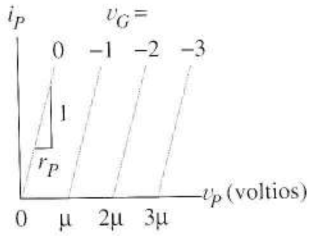


FIGURA 1.13 Característica de salida del triodo de vacío.

líneas verticales cercanas nos lleva a un circuito que consiste en fuentes de tensión dependientes y una resistencia en serie.

El Problema 1.6 muestra que colocar una resistencia grande r_o en paralelo con una fuente de corriente, como en la Figura 1.8a provoca que las líneas de la Figura 1.8c tengan una pendiente distinta de 0, $1/r_o$. Los Ejemplos 1.1 y 1.2 muestran tanto la versatilidad como la aplicabilidad general de nuestra metodología.

Las curvas de transferencia de las cuatro fuentes dependientes siguen el comportamiento de líneas rectas de entrada/salida que tienden a infinito en cada dirección. Esto implica que el dispositivo puede tener cualquier valor de tensión o corriente, por muy grande que sea. Desafortunadamente, los dispositivos reales tienen posibilidades más limitadas. Más adelante compararemos curvas de transferencia y de salida reales con curvas ideales para comprender mejor las limitaciones prácticas de los dispositivos reales.

1.2.3 MODELADO DE DISPOSITIVOS

Para evaluar nuestros progresos en el modelado de los elementos electrónicos, veamos la Figura 1.14. A la izquierda y en el centro se representa un dispositivo físico, por ejemplo un transistor, y queremos predecir lo que ocurrirá si ponemos este elemento en un circuito. Generalmente hay una descripción matemática basada en principios físicos y podemos utilizarla en las simulaciones por computador, pero a menudo esta descripción es demasiado compleja para comprender con ella las primeras fases del análisis o del diseño.

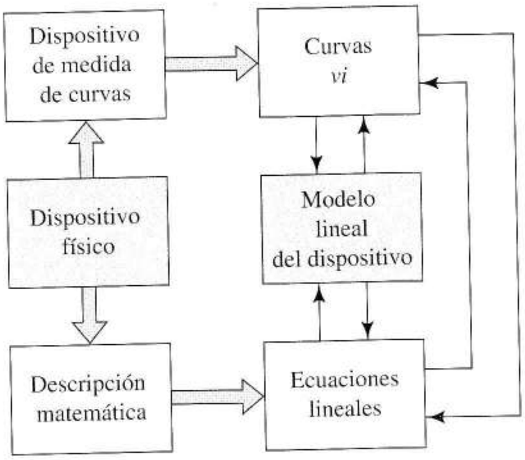


FIGURA 1.14 Papel del modelado y curvas *vi* en la descripción de dispositivos electrónicos.

También hay datos gráficos en las curvas medidas de los dispositivos que son, como los anteriores, bastante complejos. Nuestro objetivo es un simple modelo lineal del circuito, que quizá sea válido únicamente bajo algunas condiciones especiales que nos ayuden a comprender el elemento y a ver cómo se comporta en el circuito. Existen dos formas prácticas de obtener este modelo. Una consiste en seguir el camino inferior de la figura. Simplificamos la descripción matemática de un conjunto de *ecuaciones lineales aproximadas* y de ahí se deriva un modelo que satisface dichas ecuaciones. Otra alternativa (camino superior) es *aproximar las curvas del dispositivo* por curvas *vi* simplificadas; esto también nos conduce a un modelo del circuito. Como vimos, una vez que tenemos una de las tres

descripciones lineales de la derecha, las tenemos todas ya que podemos hacer fáciles conversiones de una a otra.

Hasta ahora sólo hemos profundizado en la parte derecha de la Figura 1.14. En capítulos posteriores, según vayamos estudiando descripciones matemáticas y gráficas de distintos dispositivos, acudiremos a las técnicas de este capítulo para relacionar las descripciones con ideas sencillas de nuestros conocimientos sobre la teoría de circuitos. Dichas técnicas de modelado son muy generales y potentes, aplicables tanto a dispositivos históricos tales como los tubos de vacío, como a dispositivos modernos del tipo de transistores de efectos de campo y otros aún por inventar.

En la siguiente sección veremos por qué necesitamos los amplificadores y utilizaremos nuestras ideas básicas de modelado para estudiar algunas de sus propiedades prácticas.

1.3 AMPLIFICADORES IDEALES

Todos los amplificadores tienen una señal de entrada que controla una señal de salida con más potencia. Esta sección describe un amplificador ideal que encierra la esencia de esta idea en un sencillo modelo. Una vez comprendido el ideal, incorporaremos características adicionales que lo hagan menos ideal y más aproximado a los amplificadores reales.

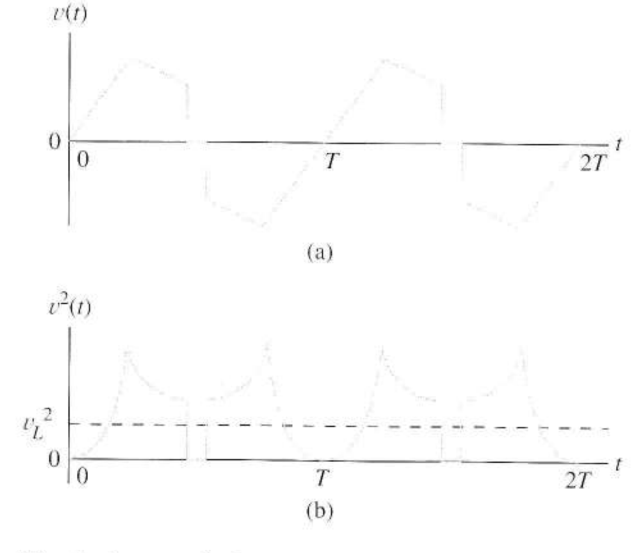


FIGURA 1.15 Valor rms de una tensión variable con el tiempo; (a) forma de onda de la tensión; (b) valor cuadrático medio de $v(t)$.

Para revisar el significado de potencia de una señal, supongamos la tensión $v(t)$ de la Figura 1.15a aplicada sobre una resistencia R_L. La *potencia instantánea* disipada por R_L es

$$P_i(t) = \frac{v^2(t)}{R_L}$$

Restringiendo nuestro estudio a tensiones como $v(t)$ que son periódicas con un período T (se repiten cada T segundos), la *potencia media* en R_L es

$$P_{med} = \frac{1}{T}\int_0^T P_i(\tau)d\tau = \frac{1}{T}\int_0^T \frac{v^2(\tau)}{R_L}d\tau = \frac{\left[\sqrt{\frac{1}{T}\int_0^T v^2(\tau)d\tau}\right]^2}{R_L}$$

Si definimos el valor cuadrático medio (rms[5] o valor eficaz) de $v(t)$ por

$$v_L = \sqrt{\frac{1}{T}\int_0^T v^2(\tau)d\tau} \quad (1.10)$$

podremos calcular la potencia media en $v(t)$ usando

$$P_{med} = \frac{v_L^2}{R_L}$$

La Figura 1.15b muestra el cuadrado de la tensión $v^2(t)$; la línea punteada es su media. El valor rms, v_L es la raíz cuadrada del cuadrado de su valor medio, un número asociado con cualquier señal periódica que nos permite hallar la potencia media mediante el uso de una ecuación habitual en circuitos de continua. Un cálculo similar del valor rms de una corriente periódica variable con el tiempo $i(t)$ nos da

$$i_{Lrms} = \sqrt{\frac{1}{T}\int_0^T i^2(\tau)d\tau}$$

A menos que se especifique lo contrario, el término "potencia" significará en lo sucesivo potencia media. Un resultado útil de este desarrollo es el concepto de valor rms de una *señal* de tensión o corriente variable con el tiempo.

1.3.1 LA NECESIDAD DE LOS AMPLIFICADORES

La Figura 1.16a es un ejemplo de la necesidad de los amplificadores. Tenemos una *fuente de señal* con tensión en circuito abierto $v_S(t)$ y una resistencia interna R_S. Para llegar a un objetivo útil, la señal debe ir dirigida a una carga *dada* R_L. Por ejemplo, supongamos que la fuente es la cabeza de un lector de cintas de cassette con una tensión en circuito abierto de 100 mV rms y resistencia interna R_S = 22 kΩ, una carga de un altavoz de 100 mW y 8Ω y el objetivo es producir música audible. Dado que el altavoz debe producir ondas de presión en el aire lo suficientemente intensas como para estimular el oído, es raro que la carga necesite un valor determinado de potencia. Para producir música al nivel 100 mW la tensión rms del altavoz debe cumplir

$$\frac{V_L^2}{8} = 100\text{mW}$$

por tanto se necesita una tensión de salida V_L = 894 mV rms. Claramente la cabeza del lector de la cinta es incapaz de producir 100 mW ya que el valor rms de $v_i(t)$, V_I es menor de los 894 mV requeridos. La situación es realmente peor que ésta ya que una conexión directa entre la cabeza y el altavoz produce la división de tensión:

$$V_L = \left(\frac{8}{8+22.000}\right) V_I = (0{,}00036 \times 100) = 0{,}036 \text{ mV}$$

Es más fácil, menos caro y una aproximación más flexible, amplificar la señal existente que intentar diseñar un cabezal que pueda proporcionar directamente la potencia necesaria de salida.

[5]N. del T.: El término rms son las iniciales de Root-Mean-Square, es decir, valor cuadrático medio que recibe, también el nombre de "valor eficaz".

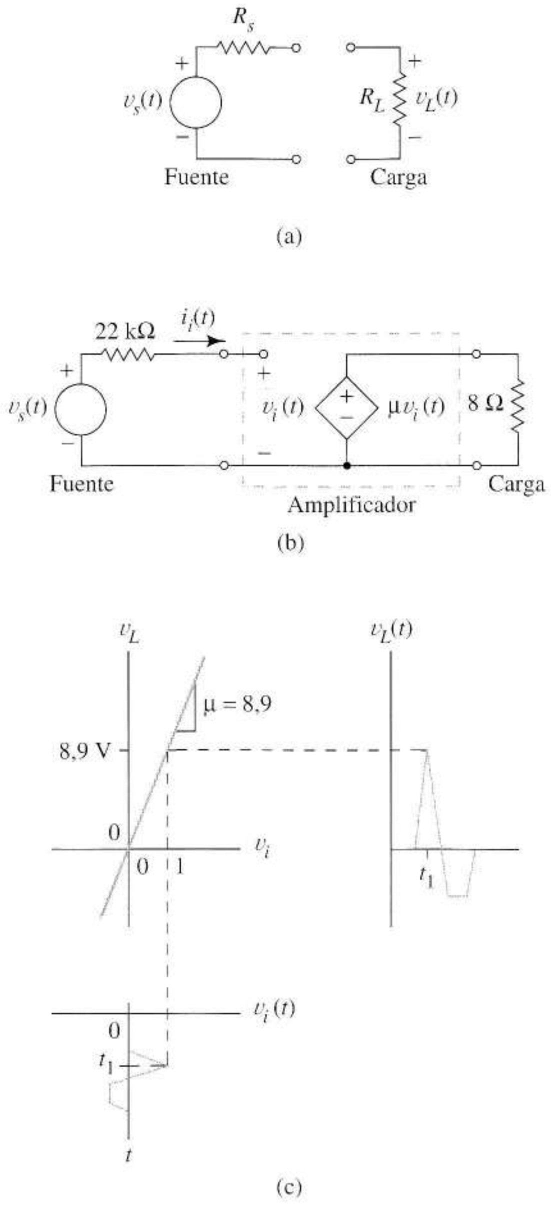


FIGURA 1.16
(a) El problema del amplificador: fuente dada y carga; (b) fuente acoplada a la carga con un amplificador ideal; (c) amplificación vista como proyección sobre la función de transferencia.

1.3.2 EL AMPLIFICADOR IDEAL

Un tipo de amplificador ideal es la VCVS . La Figura 1.16b nos ayuda a descubrir cómo incrementa la potencia de la señal de salida. El análisis de nuestro circuito lleva asociados valores rms. La corriente de entrada del amplificador $i_i(t)$ es cero debido a la existencia del circuito abierto. Esto hace que la tensión interna caiga en la resistencia del cabezal $i_i(t)[22k] = 0$. La tensión de entrada del amplificador es

$$v_i(t) = v_s(t) - i_i(t)[22\text{k}] = v_s(t)$$

La fuente dependiente produce $\mu v_s(t)$ Voltios sobre la resistencia de carga.

De esta forma, la ganancia de tensión, A_v, de un amplificador se define como

$$A_v = \frac{\text{tensión de salida}}{\text{tensión de entrada}} \tag{1.11}$$

En la notación de la Figura 1.16b $A_v = \mu$. Para producir los 100 mW del altavoz (894 mV de tensión de salida), el amplificador debe tener una ganancia de tensión que cumpla

$$A_v V_i = \mu 100 = V_o = 894$$

De esta forma la ganancia de tensión de $\mu \geq 8{,}94$ asegura una potencia de sonido adecuada.

La Figura 1.16c utiliza la característica de transferencia VCVS para mostrar la forma en que el amplificador ideal procesa la entrada $v_s(t)$. La construcción gráfica surge a partir de la idea de componer funciones en matemáticas. Recordemos que si una función $x = f(y)$ es conocida y si y es por sí misma una función de otra variable t, entonces $x(t)$ puede hallarse a partir de la sustitución $x(t) = f(y(t))$.

Para cada t hallaremos en primer lugar el valor $y(t)$; después hallaremos la x que corresponde a esa y. La curva característica de transferencia de la Figura 1.16c, un gráfico de la función líneal $v_o = f(v_s)$ toma el lugar de $x = f(y)$. Para hallar cómo varía v_L con t desarrollaremos primero $v_s\ (t)$ bajo la curva de transferencia. Además, a la derecha se realiza un sistema de coordenadas para $v_L(t)$. En cada instante, como por ejemplo $t = t_1$, tenemos el valor gráfico de $v_s(t_1)$. Proyectar este valor hasta la característica de transferencia utilizando la línea punteada vertical es equivalente a calcular $v_L(t_1) = f(v_s(t_1))$. Proyectar este valor horizontalmente hasta el instante t_1 completa la operación de composición de funciones. Haciendo esto para cada t, estableceremos la forma de onda completa de salida para cualquier forma de onda de entrada. (Generalmente, podremos conocer la forma general de la onda utilizando principalmente la imaginación, es decir, sin realizar la proyección punto a punto.)

La figura ejemplo 1.16c muestra que la señal de salida tiene exactamente la misma forma que la de entrada, pero es 6,9 veces mayor. Un amplificador con una mayor ganancia de tensión tendría una característica de transferencia con más pendiente y daría lugar a una señal de salida más grande, teniendo la misma entrada. En términos de las funciones de transferencia v_L frente a v_s, la definición de la ganancia de tensión de la Ecuación (1.11) se transforma en la pendiente

$$A_v = \frac{dv_L}{dv_i}$$

Hacer la proyección a partir de una curva es un procedimiento importante que utilizaremos a menudo, ya que da una visión de problemas complicados sin requerir demasiado esfuerzo.

Otro parámetro útil de la ganancia de un amplificador es la ganancia de potencia, A_p, definida por

$$A_p = \frac{\text{potencia de salida}}{\text{potencia de entrada}} \tag{1.12}$$

Vemos que cuando $\mu = 8{,}9$ el amplificador de la Figura 1.16b entrega 100 mW al altavoz, pero no toma potencia de entrada de la fuente ya que la corriente de entrada es cero. Por tanto, la ganancia de potencia del amplificador ideal es infinita. En siguientes capítulos veremos que muchos amplificadores reales reciben una potencia de entrada insignificante y en consecuencia tienen aproximadamente una ganancia de potencia infinita.

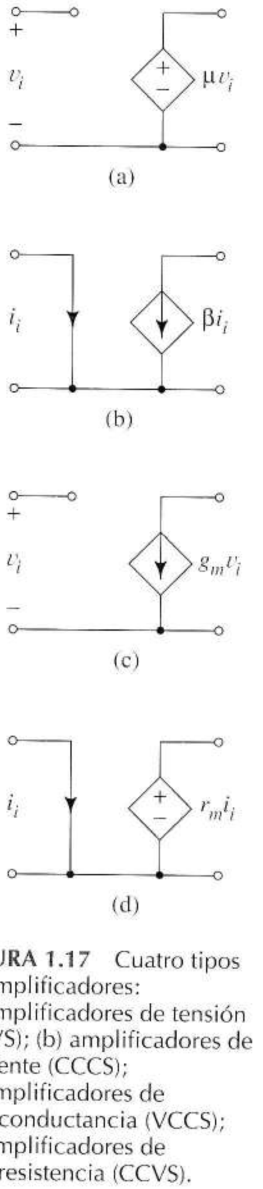


FIGURA 1.17 Cuatro tipos de amplificadores:
(a) amplificadores de tensión (VCVS); (b) amplificadores de corriente (CCCS);
(c) amplificadores de transconductancia (VCCS);
(d) amplificadores de transresistencia (CCVS).

Cuando un amplificador aumenta la señal de potencia, siempre es en el contexto de la Figura 1.1a. En ella tenemos una fuente de tensión continua V_{PP} que proporciona potencia al amplificador a través de una tensión constante y una corriente de pulsos. El amplificador *convierte* parte de esta tensión en señal de potencia, proporcionando así ganancia de potencia sin violar el principio de conservación de energía. Mediante la sola descripción de señales, nuestros circuitos equivalentes ocultan los detalles de la transferencia de potencia.

Hasta ahora la palabra "amplificador" ha querido decir *amplificador de tensión* en el que una tensión de entrada controla una tensión de salida. La VCVS de la Figura 1.17a sirve como modelo. Podemos controlar una señal de salida con una de entrada de otras tres formas. Una de ellas es utilizar un *amplificador de corriente* modelado por una CCCS como en la Figura 1.17b. La función de transferencia de este amplificador es una representación de la corriente de salida frente a la de entrada. Para este circuito la ganancia es de corriente, pendiente de la función de transferencia. Los dispositivos físicos llamados transistores bipolares funcionan como amplificadores de corriente.

Otra posibilidad es el *amplificador de transconductancia*, en el que la tensión de entrada controla la corriente de salida como en la Figura 1.17c. Su nombre describe muy bien su función, dado que la conductancia es la relación entre tensión y corriente, y el prefijo trans significa a través de. Es decir, el control pasa desde una tensión de *entrada* hasta una corriente de *salida*. La función de transferencia de un amplificador de transconductancia es una representación de la corriente de salida en relación con la tensión de entrada; la ganancia es g_m y la pendiente de la curva tiene dimensiones de conductancia. Los llamados transistores de efecto de campo son de forma inherente amplificadores de transconductancia.

El amplificador de transresistencia, modelado por la CCVS completa el conjunto. La ganancia en este caso, es la *transresistencia* r_m en la Figura 1.17d. Podemos concluir que las características *vi* de las cuatro fuentes dependientes son descripciones ideales de los cuatro amplificadores básicos.

Hasta ahora hemos tratado la ganancia como un número positivo; sin embargo también nos encontraremos frecuentemente con valores negativos que significan que la pendiente de la curva de transferencia es negativa. La Figura 1.18 muestra que su resultado es una señal de salida *invertida*, es decir, una imagen especular sobre el eje tiempo, que además está amplificada. Inversiones de señal de este tipo no presentan problemas de procesamiento de información.El ejemplo del cabezal/altavoz es extrapolable a muchas aplicaciones prácticas. En vez de un cabezal, el origen de la señal podría ser un electrocardiógrafo, una galga extensiométrica o una antena receptora; en vez de música, la salida deseada podría ser un registro gráfico, sectores de memoria magnética en un disco de un computador o la posición de un motor que maneja los cables de un ascensor.

Siempre hay una fuente dada que produce la señal de entrada y una carga, cada una de ellas con ciertos parámetros que deben funcionar unidos de alguna forma. El amplificador *da* la potencia *solicitada* por la carga, además de mantener las características de la señal. La siguiente sección tratará sobre complicaciones prácticas que surgen al implementar estos conceptos básicos sobre amplificadores.

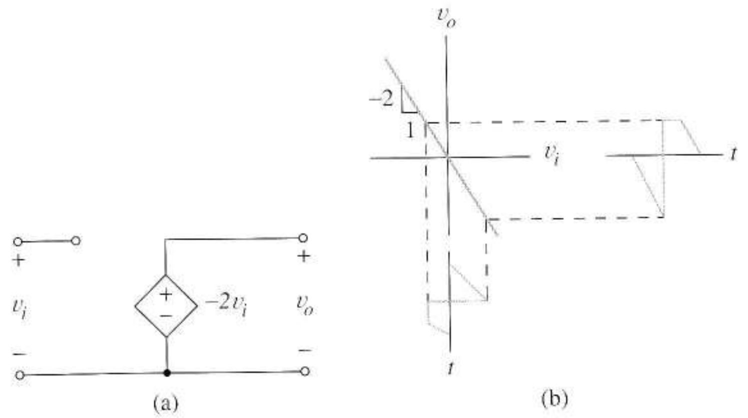


FIGURA 1.18 Amplificador inversor; (a) un VCVS con ganancia negativa; (b) efecto de la ganancia negativa en la señal de salida.

1.4 ENTRADAS, SALIDAS Y CARGAS INTERMEDIAS

1.4.1 EFECTOS DE LAS RESISTENCIAS DE ENTRADA Y SALIDA

Para realizar un modelo más realista de un amplificador, añadiremos resistencias internas a la fuente dependiente como en la Figura 1.19a. Hay una resistencia de salida R_o y una resistencia de entrada R_i. Las descripciones de los amplificadores suelen dar valores para μ, R_i y R_o y debemos comprender el significado de estos parámetros antes de poder diseñar, encargar o incluso utilizar de forma inteligente un amplificador real.

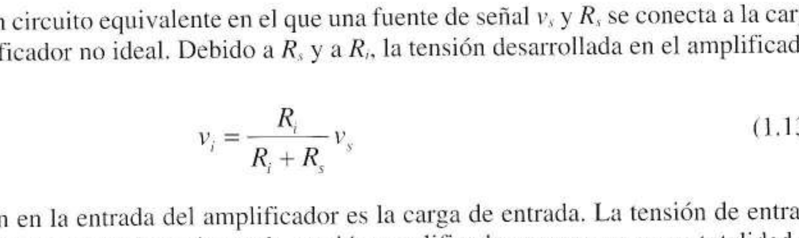


FIGURA 1.19 Modelo real de un amplificador; (a) circuito equivalente del amplificador; (b) amplificador utilizado para acoplar una fuente a una carga dada.

La Figura 1.19b es un circuito equivalente en el que una fuente de señal v_s y R_s se conecta a la carga R_L a través de un amplificador no ideal. Debido a R_s y a R_i, la tensión desarrollada en el amplificador de entrada es sólo

$$v_i = \frac{R_i}{R_i + R_s} v_s \tag{1.13}$$

Esta división de tensión en la entrada del amplificador es la carga de entrada. La tensión de entrada v_i se amplifica internamente en μ; sin embargo la tensión amplificada no aparece en su totalidad en la resistencia de carga debido a la *resistencia* de salida. Así:

$$v_o = (\mu v_i)\frac{R_L}{R_L + R_o} \tag{1.14}$$

De las Ecuaciones (1.13) y (1.14) deducimos que la ganancia de tensión del amplificador no ideal es

$$A_v = \frac{v_o}{v_i} = \mu\frac{R_L}{R_L + R_o} \tag{1.15}$$

Observemos que μ no es realmente la ganancia, sino un límite superior de la ganancia. Como la ganancia máxima se encuentra en $R_L \to \infty$ llamamos a μ *ganancia de tensión en circuito abierto.*

Suele ser útil una segunda definición de ganancia de tensión, que incluye la carga de entrada. Definimos la nueva ganancia A'_v como

$$A'_v = \frac{v_o}{v_s} \tag{1.16}$$

Sustituyendo v_i de la Ecuación (1.13) en la Ecuación (1.14) obtenemos

$$A'_v = \frac{R_i}{R_i + R_s}\mu\frac{R_L}{R_L + R_o} \tag{1.17}$$

Esta definición muestra que cuando los requisitos del amplificador incluyen a v_s y v_o, no sólo debemos considerar a μ sino también R_i y R_o. Esto muestra que haremos mejor uso de las capacidades de un amplificador si la carga es tal que $R_L >> R_o$ y $R_s << R_i$. Sólo entonces la ganancia se aproximará a la del amplificador ideal. El tener dos expresiones de ganancia no supone ningún problema siempre que tengamos cuidado de indicar cuál de ellas estamos utilizando en un momento dado.

Dado que el amplificador de la Figura 1.19b no tiene una corriente de entrada cero, su ganancia no es infinito. Podemos derivar una expresión general para la ganancia de potencia de la Figura 1.19b, sin embargo es más fácil acudir a la definición de la Ecuación (1.12) y utilizar el modelo del circuito cuando se necesita saber la ganancia de potencia.

Otra variable es la ganancia de corriente,

$$A_i = \frac{\text{corriente de salida del amplificador}}{\text{corriente de entrada del amplificador}} \tag{1.18}$$

En los siguientes ejercicio y ejemplo, aplicamos las diferentes definiciones y conceptos del modelado.

Ejercicio 1.3 Una señal con tensión de 5 mV en circuito abierto y 10 kΩ de resistencia interna se conecta a una carga de 100 Ω usando un amplificador no ideal. El amplificador tiene una ganancia de tensión en circuito abierto de 200, resistencia interna de 90 kΩ y 100 Ω de resistencia de salida. Calcular los valores numéricos de la tensión de salida del amplificador y la ganancia de tensión.

Respuesta $V_O = 450$ mV, $A_V = 100$.

EJEMPLO 1.3 Tomando el amplificador del Ejercicio 1.3 hallar a) la ganancia de corriente, b) la ganancia de potencia y c) la tensión que habría en la resistencia de carga si la fuente se conectara directamente a la carga sin utilizar un amplificador.

Solución a) El primer paso consiste en hacer un resumen de los datos conocidos mediante un diagrama como el de la Figura 1.20a. Utilizando las respuestas de los ejercicios y trabajando con valores rms llegamos a:

$$i_i = \frac{v_i}{R_i} = \frac{4{,}5 \times 10^{-3}}{90k} = 5 \times 10^{-8}\,\text{A}$$

$$i_o = \frac{v_o}{R_L} = \frac{4{,}5 \times 10^{-1}}{100} = 4{,}5\text{mA}$$

Además, la Ecuación (1.18) nos da lo siguiente:

$$A_i = \frac{4{,}5 \times 10^{-3}}{5 \times 10^{-8}} = 9 \times 10^{4}$$

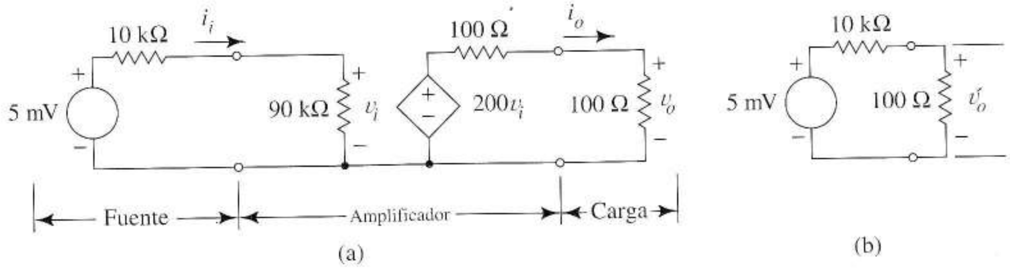


FIGURA 1.20 Diagramas de circuitos del Ejemplo 1.3; (a) Carga conectada a la fuente a través de un amplificador; (b) Carga conectada directamente a la fuente.

b) La potencia de salida del amplificador cae sobre R_L. En consecuencia

$$P_o = \frac{v_o^2}{R_L} = \frac{0{,}45^2}{100} = 2{,}03\text{mW}$$

La potencia de la señal que entra en el amplificador es:

$$P_i = v_i i_i = \frac{\left(4{,}5 \times 10^{-3}\right)^2}{9 \times 10^{4}} = 2{,}25 \times 10^{-10}\,\text{W}$$

Así, la ganancia en potencia es

$$A_p = \frac{2{,}03 \times 10^{-3}}{2{,}25 \times 10^{-10}} = 9{,}02 \times 10^{6}$$

c) La Figura 1.20b muestra que sin el amplificador, la tensión en circuito abierto de 5 mV se reducirá por la división de tensión a

$$V_o' = \left(\frac{100}{10.100}\right) \times 5 = 0{,}0495\text{mV}$$ ❑

Es posible que el amplificador de tensión sea el modelo más utilizado; sin embargo, a veces existen circunstancias especiales que son más favorables para usar el amplificador ideal de la Figura 1.17. La fuente disponible dicta cuál es el circuito de entrada apropiado para el amplificador. Cualquier

fuente de tensión apunta hacia una entrada en circuito abierto (control por tensión); cualquier fuente de corriente favorece la utilización de una entrada en cortocircuito (control por corriente). La Figura 1.21a muestra la fuente como una tensión en serie con una pequeña impedancia Z_s. Esta impedancia puede ser una función de la frecuencia, suele ser fuertemente variable y es, con bastante probabilidad, no lineal (el valor de Z_s cambia con la corriente). Si hay un flujo de corriente apreciable a través de Z_s, la entrada v_i del amplificador puede ser significativamente distinta a $v_s(t)$, indicando que la señal del amplificador está deformada. Las entradas en circuito abierto de los amplificadores de tensión y transconductancia aseguran que $v_i = v_s(t)$. Un amplificador real con resistencia de entrada $R_i >> |Z_s|$ es la mejor opción.

Aunque tenemos tendencia a pensar en las señales como tensiones, algunas fuentes dan información en forma de corriente. Un ejemplo es el fotodetector, que convierte intensidad luminosa en corriente eléctrica. Cualquier fuente de corriente no ideal, con alta impedancia interna, se visualiza mejor en la Figura 1.21b, donde Z_s sería dependiente de la frecuencia, muy variable y no lineal (función de tensión). Un amplificador ideal con una resistencia de entrada cero es más adecuada ya que la tensión en Z_s es cero; de esta forma $i_i = i_s(t)$ y Z_s no tiene absolutamente ningún efecto sobre la señal de entrada. Un amplificador real con $R_i << |Z_s|$ es una solución casi tan válida.

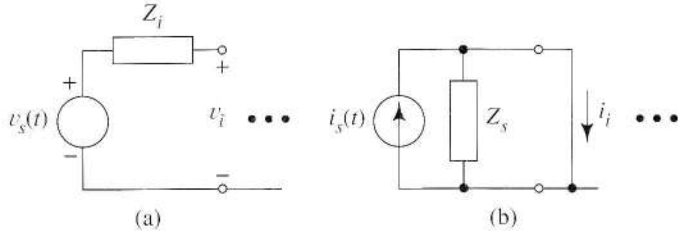


FIGURA 1.21 Fuentes de señal y circuitos de entrada de un amplificador ideal; (a) la fuente de tensión favorece un circuito abierto; (b) la fuente de corriente favorece un cortocircuito.

Las necesidades de la salida del amplificador sugieren cuál sería el mejor circuito de salida. La mayoría de las veces, la información de salida se codifica en forma de tensión, por lo que un amplificador de tensión o transresistencia es lo mejor. Sin embargo, la información puede tomar ocasionalmente forma de corriente. Un ejemplo práctico es una terminal de pantalla de video que utiliza el campo magnético producido por una bobina para desviar un haz de electrones. Como la fuerza magnética de deflexión es proporcional a la corriente de la bobina, la información sobre la desviación se debe codificar en forma de corriente. En este tipo de aplicaciones son más convenientes los amplificadores de corriente y de transconductancia.

1.4.2 AMPLIFICADORES CON ETAPAS EN CASCADA

Si un amplificador no tiene la suficiente ganancia como para satisfacer las especificaciones, se deben utilizar dos amplificadores en *cascada*, como en la Figura 1.22. A partir de la figura, la ganancia del primer amplificador es

$$Av_1 = \frac{v_2}{v_1} = \mu_1 \frac{R_{i2}}{R_{i2} + R_{o1}} \tag{1.19}$$

La ganancia del segundo amplificador es

$$\frac{v_o}{v_2} = A_{v2} = \mu_2 \frac{R_L}{R_L + R_{o2}} \tag{1.20}$$

La ganancia del amplificador resultante es el producto de las ganancias por separado; es decir

$$\frac{v_o}{v_1} = A_v = \frac{v_2}{v_1} \times \frac{v_o}{v_2} = A_{v1} \times A_{v2} \tag{1.21}$$

que da como resultado

$$A_v = \mu_1 \frac{R_{i2}}{R_{i2} + R_{o1}} \mu_2 \frac{R_L}{R_L + R_{o2}} \tag{1.22}$$

después de sustituir las Ecuaciones (1.19) y (1.20). El último factor es un término de carga de salida. El segundo factor se llama el *factor de carga intermedio*, porque resulta de las cargas de conexión entre las partes del amplificador. El principio de multiplicar las ganancias individuales incluyendo los *efectos de carga intermedios*, para obtener la ganancia global de una sucesión de amplificadores en cascada como en la Ecuación (1.21) se extiende a trés o más amplificadores en cascada.

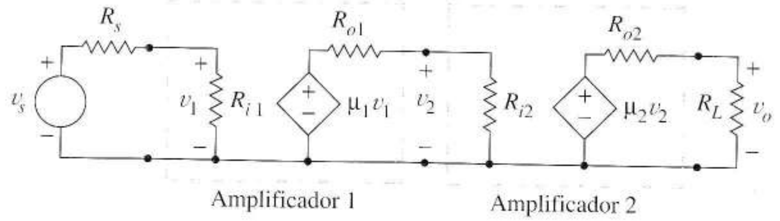


FIGURA 1.22 Amplificador en dos etapas formadas por la conexión de dos amplificadores en cascada.

Resaltemos el papel desarrollado por la simplificación que resulta de la aplicación de los modelos de los amplificadores en los anteriores desarrollos. Si nos concentramos en las definiciones y modelos, podemos obtener fácilmente las ecuaciones necesarias usando simplemente el análisis de circuitos y así evitar memorizarlas. Este patrón se mantendrá a lo largo del libro.

1.4.3 DECIBELIOS

Hemos definido ganancia de tensión, corriente y potencia como simples relaciones entre variables de salida y entrada. Las ganancias, así como otras relaciones, se expresan a veces de una forma más conveniente en unidades logarítmicas llamadas *decibelios* (dB), especialmente si tratamos con grandes variaciones de ganancias o cascadas de amplificadores. La definición de *ganancia* de tensión *en decibelios*, A_{vdB}, es

$$A_{vdB} = 20 \times \log |A_v| = 20 \times \log |v_o / v_i| \tag{1.23}$$

donde log se refiere al logaritmo en base 10. El signo de valor absoluto es necesario, dado que la ganancia es a veces negativa. La ganancia de potencia en decibelios viene dada por

$$A_{idB} = 20 \times \log |A_i| = 20 \times \log |i_o / i_i| \tag{1.24}$$

La ganancia en potencia tiene una definición diferente de decibelio, a saber,

$$A_{pdB} = 10 \times \log |A_p| = 10 \times \log |P_o / P_i| \tag{1.25}$$

El Problema 1.29 trata la forma en que A_{pdB} se relaciona con A_{vdB} y A_{idB}.

Ejercicio 1.4 Un amplificador tiene tensiones rms de entrada y salida de 35 mV y 6V respectivamente. Sus resistencias de carga de entrada y salida son 10 kΩ y 20 kΩ respectivamente. Calcular la ganancia de tensión, corriente y potencia de este amplificador en decibelios.

Respuesta $A_{vdB} = 44{,}7$ dB, $A_{idB} = 38{,}7$ dB, $A_{pdB} = 41{,}7$ dB.

Para convertir los decibelios, utilizamos la inversa de la definición. Por ejemplo, un amplificador con ganancia de potencia de 23 dB, en la Ecuación (1.25) tiene una ganancia de potencia de

$$A_p = 10^{23/10} = \frac{P_o}{P_i} = 199{,}5$$

Los decibelios, nombre dado en honor de Alexander Graham Bell, inventor del teléfono, se formularon originariamente como medidas convenientemente relacionadas con la respuesta del oído humano. Dado que el oído percibe el mismo incremento en la potencia de salida de un altavoz desde 0,1 W a 1 W (incremento de 0,9 W) que un incremento de 1 W a 10 W (incremento de 9 W), tiene sentido describirlos a ambos como incrementos de 10 dB. Además, con escalas de decibelios, podemos describir gráficamente conjuntos de números que se encuentran entre lo muy grande y lo muy pequeño. Por ejemplo, la curva de un amplificador de ganancia que varía desde 1 a 10^5 con variaciones en algún parámetro, se puede representar convenientemente en una escala de decibelios que varía entre 0 y 100 dB.

Otra característica útil es que la ganancia en decibelios de un amplificador en cascada es la suma de las ganancias en decibelios de las etapas individuales. Si un amplificador de 3 etapas tiene una ganancia en tensión dada por

$$A_v = A_{v1} A_{v2} A_{v3}$$

TABLA 1.1 Ganancias en decibelios y relaciones de ganancia

Ganancia en decibelios		Relación en tensión o corriente
+20	——	×10
+6	——	×2
+3	——	×1,414
+1	——	×1,12
+0	——	×1,0
−1	——	×0,892
−3	——	×0,707
−6	——	×0,5
−20	——	×0,1

entonces, en decibelios, tenemos

$$A_{vdB} = 20\left[\log|A_{v1}| + \log|A_{v2}| + \log|A_{v3}|\right] = A_{v1dB} + A_{v2dB} + A_{v3dB}$$

La Tabla 1.1 muestra unos cuantos valores importantes en decibelios y sus tensiones correspondientes. Cero dB corresponde a la ganancia unidad, los valores positivos corresponden a ganancias mayores que 1 y los negativos, a ganancias fraccionarias. Los signos más y menos de la primera columna nos recuerdan que los decibelios se suman. Los signos de producto en la segunda columna nos recuerdan que las ganancias se multiplican. Recordando unos cuantos valores de la tabla 1.1 podemos hacer rápidas conversiones mentales desde decibelios. Para una tensión de 47 dB, obtenemos mentalmente 47 = 20 + 20 + 6 + 1.

Razonaremos entonces que el valor equivalente es: 10 × 10 × 2 × 1,12 ó 224. Para 57 dB, pensaremos que : 57 = 20 + 20 + 20 – 3, lo que hace que el valor sea: 10 × 10 × 10 × 0,707 = 707.

1.5 AMPLIFICADORES DIFERENCIALES

A continuación introduciremos un nuevo tipo de amplificador, conocido tanto como *amplificador de diferencias* o *amplificador diferencial*. Sus propiedades especiales hacen de este dispositivo integrado un elemento muy versátil, especialmente útil para procesar señales de baja amplitud en entornos ruidosos. El amplificador diferencial es también un bloque constructivo utilizado en amplificadores integrados de alta calidad, procesamiento de señales lineales y no lineales e incluso puertas lógicas y circuitos de interfaz digital. El conocimiento del amplificador diferencial es por tanto esencial, tanto para amplificadores comercialmente disponibles como para comprender los sofisticados circuitos integrados descritos en capítulos posteriores.

1.5.1 DEFINICIONES BÁSICAS

El amplificador diferencial, Figura 1.23, tiene una masa de referencia y tres nodos asociados al procesamiento de señal. El nodo marcado con un signo más, es la *entrada no inversora*. El signo menos identifica la *entrada inversora*. Como la entrada de información lleva asociados esos dos nodos, decimos que el amplificador tiene una *entrada doble*. El otro nodo es el de salida. Como sólo hay un nodo de salida, este amplificador es de *una salida*. Todos los amplificadores de secciones anteriores tenían una entrada y una salida.

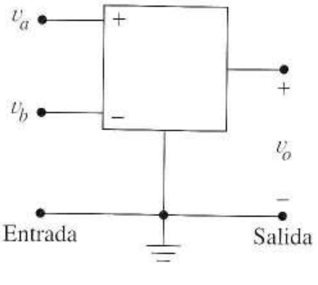


FIGURA 1.23 Símbolo esquemático del amplificador diferencial.

Algunos autores usan un símbolo triangular para el amplificador diferencial; sin embargo, en este libro, reservaremos ese signo para el amplificador operacional, un amplificador diferencial especial que tiene una ganancia de tensión excepcionalmente alta. Las señales entran en el amplificador diferencial como un *par* de tensiones v_a y v_b. La información codificada en dos tensiones de este modo lo llamaremos señal diferencial. Describiremos esta señal con dos componentes: un componente en *modo diferencial* definido por

$$v_d = v_a - v_b \tag{1.26}$$

y un componente en modo común definido por

$$v_c = \frac{v_a + v_b}{2} \tag{1.27}$$

En base a estos componentes, el amplificador diferencial de la Figura 1.23 realiza la operación

$$v_o = A_d v_d + A_c v_c \tag{1.28}$$

donde A_d es la *ganancia en modo diferencial* y A_c es la *ganancia en modo común*. Ordinariamente la componente en modo diferencial es la información útil para amplificar y la de modo común es un elemento no deseado, como por ejemplo ruido. En consecuencia, el amplificador diferencial se diseña para que A_d sea grande, generalmente mucho mayor de uno, y que A_c sea pequeño, a menudo menor de uno.

Cuando una señal se combina con demasiado ruido añadido, el amplificador de una entrada no es muy útil, ya que amplifica de igual forma la señal que el ruido. Sin embargo podremos configurar a menudo un amplificador diferencial para que la señal entre en el amplificador fundamentalmente a través del modo diferencial y que el ruido entre ante todo *en modo común*.

1.5.2 SEÑALES DIFERENCIALES COMO SUPERPOSICIÓN DE LOS COMPONENTES DIFERENCIAL Y EN MODO COMÚN

Las Ecuaciones (1.26) y (1.27) indican que podemos visualizar cualquier *par arbitrario* de tensiones como una *superposición* de componentes en modo común y diferencial. Para ayudar a realizar esta visualización haremos primero una pequeña demostración. Sean $v_a(t)$ y $v_b(t)$, dos funciones temporales arbitrarias.

Multiplicando las Ecuaciones (1.26) por 1/2 y añadiéndole la Ecuación (1.27) nos da

$$v_a(t) = v_c(t) + \frac{v_d(t)}{2} \tag{1.29}$$

Restando un medio de la Ecuación (1.26) de la (1.27) da

$$v_b(t) = v_c(t) - \frac{v_d(t)}{2} \tag{1.30}$$

El circuito de la Figura 1.24a es una interpretación de las Ecuaciones (1.29) y (1.30). La primera expresa la tensión $v_a(t)$ como la suma de tensiones de las dos fuentes en serie conectadas entre masa y el nodo a en la Figura 1.24a. La Ecuación (1.30) es una expresión semejante de $v_b(t)$. Mediante el uso de la superposición, podemos aislar los distintos modos que componen la señal desconectando la fuente en modo común de la Figura 1.24a. Haciendo esto obtendremos la Figura 1.24b, que muestra que la esencia de una *señal en modo diferencial* consiste en un par de tensiones de igual amplitud y polaridad opuesta, una sutileza importante que no es evidente en la Ecuación (1.26). En lo sucesivo, nos referiremos al esquema de la Figura 1.24a, obteniendo la Figura 1.24c. Llegaremos a la conclusión de que el componente en modo común (*señal en modo común puro*) es una tensión con idéntica fase en los dos nodos.

La idea de superposición expresada en la Figura 1.24 no sólo muestra la naturaleza básica de los modos común y diferencial, sino que además proporciona una importante herramienta conceptual y analítica. Para hallar la respuesta de cualquier circuito lineal de tensión diferencial, podemos calcular las respuestas a los modos diferencial y común de forma separada y después sumar los resultados. Ahora veremos la Ecuación (1.28) como una simple expresión de superposición en el amplificador diferencial.

Ejercicio 1.5 Hallar los componentes común y diferencial cuando las tensiones de entrada son $v_a = +5$ V y $v_b = -2$ V.

Solución $v_d = +7$ V, $v_c = +1{,}5$ V.

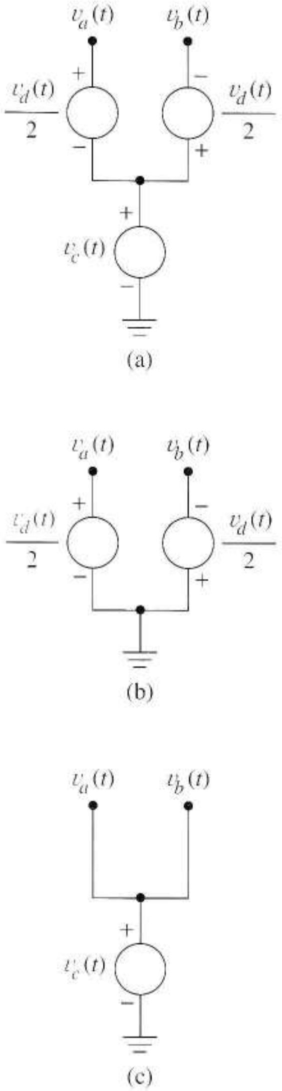


FIGURA 1.24
(a) Componentes en modo diferencial y común de una señal de entrada cualquiera; (b) señal en modo diferencial puro; (c) señal en modo común puro.

EJEMPLO 1.4 Hallar los componentes en modo común y diferencial cuando las tensiones de entrada son: $v_a(t) = 2 + 3\cos 30t + 8\cos 16t$ y $v_b(t) = 6 - 4\cos 30t + 8\cos 16t$.

Solución

$$v_d(t) = (2 + 3\cos 30t + 8\cos 16t) - (6 - 4\cos 30t + 8\cos 16t) = -4 + 7\cos 30t$$

$$v_c(t) = 0{,}5[(2 + 3\cos 30t + 8\cos 16t) + (6 - 4\cos 30t + 8\cos 16t)]$$
$$= 4 - 0{,}5\cos 30t + 8\cos 16t$$

❑

EJEMPLO 1.5 Las tensiones aplicadas a un amplificador diferencial son

$$v_a(t) = 0{,}010\cos(2\pi\ 400t) + 0{,}20\cos(2\pi\ 60t)$$

y

$$v_b(t) = -0{,}010\cos(2\pi\ 400t) + 0{,}20\cos(2\pi\ 60t)$$

Hallar $v_o(t)$ si $A_d = 100$ y $A_c = 0{,}5$

Solución Los componentes en modo diferencial y común son

$$v_d(t) = 0{,}02\cos(2\pi\ 400t)$$

y

$$v_c(t) = 0{,}20\cos(2\pi\ 60t)$$

Utilizando la Ecuación (1.28)

$$v_o(t) = 2\cos(2\pi\ 400t) + 0{,}10\cos(2\pi\ 60t)$$

❑

Ejercicio 1.6 Hallar $v_o(t)$ para un amplificador diferencial que tiene una ganancia en modo diferencial 2 y en modo común 0,001 si $v_a(t)$ y $v_b(t)$ son las funciones en el ejemplo 1.4.

Respuesta $v_o(t) \approx -7{,}996 + 13{,}9995\cos 30t + 0{,}008\cos 16t$.

1.5.3 RECHAZO DEL MODO COMÚN

En el Ejemplo 1.5 la amplitud del ruido en modo común de 60 Hz era 10 veces la de la señal en modo diferencial de 400 Hz de la entrada; sin embargo en la salida el ruido sólo era 1/20 veces la señal. No sólo se había amplificado la señal 100 veces, sino que también se había reducido el ruido relativo a la señal, demostrando la capacidad del amplificador diferencial de discriminar las señales para quedarse con el componente deseado.

Una "*cifra de mérito*" es un número que mide alguna capacidad especial de un dispositivo. Las cifras de mérito son útiles como especificaciones y forman una base de comparación de elementos semejantes entre sí. Describimos la capacidad del amplificador diferencial de reducir el componente en modo común mediante una cifra de mérito llamada *razón de rechazo de modo común* (RRMC)

$$\text{RRMC} = \frac{A_d}{A_c} \tag{1.31}$$

En decibelios, RRMC es

$$\text{RRMC}_{dB} = 20 \log \left| \frac{A_d}{A_c} \right| \tag{1.32}$$

Las especificaciones del amplificador diferencial suelen incluir A_d y RRMC_{dB}; hallaremos A_c a partir de la Ecuación (1.32) si es preciso.

Para apreciar mejor la forma en que RRMC se relaciona con la reducción de ruido, escribimos la Ecuación (1.31) como

$$\text{RRMC} = \frac{A_d}{A_c} = \frac{v_{od}/v_{id}}{v_{oc}/v_{id}} \times 1 = \left(\frac{v_{od}/v_{id}}{v_{oc}/v_{ic}} \times \frac{v_{id}/v_{oc}}{v_{id}/v_{oc}} \right) = \frac{v_{od}/v_{oc}}{v_{id}/v_{ic}}$$

donde los subíndices *i* y *o* representan la entrada y la salida del amplificador y *d* y *c* representan los componentes en modo diferencial y en modo común. Despejando v_{od} / v_{oc} nos da

$$\frac{v_{od}}{v_{oc}} = \text{RRMC}\left(\frac{v_{id}}{v_{ic}} \right)$$

Esta ecuación muestra que el coeficiente que relaciona el modo común y el modo diferencial es la relación entre las entradas, multiplicada por RRMC. Si somos capaces de configurar nuestro amplificador para que los componentes diferencial y en modo común sean exactamente señal y ruido, respectivamente, entonces RRMC es el factor de mejora en la relación señal/ruido.

Uso del amplificador diferencial con entrada única Podemos usar amplificadores diferenciales como amplificadores de una única entrada introduciendo señales por una entrada y poniendo la otra entrada a masa. Supongamos por ejemplo que $v_a(t) = v_s(t)$ y $v_b(t) = 0$. Las Ecuaciones (1.26) y (1.27) dan así

$$v_d(t) = v_s(t) \text{ y } v_c(t) = 0{,}5v_s(t)$$

A partir de la Ecuación (1.28)

$$v_o(t) = \left(A_d + \frac{A_c}{2} \right) v_s(t) \approx A_d v_s(t)$$

donde la aproximación asume que RRMC es alto. De hecho, el amplificador pierde su capacidad de eliminar las señales en modo común cuando se usa de esta forma.

La Sección 1.4 describía los amplificadores con una entrada como modelos simples de circuitos para mostrar cómo afectan las cargas de entrada y salida a la amplificación. Ahora aplicaremos estas mismas técnicas al amplificador diferencial.

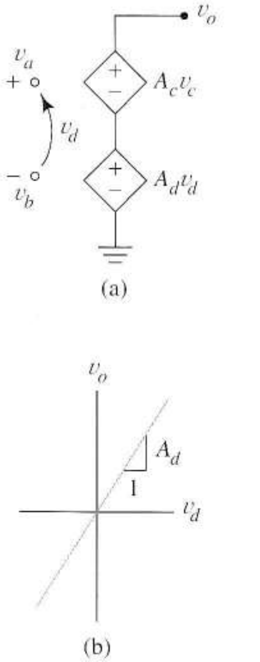


FIGURA 1.25 (a) Modelo de circuito para amplificador diferencial ideal; (b) función de transferencia para señales de entrada en modo diferencial puro.

1.5.4 MODELO IDEAL DEL AMPLIFICADOR DIFERENCIAL

La Figura 1.25a muestra un modelo sencillo en la Figura 1.23 y la Ecuación (1.28). Cuando la entrada es una señal en modo diferencial puro, $v_c(t) = 0$, la función de transferencia es la línea recta que se parece a la del amplificador de una

entrada de la Figura 1.16c; sin embargo, la variable independiente es la *tensión de entrada en modo diferencial* y la pendiente es la *ganancia del modo diferencial*.

Fuentes de señal diferencial Muchas fuentes modernas tienen salidas dobles diseñadas específicamente para ser utilizadas con amplificadores diferenciales. En vez de introducir este tipo de fuentes directamente, utilizaremos una aproximación indirecta para *comprenderlas*.

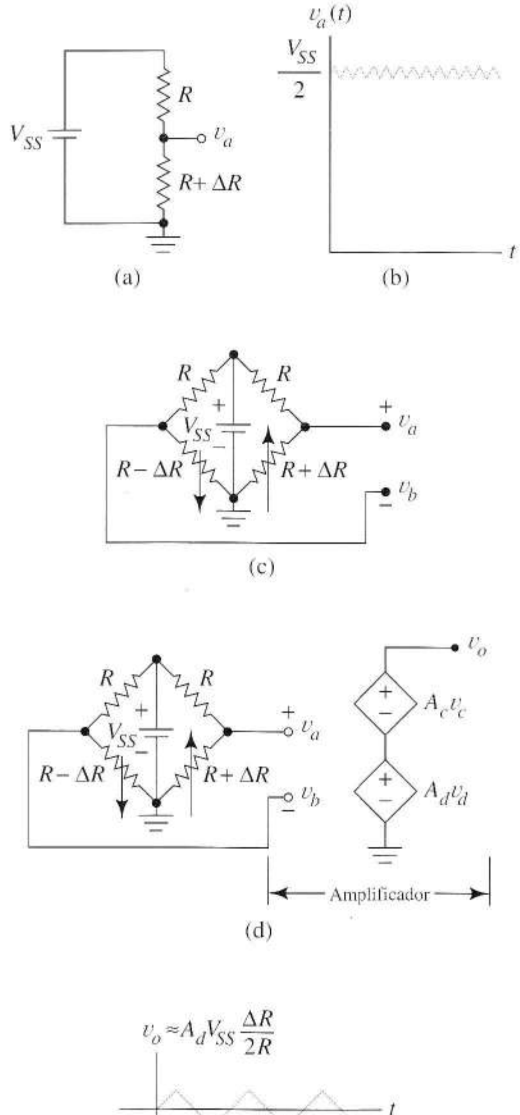


FIGURA 1.26 Aplicación del amplificador diferencial; (a) divisor de tensión; (b) salida del divisor que contiene la señal más un nivel no deseado de continua; (c) puente Wheatstone; (d) puente que proporciona la entrada del amplificador diferencial; (e) salida del amplificdor cuando RRMC es alta.

La Figura 1.26a muestra un divisor de tensión que consiste en una resistencia fija y una variable. La última representa un *transductor* que codifica una señal con cambios en la resistencia ΔR.

Un ejemplo de transductor es la galga extensiométrica sujeta a una viga que se deforme mecánicamente. Cuando la viga está en posición de reposo, ΔR es cero. Cuando se deforma hacia abajo, la

galga, sujeta a la parte superior de la viga, se estira, produciendo ΔR positivo. Cuando se desvía hacia arriba, ΔR se hace negativo. Así ΔR, que puede ser constante o función del tiempo, indica el alcance de la deformación. A partir del divisor de tensión

$$v_a = \frac{R + \Delta R}{2R + \Delta R} V_{SS}$$

sacando factor común a R en el numerador y a $2R$ en el denominador obtenemos

$$v_a = V_{SS} \frac{R}{2R} \left[\frac{1 + (\Delta R / R)}{1 + (\Delta R / 2R)} \right]$$

donde $\Delta R/R$ es por lo general una cantidad pequeña. Realizando la división entre los corchetes obtenemos

$$v_a = \frac{V_{SS}}{2} \left[1 + \frac{\Delta R}{R} - \frac{\Delta R}{2R} - \frac{1}{2}\left(\frac{\Delta R}{R}\right)^2 + \frac{1}{4}\left(\frac{\Delta R}{R}\right)^2 + \cdots \right] \approx \frac{V_{SS}}{2}\left(1 + \frac{\Delta R}{2R}\right)$$

donde los tres primeros términos de la serie nos da una buena aproximación, dado que $\Delta R/R$ es muy pequeño. De ahí

$$v_a = \frac{V_{SS}}{2} + \frac{\Delta R}{4R} V_{SS} \tag{1.33}$$

La Figura 1.26b muestra cómo la tensión en el nodo a podría verse en un oscilocopio en el que ΔR cambiase con el tiempo. La información, codificada en forma de cambios por unidad de R, se superpone sobre un gran nivel de continua $V_{SS}/2$. Un amplificador de una entrada es poco adecuado en esta situación, porque amplificaría tanto el término de continua como la información. De hecho, incluyendo la continua, la tensión total sería tan grande que el amplificador no lo permitiría. Claramente el término de continua $V_{SS}/2$ de (1.32) es una componente no deseada que el divisor da junto con la señal.

La Figura 1.26c muestra un *puente de Wheatstone* que da salida en el formato de doble señal. El puente consiste en dos divisores con una resistencia variable. En la medida con la viga, la segunda galga está colocada en la parte inferior de la viga. Cuando la viga está en reposo, ΔR es cero para ambas galgas. Cuando está flexionada, una galga se estira y la otra se contrae, produciendo cambios de signo complementario en ΔR. En la Figura 1.26c v_b difiere de v_a sólo en el signo de ΔR. El desarrollo matemático da, incluyendo el signo

$$v_b = \frac{V_{SS}}{2} + \frac{\Delta R}{4R} V_{SS}$$

El puente da una tensión de salida en modo diferencial de

$$v_d = v_a - v_b = \frac{V_{SS}}{2} \frac{\Delta R}{R}$$

mostrando que v_d es directamente proprcional a ΔR. La componente de salida en modo común es el término de continua

$$v_c = \frac{V_{SS}}{2}$$

En la Figura 1.26d el puente da la entrada para el amplificador diferencial cuya salida es

$$v_o = A_d \frac{V_{SS}}{2} \frac{\Delta R}{R} + A_c \frac{V_{SS}}{2}$$

que se parece a la Figura 1.26c para un valor grande de RRMC. Adviértase que el amplificador diferencial también convierte las *dobles señales* en *señales simples*. Si la señal de la Figura 1.26 es aún demasiado pequeña, podemos utilizar un circuito de una entrada para amplificarla más ya que la continua es ahora muy pequeña.

Las dos *masas de referencia* de la Figura 1.26d implican el mismo *potencial*, es decir, el circuito no cambia eléctricamente al conectar los dos puntos de masa del diagrama. Normalmente se usan muchos símbolos de masa en distintos puntos del circuito para evitar los cruces entre líneas que, de otra forma, ocurrirían.

1.5.5 CÓMO LLEVAR EL RUIDO DE ENTRADA A MODO COMÚN

La explicación del puente nos mostró cómo utilizar los amplificadores diferenciales con fuentes de señales diferenciales. También podemos utilizarlos para reducir el ruido asociado a señales referidas a masa. La capacidad de un amplificador diferencial de reducir el ruido en modo común es especialmente útil a las señales de pequeña amplitud, en procesamiento de señales biológicas, por ejemplo. En esta aplicación, las pequeñas cantidades de ruido, casi siempre presentes en el entorno, pueden ser, en realidad, mayores que la señal, por lo que hacer algún tipo de reducción del ruido es obligatorio. A continuación discutiremos tres situaciones comunes de este tipo.

Ruido por bucles de masa La Figura 1.27a muestra un amplificador de una entrada a punto de ser conectado a una fuente, v_s. La fuente y la resistencia punteadas, v_n y R_n, representan la fuente de ruido presente en todos los sistemas reales de medida, una diferencia de tensión entre el amplificador y las masas del generador de señal, a menudo el *zumbido* de red. Aunque esta fuente de ruidos es bastante poco visible en el laboratorio, la podemos detectar con un voltímetro. Cuando conectamos la entrada del amplificador a la fuente con dos hilos de conexión esperamos disminuir el ruido. Sin embargo, los cables reales siempre tienen resistencia, R_w, como en la Figura 1.27b. Tengamos en cuenta que la resistencia del cable inferior se combina con la fuente del ruido y produce una corriente i_n. Esta corriente del bucle de masa produce una tensión de ruido Thèvenin v_n en serie con vs en la entrada del amplificador como en la Figura 1.27c. Ambos se amplifican en la misma medida y aparecen en la salida del amplificador. Si $v_s >> v'_n$ el ruido añadido no supone un problema; sin embargo, en medidas de bajos niveles v'_n puede ser bastante molesto.

La Figura 1.27d muestra cómo conectar un amplificador diferencial usando tres cables con resistencia R_w. En la Figura 1.27e el bucle de masa se reemplaza por su equivalente Thèvenin y el amplificador diferencial por el modelo del circuito de la Figura 1.25a. Dado que las corrientes en todas las resistencias son cero,

$$v_a = v_n^{'} + v_s \quad \text{y} \quad v_b = v_n^{'}$$

Por tanto, por definición, $v_d = v_s$ y $v_c = v'_n + 0{,}5\, v_s$. Así, debido a los cables de entrada, el ruido de bucle de masa entra en el amplificador en modo común mientras que la señal entra en modo diferencial. La tensión de salida es

$$v_o = A_d v_s + A_c\left(v_n^{'} + 0{,}5 v_s\right) = \left(A_d + 0{,}5 A_c\right) v_s + A_c v_n^{'}$$

mostrando que la relación señal/ruido se ve mejorada en gran medida por la capacidad que tiene el amplificador de rechazar las señales en modo común. Observemos que no se hace ninguna acción negativa cuando se introduce alguna señal en modo común, como en este ejemplo. De hecho, la amplitud de la señal de salida se incrementa ligeramente.

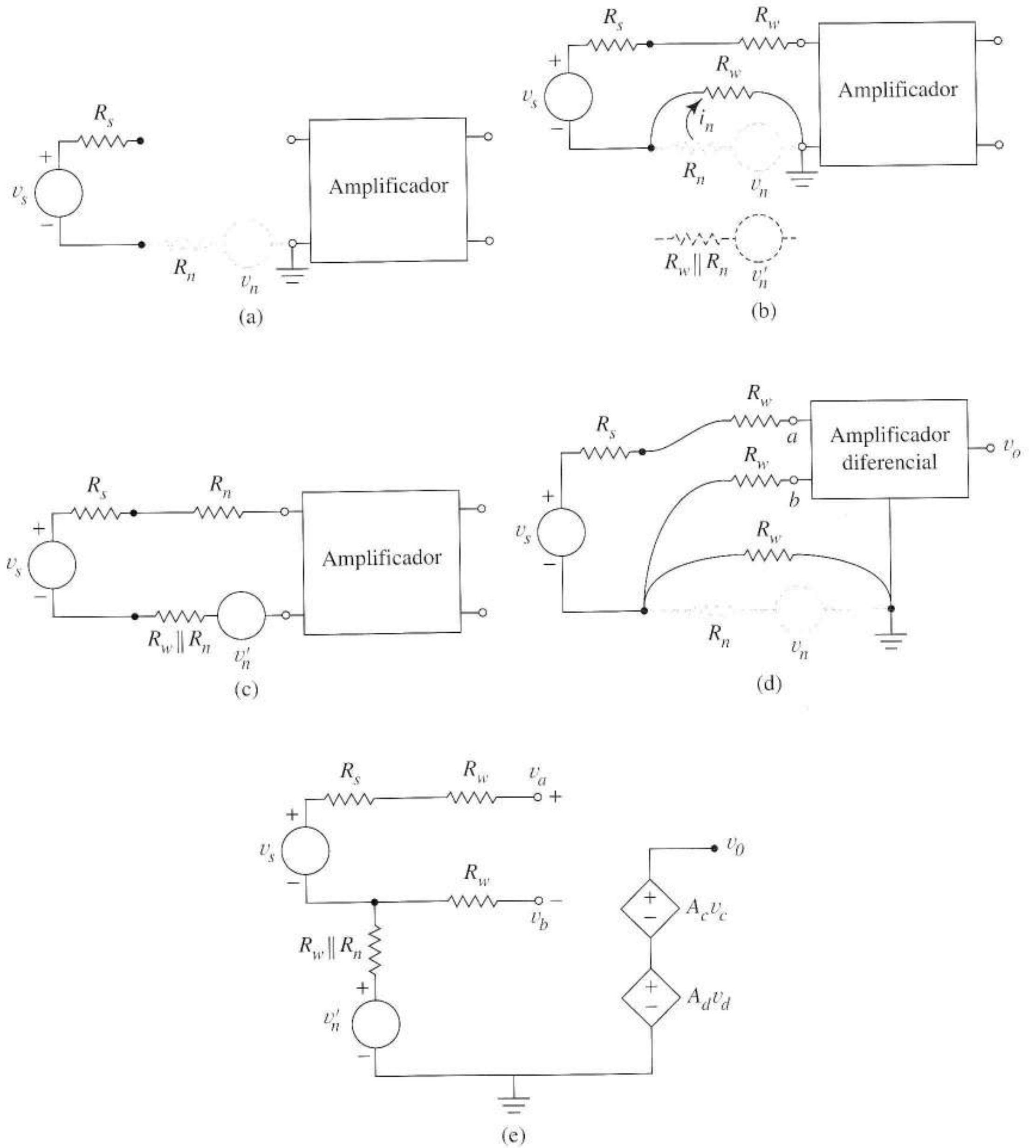


FIGURA 1.27 Utilización del amplificador diferencial para reducir el ruido por bucles de masa; (a) fuente de ruido invisible entre la fuente de señal y el amplificador; (b) ruido del bucle de masa; (c) ruido del bucle de masa como componente de entrada; (d) circuito de entrada que utiliza el amplificador diferencial; (e) circuito de entrada equivalente cuando la resistencia de entrada del amplificador es alta.

Ruido por acoplamiento magnético La Figura 1.28a muestra un amplificador de una entrada conectado a la fuente mediante los dos cables habituales. En esta ocasión, el ruido aparece en forma de flujo magnético variable ϕ con el tiempo (t), creado por una corriente i_n variable en algún circuito

cercano. Conocemos la ley de Faraday: "Cuando el flujo magnético variable $\phi\ (t)$ se acopla a una espira, induce una fuerza o tensión electromotriz

$$v_n = \frac{d\phi}{dt}$$

a lo largo de los conductores que forman la espira". La figura representa este ruido como la tensión v_n. Además de reducir el area física A del circuito cerrado de entrada en la medida en que pueda reducirse el número de enlaces, poco podemos hacer para resolver este problema con el ruido en un amplificador de una entrada.

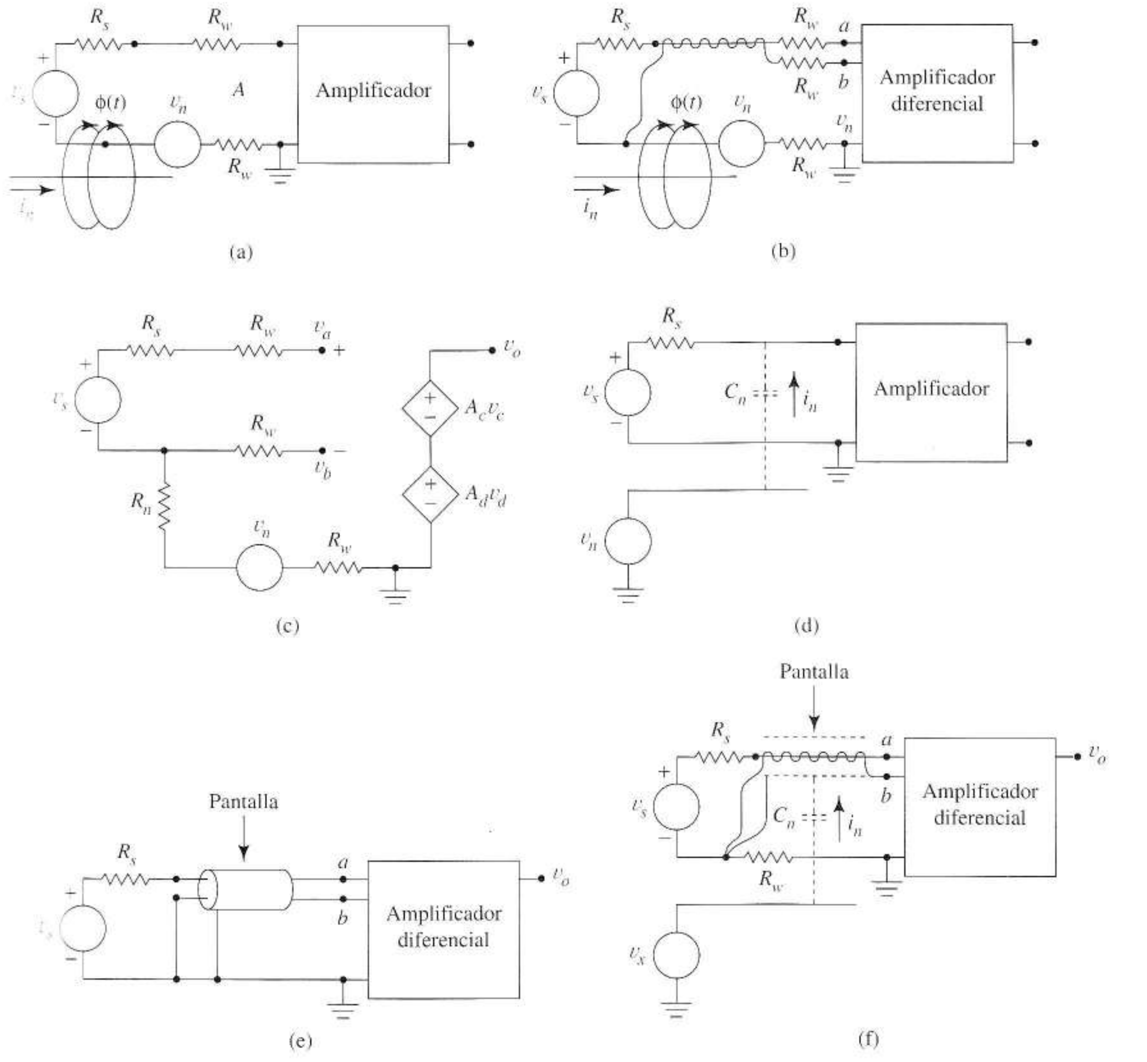


FIGURA 1.28 (a) Amplificador de una entrada con ruido por acoplamiento magnético; (b) amplificador diferencial configurado para reducir el ruido por acoplamiento magnético; (c) ruido inducido que entra en modo común en el amplificador; (d) ruido de entrada por acoplamiento capacitivo; (e) par apantallado que reduce los tres tipos de ruido; (f) entrada del ruido por acoplamiento capacitivo en la entrada del amplificador diferencial.

La Figura 1.28b muestra cómo conectar el amplificador diferencial a la fuente con tres cables, un *par trenzado* de entrada y un cable de masa. Como los cables bien trenzados permiten poco acoplamiento del flujo magnético, se induce poca tensión asociada al ruido en la espira formada por el par. En vez de ello, la mayoría de los flujos magnéticos acoplan con el bucle abierto; por ello, la mayoría de las tensiones inducidas v_n entran en el circuito en modo común mientras que la señal entra de nuevo en modo diferencial como se muestra en el circuito equivalente de la Figura 1.28c.

Ruido por acoplamiento capacitivo Otro principio de física elemental es que dos conductores separados por un dieléctrico forman un condensador. De esta forma, el ruido por acoplamiento capacitivo entra en un amplificador de una entrada como en la Figura 1.28d, donde la corriente de ruido i_n depende del tiempo derivado de la diferencia entre la tensión de ruido v_n y la tensión del nodo de entrada del amplificador no conectado a masa. Formando el equivalente Thèvenin de las dos fuentes y sus impedancias internas, también es fácil añadir la señal de entrada.

Las Figuras 1.28e y f muestran cómo un par trenzado dentro de una pantalla conductora conectada sólo en el lado de la fuente obliga a que ese ruido entre al amplificador en modo común. Las líneas de campo eléctrico que definen la capacidad distribuida deben acabar en la pantalla a masa porque por el par trenzado es inaccesible. El resultado es que v_x , la capacidad de ruido C_n y la resistencia del cable R_W se combinan en un equivalente Thèvenin de la fuente y la impedancia del ruido obteniendo un circuito semejante al de la Figura 1.28c. La configuración de la Figura 1.28e es la estándar para medidas de niveles pequeños, dado que esta conexión fuerza a que los tres tipos de ruidos: bucle de masa, inductivo y capacitivo, entren en modo común en el amplificador, mientras que la señal entra en modo diferencial. Esta conexión se usa frecuentemente porque los tres tipos de ruido están presentes simultáneamente en la mayoría de los circuitos.

En sistemas de medida los ruidos inductivo y capacitivo son a menudo el zumbido de red[6]. Sin embargo, de forma más general, una señal se puede acoplar inadvertidamente con un circuito adyacente mediante estos dos mecanismos, generando ruido. Cuando ambos circuitos forman parte del funcionamiento del sistema, estos tipos de ruido no se evitan fácilmente, y se suele necesitar gran cuidado en la implementación práctica de las tarjetas de circuito impreso y apantallamiento. Es obvio que las señales que cambian rápidamente son mucho más problemáticas que las señales que varían lentamente.

1.5.6 MODELO COMPLETO PARA EL AMPLIFICADOR DIFERENCIAL

Del mismo modo que en los amplificadores de una entrada, incorporaremos resistencias de entrada y salida en nuestros modelos para predecir lo que ocurre cuando se conectan fuentes y cargas reales del amplificador diferencial a los amplificadores diferenciales. El circuito equivalente de la Figura 1.29a incluye las resistencias de entrada y salida. Para ver cómo funciona este circuito equivalente aplicaremos excitaciones puras en modo diferencial y común a los nodos de entrada.

La Figura 1.29b es igual a la 1.29a con excitación en modo diferencial. Debido a la simetría de las fuentes y el circuito de entrada de los dos bucles de corriente son idénticos, haciendo $v_x = R_{cx}(i_1 - i_2)$ siempre cero. En consecuencia, R_{cx} es un circuito abierto para las señales en modo diferencial. Sacamos en conclusión que cualquier fuente de una señal en modo diferencial sólo ve la *resistencia de entrada en modo diferencial* R_d de la Figura 1.29c. Además, a partir de la Figura 1.29b,

$$v_c = \frac{v_a + v_b}{2} = \frac{0{,}5v_d + (-0{,}5v_d)}{2} = 0$$

[6]N. del T.: Esta señal suele ser de 50 ó 60 Hz, según el país en el que se esté.

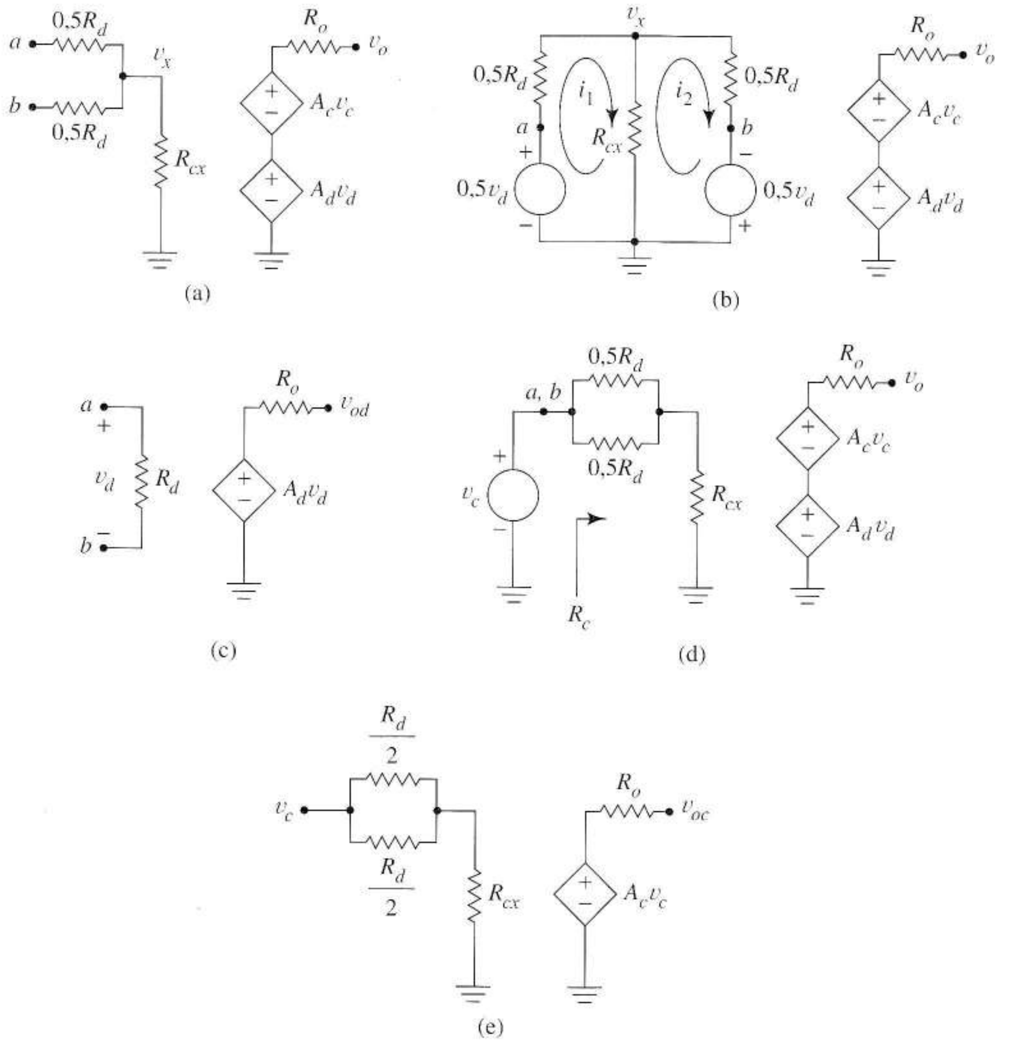


FIGURA 1.29 Derivación de los modelos especiales del amplificador diferencial; (a) modelo completo del amplificador diferencial; (b) modelo completo con excitación en modo diferencial puro; (c) modelo simplificado para señales en modo diferencial puro; (d) modelo completo con excitación en modo común puro; (e) modelo simplificado para señales en modo común puro.

Así se anula la fuente dependiente controlada por v_c. El diagrama general de la Figura 1.29a se reduce al circuito simplificado de la Figura 1.29c en la excitación en modo diferencial puro.

En la excitación en modo común, como en la Figura 1.29d, la fuente en modo común tiene la *resistencia de entrada en modo común* R_{cm}, dada por

$$R_{cm} = \frac{R_d}{4} + R_{cx} \tag{1.34}$$

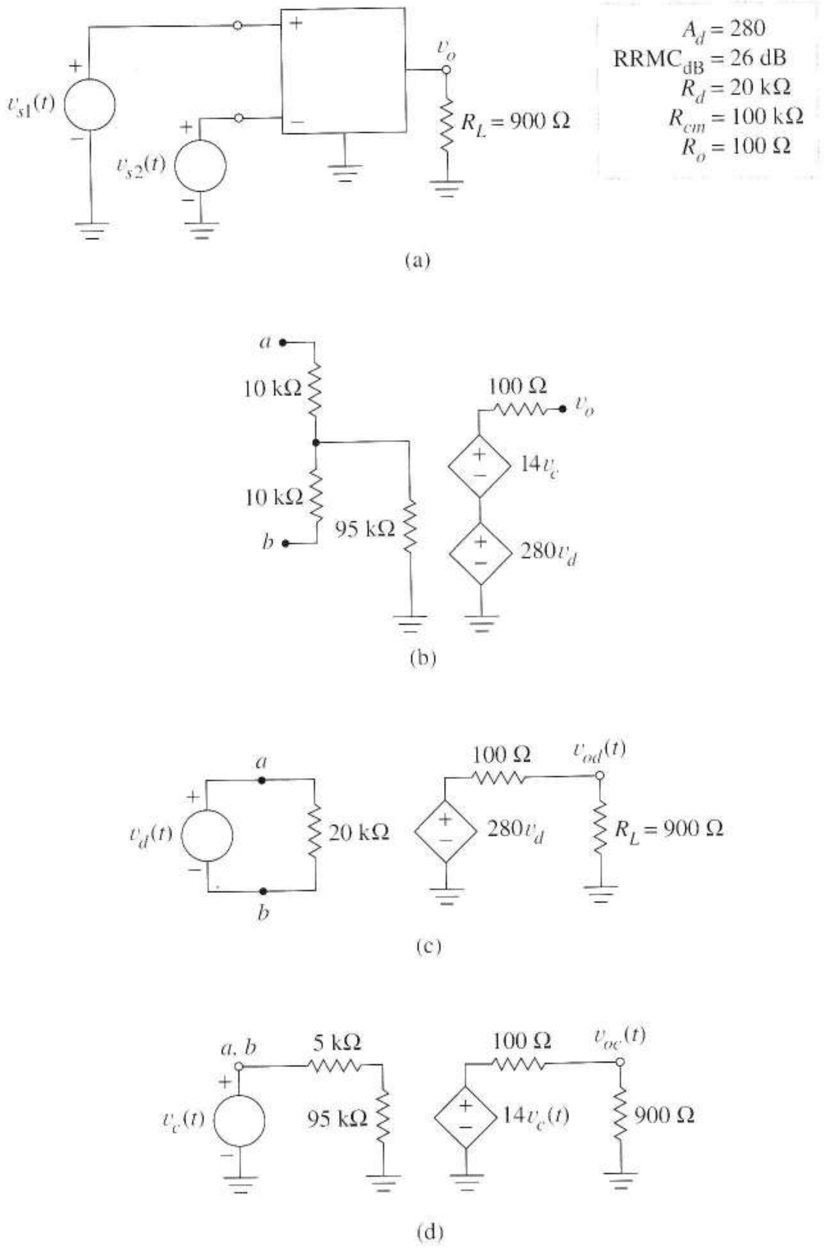


FIGURA 1.30 (a) Amplificador diferencial con carga resistiva; (b) circuito equivalente para amplificador diferencial; (c) circuito para calcular el componente de salida en modo diferencial; (d) circuito para calcular el componente en modo común.

Además, vemos que $v_d = v_a - v_b = 0$, lo que desconecta la fuente en modo diferencial de la salida del circuito. Llegamos pues a la conclusión de que el modelo simplificado de la Figura 1.29e es válido para señales en modo común.

En los amplificadores diferenciales se especifican las resistencias de entrada R_d y R_{cm} y usaremos la Ecuación (1.34) si queremos utilizar los circuitos equivalentes de las Figuras 1.29a o 1.29e.

En muchos problemas podemos descomponer la excitación en sus dos componentes en modo diferencial y en modo común y después utilizar la superposición. Esta aproximación nos permite evitar el uso del circuito de la Figura 1.29a y utilizar en su lugar los circuitos más sencillos 1.29c y e. El siguiente ejemplo demuestra esta aproximación y además muestra la carga de salida.

Ejercicio 1.7 Las especificaciones del amplificador diferencial de la Figura 1.30a se enumeran en el recuadro. Dibujar un circuito equivalente para el amplificador, excluyendo las señales y la carga.

Respuesta Figura 1.30b.

EJEMPLO 1.6 Calcular $v_o(t)$ para el amplificador diferencial de la Figura 1.30a cuando

$$v_{s1}(t) = 0{,}03\ \text{sen}(2\pi 30t) + 0{,}081\ \text{sen}(2\pi 60t)$$

y

$$v_{s2}(t) = -0{,}04\ \text{sen}(2\pi 30t) + 0{,}080\ \text{sen}(2\pi 60t)$$

Solución Los componentes en modo común y diferencial de la excitación son

$$v_d(t) = v_{s1}(t) - v_{s2}(t) = +0{,}07\ \text{sen}(2\pi 30t) + 0{,}001\ \text{sen}(2\pi 60t)$$

y

$$v_c(t) = 0{,}5\left[v_{s1}(t) + v_{s2}(t)\right] = -0{,}005\ \text{sen}(2\pi 30t) + 0{,}081\ \text{sen}(2\pi 60t)$$

Para calcular el componente en modo diferencial de $v_o(t)$ reduciremos el circuito general de la Figura 1.30b al circuito especial en modo diferencial, Figura 1.30c. Debido a la carga de salida, el componente en modo diferencial de la tensión de salida es

$$v_{od}(t) = \frac{900}{900 + 100} 280 v_d(t) = 252 v_d(t)$$

lo que da

$$v_{od}(t) = 17{,}6\ \text{sen}(2\pi 30t) + 0{,}252\ \text{sen}(2\pi 60t)$$

Para hallar el componente en modo común reduciremos el circuito general de la Figura 1.30b al circuito especial en modo común de la Figura 1.30d. A partir de esto

$$v_{oc}(t) = \frac{900}{900 + 100} 14 v_c(t) = -0{,}063\ \text{sen}(2\pi 30t) + 1{,}021\ \text{sen}(2\pi 60t)$$

Superponiendo los resultados, se obtiene la salida total

$$v_o(t) = 17{,}5\ \text{sen}(2\pi 30t) + 1{,}27\ \text{sen}(2\pi 60t)$$ ❑

1.5.7 CARGA DE ENTRADA

Cuando la fuente de señal diferencial que conectamos al amplificador tiene resistencia interna, la carga de entrada podría reducir la amplitud de la señal. La Figura 1.31a muestra una fuente con resistencias internas R_s conectadas al circuito general de entrada de un amplificador diferencial. Los componentes en modo común v_{sc} y diferencial v_{sd} describen la tensión.

Como las resistencias R_s son iguales, desconectando el componente en modo común, se obtiene $v_x = 0$ por el argumento utilizado en la Figura 1.29b. Así, en la Figura 1.31b se aplica el análisis en modo diferencial. El divisor de tensión $R_d/(R_d + 2R_s)$ reduce v_{sd} a v_d que es quien controla realmente la fuente dependiente.

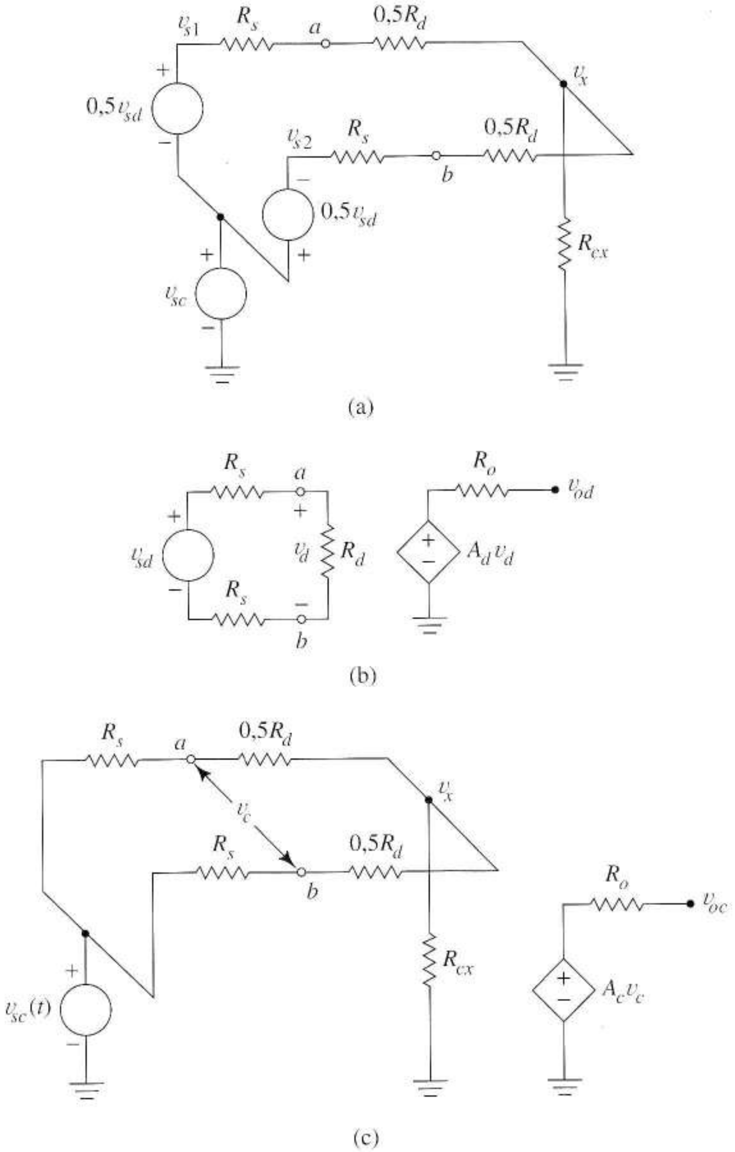


FIGURA 1.31 Carga de entrada. (a) fuente en modo diferencial conectada a la entrada general del amplificador diferencial; (b) circuito equivalente para calcular la componente de salida en modo diferencial; (c) circuito equivalente para calcular la componente de salida en modo común.

Cuando desconectamos las fuentes en modo diferencial en la Figura 1.31a para hallar la respuesta en modo común, dado que las resistencias de la fuente R_s son idénticas, $v_a = v_b$ y el circuito de entrada se ve reducido a la Figura 1.31c. Como $v_a = v_b$, por simetría, podemos hacer un cortocircuito entre los nodos a y b sin cambiar corrientes o tensiones. Esto hace el análisis sencillo, dando

$$v_c = \frac{(R_{cx} + 0{,}25R_d)}{(R_{cx} + 0{,}25R_d) + 0{,}5R_s} v_{sc} \approx v_{sc} \tag{1.35}$$

donde la aproximación asume que R_{cx} es grande en comparación con 0,25 R_d y 0,5 R_s.

A continuación veremos como el Ejemplo 1.6 cambia cuando hay carga de entrada.

EJEMPLO 1.7 En la Figura 1.32a $v_{s1}(t)$, $v_{s2}(t)$ y las especificaciones del amplificador son las mismas del Ejemplo 1.6. Calcular $v_o(t)$ para este circuito.

Solución Las dos resistencias de 5 kΩ nos indican que debemos mirar la carga de entrada. Para calcular el componente en modo diferencial de $v_o(t)$ utilizaremos la Figura 1.31b donde, a partir del Ejemplo 1.6.

$$v_{sd}(t) = +0.07 \ \text{sen}(2\pi 30t) + 0{,}001 \ \text{sen}(2\pi 60t)$$

Sin embargo, es la entrada del amplificador $v_d(t)$, no $v_{sd}(t)$, lo que se amplifica por la ganancia del modo diferencial de valor 280. Al incluir carga de entrada, ganancia y carga de salida, obtenemos

$$v_{od}(t) = \left[\frac{20\text{k}}{20\text{k} + 5\text{k} + 5\text{k}} v_{sd}(t)\right] 280 \left(\frac{900}{900 + 100}\right) = (0{,}667 \times 280 \times 0{,}9) v_{sd}(t) = 168 v_{sd}(t)$$

por tanto

$$v_{od}(t) = 11{,}8 \ \text{sen}(2\pi 30t) + 0{,}168 \ \text{sen}(2\pi 60t)$$

Para calcular el componente en modo común utilizaremos la Figura 1.32c donde

$$v_{sc}(t) = -0{,}005 \ \text{sen}(2\pi 30t) + 0{,}081 \ \text{sen}(2\pi 60t)$$

a partir del Ejemplo 1.6. La tensión v_c, a la que responde el amplificador, se relaciona con v_{sc} a través de una división de tensión. Cuando incluyamos la carga de entrada, ganancia de circuito abierto y carga de salida

$$v_{oc}(t) = \left[\frac{(95\text{k} + 5\text{k})}{(95\text{k} + 5\text{k}) + 2{,}5\text{k}} v_{sc}(t)\right] 14 \left(\frac{900}{900 + 100}\right) = (0{,}976 \times 14 \times 0{,}9) v_{sc}(t) = 12{,}3 v_{sc}(t)$$

En consecuencia

$$v_{oc}(t) = -0{,}062 \ \text{sen}(2\pi 30t) + 0{,}996 \ \text{sen}(2\pi 60t)$$

La respuesta en modo diferencial y común es

$$v_o(t) = 11{,}7 \ \text{sen}(2\pi 30t) + 1{,}16 \ \text{sen}(2\pi 60t)$$

comparada con

$$v_o(t) = 17{,}5 \ \text{sen}(2\pi 30t) + 1{,}27 \ \text{sen}(2\pi 60t)$$

del Ejemplo 1.6 donde las resistencias de la fuente eran cero. ❑

Ejercicio 1.8 Hallar $v_d(t)$, $v_c(t)$ y $v_o(t)$ del circuito de la Figura 1.33

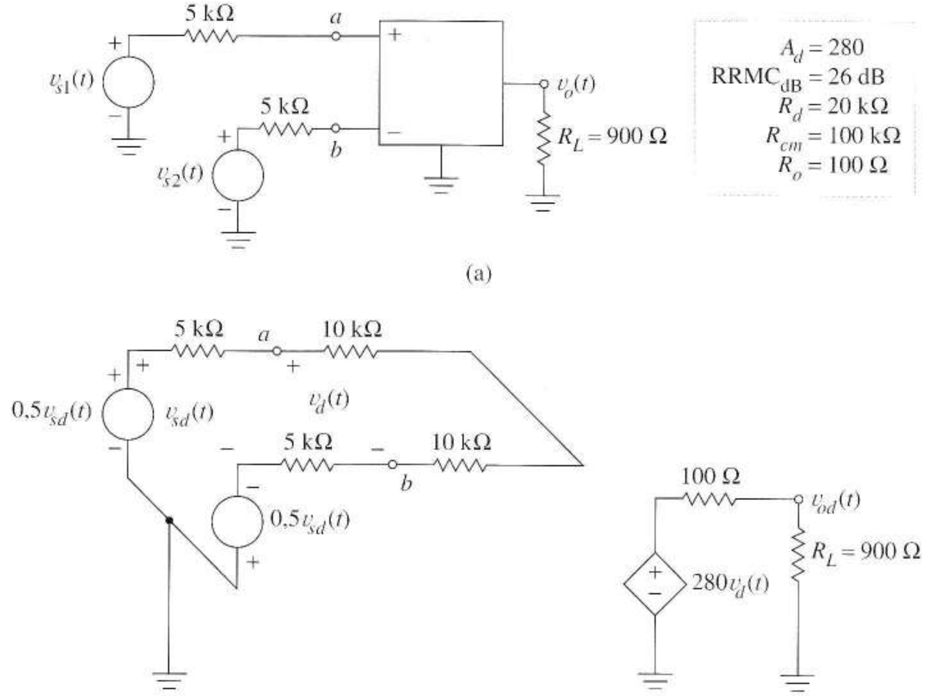
Respuesta

$$v_d(t) = 0{,}04 \cos(2\pi 65t)$$

$$v_c(t) = 4{,}2 \cos(2\pi 60t)$$

$$v_o(t) = 2{,}67 \cos(2\pi 65t) + 0{,}028 \cos(2\pi 60t)$$

Si R_{cr} es suficientemente grande, lo que casi siempre es cierto, no necesitamos preocuparnos demasiado de las resistencias R_s. El Problema 1.39 nos ayuda a ver que incluso con resistencias de fuente distintas $R_{s1} \neq R_{s2}$ el amplificador equivalente de la Figura 1.31b aún se aplica a la señal en modo diferencial aunque con un ligero cambio en la ganancia.



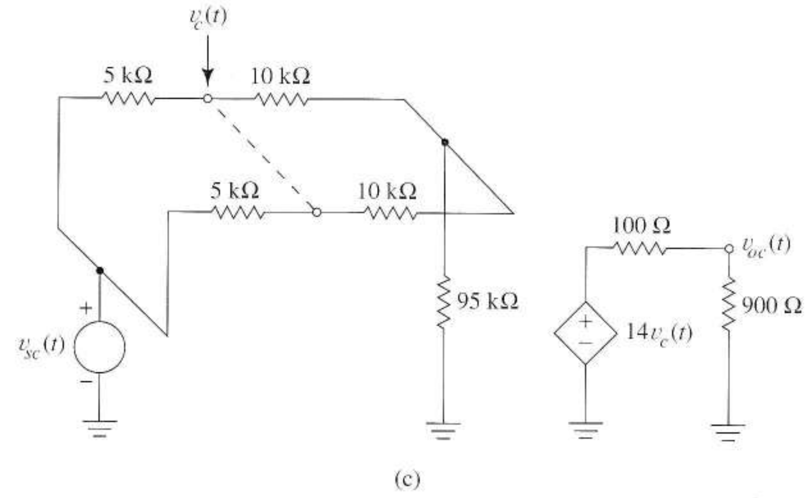


FIGURA 1.32 Circuitos para calcular los componentes de la tensión de salida del Ejemplo 1.7: (a) circuito original; (b) circuito del componente en modo diferencial; (c) circuito del componente en modo común.

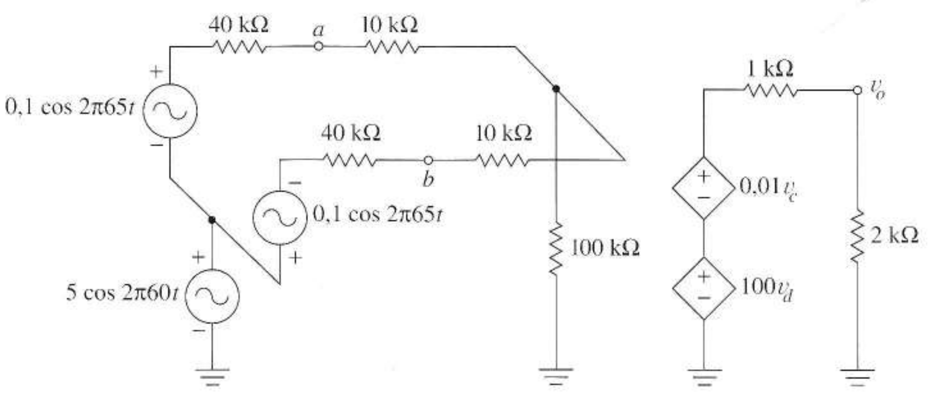


FIGURA 1.33 Circuito del Ejercicio 1.8.

1.6
OTRAS LIMITACIONES DE LOS AMPLIFICADORES

1.6.1 DEFINICIONES GENERALES DE RESISTENCIA DE ENTRADA Y DE SALIDA

A continuación examinaremos varios *efectos secundarios*, razones adicionales por las que los amplificadores reales se diferencian de los ideales. Los nuevos conceptos nos ayudarán a comprender mejor lo que veremos en el laboratorio y proporcionan una base para estudios más detallados en capítulos posteriores. Aprenderemos cómo algunos componentes internos, tales como transistores, provocan inevitablemente esos efectos.

Las resistencias de entrada y salida eran simples conceptos en la Sección 1.4 ya que examinábamos únicamente circuitos *unidireccionales*. En estos circuitos, las señales pasan desde la entrada hasta la salida, pero no desde la salida hasta la entrada. Sin embargo, muchos circuitos que estudiaremos en los siguientes capítulos son *bidireccionales*. Esto quiere decir que contienen vías de *realimentación* a través de las que los cambios sobre la salida afectan a las tensiones y corrientes de la entrada. La consecuencia es que normalmente no podemos hallar la resistencia de entrada o salida de circuitos bidireccionales mediante un simple examen del diagrama del circuito. Para extender nuestras técnicas de análisis a circuitos de ese tipo, daremos definiciones generales de resistencia de entrada y salida que simplifican las ideas de la Sección 1.4 para circuitos unidireccionales.

La Figura 1.34a define resistencia de entrada R_i para dos cuadripolos. Debemos desconectar todas las funciones independientes en los cuadripolos; sin embargo las fuentes dependientes siguen estando activas. Si el circuito se va a utilizar con una resistencia de carga R_L conectada al puerto de salida, conectaremos esta resistencia de la forma mostrada. Dadas estas condiciones, la resistencia de entrada es

$$R_i = \frac{v_T}{i_T} \qquad (1.36)$$

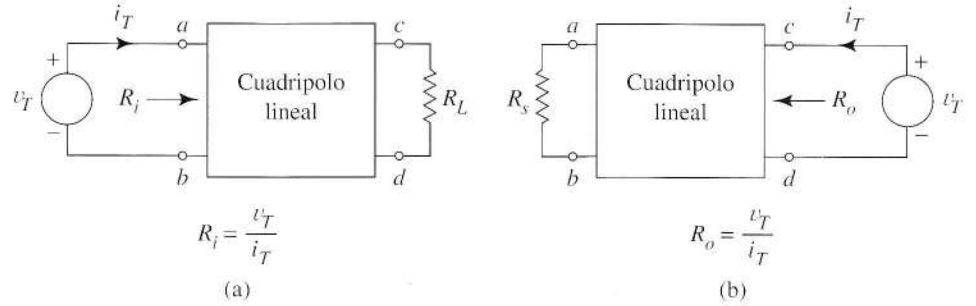


FIGURA 1.34 Definiciones de (a) resistencia de entrada; (b) resistencia de salida de un cuadripolo.

donde v_T es la tensión de un generador de prueba aplicado a los nodos de entrada e i_T es la corriente calculada o medida de prueba que circula en respuesta a v_T. Para señales senoidales R_i se generaliza a una impedancia de entrada Z_i compleja la relación del fasor de la tensión de prueba con el fasor de la corriente de prueba a una frecuencia dada.

La Figura 1.34b define la resistencia de salida de un cuadripolo. Conectaremos una fuente de entrada (de tensión o corriente) que se vaya a utilizar con los cuadripolos a los terminales de entrada y luego desconectaremos, proceso que siempre deja la resistencia de la fuente, R_s, conectada a los nodos de entrada. En los cuadripolos desconectaremos las fuentes independientes, aunque las fuentes dependientes siguen activas. Bajo estas condiciones, la resistencia de salida R_o es

$$R_o = \frac{v_T}{i_T}$$

La resistencia de salida pasa a ser, de forma más general, la impedancia de salida en señales senoidales.

Tanto R_i como R_o son las resistencias Thèvenin adecuadas para terminar convenientemente un cuadripolo. Como en el teorema de Thèvenin, podemos usar de forma alternativa la relación entre tensión en circuito abierto y corriente en cortocircuito para la resistencia o impedancia.

Cuando reescribimos las ecuaciones de entrada y salida en las formas

$$i_T = (1/R_i)v_T \text{ y } i_T = (1/R_o)v_T$$

las definiciones se convierten en información sobre la proporcionalidad de la respuesta i_T a la excitación v_T. Para cualquier circuito que consista en resistencias lineales y fuentes dependientes, las curvas vi de R_i y R_o deben ser líneas rectas que pasen por el origen; la técnica de la tensión de prueba es sólo un mecanismo que determinará otro punto de la recta para conocer su pendiente. A partir de esta línea de razonamiento llegamos a que definiciones equivalentes de resistencia de entrada y salida llevan consigo la aplicación de un test arbitrario de corriente y medida o cálculo de la tensión resultante. Este procedimiento es más conveniente en algunos circuitos.

EJEMPLO 1.8 a) Hallar la resistencia de entrada del cuadripolo de la Figura 1.35a incluyendo el efecto de la carga externa R_L.

b) Hallar la resistencia de salida cuando la fuente de la figura se utiliza con el amplificador.

c) Hallar los valores numéricos de R_i y R_o cuando $R_L = 10$ kΩ, $R_S = 100Ω$, $R_F = 20$ kΩ y $g_m = 2 \times 10^{-3}$S.

d) Usar R_i para hallar la tensión de entrada v_1 si $v_s = 2$V, $R_S = 10$ kΩ y los demás valores son los mismos del apartado c).

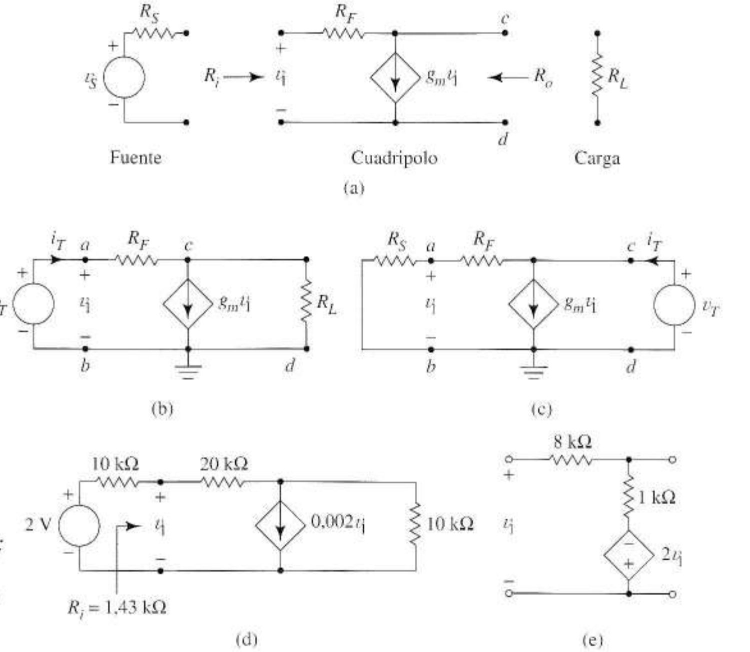


FIGURA 1.35 Diagramas del Ejemplo 1.8; (a) amplificador y fuente de señal; (b) circuito para calcular R_i; (c) circuito para calcular R_o; (d) utilización de R_i para calcular v_1; (e) circuito del Ejercicio 1.9.

Solución a) En la Figura 1.35a, como suele ocurrir, los nodos de entrada se denotan por una flecha etiquetada R_i en vez de especificarlos directamente. Conectando la carga y usando un generador de prueba, obtenemos la Figura 1.35b. Aplicando la ley de Kirchhoff de las corrientes al nodo c obtenemos

$$i_T = g_m v_T + \frac{v_T - i_T R_F}{R_L}$$

Despejando la relación v_T / i_T resulta

$$R_i = \frac{v_T}{i_T} = \frac{R_L + R_F}{1 + g_m R_L}$$

Observemos que R_i es función de R_L.

b) Después de conectar la fuente de señal y eliminar la tensión, como pide la definición, obtenemos la Figura 1.35c. La ley de Kirchhoff de las corrientes aplicada al nodo c nos da

$$i_T = g_m v_1 + \frac{v_T}{R_S + R_F}$$

Dado que uno de los términos no contiene a i_T ni a v_T, volvemos al circuito para buscar un modo de expresar v_1 en relación con i_T o v_T. Utilizando el divisor de tensión podemos escribir

$$v_1 = \frac{R_S}{R_S + R_F} v_T$$

Después de reemplazar v_1 en la primera ecuación, llegamos a

$$R_o = \frac{v_T}{i_T} = \frac{R_S + R_F}{1 + g_m R_S}$$

Observemos que R_o es función de R_S.

c) Sustituimos los valores dados en las expresiones generales para hallar los valores numéricos $R_i = 1{,}43\ k\Omega$ y $R_o = 16.8\ k\Omega$.

d) Esta cuestión es explicativa de lo que significa resistencia. Una vez que conocemos el valor numérico de R_i, podemos utilizarlo para calcular la carga de entrada de cualquier R_S. La Figura 1.35d muestra que la división de tensión en la entrada reduce la señal $v_s = 2$ V a

$$v_i = \frac{1{,}43k}{1{,}43k + 10k} 2 = 0{,}250V$$

es decir, R_i provoca la división de tensión habitual en la entrada. ❑

Ejercicio 1.9 Hallar la resistencia de entrada del cuadripolo de la Figura 1.35e. La resistencia de carga es infinita.
Respuesta $R_i = 3\ k\Omega$.

La aparición de g_m en las expresiones finales del Ejemplo 1.8a y b mostró que la fuente dependiente ejercía influencia sobre los valores de R_i y R_o. A veces, una fuente dependiente reduce la resistencia de entrada (o salida), otras veces la aumenta hasta donde sería su valor si $g_m = 0$. Finalizamos con que el efecto de la realimentación y la fuente dependiente no se puede ignorar en el análisis y las definiciones de R_i y R_o se deben aplicar formalmente incluso en los circuitos más sencillos.

1.6.2 TENSIÓN DE DESVIACIÓN

La Figura 1.36a ilustra un problema de las funciones de transferencia llamado tensión de desviación (o *tensión de offset* en terminología anglosajona). La curva se desplaza dando un valor distinto de cero para $v_i = 0$. El tamaño y dirección de la desviación es impredecible y a menudo varía con la temperatura. Las especificaciones del amplificador describen la desviación indicando un valor típico para la *tensión de desviación de entrada* V_{OS}, definido como la tensión de entrada necesaria para forzar v_o a cero.

El efecto de la desviación es añadir un componente de continua a la señal amplificada. Las tensiones de desviación son especialmente problemáticas si la señal de entrada varía lentamente. Como ejemplos tenemos la temperatura y la presión atmosférica, que son casi constantes en intervalos muy amplios. En estos casos, no hay manera de saber si la variación en la tensión de salida observada en la señal, se debe a un desplazamiento o ambos efectos. Después de ver lo que es la saturación del amplificador, en nuestro siguiente punto, veremos que la desviación también puede ser problemática en señales que varían con rapidez.

1.6.3 DISTORSIÓN NO LINEAL

La Figura 1.36b ilustra otro problema de los amplificadores, la curvatura de la función de transferencia. Es común que la función característica se haga más horizontal para tensiones $|v_i|$ grandes. Se dice que la función característica *se satura* en las señales de entrada grandes. Con la saturación, la tensión de salida no puede superar un límite superior V_{sat1} ni puede ser menor a un límite inferior V_{sat2}, por muy grande que sea la señal de entrada. La curva de la Figura 1.36 se aproxima a una línea recta sólo para valores de v_i que sean no demasiado grandes en magnitud. Las señales pequeñas, que se proyectan sobre esta parte lineal de la curva, se amplifican correctamente; sin embargo, las tensiones de entrada grandes se aplanan en sus extremos. Cuando la señal de salida no es sólo una versión amplificada de la forma de onda de entrada, decimos que la señal se *distorsiona* por el amplificador. La distorsión causada por proyectar sobre una función de transferencia no lineal se llama *distorsión no lineal*. Encontraremos otros tipos de distorsión a lo largo del capítulo.

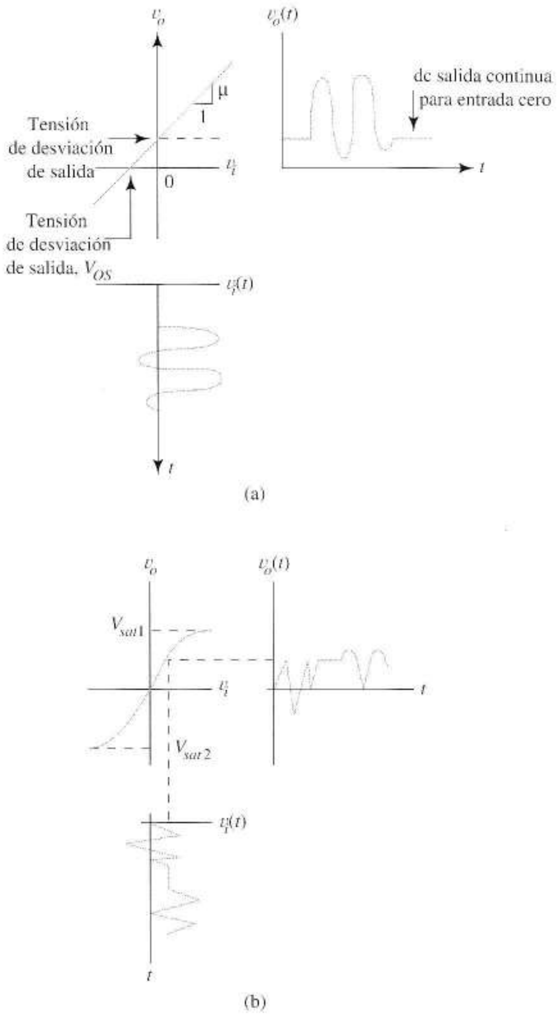


FIGURA 1.36 Ejemplos de funciones de transferencia no lineales; (a) tensión de desviación; (b) curvatura de la función de transferencia.

En amplificadores de audio la distorsión no lineal añade sonidos molestos a la música y reduce la inteligibilidad de las palabras. Ambos efectos se dan debido a que la función de transferencia no lineal produce nuevas frecuencias en la salida que no estaban presentes en la señal de entrada. Como todos los amplificadores reales tienen funciones de transferencia no lineales, simplemente debemos tener cuidado en utilizar amplitudes que sigan funcionando en la región lineal (línea recta) de la función de transferencia. En la práctica, son la saturación de la curva de ganancia y nuestro deseo de evitar la distorsión, los que a menudo limitan la potencia de salida de un amplificador más que la resistencia de salida del mismo. Tengamos en cuenta que un desplazamiento en continua de una etapa anterior del amplificador, combinada con la señal, puede ser lo suficientemente grande como para llevar al siguiente amplificador a su región de saturación, como en la Figura 1.36b.

1.6.4 RESPUESTA FRECUENCIAL

Hasta ahora, todas las propiedades que hemos estudiado de los amplificadores se relacionan con el comportamiento estático del amplificador, es decir, la respuesta del mismo a las señales en continua

que son lentas en relación con las limitaciones de velocidad inherentes al amplificador. Para comprender la respuesta a un amplificador con cambios rápidos de las señales, necesitamos conocer algo sobre la *dinámica* de los amplificadores.

Los amplificadores reales siempre contienen condensadores, algunos inherentes a los componentes del amplificador, otros inevitablemente asociados a la fabricación o al cableado del circuito y otros añadidos intencionalmente para algún fin útil. Como las tensiones de los condensadores no pueden cambiar instantáneamente, la intuición sugiere que los condensadores internos podrían limitar el tiempo de respuesta de un amplificador. Dado que los condensadores bloquean la corriente continua, se supone que también podrían limitar la capacidad de los amplificadores de responder a las señales que varían lentamente.

El concepto más importante asociado a esos efectos dinámicos es la *respuesta frecuencial* del amplificador, para ello reúne el efecto acumulador de los distintos condensadores en un par de diagramas. La respuesta frecuencial es un factor importante en la selección de un amplificador que tenga la dinámica adecuada para una aplicación dada.

Podemos obtener la respuesta frecuencial de un amplificador de forma experimental aplicando una señal de entrada senoidal de frecuencia variable y midiendo la ganancia en todo el margen de frecuencias. Para asegurar que la operación es lineal, debemos tener cuidado en que la amplitud de la señal sea lo suficientemente pequeña como para evitar distorsiones. Como la respuesta de los circuitos no lineales a las entradas senoidales es una senoide de la misma frecuencia, (probablemente con distinta magnitud y fase), podemos representar convenientemente las señales de entrada y salida mediante fasores. A cualquier frecuencia,ω la ganancia del amplificador es un número complejo $A(j\omega)$ la relación del fasor de salida con el de entrada a frecuencia ω. La respuesta frecuencial es el conjunto de estos números complejos, uno a cada frecuencia. La magnitud de la ganancia, $|A(j\omega)|$ es la relación de las amplitudes de salida y entrada a frecuencia ω y el ángulo $\theta(\omega)$ es la fase de la senoide de salida en relación a la entrada. Resumamos convenientemente esta información en dos gráficos separados de la magnitud $|A(j\omega)|$ y fase $\theta(\omega)$. A veces el gráfico de la magnitud muestra la ganancia en decibelios y a veces como cociente.

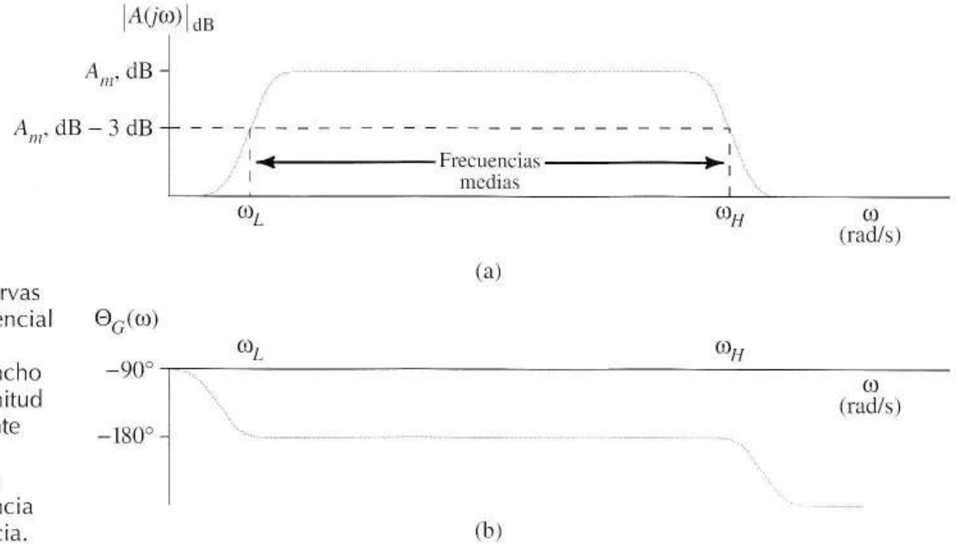


FIGURA 1.37 Curvas de respuesta frecuencial a un amplificador inversor de gran ancho de banda; (a) magnitud de la ganancia frente a la frecuencia; (b) desplazamiento de fase de la ganancia frente a la frecuencia.

La Figura 1.37 muestra curvas típicas de respuesta frecuencial de un amplificador de audio o video. La curva de magnitud tiene una extensa región central llamada *"frecuencias medias"*, en la que la ganancia es más o menos constante e independiente de la frecuencia. Las dos frecuencias ω_L y ω_H en las que la ganancia es 3 dB por debajo del valor a frecuencias medias, se llaman frecuencias de corte *inferior y superior*, o, también las *frecuencias inferior y superior a mitad de potencia.* (Un cambio de −3 dB en variación de tensión equivale a un cambio de −6 dB en variación del cuadrado de la tensión o una variación de potencia de 1/2). La región de frecuencias medias es la que es útil para la amplificación. A frecuencias superiores ω_H las capacidades del circuito no se pueden cargar y descargar lo suficientemente rápido como para seguir a la señal de entrada con sus rápidas variaciones por lo que la amplitud de la señal de salida y, en consecuencia, la ganancia, disminuyen. A frecuencias inferiores a ω_L las altas impedancias de ciertos condensadores impiden el flujo de la señal y disminuye la amplitud de salida. Un parámetro importante es el *ancho de banda.*

$$\omega_B = \omega_H - \omega_L$$

Este es el ancho de la región útil en rad/s. En casos en que $\omega_L = 0$ ó $\omega_L << \omega_H$ el ancho de banda es ω_H. La segunda curva de la Figura 1.37 indica una posible característica de fase del amplificador. A menudo el cambio de fase es también prácticamente constante en la banda constante, como en la Figura 1.37b.

1.6.5 EFECTO DE UNA RESPUESTA FRECUENCIAL SOBRE LAS SEÑALES DE ENTRADA

Es fácil, inicialmente, subestimar la importancia de la respuesta frecuencial dado que pocas veces tendremos ondas senoidales puras. Para relacionar la respuesta frecuencial de los amplificadores con señales más interesantes tiene gran importancia el concepto *serie de Fourier*. La mayor parte de los estudiosos explican este tema en detalle en otros cursos. Para cumplir nuestros objetivos sólo necesitamos comprender las ideas fundamentales.

Jean Baptiste Fourier (1768-1830) fue un matemático francés, interesado en la transferencia de calor asociada con cañones. En el curso de sus estudios descubrió que toda señal $v(t)$ que se repite cada T segundos, es decir, *periódica* con *período T*, es igual a una suma de señales senoidales con frecuencias múltiplos enteros de una frecuencia fundamental, $\omega_0 = 2\pi(1/T)$ rad/s. Esta suma es la serie de Fourier

$$v(t) = \sum_{n=0}^{\infty} A_n \cos(n\omega_0 t + \phi_n)$$

donde A_n y ϕ_n son, respectivamente, la amplitud y fase del coseno del *armónico enésimo* $n\omega_0$. Una explicación detallada incluiría fórmulas de cálculo numérico de los valores A_n y ϕ_n para una señal dada; aquí sólo necesitamos saber que es posible hacer este tipo de cálculos. Los ingenieros suelen aproximar la serie infinita de las señales reales por una serie finita que sólo incluye los términos lo bastante grandes como para contribuir de forma importante a la suma.

La serie de Fourier nos permite visualizar una señal periódica como una nota de un clarinete, por ejemplo, como la *superposición* de algunas señales senoidales con valores *M*, teniendo cada una su amplitud y fase. Una fuente de tensión que reproduce la señal es equivalente a un conjunto de fuentes de tensión en serie, una a cada frecuencia de Fourier.

Un amplificador lineal ideal aumenta el valor de *cada componente* senoidal mediante el *mismo* factor de ganancia, produciendo una serie de Fourier de salida que es una versión a escala de la serie de

Fourier de entrada. Sin embargo, según va pasando cada senoide por un amplificador real, la amplitud se multiplica por la magnitud de la ganancia, $|A(j\omega)|$ que corresponde a su frecuencia específica, y a su fase se le añade $\theta(j\omega)$.

La dependencia de la ganancia respecto de la frecuencia puede dar como resultado una señal de salida distorsionada. A continuación estudiaremos esto.

1.6.6 DISTORSIÓN DE AMPLITUD

En la Figura 1.38a el *espectro de líneas* representa una señal periódica de entrada. El espectro es un diagrama que utiliza una línea para cada frecuencia de entrada para mostrar la amplitud, A_n, del coseno Fourier a esa frecuencia (la fase no se muestra). La misma figura muestra la respuesta de la frecuencia de un amplificador apropiado a la señal. Como todos los componentes importantes de

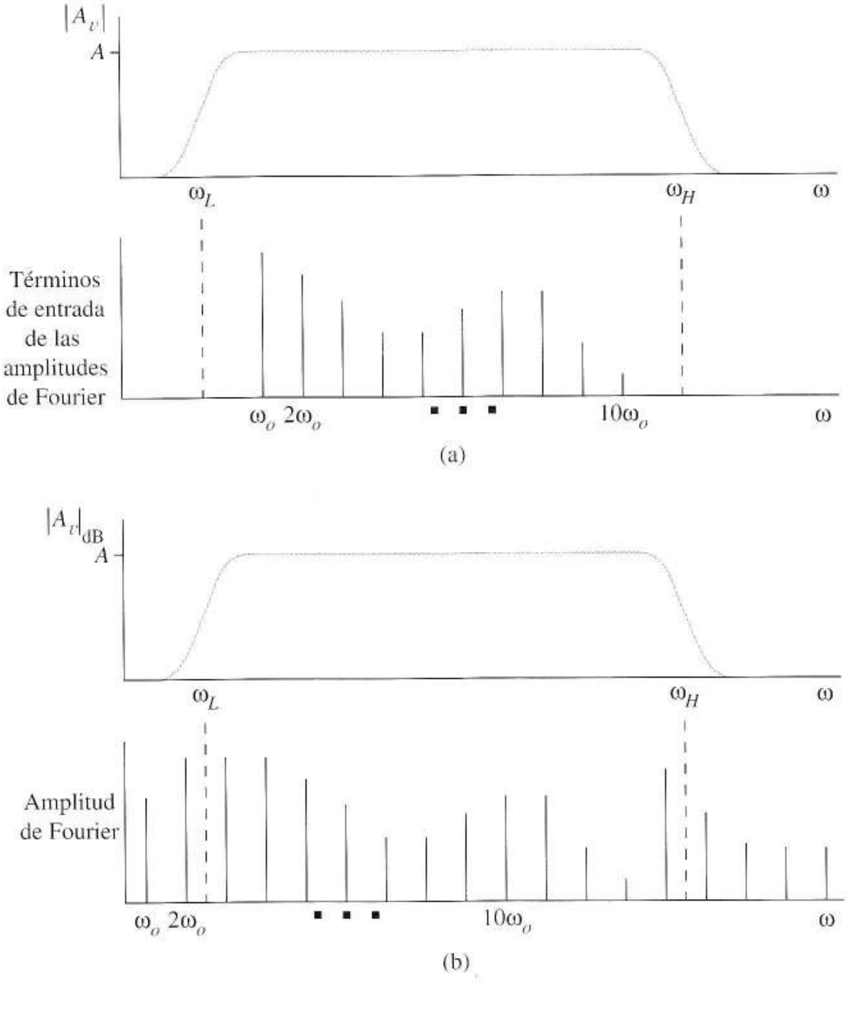


FIGURA 1.38 Concepto de distorsión de amplitud; (a) curva de ganancia y espectro de señal para una amplificación correcta; (b) espectro de señal que da como resultado distorsión de amplitud.

Fourier están en la región de frecuencias medias en la que la ganancia es uniforme, se amplifican del mismo modo.

Sin embargo, la respuesta frecuencial del amplificador no es apropiada para el espectro de señal de la Figura 1.38b, porque los cosenos de frecuencias menores a ω_L y mayores a ω_H se amplifican significativamente menos que los de frecuencias medias. De forma clara, la serie Fourier de la salida no es una réplica a escala de la serie de entrada. Llamamos a esto *distorsión de amplitud*. Para evitar este tipo de distribución el amplificador necesita un ω_L menor y un ω_H mayor para esta señal.

En el Capítulo 2 y en los demás, veremos el interés que tiene un ancho de banda que convenga exactamente a un espectro de señal determinado. Es una buena idea reducir la ganancia a frecuencias en las que no hay señal para reducir el ruido, concepto denominado *filtrado*.

1.6.7 DISTORSIÓN DE FASE

Cuando un amplificador tiene cambio de fase, la señal se retrasa a la vez que se amplifica. El caso más sencillo de comprender es aquel en que el cambio de fase del amplificador es una función lineal de la frecuencia. Así, la ganancia compleja es

$$A(j\omega) = A\angle\Theta(\omega) = A\angle - k\omega = Ae^{-jk\omega}$$

en la que A es la ganancia constante. En este amplificador, cada término de la serie de Fourier de entrada

$$v_i(t) = \sum_{n=0}^{\infty} V_n \cos(n\omega_0 t + \phi_n)$$

la modifica en magnitud y fase por la ganancia compleja dando la señal de salida

$$v_o(t) = \sum_{n=0}^{N} AV_n \cos(n\omega_0 t + \phi_n - kn\omega_0)$$

Factorizando da

$$v_o(t) = A\sum_{n=0}^{N} V_n \cos[n\omega_0(t-k) + \phi_n]$$

Cuando comparamos las expresiones de salida y entrada llegamos a

$$v_o(t) = Av_i(t-k)$$

Sacamos en conclusión que una curva de fase lineal con una pendiente de k rad/s introduce un retardo de k segundos, pero no cambia de otro modo la forma de la señal. Sin embargo la curva de fase no es lineal para todas las frecuencias, la señal de salida *no* toma la forma de la señal de entrada y decimos que el amplificador introduce *distorsión de fase*. Como es inevitable algún desplazamiento de fase, lo mejor que podemos esperar es sólo una aproximación a la fase lineal ideal.

El desplazamiento de fase uniforme de la Figura 1.37b resta aproximadamente 180° de la fase de *cada* componente Fourier que está en la zona de frecuencias medias. Esto invierte *cada* componente y produce una señal de salida que es una versión invertida de la entrada. Obsérvese que este desplazamiento uniforme de 180 ° es una curva de fase de pendiente $k = 0$ que introduce el retardo de tiempo de $k = 0$ s.

Dependiendo de la aplicación, la distorsión de fase puede causar o no problemas. Como el oído tiene poca sensibilidad a la distorsión de fase, el desplazamiento de fase se suele ignorar en amplificadores

de audio. No obstante, para la mayor parte de las señales, por ejemplo señales de video o pulsos en sistemas de comunicación, la forma de onda es importante y se debe minimizar la distorsión de fase.

El término general *distorsión de frecuencias* se aplica a cambios no deseados de la señal y que dan resultados no adecuados e incluye tanto la distorsión de amplitud como la de fase. Obsérvese que la *distorsión de frecuencia es bastante diferente de la distorsión no lineal*; la última lleva asociado un *circuito no lineal* que produce nuevas frecuencias en la salida y *que no estaban presentes en la entrada*. Una gran onda senoidal aplicada a la curva de la Figura 1.36b, por ejemplo, produce una forma de onda periódica de salida que no es una onda senoidal. El circuito no lineal genera, de esta forma, armónicos de la señal de entrada.

Introdujimos la serie de Fourier para ilustrar de una forma relativamente sencilla la importancia de la respuesta frecuencial del amplificador. Cursos más avanzados utilizan otra representación de la señal, la transformada de Fourier, para mostrar que una señal de entrada no periódica también ocupa una *banda* específica de frecuencias. Aunque la música esté, en general, lejos de la periodicidad, la transformada de Fourier lleva asociada la idea de que, en un amplificador estéreo, ω_L debe ser lo suficientemente pequeño como para amplificar las frecuencias bajas de los pedales de un órgano y ω_H debe ser lo suficientemente grande como para procesar los armónicos más altos de los violines. De modo más general, para evitar distorsión de frecuencia, un amplificador necesita un ancho de banda adecuado a la señal.

1.6.8 EFECTO DE LAS LIMITACIONES FRECUENCIALES SOBRE LA RESPUESTA A UN PULSO

Algunas señales importantes, como por ejemplo las de video, consisten en niveles continuos sucesivos (niveles de luminosidad de las imágenes). Podemos ver dichas señales como sucesiones de *pulsos* con distintas amplitudes. La Figura 1.39 muestra un pulso. Para ver cómo afecta la respuesta frecuencial del amplificador a su capacidad de procesar señales tipo pulso, comentaremos algunas ideas sobre el dominio del tiempo. Un resultado importante es la noción intuitiva de ancho de banda como medida de la velocidad de procesamiento de información del amplificador. El principal punto es que la respuesta frecuencial y la transitoria están estrechamente relacionadas.

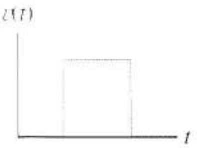


FIGURA 1.39 Pulso.

Respuesta en alta frecuencia y tiempo de subida Para relacionar la respuesta frecuencial con la transitoria revisaremos algunas propiedades del circuito *RC* de la Figura 1.40a. Si la entrada es una tensión senoidal de frecuencia ω , la relación de los fasores de salida y entrada es:

$$\frac{V_o}{V_i} = A(j\omega) = \frac{1/j\omega C}{(1/j\omega C)+R} = \frac{1}{1+j\omega RC} = \frac{1}{1+j(\omega/\omega_H)} \tag{1.38}$$

donde V_o y V_i son los fasores de salida y entrada y $\omega_H = 1/RC$. La ganancia de tensión compleja, $A(j\omega)$ es función de la frecuencia. La Figura 1.40b es la curva de respuesta frecuencial de amplitud del circuito, el gráfico de $20 \log |A(j\omega)|$ contra la frecuencia. Este circuito *RC* se llama un *filtro paso bajo* porque deja pasar ondas senoidales de baja frecuencia, multiplicándolas por 1 (0 dB), pero *atenúa* las frecuencias altas multiplicándolas por valores $|A(j\omega)| < 1$. El ancho de banda del circuito es ω_H.

Si aplicamos la etapa de la Figura 1.40c a la entrada con el condensador descargado inicialmente, al resolver la ecuación diferencial de primer orden que describe el circuito, obtenemos

$$v_o(t) = V_{SS}\left(1-e^{-t/RC}\right) = V_{SS}\left(1-e^{-\omega_H t}\right) \tag{1.39}$$

La Figura 1.40d es un esquema de esta función. Observemos que el condensador que reduce la amplificación a frecuencias superiores de ω_H también impide que la tensión de salida responda instantáneamente a cambios repentinos en la amplitud de entrada. Para cuantificar esta idea, definimos el *tiempo de subida*, t_r, del circuito con $t_r = t_2 - t_1$, donde t_1 es el instante en que la salida alcanza el 10% del valor final y t_2 el instante en que alcanza el 90% del valor final.

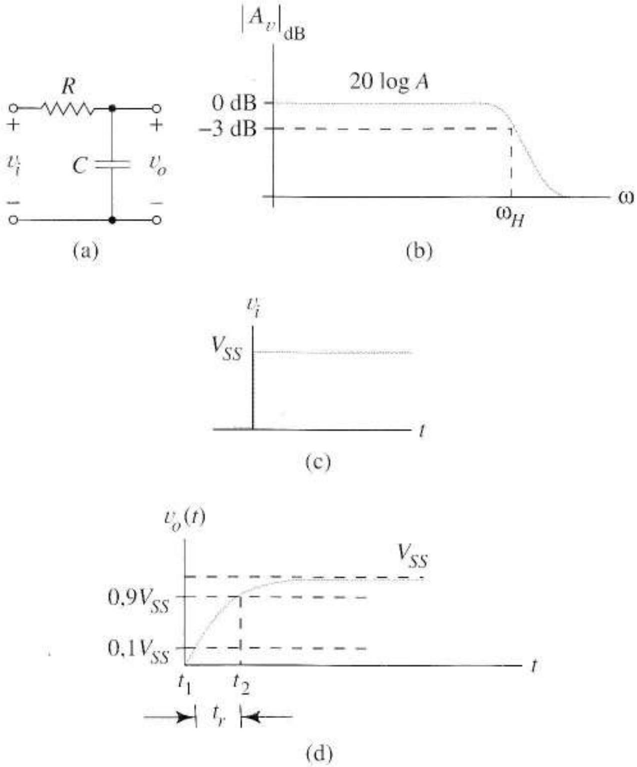


FIGURA 1.40 Relación entre el tiempo de subida y el ancho de banda; (a) circuito RC paso bajo; (b) respuesta frecuencial del circuito paso bajo; (c) llano de subida al circuito RC; (d) respuesta de salida al llano de subida.

Cuando aplicamos las definiciones de t_1 y t_2 de la Figura 1.40d a la Ecuación (1.39) obtenemos

$$0{,}1V_{SS} = V_{SS}\left(1 - e^{-\omega_H t_1}\right) \tag{1.40}$$

y

$$0{,}9V_{SS} = V_{SS}\left(1 - e^{-\omega_H t_2}\right) \tag{1.41}$$

Despejando t_1 y t_2 llegamos a la expresión de tiempo de subida

$$t_r = t_2 - t_1 = \frac{2{,}2}{\omega_H} = \frac{0{,}35}{f_H} \tag{1.42}$$

donde $f_H = \omega_H/2\pi$ es el ancho de banda en Hertzios. La Ecuación (1.42) muestra que el tiempo de subida es inversamente proporcional al ancho de banda para el circuito *RC* de paso bajo. Es evidente que el tiempo de subida y el ancho de banda contienen la misma información del circuito, pero de distinta forma.

La ganancia de un amplificador sencillo de ancho de banda finito es $A_m\,A(j\omega)$, donde $A(j\omega)$ viene dado por la Ecuación (1.38) y A_m es una constante. Para amplificadores de este tipo, la Ecuación (1.42) es exacta. Los amplificadores con funciones de ganancia más complejas tienen a menudo una constante de tiempo que domina el comportamiento en alta frecuencia. Cuando esto se cumple, la Ecuación (1.42) nos sirve como una *aproximación* útil. El tiempo de subida es un dato importante que nos permite comparar los amplificadores según sean sus velocidades de respuesta.

Podemos ver el tiempo de subida finito de la Figura 1.40d como una distorsión del *flanco de subida* de la etapa de amplificación o respuesta causada por el valor finito de ω_H. Asociamos otro tipo de distorsión en el dominio del tiempo con una frecuencia pequeña distinta de cero, ω_L. Lo examinaremos a continuación.

Limitación en baja frecuencia El circuito *RC* de *paso alto* de la Figura 1.41 tiene una ganancia compleja dada por

$$\frac{V_o}{V_i} = A(j\omega) = \frac{j(\omega/\omega_L)}{j(\omega/\omega_L)+1} \tag{1.43}$$

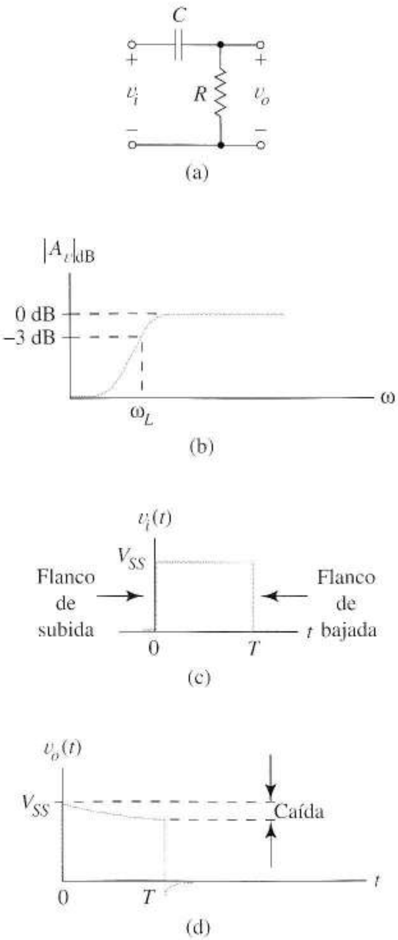


FIGURA 1.41 Relación entre la respuesta en baja frecuencia y el pulso de caída; (a) circuito *RC* paso alto; (b) respuesta frecuencial del circuito paso alto; (c) pulso de entrada del circuito *RC*; (d) respuesta del circuito paso alto al pulso de entrada.

donde V_o y V_i son fasores de entrada y salida y $\omega_L = 1/RC$ es la frecuencia de corte inferior a media potencia. La Figura 1.41b muestra la respuesta frecuencial de este circuito. Igual que un *filtro paso alto*, deja pasar las señales de alta frecuencia ($\omega >> \omega_L$) multiplicándolas por uno, pero reduce las amplitudes de las señales de baja frecuencia. Ahora supongamos que la entrada es el pulso de la Figura 1.41c. Como el circuito no puede distinguir un pulso de una subida en la entrada hasta que no llegue el *flanco final* (en $t = T$), la respuesta inicial al pulso es la misma que a una subida en la amplitud de entrada V_{SS}, es decir

$$v_o(t) = V_{SS}e^{-t/\tau} = V_{SS}e^{-\omega_L t}$$

En el momento en que llega el final del pulso, hay una caída en la respuesta relativa a su valor máximo como se muestra en la Figura 1.41d. la cantidad de caída es $V_{SS} - v_o(T)$. En general nos referiremos a la *caída por unidad*

$$\text{caída por unidad} = \frac{\text{caída}}{V_{SS}} = \frac{V_{SS}\left(1-e^{-\omega_L T}\right)}{V_{SS}} = 1-\left[1-\omega_L T+\left(\omega_L T\right)^2 + \cdots\right]$$

en el que el término exponencial se representa por el desarrollo de la serie infinita. Para pequeños $\omega_L T$, la serie se aproxima por sus dos primeros términos, obteniéndose

$$\text{caída por unidad} = \omega_L T \tag{1.44}$$

Mejorando así la respuesta en baja frecuencia, el menor ω_L, da menos caída en la respuesta del pulso. Los amplificadores con limitaciones en baja frecuencia tienen expresiones de ganancia $A_m\,A(j\omega)$ donde $A(j\omega)$ está dado por (1.43) y A_m es un factor de ganancia constante. Así, (1.44) se aplica exactamente a ese tipo de amplificadores y frecuentemente es una aproximación útil para amplificadores complejos.

Cuando los amplificadores tienen limitaciones, tanto de baja como de alta frecuencia, ampliamente separados como en la Figura 1.37, la frecuencia de corte superior 3 dB da un tiempo de subida finito *aproximado por* la Ecuación (1.42) y la frecuencia de corte inferior 3 dB da una caída aproximada por la Ecuación (1.44). A veces utilizamos estas ecuaciones para estimar los límites de la curva de respuesta frecuencial a partir de medidas en el dominio temporal.

1.6.9 IMPORTANCIA DEL ANCHO DE BANDA

Utilicemos ahora las Ecuaciones (1.42) y (1.44) para relacionar el ancho de banda del amplificador con su velocidad de proceso de información. Como ejemplo intuitivo, imaginemos un televisor que produce imágenes en blanco y negro. El haz de electrones barre la pantalla de izquierda a derecha a velocidad constante y utiliza los cambios en intensidad causados por una *señal de video* amplificada para construir la imagen en línea a línea. Para producir una imagen de alta resolución, las transiciones entre negro y blanco (cambios de brillo en la imagen) deben ser cambios grandes en la amplitud de la señal de video que toman sólo pequeñas fracciones del tiempo de barrido. Así, la respuesta de salida del amplificador de video más rápida facilita construcciones de pantalla más detalladas. Esto hace posible que muestre más información durante el tiempo fijado para producir la estructura de la imagen. Con la Ecuación (1.42) llegamos a ver que el ancho de banda proporciona una limitación fundamental a la velocidad de procesamiento de información del amplificador. La Ecuación (1.44) indica que la respuesta de baja frecuencia del amplificador de video debe ser la adecuada para mantener los niveles de gris durante los intervalos en los que la señal de entrada es constante.

1.7 SUMARIO

Los principios de este capítulo crean los fundamentos de las ideas básicas a los que nos referiremos frecuentemente en el resto del texto. En la electrónica son primordiales los dispositivos especiales caracterizados por gráficas a escala, descripciones matemáticas teóricas o ambas. Aprendiendo a describir dispositivos familiares mediante curvas vi, nos es más sencillo comprender descripciones gráficas de componentes desconocidos y, además, relacionar sus descripciones gráfica y matemática. Una vez que entendemos un nuevo elemento, nos podemos interesar en predecir cómo funciona cuando se conecta con otros. Para este fin utilizamos representaciones de esquemas junto con las descripciones gráficas y matemáticas. Esta integración conduce a circuitos equivalentes sencillos que representan a los dispositivos cuando se utilizan como componentes de una red.

Hay cuatro estructuras de amplificación fundamentales, cada una de ellas basada en uno de los cuatro tipos de fuentes dependientes. Los amplificadores reales se diferencian de las fuentes dependientes en que tienen resistencias de entrada y/o salida finitas y distintas de cero. Estas resistencias provocan efectos de carga y divisores de tensión y corriente en la entrada, salida y etapas intermedia del amplificador. Los circuitos equivalentes que consisten en fuentes y resistencias dependientes se pueden usar como modelos de los amplificadores reales. Para aumentar la amplificación podemos utilizar la salida de un amplificador con la entrada de otro, proceso denominado conexión en cascada. Si incluimos la carga, se multiplican las ganancias de los amplificadores en cascada. Las unidades de ganancia logarítmicas conocidas como decibelios son útiles para muchas aplicaciones que incluyen el tratamiento de etapas de amplificadores en cascada.

Las entradas y salidas de los amplificadores pueden ser referidas a masa o diferenciales. Si un amplificador tiene una entrada diferencial, lo llamaremos amplificador diferencial ya que su función principal es amplificar la diferencia de las tensiones existentes en sus dos nodos de entrada. Cualquier señal diferencial, como la entrada de un amplificador diferencial, se puede dividir en componentes en modo común y en modo diferencial. La segunda función del amplificador diferencial es reducir la componente en modo común en relación con la componente en modo diferencial. La RRMC es un parámetro que indica la capacidad del amplificador de realizar este objetivo. Los amplificadores diferenciales tienen también resistencias de entrada y salida que provocan efectos de carga.

Hemos estudiado varios efectos secudarios pero importantes que limitan el funcionamiento de los amplificadores. Hemos aprendido que debemos utilizar las definiciones de las resistencias de entrada y salida que incluyen realimentación interna en el circuito, de salida hacia la entrada. Otros efectos secundarios son la desviación y la curvatura de la función de transferencia que causan, respectivamente, una componente continua en la salida, no relacionada con la señal de entrada, además de la distorsión no lineal. Las capacidades internas limitan la ganancia de los amplificadores a altas frecuencias y, a veces, a bajas frecuencias, además de introducir desplazamientos en la fase y retardo en la señal. El ancho de banda es un parámetro que nos da la idea de los límites en alta frecuencia de un amplificador. Si la respuesta frecuencial de un amplificador no es adecuada para una señal determinada, estará distorsionada, bien con distorsión de amplitud, de fase o con las dos.

REFERENCIAS

1. ANGELO, E. J. *Electronics, BJTs, FETs, and Microcircuits*, McGraw-Hill. New York. 1969.
2. *Editors of Electronics Magazine*, "An age of innovation: The world of electronics 1930-2000". McGraw-Hill, New York, 1981

3. IRWIN, DAVID J. *Basic Engineering Circuit Analysis*, 2nd de., Macmillan, New York, 1987.
4. NILSON, J. W. *Electric Circuits*, Addison-Wesley, Reading, MA, 1986.
5. SEARS, F. W., M. W. ZEMANSKY, y H. D. YOUNG. *University Physics*. Addison-Wesley, Reading, MA, 1977.

PROBLEMAS

Sección 1.2

1.1 Represente la curva vi de una batería de 5V utilizando las convenciones de signos de corrientes y tensiones de la Figura 1.3a. Muestre los puntos de la curva donde la fuente a) da 10 watios de potencia, b) absorbe 2 watios de potencia, c) ni entrega ni absorbe potencia.

1.2 Cubra para cada componente la letra correspondiente de la curva vi de la Figura P1.2. Después indicar la letra de la ecuación correspondiente.

Nombre	Curva	Ecuación	
Resistencia	—	—	(u) $v = -6$
Fuente de corriente	—	—	(u) $v = 0$
Cortocircuito	—	—	(w) $i = -2v$
Fuente de tensión	—	—	(x) $i = 0$
Circuito abierto	—	—	(y) $i = 3v$
Resistencia negativa	—	—	(z) $i = 16$

1.3 Represente las curvas de entrada, salida y transferencia de una fuente VCCS con transmitancia $g_m = 2 \times 10^{-3}$ S. Etiquetar las curvas.

1.4 Desarrolle P1.3 para una CCVS con $r_m = 2 \times 10^3 \Omega$.

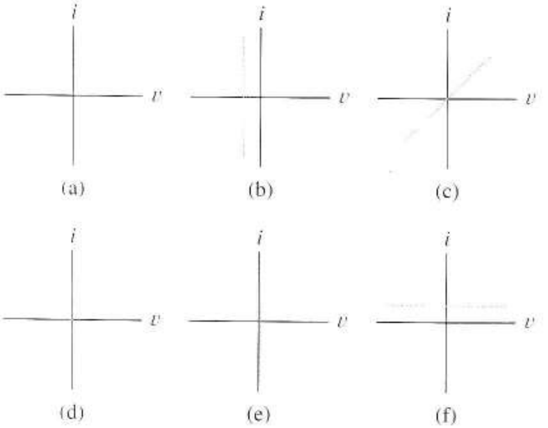


FIGURA P1.2

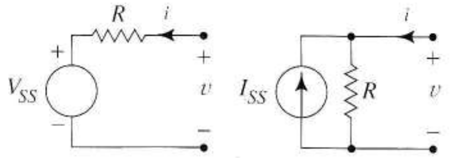


FIGURA P1.5

1.5 Represente las curvas vi para cada fuente no ideal de P1.5.

Sugerencia Escriba una ecuación para cada una.

1.6 Coloque una resistencia r_o en paralelo con la fuente de corriente de la Figura 1.8a. Después escriba y represente las ecuaciones para las funciones de salida.

1.7 La expresión $v = 0$ cuando $i \geq 0$ e $i = 0$ cuando $v < 0$ describe un dispositivo llamado diodo ideal.

a) Represente la curva vi para el diodo.

b) Represente el diagrama del dispositivo dipolo que puede reemplazar al diodo si $i > 0$

c) Represente el diagrama del dipolo que puede reemplazar al diodo si $v < 0$

1.8 P1.8 es la función de salida de un dispositivo.

a) ¿Qué modelo de un dipolo describe mejor el circuito de salida del dispositivo si $i_1 = 0$?

b) ¿Cuándo es $i_1 = 3$ mA y $v_2 > 5$ V?

FIGURA P1.8

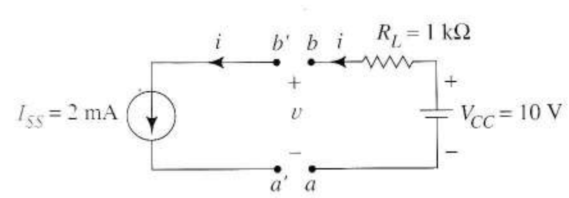


FIGURA P1.11

c) ¿Cuándo está en el modo de funcionamiento representado por la línea recta indicada por *?

d) Dibuje el diagrama de un cuadripolo cuya función de salida es idéntica a la obtenida en la región ($v_2 \geq 5$, $0 \leq i_2 < 50$ mA, $0 \leq i_1 < 5$ mA). Asuma que la tensión de entrada v_1 del cuadripolo es siempre cero.

1.9 Un cuadripolo tiene la función de transferencia $i_2 = 2 \times 10^{-3} v_1$. La corriente de entrada en mA es siempre cuatro veces la tensión de entrada en voltios.

a) Represente las funciones de entrada y salida.

b) Dibuje un circuito equivalente que represente el cuadripolo.

1.10 Un dispositivo cuadripolo tiene la función de transferencia $v_2 = 2v_1$. La corriente de entrada i_1 es siempre 2 mA.

a) Represente las funciones de entrada y salida

b) Dibuje un circuito equivalente que represente este cuadripolo. Observar la convención de signos del cuadripolo de la Figura 1.6a.

c) Utilice el circuito equivalente creado anteriormente para hallar la corriente de salida cuando hay una resistencia de 1 kΩ conectada a la entrada y una de 5 kΩ conectada a la salida.

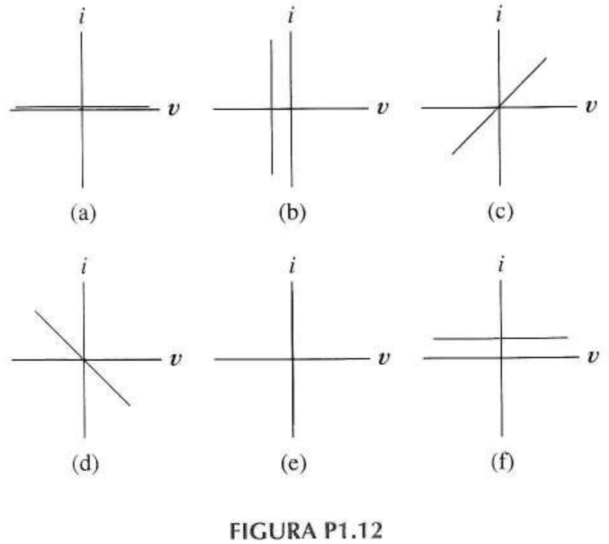


FIGURA P1.12

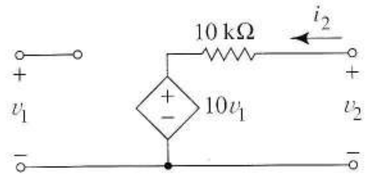


FIGURA P1.13

1.11 La fuente de corriente y el conjunto resistencia-batería de P1.11 se tienen que conectar a los nodos *a* y *b*. Tengamos en cuenta que una vez que se hace la conexión, *i* y *v* son iguales para ambos dispositivos.

a) Represente la curva *vi* para el conjunto batería-resistencia por sí solo.

Sugerencia Escribe la ecuación.

b) Sobre el mismo sistema de coordenadas *i–v*, represente las curvas vi para la fuente de corriente y el conjunto batería-resistencia. Después, muestre sobre dichas curvas el resultado numérico de *v*.

c) Redibuje la representación del apartado b). Después, añada una línea punteada para mostrar la nueva curva vi para la fuente de corriente si I_{SS} se incrementa a 4 mA. Indique el nuevo valor de *v* con una flecha etiquetada con c.

d) Añada al diagrama c) una línea punteada para I_{SS} = 1 mA. Utilice una flecha etiquetada como d para mostrar la nueva tensión de la fuente de corriente.

e) Redibuje la representación del apartado b). Después, muestre cómo cambia v para incrementos y decrementos de V_{CC} cuando R_L se mantiene constante.

f) Describa detalladamente cómo cambiaría esta solución gráfica para la tensión de la fuente de corriente si la fuente continua V_{CC} del apartado (b) se reemplazara por una fuente senoidal 2 sen 5*t*.

g) Comenzando con otra representación del apartado (b), muestre cómo cambia *v* para una R_L más grande y más pequeño que 1 kΩ pero con el mismo V_{CC}.

1.12 P1.12 muestra las funciones de entrada y salida de un cuadripolo.

a) Dibuje un modelo para el cuadripolo.

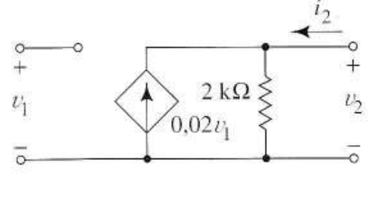


FIGURA P1.14

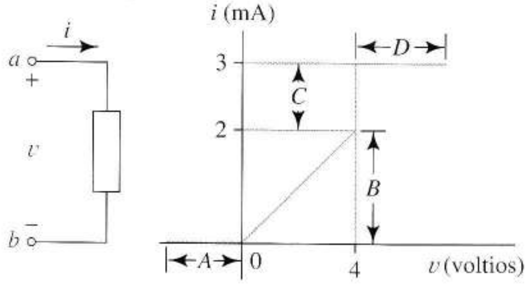


FIGURA P1.16

b) Representar la función de transferencia del cuadripolo.

1.13 Represente y etiquete las curvas características de salida del dispositivo de P1.13 que corresponde a $v_1 = -1, 0, 1$ y 2.

1.14 Para P1.14 represente y etiquete las funciones de salida que corresponden a $v_1 = 0$, 1 y 2 V

1.15 ¿Cuánta potencia puede dar a una carga externa una fuente de V_{SS} voltios con resistencia de R ohmios?

Sugerencia Teorema de la transferencia de máxima potencia.

1.16 P1.16 muestra un dispositivo misterioso y su curva vi.

a) Para cada región de A a D describa de forma tan completa como sea posible el elemento al que se parece dicho dispositivo.

b) ¿Cuál es el valor de i si se conecta en paralelo una fuente ideal de 2 V al dispositivo orientado de b hacia a?

c) ¿Cuál es el valor de i si se conecta en paralelo una fuente de tensión ideal de 6 V al dispositivo, orientado de b hacia a?

d) ¿Cuál es el valor de v si se conecta en paralelo una fuente de corriente ideal de 2,5 A con el dispositivo y se orienta de b hacia a?

1.17 a) Escriba una expresión para la tensión en R_L de P1.17 si la fuente dada se conecta directamente a la carga dada.

b) Halle una expresión para la tensión en R_L si la fuente dada se conecta a la carga dada mediante un CCCS de $\beta = 1$.

c) ¿En qué caso es mayor la tensión de salida? Explíquelo.

1.18 El elemento de P1.18 tiene la curva vi de entrada de P1.18b y la función de salida de P1.18c.

a) Dibuje un modelo del circuito que represente al dispositivo cuando funciona en el primer cuadrante de las funciones de entrada y salida.

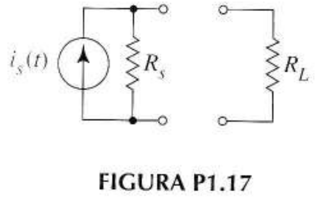


FIGURA P1.17

b) Use el modelo anterior para hallar el valor de i_x en P1.18d.

1.19 Podemos representar una fuente variable en el tiempo como una curva vi desplazada. Describa detalladamente con palabras las curvas vi de

a) $v(t) = 5$ sen $10t$.

b) $i(t) = 0{,}2 \cos 5t$.

c) $R(t) = 100\, e^{-t}$.

Describa primero las curvas para $t = 0$. Después, para $t > 0$.

Sección 1.3

1.20 Halle la ganancia de tensión necesaria si un amplificador ideal de tensión se conecta a una fuente de señal de 2 milivoltios (rms) con resistencia interna de 200 Ω sobre una carga de 50 Ω que necesite 1/2 W de potencia.

1.21 Una señal de 5 mV rms debe ser amplificada para poder entregar 1 W de potencia a una resistencia de 100 Ω. ¿Cuántos amplificadores ideales de tensión se deben

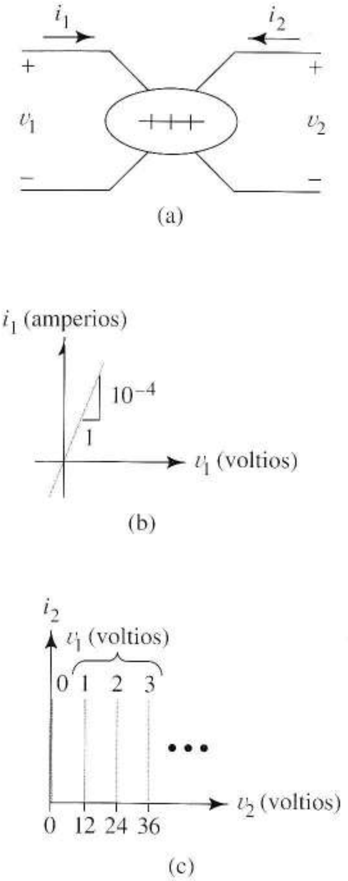


FIGURA P1.18

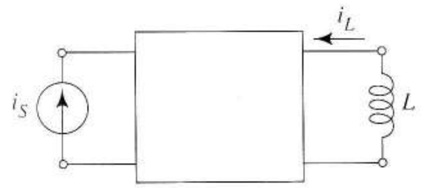


FIGURA P1.27

conectar en cascada, si la ganancia de tensión de cada uno es de 8?

1.22 Una fuente con tensión en circuito abierto de 3 mV rms y resistencia interna de 10 kΩ se utiliza con una resistencia de carga de 5 kΩ. Calcular la tensión y potencia en la carga si:

a) Se conecta directamente la fuente a la carga

b) Hay un amplificador de tensión ideal con ganancia 1 conectado entre la fuente y la carga.

c) Hay un amplificador ideal con ganancia de tensión 10 que conecta la fuente y la carga.

1.23 Si utilizamos un CCCS con transmitancia β para entregar 100 mW de potencia a una carga de 8 Ω desde una fuente de tensión de 0,1 V y 1 kΩ de resistencia, halle el mínimo valor válido para β.

1.24 Halle la ganancia de transresistencia necesaria para resolver el Problema 1.20 utilizando un CCVS.

1.25 Muestre cómo crear un VCVS a partir de dos fuentes dependientes de la Figura 1.17. La respuesta consiste en un diagrama y una ecuación.

1.26 Muestre cómo crear un CCCS utilizando los otros dos tipos de fuentes dependientes de la Figura 1.17. La respuesta consiste en un diagrama y una ecuación.

1.27 El recuadro de P1.27 debe contener un cuadripolo que hace que la corriente de la bobina sea 80 veces mayor a la de la señal, pero sin embargo no se viola ninguna de las leyes de Kirchhoff. Represente las características de entrada, salida y transferencia del dispositivo.

Sección 1.4

1.28 Una fuente, v_S = 3 mV y R_S = 4 kΩ, se conecta a una resistencia de carga de 10 Ω a través de un amplificador con dos etapas iguales en cascada. Las especificaciones del amplificador son R_i = 6 kΩ, R_o = 100 Ω y la ganancia de circuito abierto = 80.

a) Halle la ganancia de tensión v_L/v_i, siendo v_L la tensión en la carga de 10 Ω.

b) Halle la ganancia de potencia del amplificador en dos etapas.

c) Halle la potencia de entrada y salida para cada etapa del amplificador y determine la potencia que se necesita añadir a la etapa del amplificador desde una fuente externa (fuente de alimentación) para cumplir la conservación de energía.

1.29 Un amplificador desarrolla una tensión de salida de v_2 voltios rms en una resistencia de carga de R_2 ohmios. En la entrada del amplificador hay una tensión de entrada de v_1 voltios rms con una resistencia de carga de R_1 ohmios.

a) Escriba una expresión para la ganancia de potencia en decibelios, utilizando v_1, v_2, R_1 y R_2.

b) Utilice la expresión del apartado (a) para relacionar la ganancia de potencia en decibelios con la ganancia de tensión $A_v = v_2/v_1$.

c) Utilice los resultados del apartado (b) para probar que en el caso especial en que $R_1 = R_2$, la ganancia de potencia en decibelios tiene el mismo valor que la ganancia de tensión en decibelios.

d) Escriba una expresión para A_{PdB} utilizando R_1, R_2 y las corrientes de entrada y salida i_1 e i_2, respectivamente. A partir de esa expresión, halle una relación entre A_{PdB} y A_{idB}.

1.30 Para el amplificador de dos etapas P1.30, calcule:

a) la ganancia de tensión de v_i a v_L

b) la ganancia de corriente i_L/i_1

c) la ganancia de potencia. Defina la potencia de entrada como potencia de señal que entra a la primera etapa.

1.31 P1.31 muestra un amplificador en dos etapas con una división de tensión ajustable, situado entre las etapas para controlar el valor de la señal de salida. Podemos pensar en

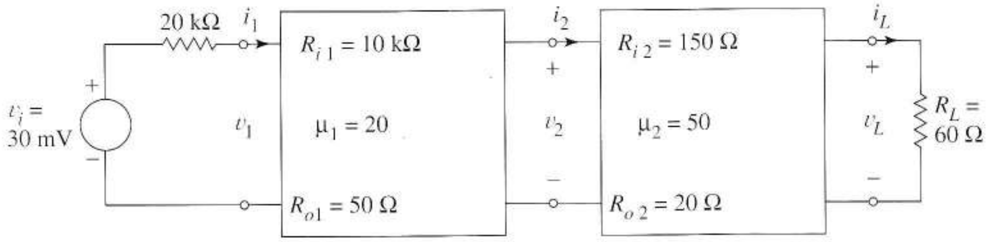


FIGURA P1.30

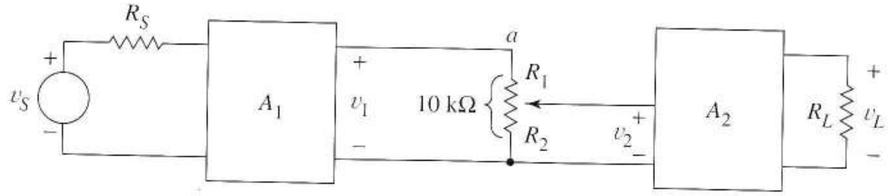


FIGURA P1.31

el divisor de tensión como en un *amplificador* con ganancia negativa en decibelios.

a) ¿Cómo están relacionados las ganancias en decibelios de A_1 y A_2 y el divisor de tensión A_{DIV} con la ganancia total en decibelios?

$$A_{TdB} = 20 \log |v_L / v_S|?$$

b) Con $R_1 = 0$ y R_2 = 10 kΩ, la ganancia en tensión entre v_s y v_L es de 70 dB. Halle los valores de R_1 y R_2 para que el divisor de tensión reduzca la ganancia global a 18 dB incrementando R_1 y manteniendo la relación $R_1 + R_2$ = 10 kΩ. Suponga que la resistencia de entrada de la segunda etapa es >> 10 kΩ.

1.32 Halle la corriente de salida y ganancias de corriente y potencia del amplificador de corriente de la Figura P1.32

1.33 Diseñe un amplificador no ideal que cumpla las siguientes condiciones: 1) Entrega 1 W de potencia a una resistencia de carga de 1 kΩ. 2) Tiene una resistencia de salida de al menos 100 Ω. 3) Tiene resistencia de entrada de al menos 2 kΩ. 4) Tiene todo lo anterior si la fuente de señal es una corriente de 0,1 mA rms con resistencia interna de 50 kΩ. Cualquier respuesta que lo cumpla es aceptable.

Sugerencia Desarrolle un circuito equivalente partiendo de la carga.

Sección 1.5

1.34 Un amplificador diferencial tiene resistencia de entrada infinita (modo común y diferencial), resistencia de salida cero y los parámetros A_d = 75, RRMC = 40 dB. Halle la tensión de salida cuando

a) v_a = 2,3 mV y v_b = 1,6 mV.

b) $v_a(t) = 0{,}01\text{sen}(1.000t) + 0{,}015\text{sen}(2.000t)$
$v_b = -0{,}012\text{sen}(1.000t) + 0{,}0151\text{sen}(2.000t)$

1.35 La salida de un amplificador diferencial con A_d = 20 y A_c = 0,5 es $v_o(t)$ = 16 sen(1.000t) + 0,1 sen(100t). Suponga que la componente de 1.000 rad/s entra en el amplificador en modo diferente y la señal de 100 rad/s entra en modo-común. Calcule la tensión del nodo en la entrada no invertida y en la invertida.

1.36 Suponga que la resistencia de entrada del amplificador diferencial de la Figura 1.27d es una resistencia R_d conectada entre los nodos a y b, (por ejemplo, $R_{cx} = \infty$). Halle los componentes en modo común y diferencial de la tensión de entrada usando v_s y v_n cuando R_S = 600 Ω, R_w = 1Ω, R_d = 10 kΩ y R_n = 0,5Ω

1.37 En la Figura 1.28d se supone que v_s y v_n son senoides con frecuencias ω_s y ω_n y con amplitudes V_S y V_N respectivamente. Halle la expresión del fasor de cada componente de la tensión de entrada si la impedancia de entrada del amplificador es infinita.

1.38 Muestre el modelo para un amplificador diferencial y una fuente doble.

a) ¿Cuáles son los valores de A_d, RRMC, R_d y R_c?

b) Halle el componente en modo diferencial de v_o.

c) Halle el componente en modo común de v_o.

d) Halle el valor de v_o.

e) Halle el nuevo valor de v_o si la salida del amplificador se conecta a tierra a través de una resistencia de carga de 800 Ω.

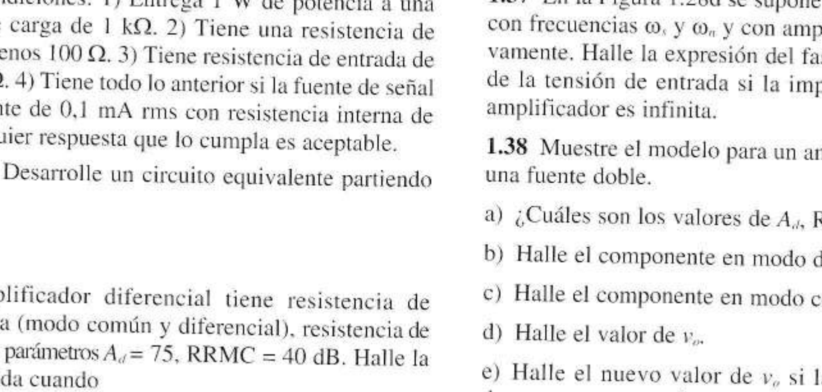


FIGURA P1.32

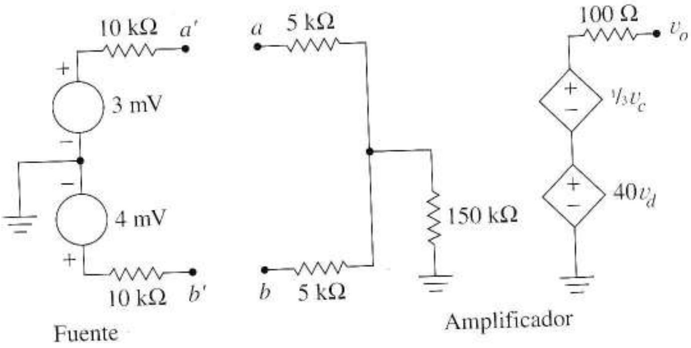


FIGURA P1.38

1.39 Vuelva a dibujar la Figura 1.31 con resistencias distintas R_{s1} y R_{s2} que reemplazan a las resistencias R_s.

a) Utilice la superposición para hallar expresiones para v_a y v_b, utilizando en cada una de ellas v_{sd} y v_{sc}. Suponga que R_{cs} es tan grande que se puede omitir.

b) Utilice los resultados obtenidos para demostrar que $v_a - v_b$ es proporcional a v_{sd}.

1.40 P1.40 muestra una señal v_s y un ruido v_n conectados a la carga de 100 Ω por medio de un amplificador diferencial. Examinemos lo que le ocurre a la señal y al ruido de forma separada según pasan por el amplificador.

a) Vuelva a dibujar el circuito con el amplificador reemplazado por su circuito equivalente completo.

b) Con v_n desconectado, analice el circuito para hallar v_a, v_b, v_d y v_c, utilizando en cada uno v_s.

c) Con v_s desconectado, hallar v_a, v_b, v_d y v_c utilizando en cada expresión v_n. Halle v_o utilizando en la expresión v_n.

d) Combine las respuestas (b) y (c) para calcular el v_o total.

1.41 Un amplificador operacional se convierte en amplificador de una sola entrada cuando ponemos una entrada a tierra y conectamos una fuente $v_s(t)$ a la otra entrada. Utilizar el circuito equivalente de la Figura 1.29a para hallar

a) la resistencia de entrada y

b) la tensión en circuito abierto $v_o(t)$ para esta conexión.

1.42 En el Capítulo 7 estudiaremos distintos amplificadores con salida doble, además de tener entradas dobles. La Figura P1.42a representa uno de estos amplificadores y la P1.42b, el circuito equivalente en el que v_d sigue siendo la componente de entrada en modo diferencial definida por la Ecuación (1.26)

a) Halle $v_x(t)$ para el circuito de la Figura P1.42c

b) Halle $v_o(t)$ para el circuito de la Figura P1.40d.

1.43 P1.43 muestra el circuito equivalente de un amplificador diferencial que tiene dos nodos de entrada en vez de uno. Los componentes de entrada en modo diferencial y común v_d y v_c siguen definiéndose por (1.26) y (1.27). Las polaridades relativas de la fuente dependiente son importantes.

a) Suponga que aplicamos una señal en modo diferencial para el circuito. Dibuje un circuito equivalente simplificado que describa este caso especial. Utilice términos que clasifiquen la señal de salida resultante.

b) Dibuje un circuito equivalente simplificado que describa el caso especial de excitación en modo común. Emplee términos que clasifiquen la señal de salida resultante.

c) Para una señal de entrada general, usaremos $v_o = v_y - v_x$ como señal de salida. Exprese v_s en función de v_d y v_c. ¿Cuánto vale RRMC en este caso?

d) Para una entrada general utilizamos $v_o = v_y - v_x$ como señal de salida. Exprese v_o en función de v_d y v_c. ¿Qué es RRMC en este caso?

1.44 Dibuje el circuito equivalente de un amplificador diferencial de una salida que cumpla las siguientes condiciones:

1) desarrolle 4V sobre una resistencia de 2 kΩ si la señal en modo diferencial puro de 50 mV se aplica a la entrada;

2) tenga resistencia de salida menor de 50 Ω y RRMC de 63 dB de entrada en modo común.

3) tenga resistencia de entrada de 10 MΩ en una señal de entrada en modo común;

4) desarrolle 50 mV entre sus entradas si existe una fuente en modo diferencial aplicada a la entrada con resistencia de salida R_s = 20 kΩ y tensión total en modo diferencial v_s = 150 mV.

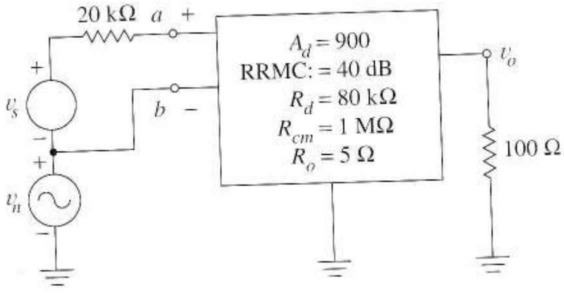


FIGURA P1.40

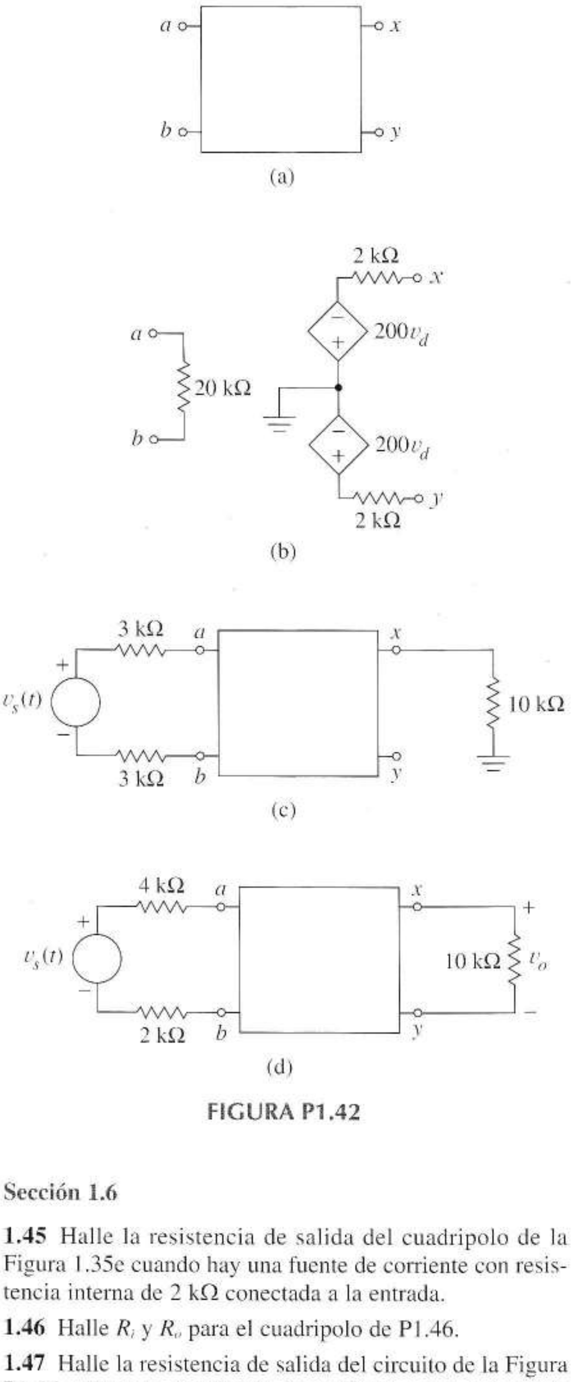


FIGURA P1.42

Sección 1.6

1.45 Halle la resistencia de salida del cuadripolo de la Figura 1.35e cuando hay una fuente de corriente con resistencia interna de 2 kΩ conectada a la entrada.

1.46 Halle R_i y R_o para el cuadripolo de P1.46.

1.47 Halle la resistencia de salida del circuito de la Figura P1.46 utilizando una fuente de corriente como generador. Utilice los valores numéricos $R_s = R_i = 10$ kΩ, $g_m = 0{,}002$ S.

1.48 La fuente dependiente del circuito de entrada hace que el amplificador de P1.48 sea bidireccional. Halle R_i y R_o para los valores de fuente y resistencia de carga dados.

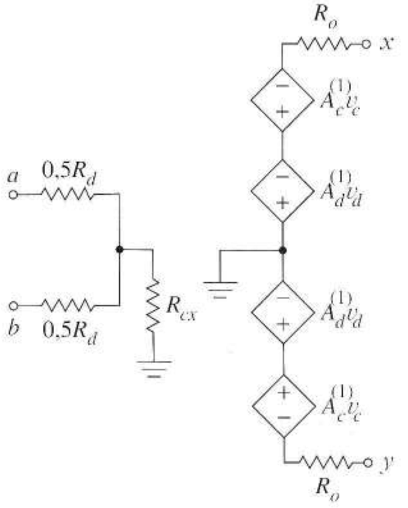


FIGURA P1.43

1.49 Un amplificador con ganancia de tensión 400 tiene una tensión de desviación de entrada de 0,5 mV.

a) Represente la función de transferencia.

b) Halle el valor de la tensión de salida cuando la de entrada es cero.

c) Escriba una expresión para la tensión de salida si la de entrada es 10^{-3} sen $50t$.

Sugerencia Proyecte primero sobre la curva de transferencia.

1.50 Un amplificador se describe por las curvas de entrada y transferencia de la Figura P1.50.

a) ¿Cuál es la ganancia del amplificador en pequeña?

b) Dibuje un modelo de circuito que describa el amplificador para $-0{,}2$ V< $v_i < 0{,}2$ V.

c) Dibuje un modelo del circuito que describa al amplificador para $v_i > 0{,}2$ V.

Sugerencia la salida es constante para este margen de entrada.

d) Dibujar un modelo del circuito que describa al amplificador para $v_i < -0{,}2$ V.

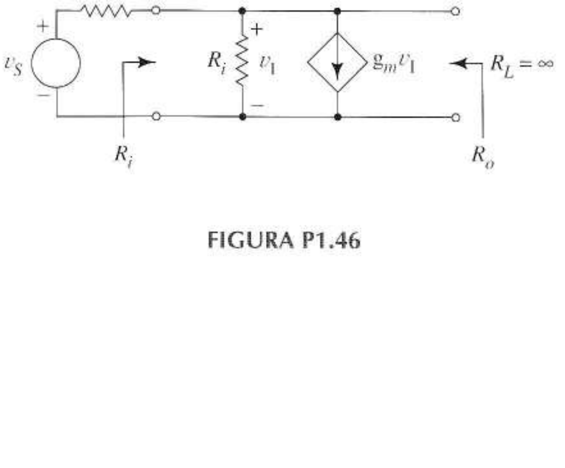


FIGURA P1.46

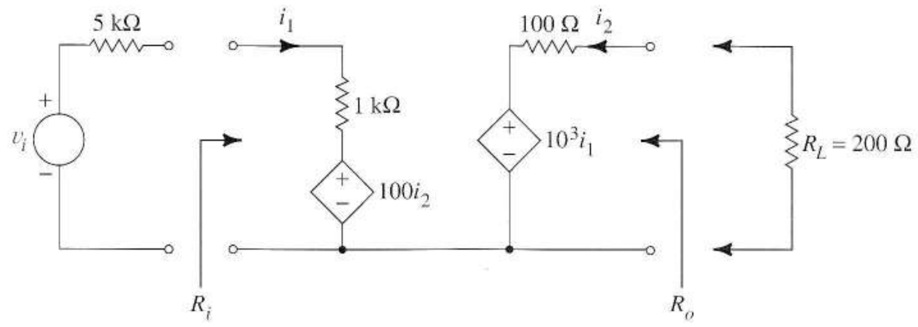


FIGURA P1.48

1.51 La tensión de entrada del amplificador de P1.50 es

$$v_i = -0{,}15 + A \operatorname{sen} \omega t$$

donde la amplitud de la senoide es la información de interés y 0,15 es un desplazamiento que surge de la anterior etapa del amplificador.

a) Halle la amplitud máxima A para que la información que lleva la señal no se distorsione.

b) Si no hay desplazamiento, ¿cómo debe ser de grande la amplitud A antes de que comience la distorsión?

1.52 Un amplificador tiene una función de transferencia no lineal dada por $v_o = 80v_i - 10v_i^3$.

a) Represente y clasifique cuidadosamente los valores de la función de transferencia para $-V_x < v_i < V_x$ si V_x es el valor positivo de v_i en el que la pendiente de la curva es cero.

b) Es el margen de salida del amplificador para el que la tensión de entrada se limita a $-V_x < v_i < V_x$?

c) Halle el mayor valor, V_y, de v_i en el que el tamaño del término al cubo no supere el 10% del tamaño del término lineal en la ecuación de la función de transferencia.

d) Si la amplitud de la señal de entrada está limitada estrictamente al margen definido en el apartado c), dibuje un modelo VCVS lineal que se aproxime al comportamiento de dicho amplificador no lineal sin demasiados errores para $-V_y < v_i < V_y$

1.53 P1.53 da las curvas de respuesta frecuencial de la ganancia de tensión de un amplificador. Escriba la serie de Fourier de la tensión de salida para

a) una entrada $v_i(t) = 0{,}002 \operatorname{sen}(90t + 10°) + 0{,}015 \operatorname{sen}(270t + 16°) + 0{,}001 \operatorname{sen}(9.000t - 12°)$.

b) una entrada $v_i(t) = 0{,}017 \operatorname{sen}(50t + 8°) + 0{,}020 \operatorname{sen}(250t - 90°) + 0{,}005 \operatorname{sen}(12.000t - 15°)$.

1.54 Se necesita un amplificador lineal que procese pulsos de una duración de 10 μs. La caída no debe superar el 3% de la amplitud del pulso y el tiempo de subida no debe superar 0,5 μs. Estime las frecuencias mayor y menor a media potencia necesarias.

1.55 Para amplificar la voz, la respuesta de la frecuencia debe ser aproximadamente uniforme entre 30 Hz y 3.000 Hz. Estime el tiempo de subida y la caída por unidad si se aplica a la entrada del amplificador un pulso de 1 ms de duración.

1.56 La Figura P1.56 muestra la respuesta de un amplificador a un pulso ideal de 20 μs. La frecuencia de respuesta

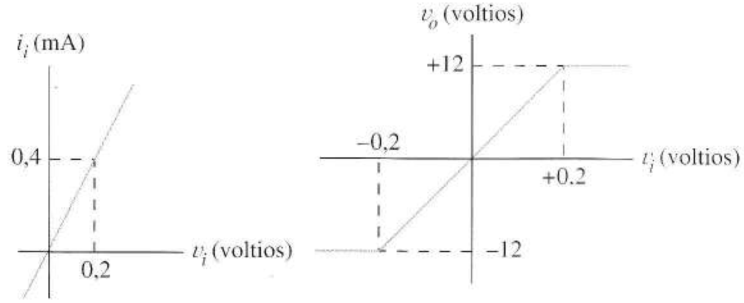


FIGURA P1.50

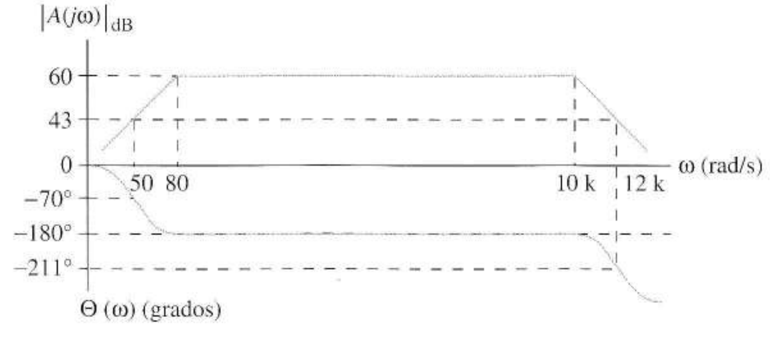


FIGURA P1.53

del amplificador es similar a la Figura 1.37. Estime las frecuencias de corte del amplificador.

1.57 Diseñe un amplificador en dos etapas del tipo de la Figura P1.57. Para representar las señales, utilice valores rms.

La segunda etapa tiene ganancia de tensión uno, y debe entregar al menos 20 watios de potencia a la carga. El ruido de salida en modo común no debe superar los 0,1 W.

La ganancia en modo diferencial en circuito abierto de la etapa de entrada es menor de 200; la potencia de la señal de salida en modo diferencial debe ser menor de 100 mW. Se puede asumir que R_{cx} es infinito. En otro caso, especifique, para cada etapa del amplificador, valores distintos de cero para la resistencia de salida, y valores finitos para la de entrada.

La fuente de la señal diferencial consiste en una señal v_s con tensión rms de 100 mV.

Dibuje un diagrama completo del circuito para el amplificador, incluyendo valores para todos los elementos del circuito. Este problema necesita tomar decisiones en algunos parámetros; pero todos los circuitos que sigan las especificaciones son válidos. Demuestre que el amplificador diseñado cumple todas las especificaciones.

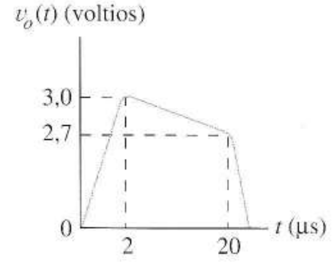


FIGURA P1.56

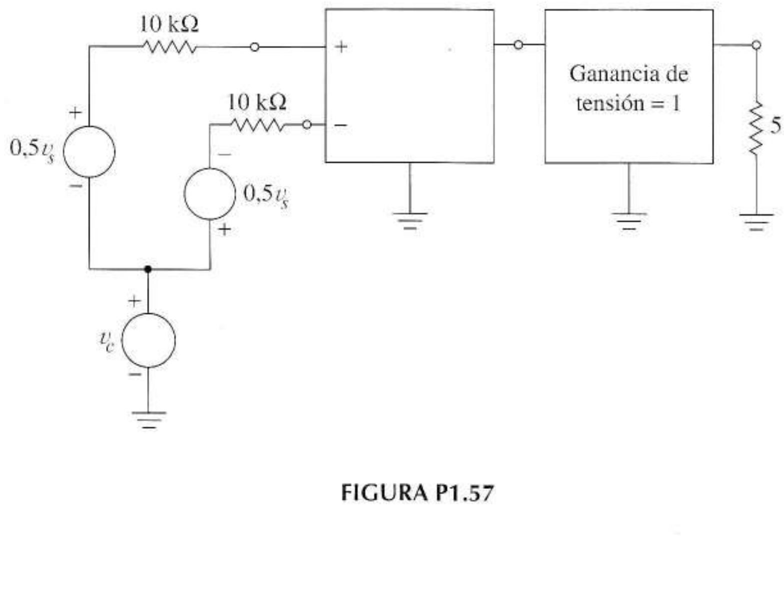


FIGURA P1.57

Capítulo 2

AMPLIFICADORES OPERACIONALES

En este capítulo introduciremos más dispositivos activos, los llamados amplificadores operacionales (A.O. o simplemente operacionales) y estudiaremos algunos circuitos que los usan. Usando AOs, veremos que realizan *operaciones* útiles tales como la generación de formas de onda senoidales o cuadradas, la amplificación, combinación, integración o diferenciacion de señales, la eliminación del ruido, rectificación, cambio de las formas de onda, la producción de cambios en la salida cuando una señal de entrada alcance un determinado valor o la producción de tensión o corriente constante. Con los circuitos con operacionales desarrollaremos una interesante intuición sobre el funcionamiento general de los circuitos eléctricos aunque no los contengan. También, nuestra experiencia con las condiciones de los circuitos con operacionales nos permitirá ver las tareas de diseño como una sucesión de operaciones elementales realizadas por circuitos elementales. En posteriores capítulos, cuando estudiemos la estructura interna de los operacionales, usaremos estos conocimientos para explicar su comportamiento externo.

2.1 EL AMPLIFICADOR OPERACIONAL

Un amplificador operacional es un circuito integrado de bajo coste que se representa como el de la Figura 2.1a. Las señales entran por las entradas *no-inversora* e *inversora.* Al circuito real debemos conectar dos fuentes de alimentación como en la Figura 2.1b; el diseño interno del operacional conecta a masa el punto de unión de las dos fuentes y este punto servirá como nodo de referencia para el análisis. Por convenio, los diagramas omitirán las fuentes de alimentación como en la Figura 2.1a y algunas veces dejaran el nodo de masa a la imaginación del lector.

Aunque el nombre principal es "amplificador" debemos evitar cualquier confusión inicial pensando en el amplificador operacional como en una resistencia o un condensador, como un bloque más que podemos usar para construir circuitos. El operacional es un bloque *activo* que añade potencia a nuestros circuitos y entre los muchos circuitos que lo utilizan ¡hay amplificadores!

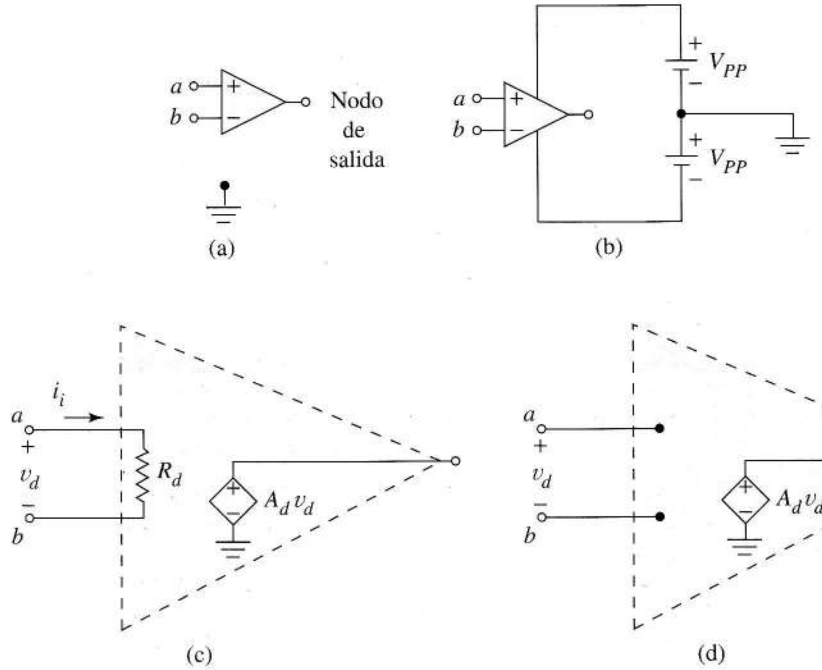


FIGURA 2.1 Amplificador operacional: (a) símbolo; (b) símbolo mostrando las conexiones de alimentación; (c) como amplificador diferencial ideal; (d) mayor idealización.

Operacionales de ganancia infinita El amplificador operacional es esencialmente un amplificador diferencial en el que R_{cx} es casi infinita y A_c y R_O casi cero. Así veremos el operacional como en la Figura 2.1c donde una fuente de tensión *controlada* por tensión (VCVS) da una salida proporcional a la componente diferencial de la tensión de entrada. El término "amplificador operacional" implica más, una elevada ganancia en modo diferencial A_d. Esta ganancia es tan alta que, de hecho, puede simplificarse el análisis de los circuitos que contienen operacionales suponiendo que A_d es infinita. Esta suposición impone dos poderosas condiciones sobre las *señales* de entrada:

$$1.\ v_a = v_b \tag{2.1}$$

y

$$2.\ i_i = 0 \tag{2.2}$$

Llamaremos a este par de ecuaciones "*suposición de ganancia infinita*". Después daremos razones para este supuesto, comentaremos su significado y aprenderemos a aplicarlo a diferentes circuitos.

Aplicaremos la suposición de ganancia infinita sólo a los circuitos con operacionales que usen realimentación negativa. Esto significa que la salida y la entrada inversora están conectados mediante un circuito externo de tal modo que para cualquier valor razonable de v_o, la elevada ganancia obliga a que la diferencia $v_d = v_a - v_b$ sea pequeña comparada con otros valores del circuito debido a

$$v_o = A_d(v_a - v_b) \tag{2.3}$$

La Ecuación (2.1) es una consecuencia de la ganancia infinita. En efecto, supongamos que A_d es casi infinita en la Ecuación (2.3) de tal forma que v_o mantiene su verdadero valor mientras $v_a - v_b$ se va a cero.

La segunda consecuencia de la ganancia infinita tiene que ver con la corriente de entrada

$$i_i = \frac{v_a - v_b}{R_d}$$

en la Figura 2.1c. Aunque R_d suele ser tan grande que i_i es despreciable en comparación con otras corrientes en el circuito, el mismo proceso que supone $v_a = v_b$, simultáneamente implica la Ecuación (2.2) aunque R_d no sea suficientemente grande. (Muchos prefieren ver el operacional con ganancia infinita como el caso límite de la Figura 2.1d cuando $A_d \to \infty$.)

Tomadas juntas las dos condiciones de ganancia infinita imponen una característica *curiosa* a la entrada del operacional. Las Ecuaciones (2.1) y (2.2) suponen que la característica de entrada de cualquier operacional de ganancia infinita (en ejes i_i–v_d) ¡es exactamente el mismo punto que el origen! Cuando aplicamos la aproximación de ganancia infinita a los circuitos, ignoramos cualquier condición de tensión en el nodo de salida. Haciendo esto, siempre acabamos con el número adecuado de ecuaciones para despejar fácilmente. Esta inusual condición hace un poco peculiar (porque lo es) el análisis de los circuitos con operacionales de ganancia infinita. Una vez superado es, sin embargo, fácil y divertido de aplicar.

El "*anulador*"[1] es una entrada hipotética cuya curva característica tensión-corriente es un *único punto* $(i,v) = (0,0)$. El "*totalizador*"[2] tiene todo el plano i–v como curva característica, es decir, está totalmente indefinido. Los "anuladores" y "totalizadores" pueden usarse para modelar muchos dispositivos electrónicos, tales como los operacionales de ganancia infinita y dan un marco teórico para justificar el análisis usando las Ecuaciones (2.1) y (2.2). (Los lectores interesados pueden buscar en el capítulo de Sanjit Mitra acerca de los anuladores y totalizadores como complemento de este texto. El texto de Mitra está en las referencias al final del capítulo).

Examinaremos el proceso de hallar el límite de A_d en la Sección 2.5.2, definiremos más claramente el papel de R_d en la Sección 2.2.3 y justificaremos la aproximación de ganancia infinita usando los principios de realimentación negativa del Capítulo 9. Mientras tanto, veremos cómo usar las Ecuaciones (2.1) y (2.2) para obtener ecuaciones sencillas que se aproximen bastante al funcionamiento de la mayoría de los circuitos con operacionales.

Los circuitos con operacionales y realimentación negativa que se prestan a análisis de ganancia infinita se dividen en dos categorías: *circuitos con y sin memoria* (ver el texto de Chua en las referencias). Un circuito con operacionales sin memoria contiene sólo resistencias y operacionales y su funcionamiento se caracteriza mediante una ecuación algebraica. Un circuito con memoria contiene, al menos, un elemento almacenador de energía, normalmente un condensador, y se caracteriza por una ecuación diferencial temporal. Hay también circuitos con operacionales que precisan un análisis diferente porque no tienen realimentación negativa. Los consideraremos en la Sección 2.6.

2.2 CIRCUITOS CON OPERACIONALES SIN MEMORIA

Describiremos ahora una considerable colección de circuitos basados en amplificadores operacionales. Cada circuito, importante por sí mismo, también sirve como un ejemplo de cómo aplicar la aproximación de ganancia infinita. Nótese en todos los casos que la clave del análisis es la aplicación de las Ecuaciones (2.1) y (2.2) a los nodos de entrada.

[1] N. del T.: anulador o nullator.

[2] N. del T.: Totalizador o norator.

2.2.1 AMPLIFICADOR INVERSOR

La Figura 2.2a muestra un *amplificador inversor*. Usaremos los principios de ganancia infinita para hallar la ganancia de tensión, la resistencia de entrada y la resistencia de salida del circuito.

Primero, hallaremos la ganancia de tensión v_o/v_i. La ganancia infinita del operacional obliga que las tensiones de las entradas inversora y no inversora, conectada a masa, sean idénticas, es decir cero. Decimos que hay una masa virtual en la entrada inversora. Usando esta masa virtual, la corriente de entrada del *amplificador* es

$$i_1 = \frac{v_i - 0}{R_1} \tag{2.4}$$

[la Ecuación (2.4) usa un convenio empleado generalmente en electrónica. Cuando una fuente de tensión no se muestre explícitamente, trataremos v_i como a una fuente independiente conectada entre la entrada y la masa]. Usando de nuevo la idea de la masa virtual en el mismo diagrama, tenemos

$$i_2 = \frac{0 - v_o}{R_2} \tag{2.5}$$

La ganancia infinita implica que $i_1 = i_2$, luego igualamos las Ecuaciones (2.4) y (2.5) dando

$$A_v = \frac{v_o}{v_i} = \frac{R_2}{R_1} \tag{2.6}$$

Para $R_2 > R_1$, el circuito amplifica; el signo menos explica por qué el circuito se llama amplificador *inversor*. Haciendo $R_2 = R_1$ tenemos un circuito que simplemente invierte la señal lo que es útil por sí mismo.

Aunque los amplificadores operacionales de ganancia infinita siempre tienen corriente nula de *entrada*, su corriente de *salida* no es nula. En la Figura 2.2a, la corriente i_2 que satisface la Ecuación (2.5) circula a través de R_2 y se lleva a masa por la salida del operacional (ver Figura 2.1d).

Seguidamente, aplicaremos la definición de resistencia de entrada al amplificador inversor. Si usamos v_i e i_1 de la Figura 2.2a como corriente y tensión para la Ecuación (1.36), vemos que en la Ecuación (2.4), la resistencia de entrada del amplificador inversor es R_1.

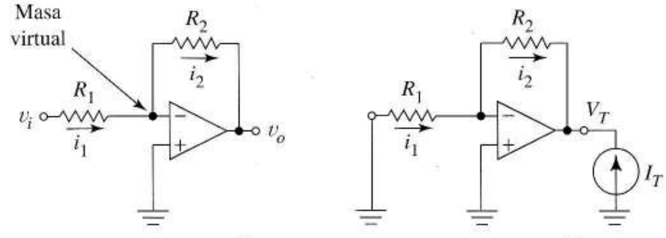


FIGURA 2.2
(a) Amplificador inversor;
(b) circuito para hallar la resistencia de salida.

El circuito del amplificador inversor da una solución práctica para diseñar un amplificador como el de la Figura 1.19a. Como el amplificador inversor tiene $R_i = R_1$ y $\mu = -R_2 / R_1$, es fácil diseñar un amplificador con especificaciones de resistencia de entrada y ganancia en circuito abierto. El Ejemplo 2.1 ilustra esta idea.

EJEMPLO 2.1 Diseñar un amplificador inversor que tenga una ganancia de tensión de –40 y una resistencia de entrada de 5 kΩ.

Solución Para lograr la resistencia de entrada especificada, $R_1 = R_i = 5$ kΩ. Para una ganancia de –40, la Ecuación (2.6) necesita

$$R_2 = 40R_1 = 200 \text{ k}\Omega$$ ❑

Los valores calculados para R_1 y R_2 son *valores nominales* para el diseño; en el caso práctico, los valores realmente seleccionados para las resistencias pueden desviarse del nominal debido a las tolerancias de fabricación. De acuerdo con la Ecuación (2.6) el amplificador tendría la máxima ganancia cuando R_2 fuese máxima y R_1 mínima. Para resistencias con una desviación del nominal menor del 1%, la ganancia puede ser tan alta como

$$A_v = -\frac{202 \text{ k}\Omega}{4{,}95 \text{ k}\Omega} = -40{,}8$$

Ejercicio 2.1 Hallar el margen de valores de ganancia para el Ejemplo 2.1 si las resistencias varían hasta ±10%.
Respuesta $-48{,}9 \leq A_v \leq -32{,}7$.

La incertidumbre en la ganancia de un amplificador inversor es de aproximadamente 2x% para tolerancias en las resistencias de *x*% para pequeños valores de *x* (ver Problema 2.4).

Usaremos la Figura 2.2b para hallar la resistencia de salida del amplificador inversor; I_T es el generador de test. Como la ganancia infinita establece una masa virtual en la entrada inversora,

$$V_T = 0 - i_2R_2$$

La ganancia infinita supone

$$i_1 = \frac{-0}{R_1} = 0 \qquad \text{y} \qquad i_2 = i_1 = 0$$

Así, $V_T = 0$. La corriente de test I_T, sin embargo, necesita condiciones no nulas ya que puede circular corriente no nula por la salida del operacional. Así

$$R_o = \frac{V_T}{I_T} = \frac{0}{I_T} = 0$$

Uniendo los resultados, concluimos que el circuito de la Figura 2.2a es una implementación práctica de la Figura 1.19a en la que $R_i = R_1$, $\mu = -R_2 / R_1$ y $R_O = 0$. Hemos probado que el amplificador inversor *no tiene impedancia de salida*. De hecho, podemos probar de forma similar que la *resistencia de salida nula es una característica común a la mayoría de los circuitos con amplificadores operacionales con realimentación negativa.* (Existen excepciones en las que las salidas del circuito y del operacional no coinciden). Como dando demostraciones separadas para todos los casos, no introduciríamos nuevos principios, sencillamente supondremos en el futuro nula la resistencia de salida.

2.2.2 AMPLIFICADOR SUMADOR

En algunos casos de procesado de señal se necesita una tensión suma de dos o más tensiones. Por ejemplo, podríamos querer mezclar señales o añadir una componente de continua a una señal determinada. El *amplificador sumador* de la Figura 2.3 realiza esa función.

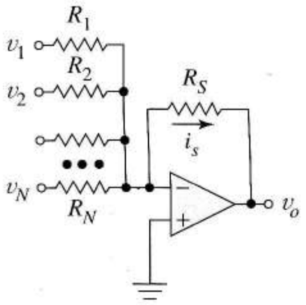


FIGURA 2.3
Amplificador sumador.

Cuando se aplica la ley de Kirchhoff de corrientes a la entrada inversora, como quiera que es masa virtual y la corriente de entrada al operacional es nula, obtenemos

$$\frac{v_1 - 0}{R_1} + \frac{v_2 - 0}{R_2} + \cdots + \frac{v_N - 0}{R_N} = i_s = \frac{0 - v_o}{R_s}$$

y despejando v_o, da

$$v_o = -\left(\frac{R_s}{R_1} v_1 + \frac{R_s}{R_2} v_2 + \cdots + \frac{R_s}{R_N} v_N \right) \tag{2.7}$$

que se reduce a una suma (más una inversión) si todas las resistencias son iguales. La posibilidad de diferentes resistencias aporta flexibilidad permitiendo al diseñador dar pesos individuales a cada entrada si se necesita.

Debido a la existencia de masa virtual, cada fuente de tensión ve una resistencia conectada a masa con lo que no hay interacción entre las distintas entradas mientras que en la salida sí se produce la combinación. Este aspecto suele ser muy apreciado sólo después de intentar encontrar otra solución que mezcle tensiones (usando redes totalmente resistivas, por ejemplo).

2.2.3 CONVERTIDOR CORRIENTE-TENSION

En el Capítulo 1 se comentaba que, a veces, la información está disponible en corriente porque se origina en un dispositivo de alta impedancia de salida como, por ejemplo, un fotodetector. El circuito convertidor de la Figura 2.4 es una forma práctica del amplificador de transconductancia que convierte la información en una manera más útil, en tensión.

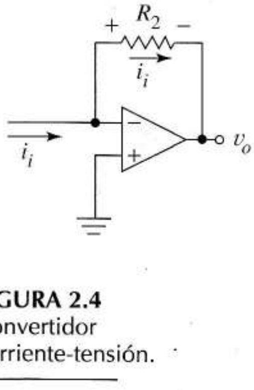


FIGURA 2.4
Convertidor corriente-tensión.

Para analizarlo, nótese que la entrada inversora es una masa virtual; i_i toma el valor que sea establecido por el circuito de excitación (no mostrado). Debido a la ganancia infinita, i_i circula a través de R_2 y la ley de la tensiones de Kirchhoff da

$$v_o = 0 - i_i R_2 = -R_2 i_i \tag{2.8}$$

Así cualquier cambio en i_i aparece en la salida como un cambio de la tensión y podemos usar R_2 como parámetro de escala. Dado que la corriente de entrada puede ser cualquiera y debido a que las condiciones de ganancia infinita obligan tensión nula a la entrada, la impedancia de entrada al circuito es nula. Para aplicar la definición formal de impedancia de entrada deberíamos usar una fuente de corriente de prueba ya que una fuente de tensión no nula aplicada sobre la masa virtual violaría la ley de las tensiones de Kirchhoff.

2.2.4 CONVERTIDOR TENSIÓN-CORRIENTE

Hemos destacado en el Capítulo 1 que algunas de las aplicaciones son adecuadas para la codificación en corriente de la información. La Figura 2.5 muestra un *convertidor tensión-corriente* que produce una corriente de salida i_L proporcional a v_i de *forma independiente del valor de* Z_L, es decir, la corriente de salida está controlada por tensión.

Para analizar el circuito, démonos cuenta de que la Ecuación (2.4) también se aplica a la Figura 2.5. Dada la ganancia infinita, $i_L = i_1$. Combinando estas ecuaciones se tiene

$$i_L = \frac{v_i}{R_1} \tag{2.9}$$

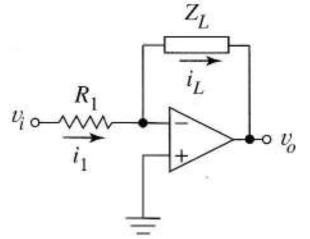


FIGURA 2.5
Convertidor tensión-corriente.

Aunque cambie Z_L, la corriente se mantiene en el valor de la Ecuación (2.9). En efecto, Z_L *ve* una fuente de corriente controlada por tensión (VCCS) con una curva característica horizontal v–i que sigue a la corriente de entrada.

Como ejemplo de aplicación, considérese el diseño de un voltímetro de continua basado en un instrumento analógico de aguja. Este último es un sistema electromagnético que produce sobre la aguja una deflexion proporcional a la corriente medida. El problema es que la impedancia interna Z_L varía fuertemente de un instrumento a otro. Mientras que el movimiento del medidor depende de Z_L,en la Figura 2.5, sin embargo, la deflexión de la aguja es proporcional a v_i para *cualquier* Z_L. Esto nos permite resolver el diseño inicial y reemplazar el medidor sin ningún tipo de calibración. Sin esta conversión en corriente, sería necesario diseñar un sistema a medida para cada Z_L.

Por el mismo razonamiento empleado para el amplificador inversor, la resistencia de entrada es R_1. El Problema 2.9 muestra que la resistencia de salida, definida por los dos extremos de Z_L es infinita, tal y como necesitamos. La limitación de este circuito es que ninguno de los dos extremos de Z_L está conectado a masa. Posteriormente, veremos un diseño de convertidor tensión-corriente más complejo sin esta restricción.

2.2.5 AMPLIFICADOR NO INVERSOR

Hasta aquí, todos los circuitos con operacionales han sido derivados del amplificador inversor. Sin embargo el amplificador no inversor de la Figura 2.6 tiene la estructura algo diferente, aunque el mismo principio de ganancia infinita desvela sus propiedades.

En la Figura 2.6 la ganancia infinita obliga a corriente de entrada al operacional nula por lo que

$$i_2 = -\, i_1$$

La ganancia infinita obliga también a que la tensión en el punto b sea una copia exacta de v_i, dando

$$i_1 = \frac{v_i}{R_1}$$

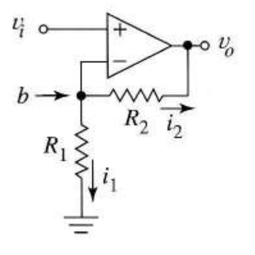


FIGURA 2.6
Amplificador no inversor.

Por la ley de Ohm,

$$i_2 = \frac{(v_i - v_o)}{R_2}$$

Sustituyendo i_1 e i_2 en la primera ecuación y despejando v_o, da

$$A_v = \frac{v_o}{v_i} = 1 + \frac{R_2}{R_1} \tag{2.10}$$

Al contrario de la Ecuación (2.6) para el amplificador inversor, la expresión de la ganancia no tiene signo menos y de ahí el nombre de *amplificador no inversor*.

Ambos amplificadores tienen resistencia de salida nula pero difieren en la resistencia de entrada. Cuando aplicamos una tensión entre la entrada y masa de la Figura 2.6, la corriente de entrada es nula para no contradecir la suposición de ganancia infinita; por lo tanto, la resistencia de entrada del amplificador no inversor es infinita. Combinando esto con el resultado de la Ecuación (2.10) y la resistencia de salida nula, el amplificador no inversor es una solución práctica para el amplificador de tensión de la Figura 1.7a con $\mu = (1 + R_2 / R_1)$.

2.2.6 CIRCUITO SEGUIDOR DE EMISOR

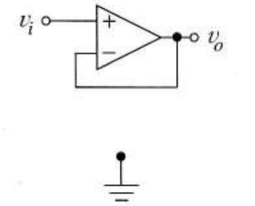


FIGURA 2.7
Seguidor de emisor.

La Figura 2.7 muestra un conexionado sencillo y muy útil de un amplificador operacional denominado *seguidor* de emisor. Como siempre v_i y v_o son tensiones referidas a masa. La aproximación de ganancia infinita implica $v_o = v_i$, es decir, la salida *sigue* a la tensión de entrada. Si aplicamos una tensión a la entrada y una corriente a la salida, vemos que la resistencia de entrada es infinita y la de salida, nula. Concluimos que el seguidor de emisor es una forma práctica de construir un amplificador de tensión de ganancia unidad.

Este seguidor de emisor se usa a menudo para eliminar cargas entre circuitos (introducir "*aislamiento*"[3]). A cualquier amplificador usado para este fin le damos el nombre de *buffer* o *amplificador buffer*. Para demostrar lo importante que puede ser este aislamiento en circuitos prácticos, analizaremos un circuito de muestreo y retención que usa un seguidor de emisor como "buffer".

2.2.7 CIRCUITO DE MUESTREO Y RETENCIÓN

La Figura 2.8a es un ejemplo de un circuito de muestreo y retención ideal un condensador y un interruptor analógico. Siguiendo a un reloj $\phi(t)$, el interruptor se cierra por un instante y el condensador se carga instantáneamente al valor v_s circulando una corriente infinita desde la fuente de tensión. Cuando el interruptor se abre, el condensador aislado *retiene* esta muestra de tensión hasta el siguiente instante de muestreo, cuando el interruptor se cierra de nuevo. La Figura 2.8b muestra las formas de onda de entrada, el reloj y la salida. La operación de muestreo y retención suele ser el primer paso de la conversión de señales analógicas en digitales. Esto se debe a que el circuito de conversión analógico/digital que convierte tensiones analógicas como $v_s(t)$ en una secuencia binaria de dígitos, necesita una tensión del tipo $v_o(t)$ que no cambie durante el proceso de conversión.

[3]N. del T.: el término aislamiento no significa que haya aislamiento galvánico entre el circuito de entrada y el de salida, sino que hay aislamiento de efectos, es decir, las impedancias de salida no afectan a la entrada y viceversa.

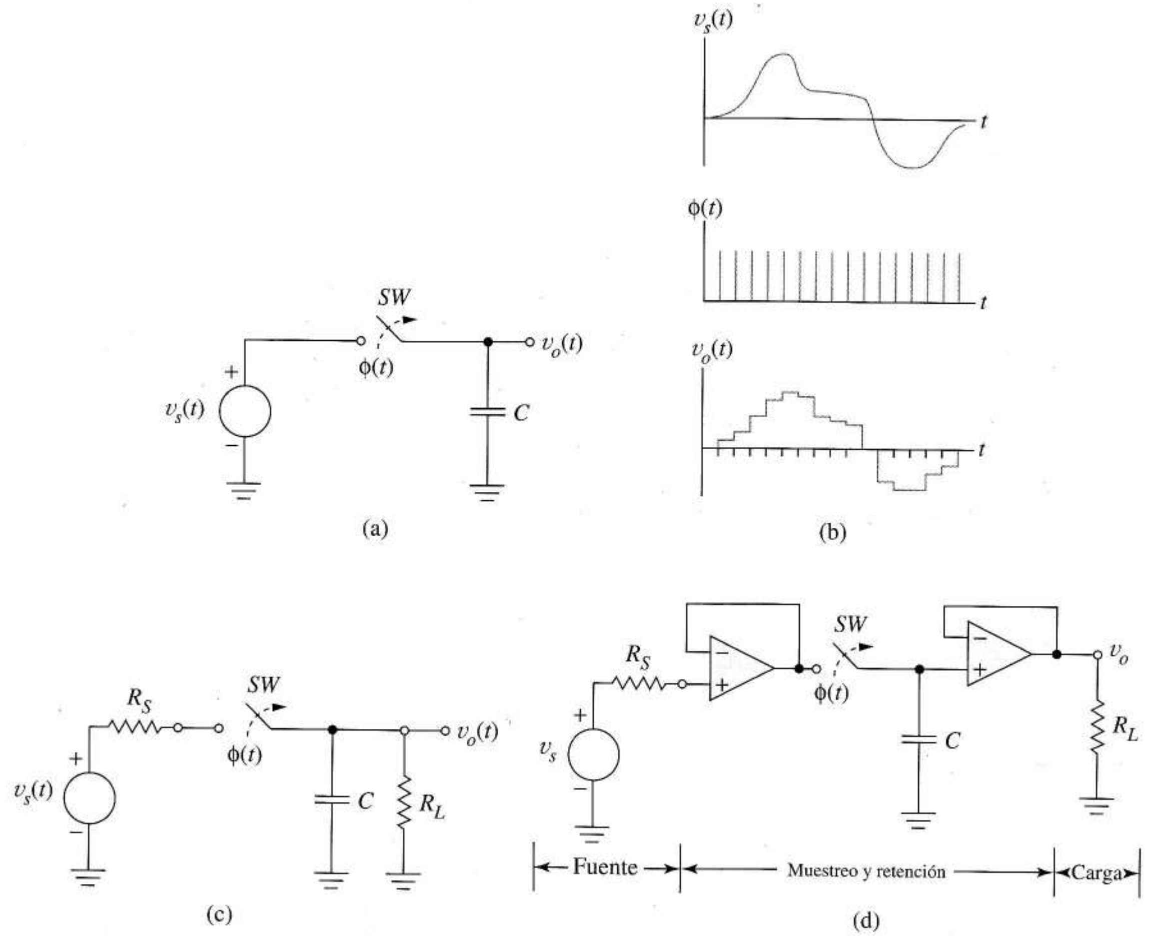


FIGURA 2.8 Circuito de muestreo y retención: (a) ideal; (b) formas de onda de entrada y salida; (c) con fuente real y carga; (d) empleando seguidores de emisor para aislamiento.

En la Figura 2.8c aparece un entorno más realista de muestreo y retención incluyendo las resistencias de salida de la fuente y la carga; estas resistencias introducen algunos problemas prácticos. Primero debido a R_S, el condensador se carga exponencialmente, no instantáneamente. En segundo lugar, si el interruptor se reabre antes que el condensador esté completamente cargado, la caída de tensión en R_S reduce la tensión almacenada. Finalmente, el condensador se descarga sobre R_L provocando caídas de $v_o(t)$ entre los instantes de muestreo. La Figura 2.8d muestra cómo se pueden conseguir características cuasi ideales aun en presencia de R_S y R_L usando seguidores de emisor. Debido a la resistencia de entrada infinita, el primer seguidor de emisor reproduce v_s en el condensador sin provocar caída de tensión en R_S. Este seguidor de emisor proporciona la elevada corriente necesaria para lograr una carga rápida del condensador ya que su resistencia de salida es nula. El segundo seguidor de emisor copia la tensión almacenada en el condensador sobre R_L pero evita la descarga entre muestras. (El lector puede ayudarse redibujando la Figura 2.8d sustituyendo los seguidores de emisor por la Figura 1.17a con $\mu = 1$.)

2.2.8 AMPLIFICADORES DIFERENCIALES

El circuito del *amplificador de instrumentación* de la Figura 2.9a nos proporciona una forma fácil de implementar el amplificador diferencial de la Figura 1.23. Con las adecuadas resistencias, el circuito amplifica la componente diferencial y elimina la componente de modo común del par de tensiones de entrada v_a, v_b.

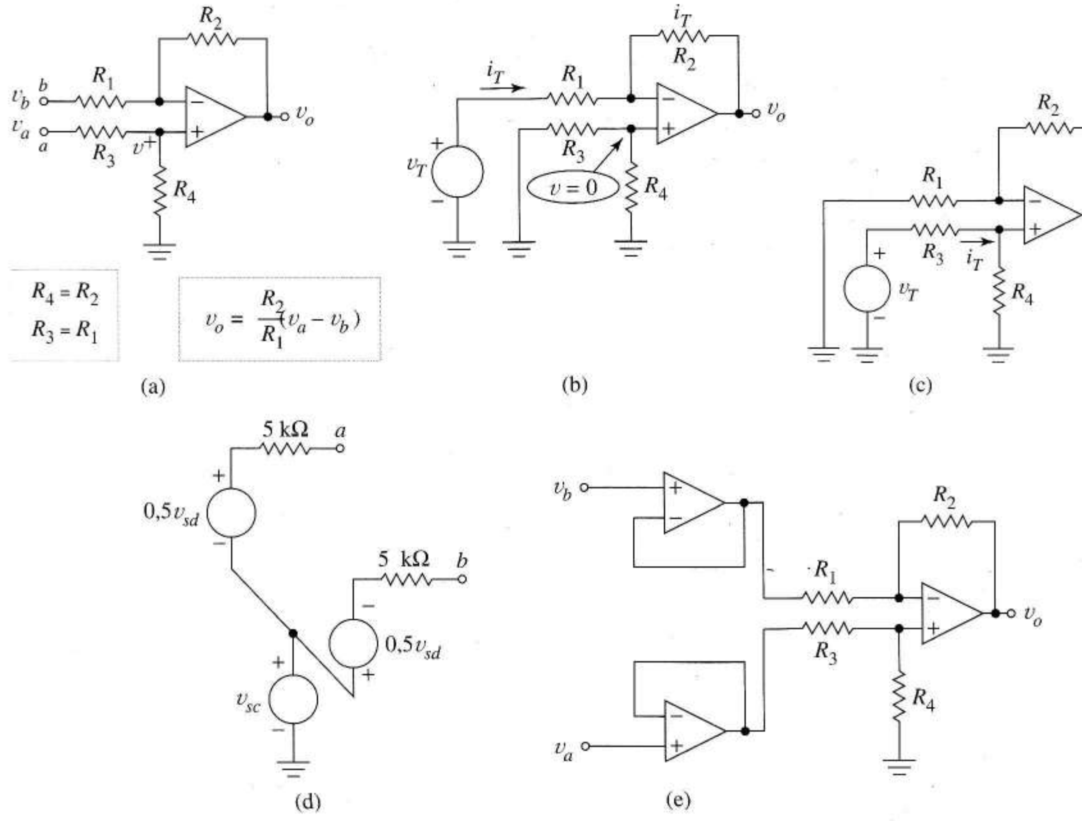


FIGURA 2.9 Amplificador de instrumentación: (a) circuito básico; (b) búsqueda de la resistencia de entrada en la entrada inversora; (c) resistencia de entrada en el lado no inversor; (d) fuente de tensión para el Ejercicio 2.2; (e) buffers añadidos para eliminar la carga de la entrada.

Para obtener la expresión de la ganancia, usaremos superposición para hallar la contribución individual de v_a y v_b sobre v_o. Hacemos $v_b = 0$ en la Figura 2.9a conectando a masa R_1. Esto produce un amplificador no inversor como el de la Figura 2.6 donde v^+ es la tensión de entrada; el divisor de tensión da v^+. Como no puede entrar corriente por la entrada no inversora,

$$v^+ = \left(\frac{R_4}{R_3 + R_4}\right) v_a \tag{2.11}$$

Esta tensión es amplificada con la ganancia dada por la Ecuación (2.10) dando

$$v_{o,a} = \left(1 + \frac{R_2}{R_1}\right)\frac{R_4}{R_3 + R_4} v_a = \frac{R_4}{R_1}\left(\frac{R_1 + R_2}{R_3 + R_4}\right) v_a \tag{2.12}$$

Para hallar el segundo término de la superposición, desconectamos v_a; ahora v_b entra a un circuito que se parece al amplificador inversor de la Figura 2.2 excepto que $R_3 \,||\, R_4$ conecta la entrada no inversora a masa aunque $R_3 \,||\, R_4$ no tiene ningún efecto sobre el amplificador inversor. Debido a la ganancia infinita, la corriente en $R_3 \,||\, R_4$ y con ella la tensión que cae en ellas, debe ser nula. Así, concluimos que cuando $v_a = 0$, la entrada no inversora está conectada a masa lo que produce una masa virtual en la entrada inversora de la Figura 2.9a tal y como está en la Figura 2.2. Así, se aplica la Ecuación (2.6) y

$$v_{o,b} = -\left(\frac{R_2}{R_1}\right) v_b \tag{2.13}$$

Superponiendo las expresiones (2.12) y (2.13), da

$$v_o = \frac{R_4}{R_1}\left(\frac{R_1 + R_2}{R_3 + R_4}\right) v_a - \left(\frac{R_2}{R_1}\right) v_b \tag{2.14}$$

Cuando se diseña, $R_4 = R_2$ y $R_3 = R_1$; para ello, (2.14) se convierte en

$$v_o = \frac{R_2}{R_1}\left(v_a - v_b\right) = \frac{R_2}{R_1}\left(v_d\right) \tag{2.15}$$

Fijándose en la Ecuación (1.28), (2.15) describe un amplificador diferencial con ganancia de modo común nula y ganancia diferencial R_2 / R_1.

Si no se satisfacen exactamente las condiciones de diseño, las características no llegan a ser ideales. Sustituyendo (1.29) y (1.30) en v_a y v_b de la Ecuación (2.14) descubriremos que una diferencia en las resistencias añade una componente de modo común no nula en la salida. (Véase Problema 2.25). En un diseño con componentes discretos, podemos cambiar R_3 por una resistencia variable (*potenciómetro*) y ajustaremos su valor para minimizar la tensión de modo común en la tensión de salida. En diseños integrados, la operación equivalente se realiza mediante un ajuste con láser de las resistencias a sus valores finales.

Otro problema con el amplificador diferencial de la Figura 2.9 es que las resistencias entre cada entrada y masa son diferentes. El Ejemplo 2.2 explica que las resistencias en las entradas inversora y no inversora del *amplificador diferencial* son R_1 y $R_3 + R_4$, respectivamente. También demuestra que la asimetría en la resistencia de entrada puede provocar la entrada de ruido de modo común que produzca tensiones diferenciales y que se amplifique con la señal.

EJEMPLO 2.2 Hallar la resistencia vista entre cada entrada y masa del amplificador diferencial de la Figura 2.9a.

Solución La Figura 2.9b determina la resistencia entre el punto *b* y masa con la otra mitad de la excitación simétrica desconectada. La corriente a través de $R_3 \,||\, R_4$ es cero debido a la ganancia infinita, provocando una masa virtual en las entradas del operacional. Por ello, la resistencia de entrada del nodo inversor es $v_T / i_T = R_1$. En la Figura 2.9c, *no* hay masa virtual en las entradas del operacional ya que puede circular corriente por R_1; sin embargo, la corriente de entrada al operacional es nula. Así, la fuente v_T ve $R_3 + R_4$. ❑

Ejercicio 2.2 La fuente de la Figura 2.9d está conectada a las entradas del amplificador de instrumentación siendo $R_1 = R_3 = 5\ \text{k}\Omega$ y $R_2 = R_4 = 50\ \text{k}\Omega$.

a) Calcular la parte de v_o que se produce como consecuencia sólo de la tensión diferencial v_{sd}.

Sugerencia Usar primero las resistencias de entrada halladas en el Ejemplo 2.2 para calcular v_a, v_b, v_d.

b) Calcular la componente de v_o debida sólo a v_{sc}. La pista del apartado (a) también se puede aplicar aquí.

c) ¿Cuál es la RRMC del circuito teniendo en cuenta los efectos de la carga en la entrada?

Respuestas 7,08 v_{sd}, 4,17 v_{sc}, 1,70

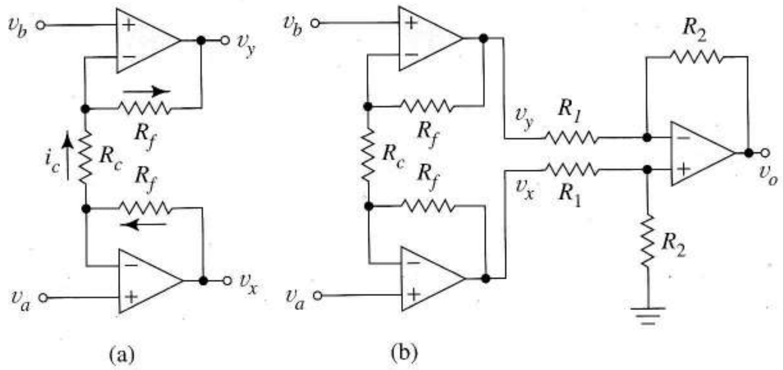


FIGURA 2.10 Amplificadores diferenciales: (a) con salida diferencial; (b) con salida referida a masa.

Podemos resolver los problemas de carga causados por desigualdades en las resistencias de entrada añadiendo seguidores de emisor en las entradas del circuito como en la Figura 2.9e. Este circuito ya se acerca al modelo de amplificador diferencial ideal de la Figura 1.25a con $A_d = R_2 / R_1$ y $A_c = 0$.

La Figura 2.10a nos muestra un amplificador diferencial con *entrada y salida diferenciales*. Para verificarlo usamos superposición. Con una señal diferencial pura aplicada, la ganancia infinita en ambos operacionales obliga a que la tensión producida sobre R_c dé una corriente

$$i_c = \frac{v_a - v_b}{R_c} = \frac{v_d}{R_c}$$

Por la ganancia infinita de los operacionales, esta corriente no tiene por donde circular salvo a través de R_f. Las corrientes producen una diferencia de tensión $v_x - v_y$ entre la dos salidas. Resolviendo con detalle da

$$v_x - v_y = i_c\left(2R_f + R_c\right) = \left(\frac{2R_f}{R_c} + 1\right) v_d$$

Así, se amplifica v_d y aparece como la diferencia entre las dos tensiones de salida. Cualquier tensión de modo común supone $v_a = v_b$, sin embargo $i_c = 0$ y $v_x - v_y = 0$. En resumen, la salida diferencial $v_x - v_y$ no contiene tensiones de modo común y sí la componente diferencial amplificada. La resistencia de entrada al circuito es claramente infinita tanto para las señales de modo común como para las diferenciales y la resistencia de salida es nula para ambos nodos. Lo mejor de todo es que el circuito de la Figura 2.9a no tiene resistencias críticas. El circuito de la Figura 2.10b combina el rechazo de modo común del de la Figura 2.10a con una salida única como el de la Figura 2.9a. Sus características son próximas a

$$A_d = \left(\frac{2R_f}{R_c} + 1\right) \frac{R_2}{R_1}, \quad A_c = 0$$

Ya que la señal de modo común no está amplificada por la primera etapa, cualquier pequeña ganancia de modo común de la segunda etapa causada por valores de resistencias inadecuadas no resulta importante. (En la Sección 2.5 veremos que el amplificador tiene ganancia de modo común propia no nula, un efecto de segundo orden que hemos ignorado al analizar estos amplificadores diferenciales.)

2.2.9 FUENTES DE CORRIENTE

El convertidor tensión-corriente de la Figura 2.5 aplica una corriente controlada por tensión sobre la impedancia de carga pero Z_L no estaba conectada a masa. La fuente de corriente de la Figura 2.11 no tiene esta limitación.

En primer lugar, usaremos la aproximación de ganancia infinita para obtener la necesaria ecuación de diseño. La tensión v en la entrada inversora es igual que la de la entrada no-inversora dando $v = i_L Z_L$. La corriente de entrada es

$$i_1 = \frac{v_i - i_L Z_L}{R_1} = i_2 = \frac{i_L Z_L - v_x}{R_2} \tag{2.16}$$

Aplicando la ley de Kirchhoff de corrientes a la entrada no inversora, da

$$\frac{v_x - i_L Z_L}{R_3} = i_L + \frac{i_L Z_L}{R_4} \tag{2.17}$$

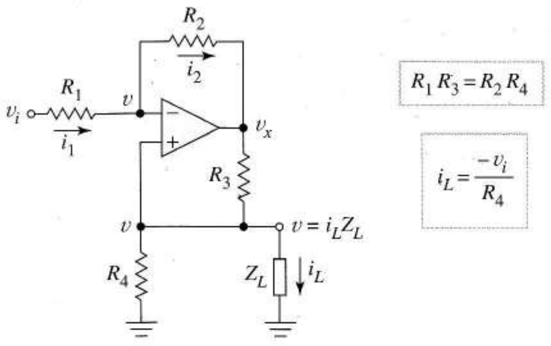


FIGURA 2.11
Fuente de corriente constante.

Despejando $(v_x - i_L Z_L)$ en (2.16) y sustituyéndolo en el numerador de (2.17) nos lleva a

$$\frac{-R_2(v_i - i_L Z_L)}{R_1 R_3} = i_L + \frac{i_L Z_L}{R_4} \tag{2.18}$$

Despejando i_L en (2.18), da

$$i_L\left(1 + \frac{Z_L}{R_4} - \frac{R_2 Z_L}{R_1 R_3}\right) = \frac{R_2 v_i}{R_1 R_3} \tag{2.19}$$

Para obtener una fuente de corriente, debemos diseñar el circuito de tal modo que la corriente en la carga sea independiente de Z_L. Lo conseguimos eligiendo los componentes que hagan nulo el coeficiente de Z_L en la Ecuación (2.19). Esto significa

$$\frac{1}{R_4} = \frac{R_2}{R_1 R_3}$$

Sustituyendo en la Ecuación (2.19) da

$$i_L = \frac{v_i}{R_4} \tag{2.20}$$

que describe el funcionamiento del circuito.

La resistencia de entrada es finita y, además, una función de Z_L. Para verlo, nótese que cuando v_i es constante, i_L es también constante por la Ecuación (2.20). Cualquier cambio en Z_L (Figura 2.11) provoca un cambio en v y, consecuentemente, en i_1. Si añadimos un seguidor de emisor en serie con R_1, el resultado es la realización práctica de un sistema VCCS.

Cualquiera que haya seguido el desarrollo se habrá dado cuenta de que hemos dado una *realización* con operacionales para cada amplificador excepto para el CCCS. Ya que los operacionales tienen resistencia de salida nula, podremos hacer un CCCS conectando en cascada un convertidor corriente-tensión y una fuente de corriente. Esta colección completa de fuentes dependientes (bloques constructivos) significa que si podemos idear un nuevo circuito con amplificadores referidos a masa ideales, podemos usar operacionales para implementar la idea. El lector interesado en inventos inteligentes puede acudir al texto de Chua en las referencias. Este libro describe un conjunto interesante de circuitos, muchos realizados con operacionales de ganancia infinita que hacen cualquier cosa rotando las características tensión-corriente para convertir condensadores no lineales en inductancias no lineales.

2.3 CIRCUITOS CON AMPLIFICADORES OPERACIONALES CON MEMORIA

La característica común de los circuitos con operacionales en esta sección es que su principio de funcionamiento depende, al menos, de un elemento de almacenamiento de energía. Describiremos estos circuitos, a los que llamaremos *circuitos con memoria*, mediante ecuaciones diferenciales o por ecuaciones de fasores en el análisis senoidal de su funcionamiento en régimen permanente. Para la mayoría, siendo el filtro un buen ejemplo, la descripción fasorial es más adecuada. Nosotros usamos el integrador para demostrar tanto la descripción fasorial como la llevada a cabo con ecuaciones diferenciales.

2.3.1 EL INTEGRADOR

El circuito integrador de la Figura 2.12 da una salida en tensión proporcional a la integral de la tensión de entrada. Lo confirmaremos seguidamente. Debido a la ganancia infinita,

$$\frac{v_i(t)-0}{R} = i_1(t) = i_2(t) = C\frac{d\left[0-v_o(t)\right]}{dt} \tag{2.21}$$

Integrando ambos lados y despejando $v_o(t)$ da

$$v_o(t) = -\frac{1}{RC}\int v_i(t)\,dt \tag{2.22}$$

Usando un determinado tiempo inicial t_O y una tensión inicial, podemos escribir la integral definida

$$v_o(t) = -\frac{1}{RC}\int_{t_o}^{t} v_i(u)\,du + v_o(t_o)$$

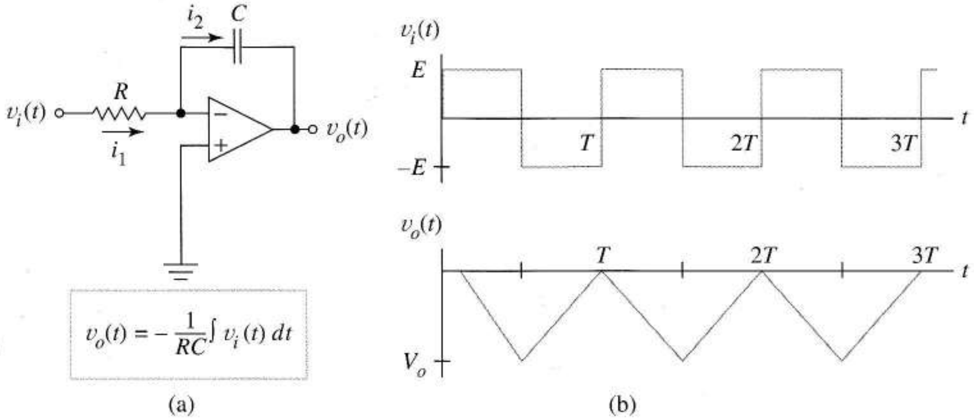


FIGURA 2.12 Integrador: (a) circuito; (b) forma de onda con entrada cuadrada.

Una de las aplicaciones del integrador es convertir una forma de onda cuadrada en triangular. La Figura 2.12b nos da las formas de onda suponiendo descargado inicialmente el condensador.

Para el primer $T/2$ el circuito integra E. Al final de este intervalo, la integral es el área debajo de la tensión de entrada durante el primer semiciclo, $ET/2$. Para ello, en $t = T/2$, la tensión de salida es $-1/RC$ veces este área, o $V_o = -ET/2RC$. Esto establece la tensión pico-pico; integrando los sucesivos valores constantes, positivos y negativos, provoca una salida periódica. Como la conversión cuadrado-triangular trabaja sobre un amplio margen de frecuencias, el circuito es útil en generadores de señal de laboratorio que producen varias formas de onda de salida. Los operacionales reales en contraste con los ideales serán estudiados, teniendo efectos de segundo orden que ponen límites superiores a las frecuencias de trabajo útiles.

Usar un circuito para cambiar la forma de la onda intencionalmente en una forma especificada es una operación denominada *conformado*. La conversión cuadrada-triangular es un primer ejemplo de los que contiene el Capítulo 3.

2.3.2 ANALISIS USANDO IMPEDANCIA COMPLEJA

El análisis senoidal en régimen permanente de circuitos con memoria usando impedancias complejas es una alternativa a las ecuaciones diferenciales o integrales. Dado que este análisis produce expresiones algebraicas similares a las de un circuito en continua, una alternativa cómoda es reemplazar las resistencias por impedancias en las expresiones de la ganancia. Por ejemplo, podemos ver el integrador de la Figura 2.12a como un amplificador inversor en el que el condensador reemplaza a R_2. Por ello, en la Ecuación (2.6) cambiamos R_2 por $1/j\omega C$ y R_1 por R para aplicarlo a la Figura 2.12a. La relación de fasores V_o / V_i es entonces

$$\frac{V_o}{V_i} = -\frac{Z_C}{R} = -\frac{1}{j\omega RC} \tag{2.23}$$

equivalente a (2.22) para análisis senoidal en régimen permanente.

2.3.3 INTEGRADORES DIFERENCIALES, NO INVERSORES Y SUMADORES

El *integrador diferencial* de la Figura 2.13a integra la componente diferencial de la tensión de entrada aplicada a los dos terminales. Para verificarlo, notemos que la estructura es como la del amplifi-

cador de instrumentación de la Figura 2.9a pero con R_2 y R_4 cambiadas por $1/j\omega C$ y R_1 y R_3, por R. De (2.15) deducimos que

$$V_o = \frac{1}{j\omega RC}(V_2 - V_1)$$

que es el resultado esperado.

Para describir el mencionado *integrador no inversor* de la Figura 2.13b hacemos $V_1 = 0$ y $V_2 = V_i$ en la ecuación anterior. Otra aproximación es ver la Figura 2.13b como un circuito RC seguido de un *amplificador* no inversor en el que R_2 está reemplazada por la impedancia Z_C.

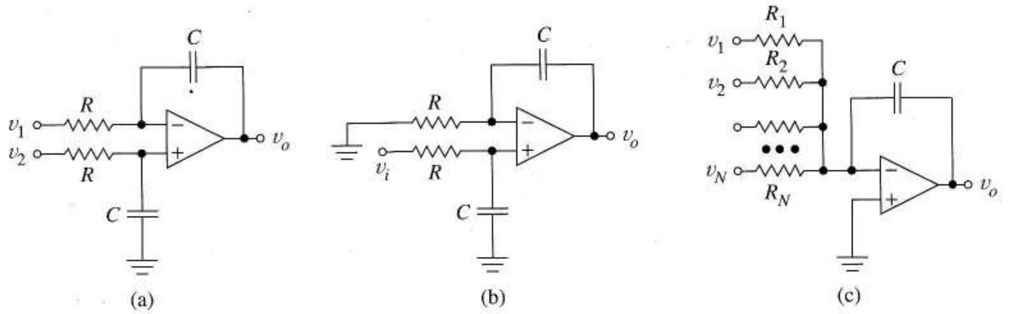


FIGURA 2.13 Otros circuitos integradores: (a) integrador diferencial; (b) integrador no inversor; (c) integrador sumador.

La Figura 2.13c muestra un *integrador sumador*. Como su estructura se parece a la del amplificador sumador de la Figura 2.5 usaremos la Ecuación (2.7) para establecer que

$$V_o = -\frac{1}{j\omega C}\left(\frac{1}{R_1}V_1 + \frac{1}{R_2}V_2 + \cdots + \frac{1}{R_N}V_N\right)$$

Esto significa que la salida es la integral negativa de la suma ponderada de las tensiones de entrada.

El estudio que sigue ilustra otra aproximación al análisis, aplicando directamente técnicas de fasores al circuito con operacionales.

2.3.4 FILTROS ACTIVOS DE PRIMER ORDEN

La Figura 2.14a muestra un circuito de un filtro activo de primer orden de paso bajo. Se llama de "*primer orden*" porque contiene sólo un elemento almacenador de energía y, por ello, queda descrito por una ecuación diferencial de primer orden. Es un "*filtro de paso bajo*" porque deja pasar las frecuencias bajas *atenuando* las altas. "*Activo" quiere decir* que contiene un dispositivo amplificador, el operacional. Entre la entrada inversora y la salida hay una impedancia

$$Z_2 = \frac{R_2}{j\omega R_2 C_2 + 1}$$

Debido a la masa virtual, el fasor de salida es $V_o = -I_2 Z_2$. La ganancia infinita implica $I_2 = I_1 = V_i / R_1$. Combinando estas ecuaciones da

$$\frac{V_o}{V_i} = \frac{-I_2 Z_2}{I_2 R_1} = \frac{-Z_2}{R_1}$$

Sustituyendo Z_2 da la expresión final

$$\frac{V_o}{V_i} = \frac{-Z_2}{R_1} = \frac{-R_2/R_1}{1 + j\omega R_2 C_2} = \frac{-R_2/R_1}{1 + j(\omega/\omega_H)} \tag{2.24}$$

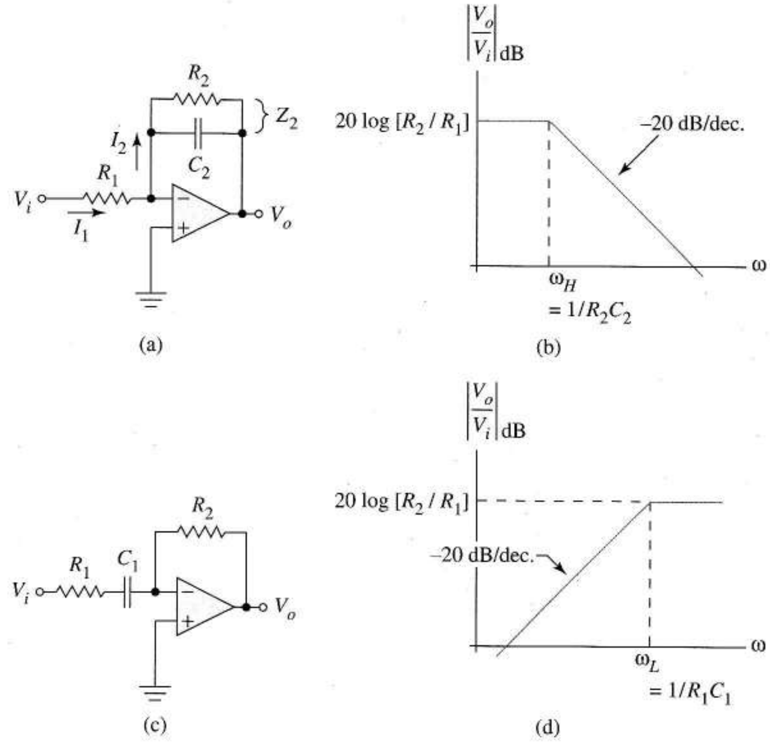


FIGURA 2.14 Filtros de primer orden: (a) circuito de paso bajo; (b) respuesta amplitud-frecuencia del circuito de paso bajo; (c) circuito de paso alto; (d) respuesta frecuencial del circuito de paso alto.

donde $\omega_H = 1/R_2C_2$ es la *frecuencia de corte del filtro*. Como el denominador vale $\sqrt{2}$ cuando $\omega = \omega_H$, la frecuencia de corte es la frecuencia a la que hay −3 dB o el ancho de banda del filtro. La Figura 2.14b muestra como la magnitud de (2.24) en dB cambia con la frecuencia. Por debajo de ω_H, la ganancia es más o menos constante. Para frecuencias mucho mayores que ω_H la ganancia cae a 20 dB/década, es decir, la ganancia cae 10 veces con cada incremento de 10 veces de ω.

El filtro de paso bajo es útil para separar de una señal el ruido de una segunda señal. Es necesario que todas las frecuencias interesantes (ver Sección 1.6.5) de la señal deseada estén por debajo de ω_H y que todas las frecuencias del ruido o de la señal no deseada estén por encima de ω_H. Podemos imaginar todas estas frecuencias pasando por el filtro a la vez. Este amplifica todas las frecuencias de la señal deseada en aproximadamente $-R_2 / R_1$ muestras que atenúan todas las demás.

EJEMPLO 2.3 Una señal $s(t)$ con todas sus frecuencias importantes por debajo de 4 kHz está sólo disponible de la forma

$$v_i(t) = s\,(t) + 0{,}2\cos\left(2\pi 10^5 t\right)$$

Esto es, $s(t)$ esta combinada con una señal de 100 kHz.

a) Diseñar un filtro de paso bajo con ganancia de –10 para reducir el ruido.

b) Hallar la tensión de salida del filtro.

Solución a) Como tenemos tres componentes a los que hay que dar valor (Figura 2.14) y sólo tenemos dos condiciones, la ganancia y la frecuencia de corte, podemos empezar por un valor adecuado para R_1, 10 kΩ. Entonces, para satisfacer la condición de ganancia, R_2 = 100 kΩ. Para la frecuencia de corte de 4 kHz,

$$R_2C_2 = \frac{1}{2\pi 4.000} = 3{,}98 \times 10^{-5}$$

dando

$$C_2 = \frac{3{,}98 \times 10^{-5}}{(100k)} = 398 \text{ pF}$$

b) Como el filtro de paso bajo es lineal, podemos hallar su respuesta por superposición. Como todos las componentes de $s(t)$ están debajo de 4 kHz, $s(t)$ es sencillamente amplificada en –10. El filtro multiplica el fasor de ruido, $0{,}2\angle 0^\circ$, por la ganancia compleja calculada en la Ecuación (2.24) que es

$$\frac{-10}{1 + j(2\pi 10^5 / 2\pi 4.000)} = \frac{-10}{1 + j25} \approx 0{,}4 \angle 90^\circ$$

La salida completa es

$$v_o(t) = -10s(t) + 0{,}08\cos(2\pi 10^5 t + 90^\circ)$$ ❑

Ejercicio 2.3 Diseñar un integrador que procese la tensión

$$v_i(t) = 0{,}1\cos(2\pi 10^2 t) + 0{,}3\cos(2\pi 10^3 t) + 0{,}2\cos(2\pi 2 \times 10^4 t)$$

sin modificar la amplitud de la primera componente. Usar (2.23) para hallar la tensión de salida. Suponer el funcionamiento en régimen permanente.

Respuesta

$$R = 10 \text{ k}\Omega$$
$$C = 0{,}159\ \mu F,$$
$$v_o(t) = 0{,}1\cos(2\pi 10^2 t + 90^\circ) + 0{,}03\cos$$
$$(2\pi 10^3 t + 90^\circ) + 0{,}001\cos(2\pi 2 \times 10^4 t + 90^\circ)$$

El filtro activo de la Figura 2.14a es mejor que el circuito RC de la Figura 1.40a por tres motivos: tiene ganancia de tensión, impedancia de salida nula e impedancia de entrada independiente de la frecuencia. El circuito activo no sólo filtra sino que también amplifica. Como la resistencia de salida es nula, la Ecuación (2.24) se usa también cuando se conecte una impedancia de carga entre la salida y masa. En los filtros pasivos, cualquier impedancia de carga se convierte en parte del filtro y cambia la ganancia. (También, podemos poner en cascada filtros activos como los de la Figura 2.14a sin ningún efecto de cargas. La función de la ganancia simplemente se multiplica, incrementando tanto la ganancia a bajas frecuencias como la atenuación a altas frecuencias.) Como el filtro pasivo tiene impedancia de entrada

$$Z_{in} = R + \frac{1}{j\omega C}$$

ésta varía con la frecuencia. La resistencia de la fuente R_S y la del filtro R aparecen en la expresión de ω_H y el ancho de banda depende de cada fuente empleada. En el filtro activo, la resistencia de

entrada R_1 no depende de la frecuencia por lo que el ancho de banda depende sólo de R_2 y los efectos de las cargas en la entrada sólo afectan a la ganancia, nunca a ω_H.

La Figura 2.14c muestra un *filtro de paso alto* de primer orden. Usando las impedancias complejas, es fácil probar que la función del filtro es

$$\frac{V_o}{V_i} = \left(-\frac{R_2}{R_1}\right)\frac{j\omega R_1 C_1}{1 + j\omega R_1 C_1} = -\frac{R_2}{R_1}\frac{j(\omega/\omega_L)}{1 + j(\omega/\omega_L)} \tag{2.25}$$

Cuando $\omega \to \infty$, la ganancia se aproxima a $-R_2 / R_1$, y cuando $\omega \to 0$, la ganancia tiende a cero. La respuesta frecuencial amplificada es como en la Figura 2.14d. Este filtro elimina el ruido de frecuencias bajas de señales que tengan frecuencias superiores a ω_L. Como la salida del circuito es la del operacional, la resistencia de salida es nula. La impedancia de entrada es una función de la frecuencia. Para evitar la dependencia de la frecuencia podemos añadir un seguidor de emisor en serie con la entrada.

2.3.5 FILTRO/OSCILADOR DE SEGUNDO ORDEN

La Figura 2.15a muestra un filtro de paso bajo de segundo orden que usa un amplificador no inversor como bloque constructivo. La Figura 2.15b presenta el circuito como un VCVS de ganancia A. Como es una fuente dependiente

$$V_x = \frac{V_o}{A}$$

así que por la ley de Kirchhoff de corriente en el nodo y

$$\frac{V_i - V_y}{R} = j\omega C\frac{V_o}{A} + (V_y - V_o)j\omega C$$

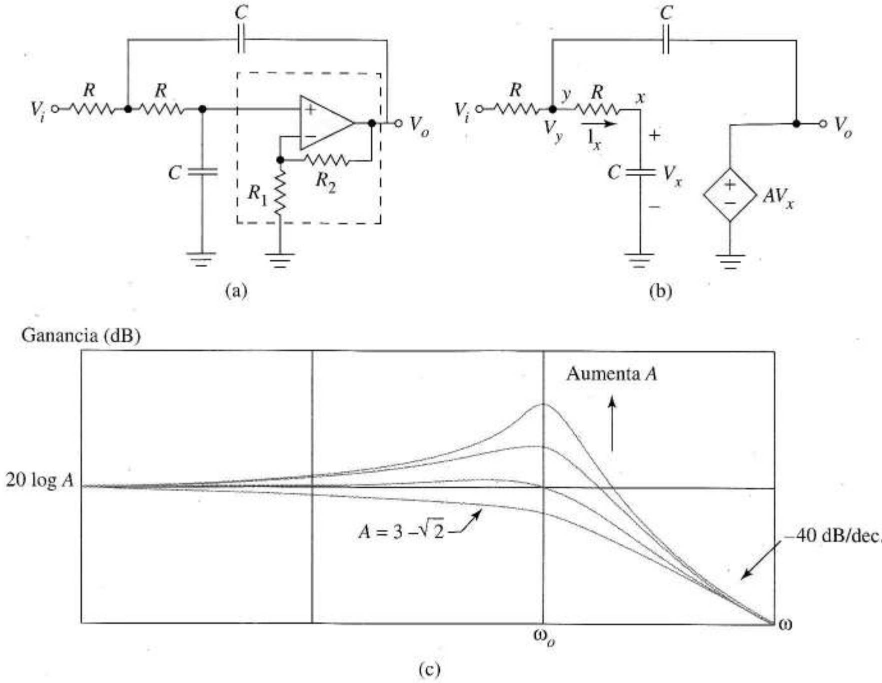


FIGURA 2.15 Oscilador / filtro de segundo orden: (a) circuito; (b) modelo incluyendo una VCVS de ganancia A; (c) respuesta frecuencial para distintos valores de A.

y en el nodo x

$$\frac{V_y - V_o / A}{R} = j\omega C \frac{V_o}{A}$$

Multiplicando ambas ecuaciones por R, cambiando RC por $1/\omega_o$ y arreglándolo un poco da

$$\left(j\frac{\omega}{\omega_o A} - j\frac{\omega}{\omega_o}\right)V_o + \left(j\frac{\omega}{\omega_o} + 1\right)V_y = V_i$$

$$\left(j\frac{\omega}{\omega_o A} + \frac{1}{A}\right)V_o \qquad - V_y = 0$$

Despejando V_o de la función de la ganancia compleja

$$\frac{V_o}{V_i} = \frac{A\omega_o^2}{-\omega^2 + j(3-A)\omega_o\omega + \omega_o^2} \tag{2.26}$$

donde $A = (1+R_2 / R_1)$ y $\omega_o = 1 / RC$.

La Figura 2.15c es la respuesta frecuencial, con la ganancia en decibelios. Si elegimos A de tal forma que $3 - A = \sqrt{2}$, el filtro tiene la frecuencia de corte a –3 dB en ω_o. Para este valor de A, la respuesta frecuencial tiene el aspecto de la del filtro de primer orden pero a altas frecuencias la ganancia cae 40 dB por cada década en lugar de 20 dB/dec. Esto significa mayor reducción de las frecuencias no deseadas o del ruido que la que sería posible usando un filtro de primer orden del mismo ancho de banda. Para valores de $0 < 3 - A < \sqrt{2}$ la respuesta frecuencial muestra un *pico*. Los filtros con estas respuestas son útiles como subcircuitos de filtros más complejos descritos en el Capítulo 12.

Para determinados valores de A el circuito se convierte en un *oscilador* senoidal, es decir, un *generador* de señales senoidales. Con una ganancia de 3, el término imaginario de la Ecuación (2.26) desaparece y la ganancia se hace infinita para $\omega = \omega_o$. Físicamente, para $A = 3$ el amplificador reemplaza exactamente la energía disipada en las resistencias y el circuito genera su propia señal (*oscila*) de frecuencia ω_o aunque la tensión de entrada sea nula.

2.3.6 DERIVADOR

La Figura 2.16a muestra un *circuito derivador*. Por la masa virtual

$$i_1(t) = C\frac{d[v_i(t) - 0]}{dt}$$

y $v_o(t) = -Ri_2(t)$. Como $i_2 = i_1$, estas ecuaciones implican

$$v_o = -RC\frac{dv_i(t)}{dt}$$

Para hallar la representación fasorial, pensemos en la Figura 2.16a como un amplificador inversor con $R_2 = R$ y $R_1 = 1/j\omega C$; así

$$\frac{V_o}{V_i} = j\omega RC \tag{2.27}$$

que corresponde a la derivada para estas señales senoidales.

Una aplicación habitual de los derivadores es detectar y enfatizar las transiciones rápidas de las señales. Por ejemplo, la Figura 2.16b muestra cómo se identifican los flancos inicial y final de la señal de entrada en la salida del derivador. Debido al signo menos de la ecuación diferencial, los picos negativos de la salida tienen lugar para las pendientes positivas y viceversa. La señal de salida puede usarse para sincronizar algún otro evento que tenga lugar al comienzo o al final del pulso. Para esta aplicación, el diseñador debe elegir la constante de tiempo *RC* de la derivada de tal forma que sea corta en relación con el ancho del pulso.

Los derivadores son a veces molestos porque derivan también el ruido que usualmente coexiste con la señal de entrada, creando una pobre relación señal/ruido en la salida. La Ecuación (2.27) muestra que el circuito tiene una muy elevada ganancia para el ruido a altas frecuencias. Este problema se puede mitigar situando un condensador en paralelo con la resistencia. Para una adecuada selección del condensador, el circuito modificado deriva señales de baja frecuencia con ganancia constante a alta frecuencia.

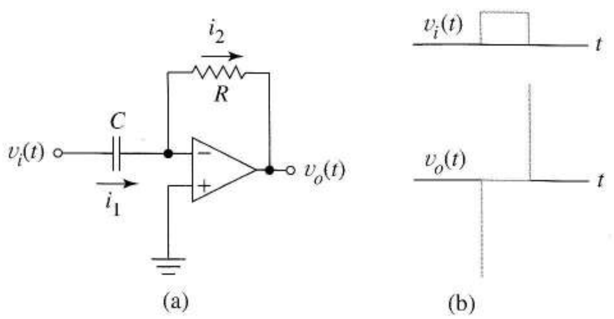


FIGURA 2.16 Derivador: (a) circuito; (b) ejemplo de formas de onda de entrada y salida.

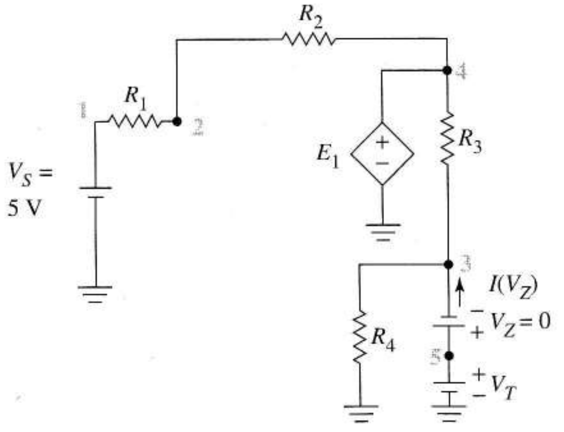
2.4 SIMULACIÓN DE AMPLIFICADORES OPERACIONALES DE GANANCIA INFINITA

La simulación en computador con SPICE de circuitos con operacionales de ganancia infinita es útil para confirmar que un diseño es correcto así como para comprobar nuestra intuición. En SPICE manejamos resistencias, condensadores, inductancias y fuentes de continua de forma exacta; los amplificadores operacionales necesitan una aproximación especial.

Para una simulación en SPICE, primero numeramos los nodos del circuito, nombrando como cero el nodo de referencia. Cada resistencia, condensador, inductancia y fuente necesita una línea de código separada, su *línea*. La primera entrada, para una resistencia, es un nombre único que empieza por *R*. Después, están los números de los nodos de la resistencia y, finalmente, el valor óhmico. Uno o más espacios en blanco separan cada una de estas entradas. Las líneas de los condensadores, inductancias, fuentes de corriente o tensión siguen un formato similar aunque los nombres empiezan por *C*, *L*, *V* e *I*, respectivamente; especificamos sus valores en faradios, henrios, amperios y voltios. Para una fuente de tensión, el SPICE interpreta el valor como la tensión en el primer nodo respecto del segundo. Para una fuente de corriente, el valor es la corriente en amperios que circula a través de la fuente desde el primer nodo hacia el segundo. La identificación adicional "DC" antes del valor de una fuente de tensión —o corriente— indica explícitamente una fuente de continua. El Apéndice A proporciona algunos sencillos ejemplos.

Las sentencias de control nos permiten hacer variar una tensión o corriente de entrada sobre un margen especificado de valores. Otras sentencias de control dirigen al SPICE a imprimir o dibujar la tensión de un nodo, la diferencia de tensión entre dos nodos o la corriente que circula a través de la fuente de tensión, para cada valor de la variable barrida. Como en la salida del SPICE sólo están dis-

ponibles las corrientes en las fuentes, a veces añadimos fuentes de tensión nula en el circuito para servir de amperímetros en aquellos lugares en que queremos observar corrientes. Los ejemplos a lo largo del texto introducen gradualmente conceptos de control más importantes.




```
EXAMPLE 2.4
R1 1 2 10K
R2 2 4 20K
R3 4 3 20K
R4 3 0 10K
E1 4 0 3 2 1E8
VS 1 0 DC 5
VT 5 0 DC 0
VZ 5 3 DC 0
.DC VT -5 5 0.5
.PLOT DC I(VZ)
.END
```

(b)

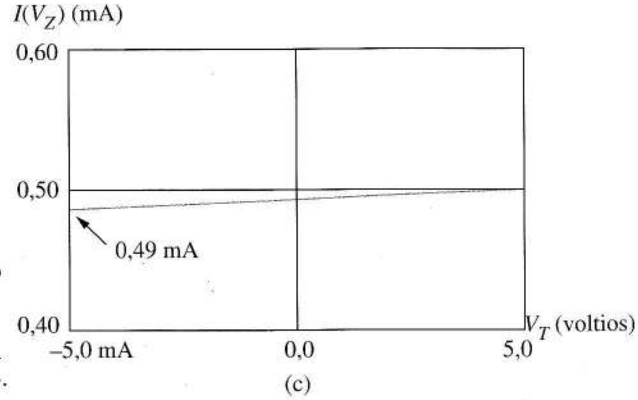


FIGURA 2.17 Modelo SPICE para la fuente de corriente: (a) circuito; (b) código; (c) respuesta parcial del Ejercicio 2.4.

El SPICE carece de un formato de código especial para los amplificadores operacionales, por lo que usaremos un modelo de circuito, el modelo de fuente dependiente de la Figura 2.1d. La primera entrada de un elemento tipo VCVS es un nombre que comience por "E". Los nodos de la fuente dependiente estarán listados después, seguidos por los nodos que definen la tensión de control. La sexta entrada es la transmitancia de las fuentes dependientes, con el signo algebraico consistente con las convenciones. El SPICE no permite ganancia infinita, sin embargo, si usamos valores grandes para A_d, como 10^8, el resultado, en la práctica, es el mismo que obtendríamos con ganancia infinita. Como el SPICE necesita un camino a masa desde cualquier nodo, suele ser necesario incluir una resistencia elevada, como $10^9\ \Omega$, entre los dos nodos de entrada del operacional para evitar el mensaje de error. Entonces modelamos el operacional como en la Figura 2.1c. Cuando nuestro estudio llegue al punto donde nos preocupemos del operacional real en lugar del ideal, usaremos variaciones de estos modelos básicos para estudiar las desviaciones del comportamiento ideal.

Los siguientes ejemplos ilustran cómo usar SPICE para explorar circuitos con operacionales de ganancia infinita.

EJEMPLO 2.4 Usar el SPICE para verificar que el circuito de la Figura 2.11 es una fuente de corriente que satisface la Ecuación (2.20)

Solución Como el SPICE necesita valores numéricos, debemos diseñar y especificar el circuito. Para satisfacer la ecuación de diseño, hacemos que R_1 y R_4 sean 10 kΩ y R_2 y R_3, 20 kΩ y dejamos la tensión de entrada en 5 V. Con estos valores, la Ecuación (2.20) predice una corriente constante de 0,5 mA. Para verificar esto, examinaremos la salida del SPICE de la característica $v - i$ vista por Z_L, es decir i_L en función de v_L.

La Figura 2.17a muestra el circuito equivalente con el operacional modelado como una fuente ideal VCVS. La fuente de tensión V_T reemplaza a Z_L para dar la variable independiente para nuestra gráfica de tensión-corriente. La Figura 2.17 da el listado del código.

El SPICE necesita que la primera línea de código sea un título como "EXAMPLE 2.4". Las siguientes ocho líneas de código son líneas de dispositivos como antes se analizó. El SPICE siempre necesita un ".END" en la ultima línea de código. Inmediatamente antes de .END hay dos líneas de código de control. La línea de control ".DC" necesita que la fuente de continua V_T, nominalmente de cero voltios, pueda barrer el margen de –5 a +5 V en incrementos de 0,5 V. La línea ".PLOT" busca la representación de la corriente continua $I(VZ)$ en el amperímetro V_Z frente a la tensión V_T para cada valor de V_T. (Necesitamos el amperímetro con la adecuada polaridad ya que el SPICE define la corriente en una fuente de tensión como la corriente que circula hacia su nodo de referencia positivo.)

El diagrama de salida del SPICE es la esperada línea horizontal que caracteriza una fuente de corriente constante de 0,5 mA. Cambiando VS por otros valores, positivos y negativos, da resultados similares a los predichos por la Ecuación (2.20). ❑

Una vez que el código SPICE está escrito, es siempre tentador explorar otros aspectos de diseño debido al pequeño esfuerzo adicional necesario. Por ejemplo, podemos pensar que un valor no correcto en los valores de las resistencias de la Figura 2.17a podría conducir a una fuente de corriente imperfecta, es decir, podría producir pendiente no nula en la característica v–i. Sería también fácil explorar la variación de la resistencia de entrada con la carga. El siguiente ejercicio demuestra el primer punto.

Ejercicio 2.4 Determinar el cambio del código que incrementa R_1 en un 10%. Usar el SPICE para determinar el efecto de este cambio sobre la curva $v - i$ de salida. Si el cambio causase resistencia de salida, r_O finita, estimar su valor.

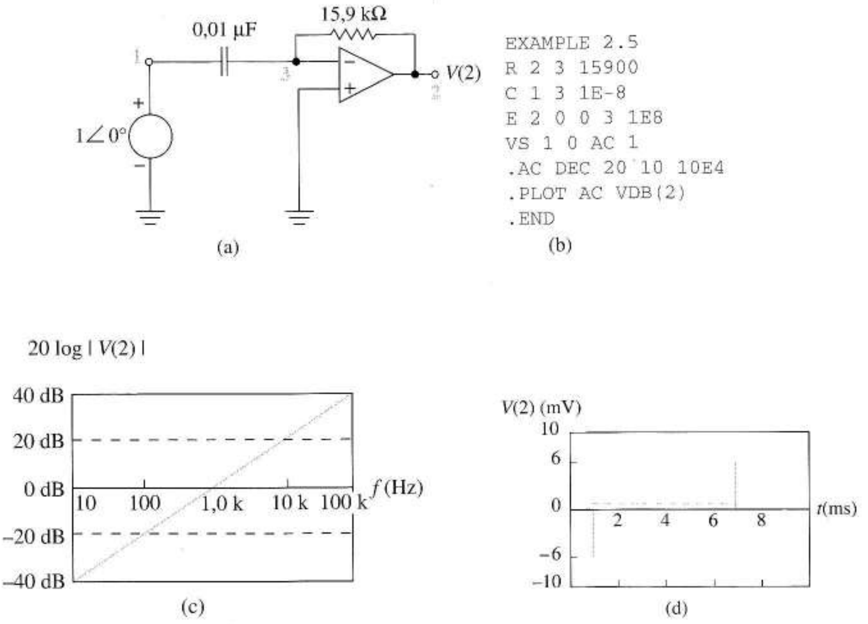
Respuesta La línea del dispositivo R_1 se convierte en "R1 1 2 10.1K", véase la Figura 2.17c, R_O =1MΩ.

El ejemplo precedente, y este ejercicio exponen un análisis con SPICE en continua. Seguidamente, demostramos la aplicación del análisis transitorio y en alterna a circuitos con operacionales de ganancia infinita.

EJEMPLO 2.5 Para un derivador con $1/RC = 2\pi \times 10^3$ rad/s, usar el análisis en alterna de SPICE para confirmar la Ecuación (2.27) y el análisis transitorio para verificar la Figura 2.16.

Solución La Figura 2.18a muestra un derivador con C = 0,01 μF y R elegida para dar esa constante de tiempo. La Figura 2.18b muestra el código SPICE de un análisis en alterna. Como antes, la VCVS de alta ganancia modela el operacional de ganancia infinita. La línea *VS* describe la fuente como un fasor de alterna de amplitud unidad y fase nula (por defecto). La línea .AC solicita del SPICE el cálculo en alterna, específicamente 20 análisis por cada década cuando la frecuencia de la fuente cambia desde 10 hasta 10^5 Hz. La línea .PLOT solicita una representación de los datos en alterna; VDB (2) es un código SPICE para veinte veces el logaritmo decimal (20log) de la tensión del nodo 2. Como la tensión de entrada es 1 V para todas las frecuencias, el dibujo da numéricamente la ganancia en decibelios del circuito. Podríamos añadir a la salida una representación de la fase de la tensión del nodo 2 añadiendo la sentencia VP(2) en la línea .PLOT.

La Figura 2.18c, la representación SPICE de los datos de salida muestra una variación lineal de la ganancia como predecía la Ecuación (2.27). Adviértase que la ganancia es 0 dB en $\omega = 2\pi f = 1/RC = 2\pi 10^3$, es decir, en $f = 10^3$ Hz. Una década por encima y por debajo de 1 kHz la ganancia es +20 y –20 dB, respectivamente.



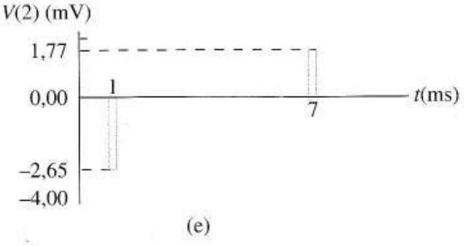


FIGURA 2.18 Código del circuito y salida para el Ejemplo 2.5 y el Ejercicio 2.5.

Para el análisis transitorio, reemplazamos las tres líneas de código precedentes al ".END" por

```
VS 1 0 PULSE (0 1E-3 1E-3 0 0 6E-3 10E-3)
.TRAN 0.03E-3 10E-3
.PLOT TRAN V(1) V(2)
```

La primera línea cambia la forma de onda de la fuente a un pulso. Los parámetros ordenados en el argumento de PULSE () especifican que la fuente debe de cambiar de 0 a 1 mV después de un retardo de 1 ms. El pulso de entrada tiene tiempos de subida y caída nulos y una anchura de 6 ms. La última entrada indica que el pulso se repita cada 10 ms. La línea .TRAN solicita un análisis transitorio de 10 ms con salida cada 0,03 ms. Esto supone 330 puntos en la salida, datos más que suficientes para definir la forma de la curva. La línea .PLOT pide un gráfico de las tensiones de entrada y salida.

La curva a puntos de la Figura 2.18d es el pulso de entrada de 1 mV; la línea a trazos es la salida del derivador. Los pulsos reales tienen velocidades finitas de aumento y decremento en su comienzo y en su final y la amplitud de la salida del derivador queda determinada por esta velocidad y por el multiplicador RC. En la simulación, el cambio de 1 mV en la tensión y el tiempo entre cálculos, 0,03 ms, dan una derivada efectiva de

$$\frac{\Delta V}{\Delta t} = \frac{1\ \text{mV}}{0{,}03\ \text{ms}} = 33{,}3\ \text{V/s}$$

y resulta una amplitud del pulso de $RC \times 33{,}3 = 5{,}3$ mV. ❑

Ejercicio 2.5 Estimar las nuevas amplitudes de los picos de la tensión de salida n, los tiempos de subida y bajada del pulso del Ejemplo 2.5 cambian, respectivamente, a 0,06 y 0,09 ms. Usar el SPICE para comprobar la predicción.
Respuesta –2,65 mV, 1,77 mV. Figura 2.18d.

2.5 EFECTOS DE SEGUNDO ORDEN EN AMPLIFICADORES OPERACIONALES

2.5.1 INTRODUCCIÓN

Atrás, hemos visto el amplificador operacional como un dispositivo ideal de ganancia infinita sin ningún tipo de limitaciones ni estáticas ni dinámicas. Para comprender mejor las limitaciones prácticas de los circuitos con operacionales, explicaremos ahora varios *efectos de segundo orden*, desviaciones del comportamiento ideal que se caracterizan mediante parámetros numéricos. Obtenemos los valores de los parámetros de las hojas de datos de los fabricantes o por medida directa. La Tabla 2.1 lista los valores de los parámetros para dos operacionales: el μA741, un dispositivo de baja frecuencia y uso general y el HA2544 que fue diseñado para el procesado a gran velocidad en aplicaciones de video.

Exploraremos uno por uno los efectos de estos parámetros, introduciendo sencillos añadidos a nuestro modelo VCVS para demostrar cómo los efectos de segundo orden limitan los circuitos con operacionales. Los modelos modificados de operacionales dan una base general para análisis manual en casos sencillos y para la simulación computacional de circuitos complejos. Ya que hay muchas combinaciones de circuitos específicos, entradas y parámetros, es importante (como siempre) fijar los *conceptos* y ser capaz de aplicarlos después a cualquier situación que podamos encontrar. Estudiaremos las causas físicas de estos efectos de segundo orden en posteriores capítulos.

2.5.2 GANANCIA EN LAZO ABIERTO

Comenzaremos nuestro estudio de los efectos de segundo orden por una revisión crítica de nuestra suposición clave, la ganancia infinita. Los amplificadores operacionales tienen ganancia diferencial sólo finita, llamada habitualmente ganancia de lazo abierto en las hojas de datos. "*Lazo abierto*" significa que A_d es la *ganancia propia del operacional*, medida en ausencia de cualquier lazo externo de realimentación. Para determinar el efecto de la ganancia finita de cualquier operacional, debemos incluir la fuente dependiente explícitamente en nuestro análisis.

TABLA 2.1 Información de las hojas de datos de dos operacionales

Parámetros estáticos	μA741	HA2544
Ganancia en lazo abierto	2×10^5	6×10^3
Resistencia de entrada	2 MΩ	90 kΩ
Resistencia de salida	75 Ω	20 Ω
Corriente de cortocircuito	25 mA	40 mA
Límites de saturación: tensión pico-pico de salida (con alimentación de ±15V)	28 V	22 V
Tensión de desviación	5 mV	6 mV
Corriente de polarización	80 nA	7 mA
Corriente de desviación	20 nA	0,2 mA
Razón de rechazo de modo común	90 dB	89 dB

TABLA 2.1 (Continuación)

Parámetros dinámicos	μA741	HA2544
Frecuencia para ganancia unidad	10^6 Hz	45×10^6 Hz
Slew-rate	0,5 V/μs	150 V/μs

La Figura 2.19 muestra cómo se determina el efecto de la ganancia finita en un amplificador inversor. Sencillamente, cambiamos el operacional por su modelo VCVS. Aunque A_d sea finita, $i_1 = i_2$ porque aún asumimos resistencia de entrada infinita. La tensión v_b, sin embargo, no es nula. De la ley de Kirchhoff de las corrientes

$$\frac{v_i - v_b}{R_1} = \frac{v_b - A_d(-v_b)}{R_2}$$

Tras multiplicar por R_1 y agrupar coeficientes

$$v_i = \left(1 + \frac{R_1}{R_2} + \frac{R_1 A_d}{R_2}\right) v_b \tag{2.28}$$

Como $v_o = -A_d v_b$, podemos sustituir

$$v_b = -\frac{v_o}{A_d}$$

en (2.28). Haciéndolo y despejando la ganancia del circuito, da

$$\frac{v_o}{v_i} = \frac{-A_d}{(R_1/R_2)(1 + A_d) + 1} \tag{2.29}$$

Nótese que la ganancia del circuito se aproxima a $-R_2 / R_1$ cuando $A_d \to \infty$.

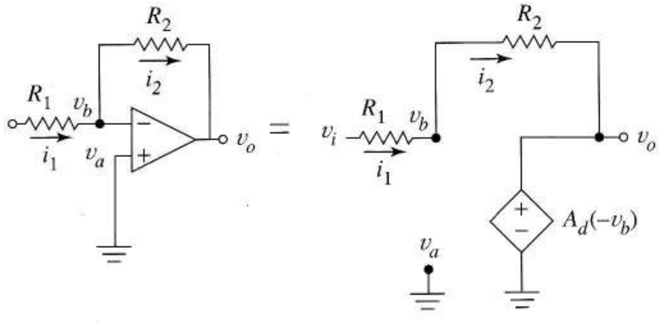


FIGURA 2.19
Amplificador inversor usando un operacional de ganancia finita.

Obviamente, el análisis de ganancia finita supone más esfuerzo que el de ganancia infinita. Cuando se necesita obtener criterios cuantitativos para diseño de circuitos en la práctica, el análisis detallado es el camino a elegir. Por ejemplo, el denominador de (2.29) sugiere que un buen diseño de amplificador inversor (con ganancia independiente de A_d) necesita la desigualdad

$$\frac{R_1}{R_2} A_d >> 1 + \frac{R_1}{R_2} \quad \text{o} \quad A_d >> 1 + \frac{R_2}{R_1}$$

con $A_d >> 1$. En términos prácticos de ingeniería, la desigualdad se traduce en

$$A_d \geq 10\left(1+\frac{R_2}{R_1}\right)$$

Esta desigualdad asegura buenos diseños ya que A_d, aunque no la relación de las resistencias, está sujeta a cambios importantes en la fabricación. La suposición de ganancia infinita es casi siempre válida para operacionales como el 741 donde $A_d \approx 2 \times 10^5$; sin embargo, $R_2 / R_1 = 599$ podía quedar fuera de márgenes para el HA2544.

Limitaciones similares presentan otros circuitos que hemos analizado con ganancia infinita. El Problema 2.49 da una expresión con ganancia finita para el amplificador no inversor. Seguidamente, examinaremos la resistencia de entrada del amplificador operacional.

2.5.3 RESISTENCIA DE ENTRADA

En la Figura 2.20 aparece un amplificador inversor construido con un operacional que tiene resistencia de entrada R_d finita así como ganancia finita. Cuando aplicamos la ley de Kirchhoff de la corriente a las tres resistencias tenemos

$$\frac{v_i - v_b}{R_1} = \frac{v_b}{R_d} + \frac{v_b - A_d(-v_b)}{R_2} \tag{2.30}$$

Para eliminar v_b, sustituimos $v_b = -v_o / A_d$. Esto da

$$\frac{v_i}{R_1} = -\left[\frac{1}{R_1} + \frac{1}{R_d} + \frac{1+A_d}{R_2}\right]\frac{v_o}{A_d}$$

La ganancia de tensión es

$$\frac{v_o}{v_i} = \frac{-A_d}{(R_1/R_2)(1+A_d)+1+(R_1/R_d)} \tag{2.31}$$

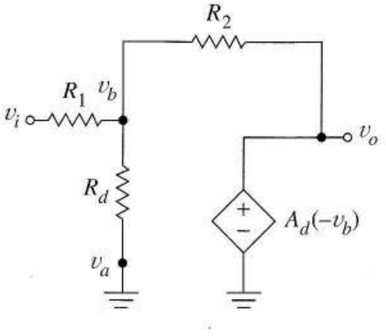


FIGURA 2.20 Amplificador inversor usando un operacional de resistencia de entrada *Rd* y ganancia en lazo abierto *Ad*.

Cuando se comparan (2.31) y (2.29) vemos que el valor finito de R_d reduce la ganancia de tensión del circuito haciendo mayor el denominador. Por supuesto (2.31) se reduce a (2.29) cuando R_d se aproxima a infinito. El Problema 2.54 determina un límite inferior para R_d usando la Ecuación (2.31).

2.5.4 RESISTENCIA DE SALIDA

Podemos determinar el efecto de la resistencia de salida del operacional en cualquier circuito añadiendo una resistencia r_o en serie con la fuente dependiente en su modelo. El Problema 2.53 emplea este método para mostrar que el amplificador no inversor de la Figura 2.6 tiene una resistencia de salida dada por

$$R_o = \frac{r_o}{1 + r_o/(R_1+R_2) + A_d R_1/(R_1+R_2)}$$

Adviértase que $R_o \to 0$ cuando $A_d \to \infty$ como habíamos establecido previamente. El efecto de la realimentación sobre R_o será analizado extensamente en el contexto general del amplificador realimentado en el Capítulo 9.

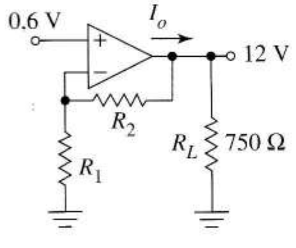


FIGURA 2.21 Corriente de salida del amplificador.

2.5.5 MÁXIMA CORRIENTE DE SALIDA

Cualquier amplificador operacional contiene habitualmente protección de cortocircuito para limitar la corriente que proporciona por su terminal de salida. Si la corriente de salida supera el valor de *cortocircuito*, el operacional se protege de cualquier daño interno en lugar de continuar amplificando. Hay que destacar que no se necesita un cortocircuito para superar este límite de corriente. El siguiente ejemplo ilustra como la limitación de corriente de cortocircuito impone un valor mínimo a los valores de las resistencias del diseño.

Ejercicio 2.6 Diseñar un amplificador no inversor con ganancia de 20 usando el modelo del operacional 741. La máxima tensión de entrada es de 0,6 V. Usar los menores valores de resistencia posibles pero sin sobrepasar la corriente de cortocircuito de 25 mA.

Respuesta $R_1 = 24\ \Omega$, $R_2 = 456\ \Omega$

EJEMPLO 2.6 Rediseñar el amplificador del Ejercicio 2.6 de tal forma que la máxima corriente no se supere cuando se conecta una carga de 750 Ω entre la salida y masa.

Solución La Figura 2.21 nos ayuda a ver el problema. En la salida es necesario que

$$I_o = \frac{12}{750} + \frac{12}{R_1 + R_2} \le I_{sc} = 25\text{mA}$$

Simplificando la ecuación y sustituyendo la condición de ganancia da

$$R_1 + 19R_1 \ge 1{,}33\text{k}\Omega$$

Así, $R_1 = 66{,}5\ \Omega$ y $R_2 = 19R_1 = 1{,}26\ \text{k}\Omega$. El efecto de la carga externa es absorber parte de los *recursos* disponibles de I_{sc} comparados con el caso de circuito abierto, haciendo necesarios mayores valores de resistencia en el amplificador. ❑

Este ejemplo muestra que la corriente de cortocircuito sitúa un límite inferior en los valores prácticos de resistencias en circuitos con operacionales. Las resistencias son comúnmente de mayores valores que este mínimo ya que así disipan menos potencia para unos mismos niveles de tensión. El límite superior de los valores disponibles para las resistencias anda alrededor de 20 MΩ. Cuando examinemos las corrientes de desviación descubrimos un límite superior para las resistencias. Otras restricciones se irán dando a lo largo del texto, especialmente en el Capítulo 8.

2.5.6 LÍMITES DE SATURACIÓN

La salida de tensión del operacional está limitada por la *saturación* de su función de transferencia, una idea ya expuesta para amplificadores en general en la Figura 1.36b, y para operacionales, aparece en la Figura 2.22. La función de transferencia de un operacional se satura habitualmente cuando la tensión de salida es algo menor que las alimentaciones. Por ejemplo, la Tabla 2.1 muestra que con una alimentación de ± 15 V, la tensión pico a pico de salida está limitada a 28 V. La Figura 2.22 es la *característica de lazo abierto* (función de transferencia) del 741. La fuerte pendiente, $A_d = 2 \times 10^5$, es difícil de asimilar intuitivamente. Como $|v_o|$ esta limitada a 14 V o menos, para garantizar un funcionamiento lineal, la tensión de entrada debe estar en el margen

$$-V_X \leq v_d \leq V_X$$

donde $V_X = 14 / 2 \times 10^5 = 70\ \mu V$. Esto ayuda a entender por qué la "ganancia infinita" obliga a tensiones diferenciales entre las entradas de aproximadamente cero. La tensión diferencial de entrada de un operacional real, aunque no es exactamente cero, es lo suficientemente pequeña comparada con el resto de tensiones del circuito.

La aproximación de *corriente de entrada nula* es intuitivamente evidente considerando el significado de la elevada ganancia. Con v_d confinada a esos pequeños valores, la corriente de entrada es despreciable comparada con otras corrientes en el circuito. Para un operacional de relativamente baja resistencia de entrada, como 10 kΩ, $|v_d| \leq 70\ \mu V$ implica

$$|i_i| = \left| \frac{v_d}{R_d} \right| \leq 7 \times 10^{-9}\,\text{A}$$

Este argumento es consistente con la poca importancia del término R_d en la Ecuación (2.31) cuando A_d es grande.

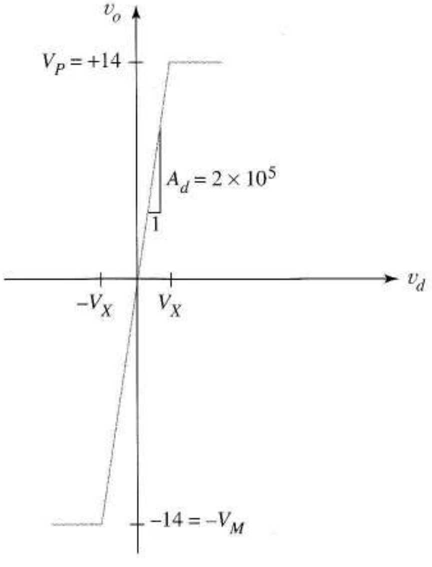


FIGURA 2.22 Función de transferencia en lazo abierto de un operacional. (Las escalas de v_o y v_d son diferentes.)

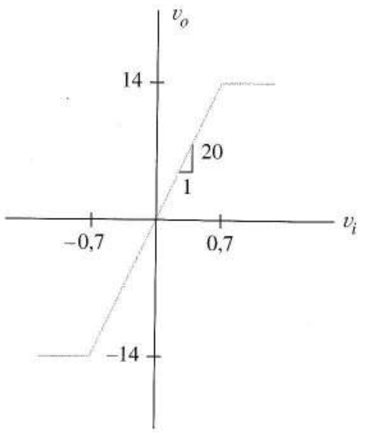


FIGURA 2.23 Función de transferencia de un amplificador no inversor de ganancia 20.

En todos los circuitos con operacionales que hemos estudiado, el funcionamiento lineal termina cuando la tensión de salida supera los límites de saturación. Por ejemplo, en la Figura 2.23 aparece el efecto de la saturación del operacional en la función de transferencia de un amplificador no inversor de ganancia 20 que usa el 741. La variable independiente en esta figura es la tensión de entrada al *circuito* v_i, no la entrada del operacional, v_d.

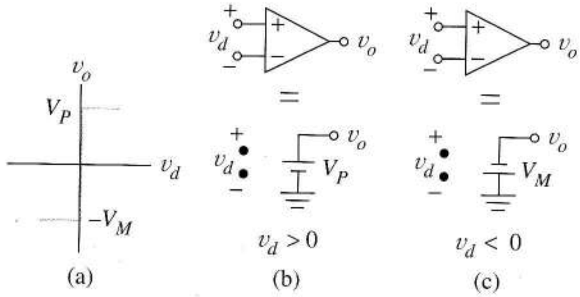


FIGURA 2.24 Subcircuito de un operacional: (a) definición del subcircuito para el 741; (b) código SPICE para un circuito con dos operacionales.

La Figura 2.24a muestra la curva de la Figura 2.22 cuando se usa la misma escala en ambos ejes. Esta curva representa el operacional como un dispositivo que da tensión de salida constante de V_P ó $-V_M$ dependiendo de que v_d sea positiva o negativa. Los dos estados del modelo de *gran señal* del operacional de las Figuras 2.24b y c expresan la idea con dos circuitos equivalentes. Son útiles para analizar los circuitos con operacionales que no tienen realimentación negativa para mantener el funcionamiento en la parte vertical de la función de transferencia, es decir, para funcionamiento en *lazo abierto.* En la Sección 2.6 estudiaremos algunos circuitos no lineales con operacionales en los que la saturación es crucial para el correcto funcionamiento del circuito y no una limitación práctica no deseada como en los circuitos lineales.

2.5.7 TENSIÓN DE DESVIACIÓN (OFFSET)

En la Sección 1.6.2 hemos comprendido que la función de transferencia de un amplificador falla a veces en el entorno del origen. La *tensión de desviación* de la Tabla 2.1 certifica este defecto. Como se ha aclarado, la tensión de desviación es impredecible en polaridad y cambia con la temperatura. Así, el valor publicado es un valor *típico* que nos permite estimar si una desviación como ésa es un problema para un determinado circuito.

Podemos representar la desviación de salida como el resultado de una *fuente de tensión continua* de desviación en serie con la entrada de un amplificador ideal. La Figura 2.25(a) nos representa esa idea. Como el signo de V_{OS} es desconocido, la polaridad de la fuente es arbitraria.

Es frecuente asumir ganancia infinita cuando se calculan los efectos de la tensión de desviación, procedimiento justificado en la Figura 2.25b. Como A_d es la *pendiente* de la curva, para el análisis en condiciones de ganancia infinita asumimos que la ganancia se hace infinita pero sin cambiar la tensión de desviación. Así, *no* se obliga que V_{OS} sea nula en la Figura 2.25a aunque sí lo sea v_x. Consecuentemente, podemos determinar el efecto de la tensión de desviación sobre cualquier circuito sin más que añadir una fuente externa V_{OS} y usando superposición y análisis de ganancia infinita es la forma habitual.

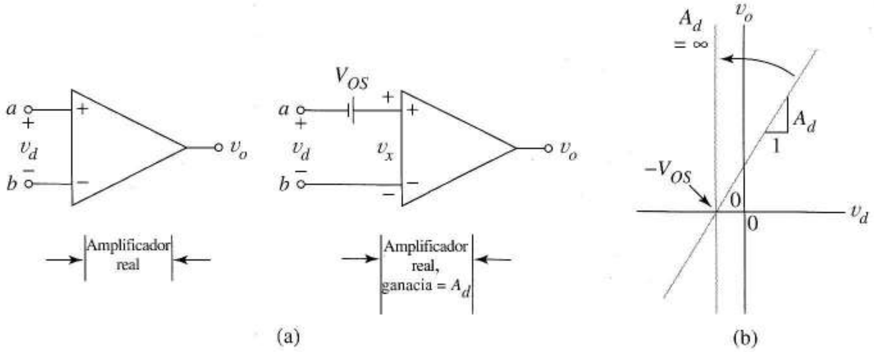


FIGURA 2.25 Tensión de desviación: (a) vista como consecuencia de una fuente de tensión aplicada a un amplificador operacional sin tensión de desviación; (b) no afectada por la suposición de ganancia infinita.

Por ejemplo, para hallar el efecto de la tensión de desviación sobre el amplificador inversor de la Figura 2.26a, hacemos cero v_s, como en la Figura 2.26b y después, lo analizamos. Con vista, podríamos darnos cuenta de que en la Figura 2.26b hay un amplificador no inversor con tensión de entrada $-V_{OS}$ e *inmediatamente* llega la Ecuación (2.32) como respuesta correcta. Para días menos afortunados, o circuitos más complicados deberíamos de ser capaces de resolver el problema usando los principios básicos. La ganancia infinita supone que la entrada inversora tiene una tensión $-V_{OS}$. Para ello

$$i_1 = \frac{-V_{OS}}{R_1} = i_2 = \frac{V_{o,OS} - (-V_{OS})}{R_2}$$

donde $V_{o,OS}$ es la tensión de desviación del circuito. Resolviendo da

$$V_{o,OS} = -\left(1 + \frac{R_2}{R_1}\right) V_{OS} \tag{2.32}$$

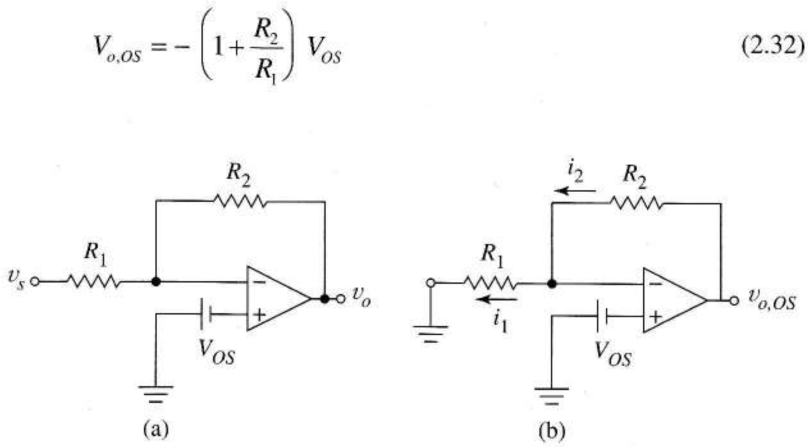


FIGURA 2.26 Inclusión del efecto de la tensión de desviación: (a) amplificador inversor; (b) circuito para calcular la componente de salida debida a este efecto.

La superposición aplicada a la Figura 2.26a da

$$v_o(t) = -\frac{R_2}{R_1} v_s(t) - \left(1 + \frac{R_2}{R_1}\right) V_{OS}$$

el efecto no deseado que vimos antes en la Figura 1.36a. Adviértase que para un amplificador inversor con ganancia de –20 que use un operacional con una tensión desviación de sólo 5 mV aparece una desviación a la salida de –105 mV. Vimos en el Capítulo 1 que si la tensión de entrada varía lentamente, una desviación de salida que varía con la temperatura se confunde fácilmente con la variación de la señal. Si la salida va a ser amplificada por otro circuito, la desviación será amplificada junto a la señal y puede llevarlo a saturación. Las tensiones de desviación pueden causar problemas en otros circuitos además de los amplificadores inversores. Este análisis sólo demuestra cómo llevar a cabo un estudio sobre la tensión de desviación.

Ejercicio 2.7 Obtener la expresión de la componente de desviación en la salida de un amplificador no inversor en términos de la tensión de desviación del operacional, V_{OS}.

Respuesta Ecuación (2.32).

2.5.8 CORRIENTE DE POLARIZACIÓN Y CORRIENTE DE DESVIACIÓN

Muchos operacionales *necesitan* un camino de continua entre cada entrada y masa para que circule la pequeña *corriente de polarización* necesaria para los componentes internos. Si conectamos a masa ambas entradas, la corriente continua circula como en la Figura 2.27a. Las hojas de datos de los operacionales dan la *corriente de polarización*, I_B y la *corriente de desviación* I_{OS}. Están definidas por

$$I_B = \frac{I_{B1} + I_{B2}}{2}, \quad I_{OS} = I_{B1} - I_{B2} \tag{2.33}$$

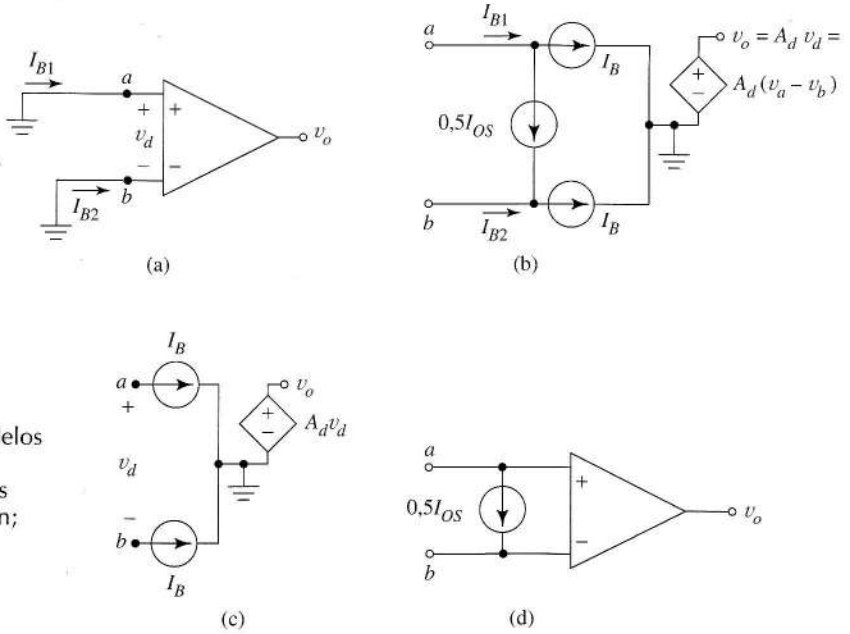


FIGURA 2.27 (a) corrientes continuas de entrada en un operacional; (b), (c) modelos de operacional mostrando cómo se modelan las corrientes de polarización y de desviación; (d) operacional con corriente de desviación vista como un operacional ideal con una fuente externa.

(La corriente de desviación es un dato positivo en las hojas de datos aunque puede ser positiva o negativa). Como con las ecuaciones definidas para modos común y diferencial, podemos despejar de las Ecuaciones (2.33) I_{B1} e I_{B2} y dibujar un circuito que explique los resultados. Esto da

$$I_{B1} = I_B + 0{,}5I_{OS} \quad I_{B2} = I_B - 0{,}5I_{OS}$$

y la Figura 2.27b. Esta figura, en sentido de modelado, "explica" las corrientes de polarización y desviación atribuyéndolas a fuentes de corriente internas ficticias. Pero más importante aún, podemos aislar los efectos de las corrientes de polarización desconectando 0,5 I_{OS} como en la Figura 2.27c y podemos calcular el efecto de I_{OS} eliminando las corrientes I_B como en la Figura 2.27d. Como la polarización de continua y la desviación son *señales independientes*, no están obligadas a ser nulas cuando la ganancia del operacional se aproxima a infinito; sólo debe ser nula la corriente producida por la señal de entrada. Por ello, podemos tratar el operacional como un dispositivo de ganancia infinita y las corrientes de polarización y desviación como corrientes externas *superpuestas* sobre las señales.

La Figura 2.28a emplea la Figura 2.27c para estudiar las corrientes de polarización sobre un amplificador no inversor. El operacional tiene ganancia infinita. Sin las fuentes de polarización, el circuito amplifica v_s de la forma habitual.

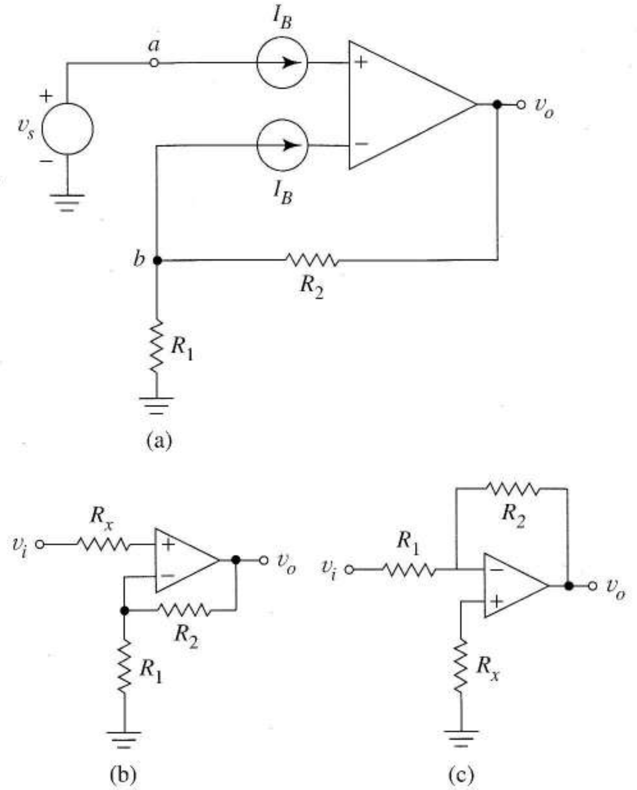


FIGURA 2.28
(a) Amplificador no inversor incluyendo corrientes de polarización;
(b) amplificador no inversor con una resistencia que cancela el efecto de las corrientes de polarización;
(c) amplificador inversor con el efecto de las corrientes de polarización cancelado.

Desconectando v_s, haciendo masa la entrada no inversora, y la ganancia infinita obliga a que la tensión en el nodo b sea nula. Con ambos extremos de R_1 a tensión de masa, toda la I_B circula a través de R_2 produciendo una tensión de salida $V_{o,IB} = I_B R_2$. La salida total es, entonces

$$v_o(t) = \left(1 + \frac{R_2}{R_1}\right) v_s + I_B R_2$$

Los buenos diseñadores se anticipan a este resultado y añaden una resistencia R_x en serie con la entrada no inversora como en la Figura 2.28b. Una adecuada selección de R_x hace que I_B produzca la misma tensión continua en las dos entradas, eliminando el efecto causado por I_B. En el Problema 2.61 hallaremos que $R_x = R_1 \parallel R_2$. Para los no iniciados, R_x aparece como un componente redundante ya que no tiene efecto sobre la señal. Un análisis similar para el amplificador inversor muestra que una $R_x = R_1 \parallel R_2$ colocada como en la Figura 2.28c elimina la corriente de polarización sobre el circuito. (Una persona más inteligente que impulsiva omitiría el segundo análisis observando que con $v_i = 0$ los circuitos de la Figura 2.28b y c son idénticos.) "La resistencia en continua vista desde cada una de las entradas y masa debe ser la misma" es una conclusión fácil para ambos circuitos.

La Figura 2.29 muestra un amplificador no inversor con corriente de desviación. Cuando se desconecta v_s y la ganancia es infinita, ambos extremos de R_1 están a masa y la corriente de desviación circula sólo a través de R_2. La componente de continua en la salida causada sólo por la corriente de desviación es $-(0{,}5\, I_{OS})R_2$.

Al final de la Sección 2.5.5 dijimos que 20 MΩ más o menos era el límite superior de las resistencias discretas. Si usamos R_2 = 20 MΩ en un amplificador no inversor basado en el 741 (I_{OS} = 20 nA) la tensión de desviación en la salida es sólo de 0,2 V. Si cambiamos el 741 por un HA2544 (I_{OS} = 0,2 mA), calcularíamos una tensión de desviación en la salida de ¡2.000 V! Claramente, la corriente de desviación saturaría el operacional. Concluimos que es bueno en la práctica comprobar I_{OS} cuando se usen valores grandes de resistencia.

Los circuitos integrados operacionales tienen, habitualmente, terminales externos para corregir las corrientes y tensiones de desviación y los fabricantes dan ideas especificas para *anular* las desviaciones usando componentes externos especiales. El procedimiento es específico para cada operacional. Como regla, los valores de desviación presentan derivas con la temperatura causando problemas en estos dispositivos. Algunos operacionales tienen *compensación de corriente de polarización* construida internamente con lo que no son necesarios caminos externos de continua para la corriente de polarización.

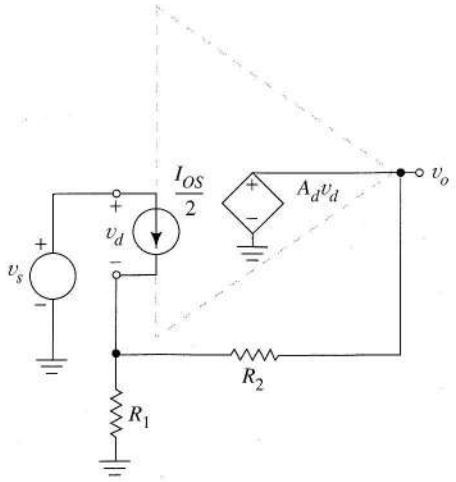


FIGURA 2.29 Circuito para calcular el efecto de la corriente de desviación en las características del circuito del amplificador no inversor.

2.5.9 RAZÓN DE RECHAZO DE MODO COMÚN

Como otros amplificadores diferenciales, los operacionales tienen una RRMC grande pero finita como se sugiere en la Tabla 2.1. Un operacional real se parece, así, a la Figura 1.25a y los componentes externos afectan a las señales de modo común y diferenciales.

Es interesante pensar lo que ocurre con la componente de modo común de la entrada cuando A_d se aproxima a infinito. Como v_d es obligada a ser nula, la tensión de modo común de las entradas es v_c. En los circuitos como el amplificador inversor en los que hay masa virtual en la entrada del operacional, v_c es nula, y el funcionamiento del circuito no queda afectado por la ganancia de modo común. Sin embargo cuando las entradas no están al potencial de masa, como en el amplificador no inversor, se desarrolla una tensión de modo común en la salida. Esto suele causar un cambio despreciable en el funcionamiento del circuito. Pero, para el amplificador diferencial, la RRMC es una consideración importante debido a que una ganancia de modo común no nula del operacional provoca una salida del circuito de modo común. Es decir, se añade un término de modo común a la Ecuación (2.15) aunque las resistencias tengan valor exacto.

Para predecir las consecuencias de la tensión de desviación, añadimos una fuente de tensión independiente en serie con la entrada del operacional ideal. Para la ganancia de modo común se emplea una aproximación similar. Para el operacional, como para cualquier amplificador diferencial, la Ecuación (1.28) describe la tensión de salida. Sacando como factor A_d, da

$$v_o = A_d\left(v_d + \frac{A_c}{A_d}v_c\right) = A_d\left(v_d + \frac{1}{\text{RRMC}}v_c\right) = A_d v_x \tag{2.34}$$

El equivalente de las Figuras 2.30a y b es una interpretación creativa de la Ecuación (2.34). El operacional de RRMC finita, es equivalente a un operacional de infinita RRMC que tiene una VCVS en serie con su entrada. La VCVS está controlada por v_c y tiene ganancia de tensión de 1/RRMC. Este modelo es fácil de implementar con SPICE.

Para cálculos manuales, el circuito aproximado de la Figura 2.30c es más simple. Como RRMC es grande para los operacionales, la tensión dependiente en la Figura 2.30b contribuye realmente poco al valor de v_c. Así, podemos estimar v_c de la Figura 2.30a. Una vez que tengamos esta estimación, usaremos la fuente independiente (1/RRMC)v_c de la Figura 2.30c, superposición y análisis de ganancia infinita para determinar la componente de modo común de la salida. Enseguida tendremos un ejemplo que compara los análisis manual y por computador de la RRMC de los operacionales.

2.5.10 MODELOS SPICE PARA LOS EFECTOS ESTÁTICOS DE SEGUNDO ORDEN

Los efectos de segundo orden son importantes porque degradan potencialmente las características del circuito, aunque pueden hacer más difíciles de analizar manualmente los circuitos con operacionales. Actualmente, las instalaciones de SPICE suelen incluir modelos de librerías para circuitos específicos usados habitualmente tales como los operacionales. Un modelo sofisticado de operacional hace fácil una simulación realista de un circuito dado; sin embargo, modelos caseros más simples son más versátiles permitiéndonos estudiar efectos de segundo orden de forma individual. Con la excepción de la saturación, podemos simular todos los efectos de segundo orden estudiados añadiendo resistencias y fuentes dependientes e independientes al modelo básico VCVS del operacional. Después, veremos los diodos en el próximo capítulo y ya estaremos en condiciones para simular también la saturación. El siguiente ejemplo demuestra, usando un análisis en SPICE, cómo estudiar los efectos de segundo orden.

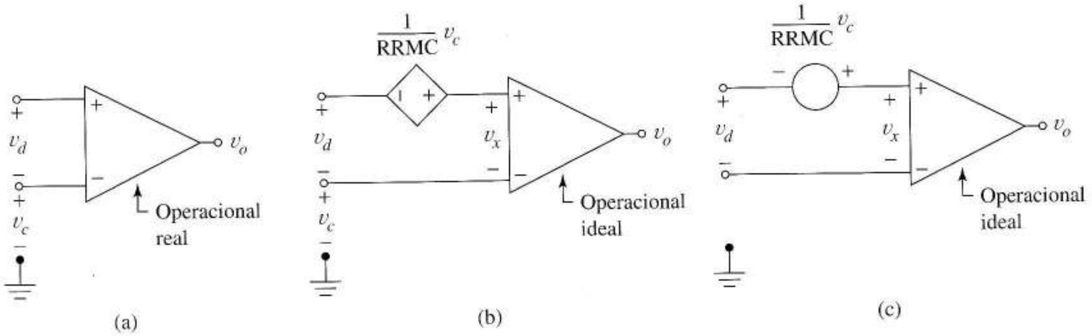


FIGURA 2.30 RRMC finita: (a) operacional real con RRMC finita; (b) modelo que usa un operacional con RRMC finita y VCVS externa; (c) operacional real aproximado por un operacional ideal y una fuente independiente.

EJEMPLO 2.7 a) Usar el análisis manual para estimar $v_o(t)$ para la Figura 2.31a. El operacional tiene $\text{RRMC}_{dB} = 90$. La tensión de entrada es

$$v_a(t) = 0{,}010\,\text{sen}\,2\pi 400t + 0{,}20\,\text{sen}\,2\pi 60t$$

y

$$v_b(t) = -0{,}010\,\text{sen}\,2\pi 400t + 0{,}20\,\text{sen}\,2\pi 60t$$

b) Emplear el SPICE y el modelo de la Figura 2.30b para calcular la componente de la salida de 60 Hz estimada en la parte (a)

c) Usar SPICE para determinar la ganancia de modo común del circuito.

Solución a) Primero hallaremos la componente diferencial de la salida empleando (2.15). La ganancia diferencial del amplificador es 10. Luego

$$v_{o,dm}(t) = 10\left[v_a(t) - v_b(t)\right] = 0{,}200\,\text{sen}\,2\pi 400t$$

Después, hallamos la componente de modo común. Del divisor de tensiones de la Figura 2.31a, la tensión de modo común en las entradas del operacional es

$$v_c(t) = \left(\frac{50}{55}\right) v_a(t)$$

Como 90 dB corresponde a RRCM = $3{,}16 \times 10^4$, la fuente independiente de la Figura 2.31b desarrolla

$$v_y = \frac{1}{3{,}16 \times 10^4} v_c(t) = 2{,}87 \times 10^{-5} v_a(t)$$

o

$$v_y(t) = 2{,}88 \times 10^{-7}\,\text{sen}\,2\pi 400t + 5{,}76 \times 10^{-6}\,\text{sen}\,2\pi 60t$$

Como la Figura 2.31b es un amplificador inversor con ganancia diferencial de 11

$$v_{o,cm}(t) = 11 v_y(t) = 3{,}16 \times 10^{-6}\,\text{sen}\,2.400t + 6{,}34 \times 10^{-5}\,\text{sen}\,2\pi 60t$$

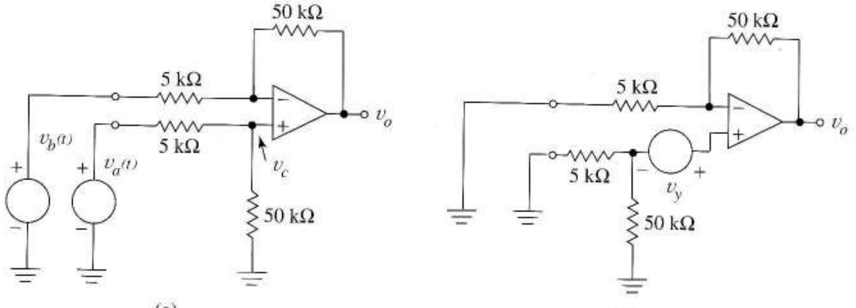
Superponiendo los resultados de modo común y diferencial da

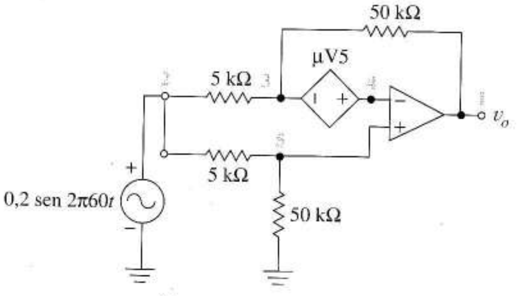
$$v_o(t) = v_{o,dm}(t) + v_{o,cm}(t) = 0{,}200\,\text{sen}\,2\pi 400t + 6{,}34 \times 10^{-5}\,\text{sen}\,2\pi 60t$$

A pesar de que las resistencias están perfectamente ajustadas, hay componente de modo común en la salida debido a que la ganancia de modo común no es nula; no obstante el amplificador es bastante efectivo eliminando el ruido de modo común de 60 Hz en relación con la señal de 400 Hz.

b) La componente de 60 Hz es una componente pura de modo común, luego usaremos el circuito de la Figura 2.31c cuando

$$\mu = \frac{1}{\text{RRMC}} = 3{,}16 \times 10^{-5}$$






```
EXAMPLE 2.7
RF 3 1 50K
RG 5 0 50K
RI1 2 3 5K
RI2 2 5 5K
*OP AMP
EOA 1 0 5 4 1.0E8
RIN 4 5 1E8
*NEXT TRANSMITTANCE = 1/CMRR
ECM 4 3 5 0 3.1546E-5
VIN 2 0 AC 0.2
.AC LIN 1 60 60
.PRINT AC VM(1)
.END
```

(d)

FIGURA 2.31 Hallando la señal de salida en modo común: (a) amplificador original con entrada de modo común v_c; (b) circuito para hallar la componente de modo común usando superposición; (c) circuito para la simulación en SPICE; (d) código SPICE.

La Figura 2.31d es el código en SPICE. La fuente EOA, una VCVS, es el operacional con una ganancia de 10^8, aproximadamente infinita. Las líneas con asteriscos son sentencias de comentarios, ignoradas por el SPICE pero útiles para la documentación. Para que el nodo 4 tenga conectados los dos componentes mínimos necesarios por el SPICE, incluimos una resistencia de 100 MΩ en el módulo del operacional. La fuente dependiente ECM introduce una ganancia de modo común no nula en el circuito. La salida del SPICE mostraba la tensión en el nodo 1 de $6{,}309 \times 10^{-5}$ V que verifica el análisis manual.

c) Para determinar la ganancia de modo común del circuito, cambiamos en el listado SPICE la amplitud de VIN a uno y obtenemos la tensión de salida. El resultado del análisis es $V(1) = A_c = 3{,}155 \times 10^{-4}$ V. Como $A_d = 10$, el amplificador diferencial tiene una RRMC = 90 dB, igual que la del operacional por sí mismo. ❑

Todos los efectos de segundo orden estudiados son limitaciones estáticas, es decir, describen el operacional cuando las señales cambian lentamente. Cuando las señales cambian rápidamente, como

hemos visto en la Sección 1.6.4, es también necesario considerar las limitaciones dinámicas impuestas por las capacidades en el amplificador. En los operacionales, estas limitaciones son dos, la respuesta frecuencial y la velocidad de cambio.

2.5.11 RESPUESTA FRECUENCIAL DE LOS AMPLIFICADORES OPERACIONALES

Cuando excitamos un amplificador en *lazo abierto* con una señal senoidal diferencial, la ganancia A_d se convierte en una función compleja $A(\omega)$ la relación entre el fasor de salida y el de entrada. Para la mayoría de los operacionales, esta función tiene la forma

$$A(\omega) = \frac{A_d}{1 + j(\omega/\omega_H)} = A_d\left(\frac{\omega H}{j\omega + \omega_H}\right) \tag{2.35}$$

donde ω_H es una constante llamada frecuencia a potencias medias o ancho de banda en bucle abierto. Hay que notar que A(ω) tiene la misma forma funcional que la ganancia de un *circuito RC* (1.38) excepto que la ganancia del operacional tiende a A_d en lugar de a uno cuando ω se aproxima a cero.

La curva de respuesta magnitud-frecuencia de la Ecuación (2.35) de dB está en la Figura 2.32. Las hojas de características no dan ω_H pero dan la *frecuencia a ganancia unidad*, ω_τ, la frecuencia a la que la ganancia del operacional es cero dB. Podemos relacionar ω_τ con ω_H y A_d por medio del siguiente argumento. Cuando $\omega_H >> \omega_H$ (2.35) se puede aproximar por

$$A(\omega) = \frac{A_d\omega_H}{j\omega} \tag{2.36}$$

De la Ecuación (2.36), ω_τ satisface

$$|A(\omega_\tau)| = \frac{A_d\omega_H}{\omega_\tau} = 1$$

así

$$\omega_\tau = A_d\omega_H \tag{2.37}$$

De la Tabla 2.1 del operacional 741, $\omega_\tau = 2 \times 10^6$ rad/s. Como $A_d = 2 \times 10^5$, inferimos que el ancho de banda ω_H del 741 es de sólo 31,4 rad/s y f_H = 5Hz, ¡en efecto un pequeño ancho de banda! En contraste, el HA2544 tiene f_H = 7.500 Hz.

2.5.12 PRODUCTO GANANCIA-ANCHO DE BANDA

.Un importante dato para un amplificador, incluido el operacional, es el *producto ganancia-ancho de banda*, el producto de la ganancia máxima y el ancho de banda. En términos de la Ecuación (2.35) y la Figura 2.32 es $A_d\omega_H = \omega_\tau$. Por esta razón, el término usado habitualmente para la frecuencia a ganancia unidad ω_τ, es el *producto ganancia-ancho de banda*. Vimos en el Capítulo 1 que el ancho de banda es indicativo de la velocidad de procesado de información del dispositivo. El producto ganancia-ancho de banda combina la velocidad y la capacidad de amplificación en un único parámetro.

Todas las ecuaciones obtenidas en secciones previas para los circuitos con operacionales suponían operacionales con gran ganancia de tensión, sin embargo, la Figura 2.32 nos presenta el hecho de que para señales de frecuencias significativamente mayores que ω_H, la ganancia en lazo abierto puede ser tan pequeña que invalide la aproximación de ganancia infinita. Por tanto, debemos esperar que el

ancho de banda finito produzca desviaciones del comportamiento ideal cuando apliquemos frecuencias altas o cambios abruptos al circuito. Para determinar exactamente las limitaciones de frecuencia de los operacionales cuando analicemos el circuito, representaremos el operacional por una VCVS con transmitancia compleja, por ejemplo, la Ecuación (2.35). Para simplificar los cálculos, podemos emplear primero la constante A_d para la transmitancia y luego reemplazarla por (2.35) en la expresión final. Para ilustrar esta técnica determinaremos la respuesta frecuencial de un amplificador no inversor.

Ganancia × ancho de banda para el amplificador no inversor El Problema 2.49 establece que la ganancia del amplificador no inversor es

$$\frac{V_o}{V_i} = \frac{A_d}{1 + A_d R_1/(R_1 + R_2)}$$

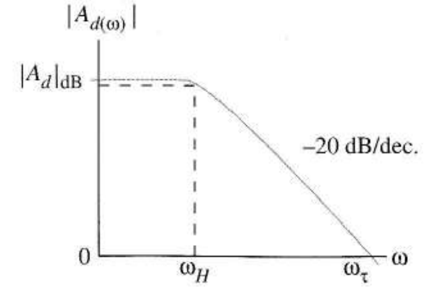


FIGURA 2.32 Respuesta en frecuencia de un operacional compensado internamente.

Para hallar la respuesta en frecuencia, reemplazamos A_d por (2.35), dando

$$\frac{V_o}{V_i} = A_{NI}(\omega) = \frac{A_d\omega_H / (j\omega + \omega_H)}{1 + \left[A_d\omega_H/(j\omega + \omega_H)\right]\left[R_1/(R_2 + R_1)\right]}$$

$$= A_d \frac{\omega_H}{j\omega + \omega_H + A_d\omega_H R_1/(R_2 + R_1)}$$

$$= A_d \frac{\omega_H}{j\omega + \omega_H\left[1 + A_d R_1/(R_2 + R_1)\right]}$$

$$= \frac{A_d}{1 + A_d R_1/(R_2 + R_1)} \frac{\omega_H\left[1 + A_d R_1/(R_2 + R_1)\right]}{j\omega + \omega_H\left[1 + A_d R_1/(R_2 + R_1)\right]}$$

La expresión final tiene la forma

$$A_{NI}(\omega) = A_v \frac{\omega_B}{j\omega + \omega_B}$$

donde

$$A_v = \frac{A_d}{1 + A_d R_1/(R_2 + R_1)}$$

es la ganancia a bajas frecuencias del circuito no inversor y

$$\omega_B = \omega_H\left[1 + A_d R_1/(R_2 + R_1)\right] \tag{2.38}$$

es el ancho de banda. Esta expresión muestra que

$$A_v\omega_B = A_d\omega_H = \omega_\tau$$

es decir, para el *amplificador no inversor*, ¡la ganancia a bajas frecuencias multiplicada por el ancho de banda iguala *exactamente* al producto ganancia-ancho de banda del *amplificador* por sí mismo! Para expresar esta conclusión en términos más familiares, supongamos A_d tan grande en la expresión de ganancia que

$$A_v \approx \frac{R_2 + R_1}{R_1}$$

Esto da

$$A_v\omega_B \approx \left(1 + \frac{R_2}{R_1}\right)\omega_B = \omega_\tau \tag{2.39}$$

Cada relación de resistencias que consideremos al elegir la ganancia corresponde a un caso particular de ancho de banda ω_B. Como el producto es invariante, menores ganancias dan mayores anchos de banda y viceversa. El caso extremo es el seguidor de emisor con ganancia unidad. En este caso, toda la ganancia se transforma en ancho de banda, dando un ancho de banda de 3 dB de ω_τ.

Ganancia × ancho de banda para amplificadores idénticos en cascada Cuando un caso particular de diseño especifica *una* ganancia y *un* ancho de banda, con una etapa única, el amplificador operacional debería tener una ω_τ igual o mayor que el producto necesario. Si el ancho de banda es suficiente, siempre podremos reducir la ganancia con un divisor de tensión.

Pero si no tenemos un operacional con la adecuada ω_τ para un determinado caso, podemos poner amplificadores en cascada. Consideremos n amplificadores idénticos en cascada, cada uno con una ganancia a bajas frecuencias de $A_L > 0$ y un ancho de banda ω_B. Como las ganancias de los amplificadores en cascada se multiplican, la ganancia total de las n etapas es

$$A_n(\omega) = \left[\frac{A_L}{1 + j(\omega/\omega_B)}\right]^n = \frac{A_L^n}{\left[1 + j(\omega/\omega_B)\right]^n}$$

Por definición, el ancho de banda a –3 dB, es aquella frecuencia, ω_{Bn}, tal que la magnitud de $|A_n(\omega)|$ sea $1/\sqrt{2}$ veces el valor a bajas frecuencias; es decir,

$$\left|A_n(\omega_{Bn})\right| = \frac{A_L^n}{\left[1 + (\omega_{Bn}/\omega_B)^2\right]^{n/2}} = \frac{A_L^n}{\sqrt{2}}$$

Igualando denominadores da

$$\omega_{Bn} = \omega_B\sqrt{2^{1/n} - 1} \tag{2.40}$$

Con lo que concluimos que el producto ganancia-ancho de banda de n etapas en cascada es

$$A_N\omega_{Bn} = A_L^n\omega_B\sqrt{2^{1/n} - 1} = A_L\omega_B\left[A_L^{n-1}\sqrt{2^{1/n} - 1}\right]$$

que es mayor que el producto $A_L\omega_B$ de una sola etapa. Para etapas en cascada, el producto ganancia-ancho de banda crece con n porque A_L^n crece más rápido con n que decrece la raíz. Podemos usar la

Ecuación (2.40) iterativamente para hacer converger un diseño que satisfaga unas especificaciones dadas tal como se ilustra en el siguiente ejemplo.

EJEMPLO 2.8 Diseñar un amplificador de audio con ganancia $A_v = 5.000$ y ancho de banda $\omega_B = 20.000$ rad/s usando un operacional 741. Véase la Ecuación (2.39).

Solución El producto ganancia-ancho de banda necesario es

$$A_v\omega_B = 5.000(20.000) = 10^8 \text{ rad/s}$$

Como el 741 tiene $\omega_\tau = 2\pi \times 10^6$, las condiciones de diseño no pueden ser satisfechas por un único amplificador no inversor. (Si no se hubiera especificado el 741 podríamos usar el HA2544 que según la Tabla 2.1 tiene $\omega_\tau = 2{,}8 \times 10^8$.)

Consideremos $n = 2$, dos amplificadores no inversores idénticos en cascada. Para lograr las especificaciones, hacemos $A_L = (5.000)^{1/2} = 70{,}7$. Según (2.39) el ancho de banda de cada etapa es

$$\omega_B = \frac{2\pi \times 10^6}{70{,}7} = 8{,}8 \times 10^4 \text{ rad/s}$$

De (2.40), el ancho de banda del amplificador de dos etapas es

$$\omega_{B2} = \left(8{,}8 \times 10^4\right)\left(2^{1/2} - 1\right)^{1/2} = 56{,}6 \times 10^3 \text{ rad/s}$$

que es más ancho de banda del necesario; pero, superar en el ancho de banda o en la ganancia los mínimos especificados suele ser aceptable.

Para conseguir exactamente las especificaciones, podríamos haber usado la Ecuación (2.40) de otra manera, con $n = 2$ y $\omega_{B2} = 20.000$ rad/s. Entonces

$$\omega_B = \frac{20.000}{\left(2^{1/2}-1\right)^{1/2}} = 31{,}1 \times 10^3 \text{ rad/s}$$

Ahora construimos dos etapas con una ganancia, cada una, de

$$A_v = \frac{\omega_\tau}{\omega_B} = \frac{2\pi \times 10^6}{31{,}1 \times 10^3} = 202$$

Como la ganancia de las etapas en cascada, de $202^2 = 4{,}08 \times 10^4$, supera el valor especificado, usaremos un divisor de tensión para reducir la ganancia a 5.000. ❑

Ganancia × ancho de banda del amplificador inversor Para el amplificador inversor, el producto ganancia-ancho de banda no es constante, así el circuito no permite transformar ganancia en ancho de banda. El Problema 2.71 da como ganancia compleja para el inversor

$$A_I(\omega) \approx \frac{(-R_2/R_1)}{1 + j(\omega/\omega_B)} \tag{2.41}$$

con ω_B dado por la Ecuación (2.38). Por ello, para este circuito

$$|\text{ganancia}| \times (\text{ancho de banda}) = \frac{R_2}{R_1}\omega_B \approx \frac{R_2}{R_1}\omega_H\left(A_d \frac{R_1}{R_2 + R_1}\right) \approx \frac{R_2}{R_2 + R_1}\omega_\tau \tag{2.42}$$

una función de los valores de la resistencia y, por ello, de la ganancia. Como el producto ganancia-ancho de banda cambia con R_2 / R_1, el amplificador inversor no nos permite traducir directamente la ganancia por ancho de banda como pasa con el circuito no inversor. Más aún, el *producto ganancia-*

ancho de banda de un amplificador inversor es siempre menor que ω_τ. Por ejemplo, cuando $R_2 / R_1 = 1$ para un inversor de ganancia unidad, el producto es $\omega_\tau/2$, sólo la mitad del ancho de banda del circuito seguidor de emisor.

Ejercicio 2.8 Hallar el ancho de banda de un amplificador inversor de ganancia –5 con el HA2544.

Respuesta 7,5 MHz.

Los estudios de los anchos de banda de los amplificadores inversores y no inversores se han limitado tácitamente a los operacionales *internamente compensados*, un caso sencillo pero importante descrito por la Ecuación (2.35). Estudiaremos conceptos sobre la respuesta frecuencial mucho más generales en los Capítulos 8 y 9.

El efecto de las limitaciones de frecuencia de los operacionales sobre otros circuitos, los filtros por ejemplo, pueden ser difíciles de analizar. Para todos los circuitos, se puede hacer una aproximación bastante efectiva que es resolver el diseño inicial usando las ecuaciones de ganancia infinita y después continuar con simulaciones por computador que incluyan las limitaciones en frecuencia de los operacionales. Describiremos seguidamente un modelo de SPICE sencillo que es muy útil para este fin.

2.5.13 MODELO DINÁMICO LINEAL PARA EL OPERACIONAL EN SPICE

La Figura 2.33a describe un modelo dinámico lineal para el operacional en SPICE. El circuito interno *RC* - VCVS da la función de respuesta frecuencial de (2.35). Los valores para *R* y *C* deben satisfacer

$$\frac{1}{RC} = \omega_H = \frac{\omega_\tau}{A_d}$$

Una segunda VCVS con transmitancia unidad asegura que los componentes conectados al pin de salida no afecten a la respuesta frecuencial del operacional: las resistencias R_i y R_O proporcionan los efectos realistas de las cargas tanto a la entrada como a la salida. El siguiente ejemplo indica por qué el diseñador debe ser consciente de la respuesta en frecuencia del operacional cuando él o ella trabaja con ecuaciones basadas en operacionales ideales

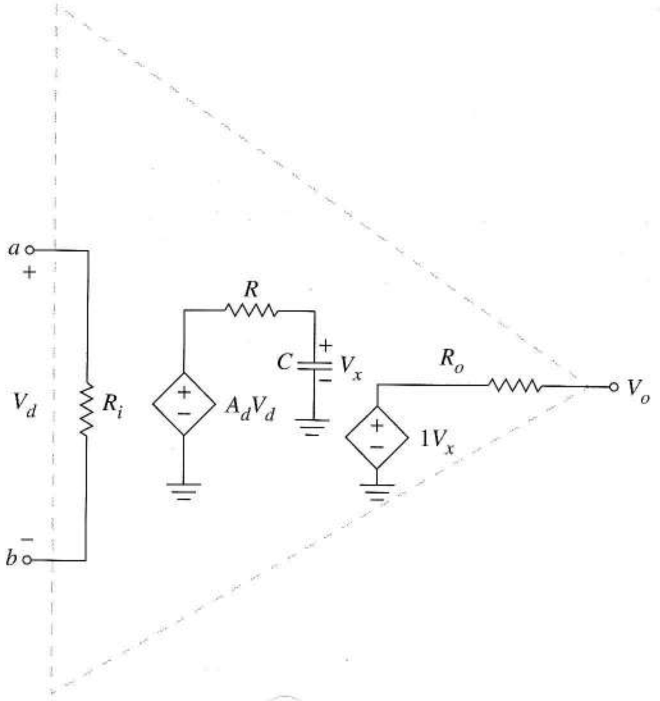
EJEMPLO 2.9 a) Diseñar un filtro de paso bajo de primer orden con ganancia a baja frecuencia de –10 y una frecuencia de corte de 1 kHz. Después rediséñese para una frecuencia de corte de 50 kHz. Suponer el operacional ideal en ambos diseños.

b) Comprobar con SPICE ambos diseños usando un operacional no ideal descrito por

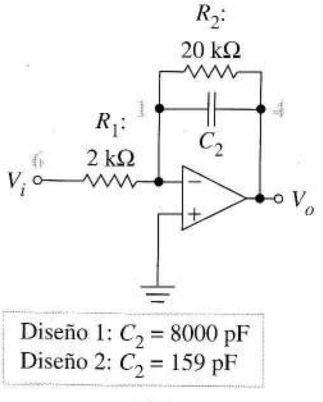
$$\text{ganancia en lazo abierto} = 10^4$$
$$R_i = 50\ \text{k}\Omega$$
$$R_o = 200\ \Omega$$
$$\omega_\tau = 2\pi \times 10^5\ \text{rad/s}$$

Solución a) La Ecuación (2.24), con $\omega_H = 1 / R_2C_2$ describe el filtro de la Figura 2.14a. Elegimos arbitrariamente $R_1 = 2\ \text{k}\Omega$ y $R_2 = 20\ \text{k}\Omega$ para satisfacer la ganancia. Para una frecuencia de corte de 1 kHz necesitamos

$$\frac{1}{R_2C_2} = \omega_H = 2\pi \times 10^3\ \text{rad/s}$$



(a)



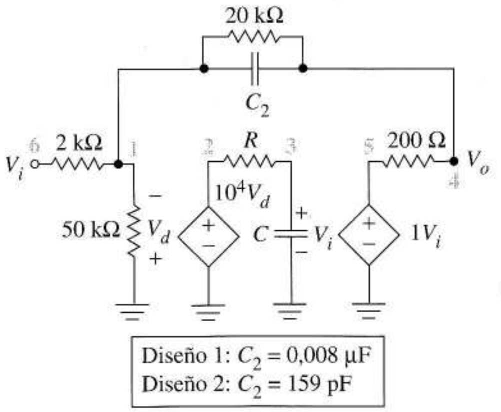
(b)

FIGURA 2.33 Uso del modelo dinámico del operacional: (a) modelo incluyendo los efectos de una respuesta en frecuencia de primer orden; (b) esquema del filtro; (c) circuito equivalente del filtro incluyendo el modelo del operacional; (d) código SPICE; (e) resultados de la simulación del Ejemplo 2.9.

así, C_2 = 8.000 pF. Como la frecuencia de corte para el segundo diseño es 50 veces mayor

$$C_2 = \frac{8.000\text{pF}}{50} = 159 \text{ pF}$$

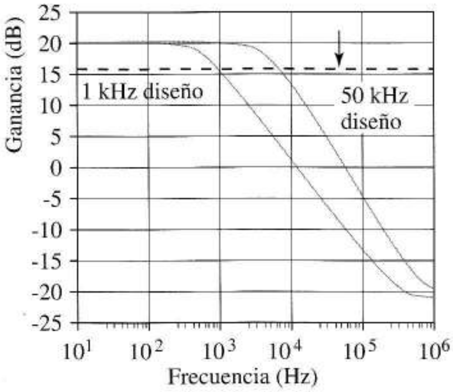
para el segundo diseño que muestra la Figura 2.33b.



(c)

```
EXAMPLE 2.9
VI 6 0 AC 1
R1 6 1 2K
R2 1 4 20K
C2 1 4 8000P
*C2 1 4 159P
**** OP AMP ****
RIN 1 0 50K
ROUT 5 4 200
E1 2 0 0 1 1E4
E2 5 0 3 0 1
R 2 3 1
C 3 0 0.0159
**** OP AMP ****
.AC DEC 20 10 1000.E3
.PRINT AC VDB(4)
.END
```

(d)



(e)

FIGURA 2.33 (Continuación.)

b) Para predecir la respuesta del filtro para un operacional con las especificaciones dadas, reemplazamos el modelo del operacional por el modelo de la Figura 2.32a y obtendremos la Figura 2.33c. Para que el operacional tenga el ancho de banda correcto necesitamos

$$\frac{1}{RC} = \frac{\omega_\tau}{A_d} = \frac{2\pi 10^5}{10^4}$$

Tras una elección arbitraria $R = 1\ \Omega$, esta ecuación da

$$C = \frac{10^4}{2\pi \times 10^5} = 0{,}0159 \text{ F}$$

La Figura 2.33d proporciona el código SPICE con la descripción del operacional entre comentarios. Adviértase que el segundo valor del condensador de filtro C_2 está incluido, pero como comentario. Después de esta primera ejecución de SPICE, suprimimos el asterisco de la primera linea de C_2, lo ponemos en la segunda

y ejecutamos la simulación por segunda vez para el otro caso del filtro. Con esta estrategia podemos cambiar un parámetro del circuito mientras mantenemos la información original para posterior documentación.

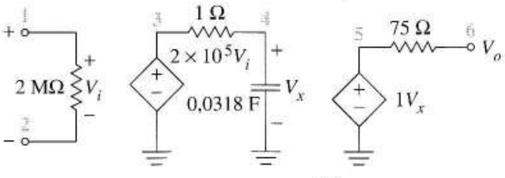
La Figura 2.33d muestra los resultados de los cálculos de SPICE para los dos diseños. El de 1 kHz alcanza las especificaciones pero, debido al límite en la respuesta frecuencial del operacional, la frecuencia de corte del segundo filtro es de sólo 7,28 kHz en lugar de los 50 kHz señalados por la flecha. Esto confirma las sospechas de que las ecuaciones como la (2.29), que supone ganancia infinita a todas las frecuencias, pierde validez a altas frecuencias cuando las limitaciones dinámicas de los operacionales son importantes.

Las simulaciones también desvelan algo más útil, las características del mundo real de los circuitos con operacionales. Se puede advertir que a más de 1 kHz la curva del filtro toca fondo a –20 dB en lugar de continuar cayendo como predecía (2.24). A frecuencias tan altas que la ganancia del operacional es despreciable, el filtro activo degenera en un circuito *RC* pasivo donde el operacional sólo contribuye con sus resistencias de entrada y salida. En la Figura 2.33c, como los dos condensadores se convierten en cortocircuitos, el circuito degenera en un divisor de tensión

$$\frac{V_o}{V_i} = \frac{200 \parallel 50\text{k}}{200 \parallel 50\text{k} + 2\text{k}} \approx \frac{200}{2.000} = -20 \text{ dB}$$

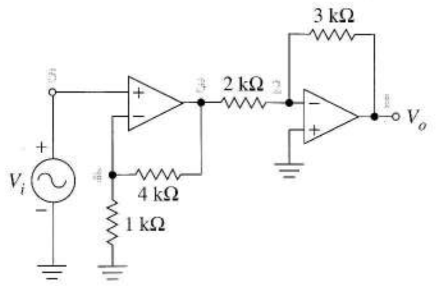
Se insta al lector a extender otra década la respuesta para verificar que el filtro de 50 kHz también toca fondo a –20 dB. ❑

Subcircuito SPICE para operacionales Con SPICE podemos definir cualquier *subcircuito* con un simple bloque de código y después referirse a él para cada aparición del subcircuito. Los subcircuitos reducen la cantidad de código que debemos escribir, organiza la simulación minimizando errores y nos permite cambiar parámetros del subcircuito para todos los casos cambiando sólo el código del subcircuito. Los subcircuitos son útiles para simular circuitos con varios operacionales.




```
.SUBCKT OPAMP 1 2 6
RIN 1 2 2MEG
ROUT 5 6 75
E1 3 0 1 2 2E5
R 3 4 1
C 4 0 0.0318
E2 5 0 4 0 1
.ENDS
```

(a)




```
AMPLIFIER
.SUBCKT OPAMP 1 2 6
RIN 1 2 2MEG
ROUT 5 6 75
E1 3 0 1 2 2E5
R 3 4 1
C 4 0 0.0318
E2 5 0 4 0 1
.ENDS
VI 5 0 AC 1
X1 5 4 3 OPAMP
R1 3 4 4K
R2 4 0 1K
R3 3 2 2K
R4 2 1 3K
X2 0 2 1 OPAMP
.AC DEC 20 10 1E6
.PRINT AC VDB (1)
.END
```

(b)

FIGURA 2.34 Subcircuito de un operacional: (a) definición del subcircuito para el 741; (b) código SPICE para un circuito con dos operacionales.

La Figura 2.34a da la descripción de un subcircuito para el 741 (Tabla 2.1). Las primeras líneas del subcircuito indican que la comunicación con el *exterior* es a través de nodos ordenados 1, 2 y 6. El detalle del código indica que estos *nodos externos* son, respectivamente, entradas no inversora, inversora y salida. La sentencia .ENDS indica el final de la descripción del subcircuito.

La Figura 2.34b muestra cómo hallar la respuesta en frecuencia de un amplificador de dos etapas usando subcircuitos 741. El código SPICE hace referencia a cada 741 como una sentencia para un elemento individual. Identificamos cada subcircuito por un nombre que comience por X, con una lista de sus nodos y con el nombre de referencia del subcircuito. La numeración interna de los nodos de un subcircuito es independiente de la numeración externa en la simulación SPICE. (Nótese, la repetición de los números 1-5 para los nodos en este ejemplo.) Daremos la descripción del subcircuito sólo una vez sin problema de cuantas veces aparezca el operacional en el circuito y la deficición del subcircuito puede darse en cualquier lugar en el código del circuito.

Ejercicio 2.9 Empleando SPICE, determinar cómo cambia la respuesta en frecuencia del derivador de la Figura 2.18c cuando cambiamos el operacional ideal por el subcircuito del 741 de la Figura 2.34a. Con esta respuesta en frecuencia, determinar el límite superior de las frecuencias de entrada a que se podría usar este derivador.

Respuesta Figura 2.35, aproximadamente 10 kHz.

Las simulaciones en computador conducen frecuentemente a investigaciones teóricas que mejoran el conocimiento de un circuito. La explicación de la asíntota de –20 dB en el Ejemplo 2.9 fue un ejemplo. Otro es el Problema 2.73 que indica cómo desarrollar la teoría del derivador para explicar la Figura 2.35.

2.5.14 CAPACIDAD DE CAMBIO DE LA SALIDA[4] (SLEW-RATE)

Normalmente, las limitaciones dinámicas de los operacionales quedan impuestas por un efecto de segundo orden denominado "*capacidad de cambio de salida* (*slew-rate*)" cuando produce transiciones de tensión rápidas. En contraste con el ancho de banda finito, una limitación dinámica lineal, la capacidad de cambio es una limitación dinámica de tipo no lineal.

Desde el punto de vista de la teoría lineal, el seguidor de emisor de la Figura 2.36 es un circuito de primer orden con ω_τ como ancho de banda. Así cuando aplicamos un pulso suficientemente pequeño para que no se sature el operacional, esperamos que $v_o(t)$ crezca exponencialmente con constante de tiempo $1/\omega_\tau$ y que, al final del pulso, decrezca exponencialmente hasta cero como en la Figura 2.36b. Cuando analizamos esta hipótesis más detenidamente, la posibilidad de fallo es evidente. Como la capacidad interna del operacional necesita que $v_o(0^+) = 0$ en $t = 0^+$, hay $v_d = V_F$ voltios entre los pines de entrada en el flanco de subida del pulso e igual en el flanco de bajada. Pero si $v_d = V_F$ supera los pocos microvoltios que permiten la elevada ganancia de la Figura 2.22, los transistores internos del operacional pasan a un comportamiento no lineal mientras la señal de entrada no se haga más razonable. (Discutiremos estos detalles internos en el Capítulo 9.) La manifestación externa de estas no linealidades es que la tensión de salida del operacional sube y baja, no exponencialmente sino linealmente a una velocidad fija como en la

[4] N. del T.: La capacidad de cambio de la tensión de salida de un operacional es generalmente conocida con el término anglosajón "slewing" y se mide con el parámetro *slew-rate*.

Figura 2.36c. Esta *velocidad de cambio*, *sr*, está determinada por la estructura interna del operacional. La prueba del pulso de la Figura 2.36 es una forma adecuada de medir un valor desconocido de *slew-rate*.

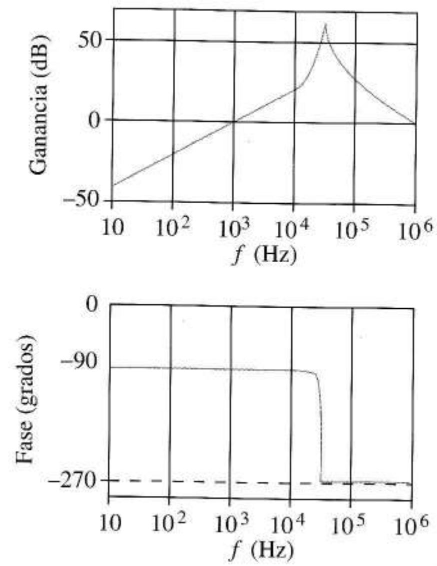


FIGURA 2.35 Curvas de amplitud y fase del derivador.

La consecuencia práctica es que cuando la teoría lineal predice una velocidad de cambio para v_o que supera *sr*, la tensión de salida cambia a la velocidad del *slew-rate*. Como la derivada de la exponencial en los instantes de conmutación es $V_F\,\omega_\tau$voltios por segundo, el seguidor de emisor crece linealmente para cualquier pulso tal que $V_F > sr/\omega_\tau$. En la Tabla 2.1, por ejemplo, vemos que el 741 hace crecer linealmente su salida para $V_F > 0{,}08$ V y el 2544, para $V_F > 0{,}5$ V. Los generadores de onda cuadrada, sistemas de muestreo y retención y filtros de capacidades conmutadas son ejemplos de circuitos cuyo funcionamiento queda limitado por el *slew-rate*.

El *slew-rate* puede limitar, también, a circuitos que trabajen con formas de onda suaves, como senoides. Supongamos, por ejemplo, que el circuito es tal que produce la forma de onda $v_o(t) = V_M\,\mathrm{sen}\omega_\tau$. Como la máxima velocidad de cambio de esta senoide es ωV_M, el operacional es capaz de producir esta forma de onda solo si $sr > \omega V_M$. Si el producto de la tensión por la frecuencia supera el *slew-rate*, la forma de onda de salida queda distorsionada pareciéndose más a una onda triangular que a una senoide.

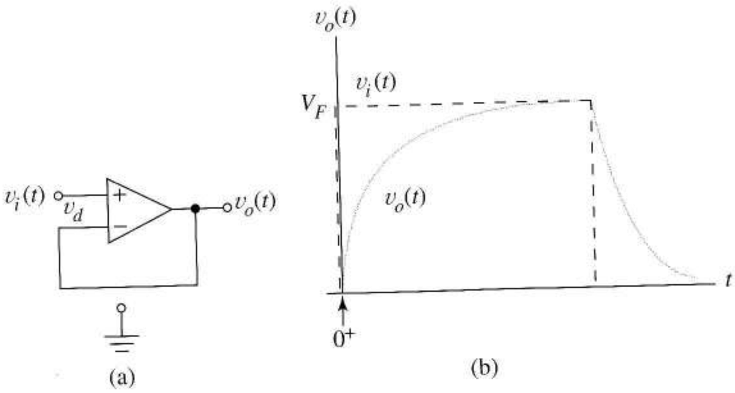
Las hojas de datos de operacionales especifican a menudo el *ancho de banda de potencia*, ω_P, definido por

$$\omega_P = \frac{sr}{V_M} \ \text{rad/s}$$

donde *sr* es el *slew-rate* y V_M es la máxima tensión que el operacional puede proporcionar en su salida, es decir, su límite de saturación. El operacional puede desarrollar esta senoide con la máxima potencia, de amplitud V_M a todas las frecuencias menores de ω_P *sin distorsión.*

Ejercicio 2.10 Hallar el ancho de banda de potencia en kHz para el 741 y el 2544 de la Tabla 2.1 suponiendo una alimentación de 15 V.

Respuesta 5,68 kHz y 2,17 MHz.



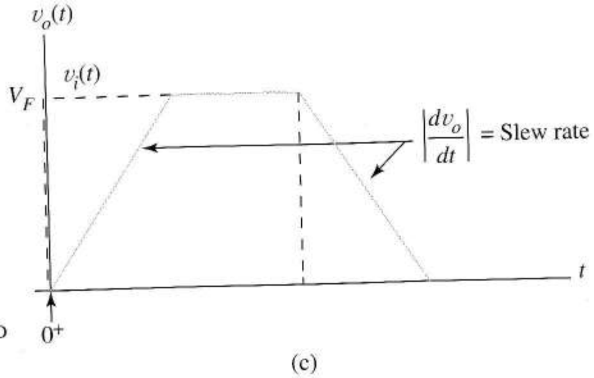


FIGURA 2.36 Comparación de las resistencias dinámicas lineales y no lineales: (a) seguidor de emisor; (b) formas de onda predichas por la teoría lineal; (c) formas de onda de un operacional dominado por el *slew-rate*.

El siguiente ejemplo demuestra cómo incorporar ciertos efectos de segundo orden en problemas prácticos de diseño.

EJEMPLO 2.10 La Figura 2.37a muestra el circuito de muestreo y retención de la Figura 2.2.7 con las corrientes de polarización del segundo operacional indicadas explícitamente. En la Figura 2.37b aparecen los tiempos de conmutación. El interruptor debe estar cerrado hasta que C pueda cargarse completamente, aunque el operacional cambie linealmente. El intervalo entre los cierres del interruptor $T-\tau$ debe ser lo suficientemente corto como para que las corrientes de polarización del segundo operacional no reduzcan apreciablemente la tensión almacenada.

Supóngase que el *slew-rate* del operacional es 5 V/μs y que v_s está limitada por

$$0 \le v_s \le 10\text{V}$$

a) Hallar el mínimo tiempo de cierre tal que C se cargue completamente para el peor caso de la tensión de entrada.

b) Hallar el valor de C tal que la corriente de carga máxima del condensador sea sólo tres cuartos de los 25 mA de la corriente de cortocircuito del operacional.

c) Si la corriente de polarización de 0,2μA, hallar el mínimo T tal que la tensión del condensador decaiga no más de 10 mV antes de que el interruptor se cierre de nuevo. Usar la capacidad hallada en el apartado b).

Solución a) El peor caso es cuando $v_s = 10$ V después de que el condensador se haya cargado a 0 V, es decir, durante un flanco de la señal. La tensión cambia 10 V, luego se necesita

$$\tau = \frac{10}{sr} = \frac{10}{5 \times 10^6} = 2\mu\text{s}$$

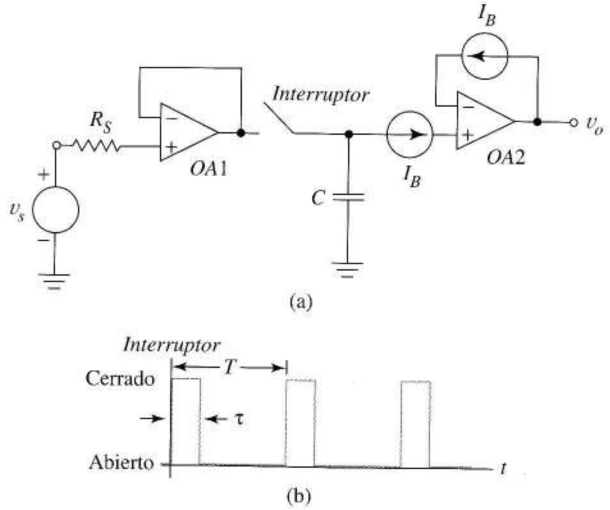


FIGURA 2.37 (a) Circuito de muestreo y retención; (b) tiempos de conmutación.

b) La máxima velocidad de carga es $sr = 5 \times 10^6$ V/s. Como la máxima corriente permitida por el circuito es $0{,}75 \times 25\text{mA} = 18{,}8$ mA

$$18{,}8 \times 10^{-3} \geq C\frac{dv}{dt} = C\,sr$$

luego C ≤ 3.760 pF

c) Con el *interruptor* abierto, el condensador se descarga a la velocidad

$$\frac{dv}{dt} = \frac{I_B}{C} = \frac{0{,}2 \times 10^{-6}}{3760 \times 10^{-12}} = 532\,\text{V/s}$$

Entonces

$$T - \tau = \frac{10\text{ mV}}{53{,}2\text{ V/s}} = 188\mu s$$

y T < 190 µs es el valor necesario. ❑

2.6 CIRCUITOS SIN REALIMENTACIÓN NEGATIVA

Los circuitos de este apartado difieren de los anteriores en que o no tienen señal de realimentación o si la tienen, la *positiva* es mayor que la negativa. En estos circuitos, el operacional se adapta mejor a un dispositivo con dos estados definidos por la Figura 2.24. Su principal aplicación es el procesado de señal no lineal.

2.6.1 CIRCUITO COMPARADOR BÁSICO

El circuito *comparador* de la Figura 2.38a compara continuamente la señal $v_i(t)$ con la tensión de referencia V_r y produce una salida binaria, un valor para $v_i > V_r$ y otra para $v_i < V_r$.

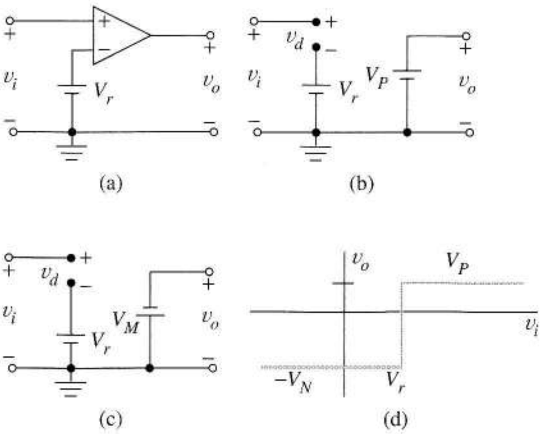


FIGURA 2.38 Comparador con un operacional elemental: (a) circuito; (b) modelo para $V_i > V_r$; (c) modelo para $V_i < V_r$; (d) función de transferencia.

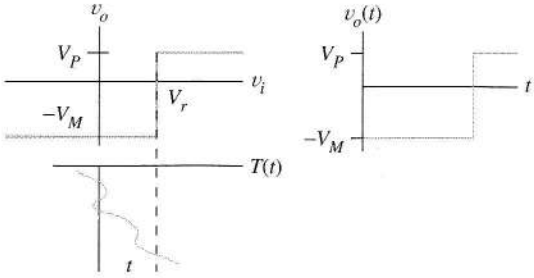


FIGURA 2.39 Comparador empleado como sistema de alarma de temperatura.

Como no hay realimentación negativa, el funcionamiento del operacional *no* queda confinado a la parte abrupta de la curva de la ganancia de la Figura 2.22. Debido a que

$$v_d = v_i - V_r,$$

cuando $v_i > V_r$, el circuito es equivalente a la Figura 2.38b; cuando $v_i < V_r$ el equivalente es la Figura 2.38c. Estas desigualdades definen la función de transferencia (Figura 2.38d).

El comparador extrae información binaria de una entrada analógica. La Figura 2.39 sugiere una de las muchas aplicaciones. La tensión de entrada v_i representa la temperatura T. Mientras la temperatura se mantenga por debajo del nivel definido por V_r, la salida permanece a $-V_M$. Si la temperatura fuera demasiado alta, la salida del comparador conmutaría a V_P, cambio que podemos usar para activar una alarma. Como V_r puede ser positiva, negativa o nula, el comparador es un bloque constructivo muy versátil. En estas aplicaciones, el *slew-rate* es importante para garantizar transiciones rápidas. Más adelante, iremos encontrando aplicaciones para el comparador como los convertidores analógico-digital, temporizadores y generadores de forma de onda.

2.6.2 CIRCUITO SCHMITT-TRIGGER

El circuito final de esta sección, el Schmitt-trigger de la Figura 2.40a, es un ejemplo de *biestable*, un circuito con dos estados estables. (En el Capítulo 14 hablaremos de varios circuitos relacionados con

éste.) La primera versión con tubos de vacío fue descrito por el ingeniero biomédico Otto Schmitt en 1938 y a él debe su nombre. (Este trabajo está incluido en las referencias al final del capítulo.) El Schmitt-trigger se diferencia de la estructura similar del amplificador inversor en que R_2 realimenta la información de salida a la entrada *no inversora* del operacional, nuestro primer ejemplo de realimentación más positiva que negativa.

Para hallar la función de transferencia, supongamos, para empezar, que v_i toma un valor muy negativo. Después asumamos como hipótesis que la entrada al operacional, v_d, es también negativa, provocando que la salida se vaya a saturación negativa. Después, redibujamos el circuito, cambiando el operacional por el modelo de la Figura 2.24c para dar la Figura 2.40b. Para comprobar la hipótesis, calculamos ahora v_d. Por superposición

$$v_d = \frac{R_2}{R_2 + R_1} v_i + \frac{R_1}{R_1 + R_2}(-V_M) \tag{2.43}$$

Como v_d es negativa para cualquier valor negativo de v_i, nuestra hipótesis fue correcta. De hecho, (2.43) indica que v_i debe ser positiva para *invalidar* el modelo. Para hallar este valor crítico de v_i, hacemos v_d cero en la Ecuación (2.43) y despejamos v_i. El resultado es

$$v_i = \left(\frac{R_1}{R_2}\right) V_M = v^+ \tag{2.44}$$

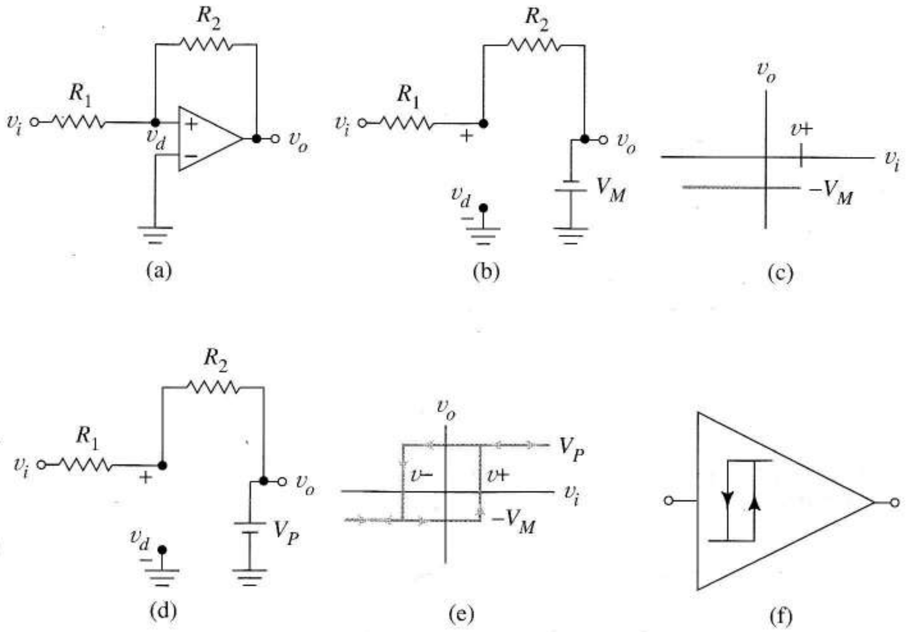


FIGURA 2.40 (a) Circuito Schmitt-trigger; (b) modelo del Schmitt-trigger para v_i muy negativa; (c) segmento inicial de la función de transferencia; (d) modelo después de que v_i supera el umbral de conmutación; (e) función de transferencia completa; (f) símbolo especial para el Schmitt-trigger.

Hemos encontrado hasta dónde llega la forma de la función de transferencia de la Figura 2.40c

Una vez que v_i supere v^+, el *operacional cambia de estado*, lo que significa que el modelo cambia al de la Figura 2.40d. En la función de transferencia hay una discontinuidad y v_o cambia a la saturación positiva. Por superposición

$$v_d = \frac{R_2}{R_2 + R_1} v_i + \frac{R_1}{R_1 + R_2} V_P \tag{2.45}$$

que verifica que el modelo actual es correcto para cualquier v_i positivo; esto también indica algo curioso: de acuerdo con (2.45), v_i deberia tomar ahora un valor *negativo* antes de que el signo de v_d, y por ello el estado de la salida, cambie de nuevo. Haciendo v_d cero en la Ecuación (2.45) y despejando v_i da

$$v_i = -\left(\frac{R_1}{R_2}\right)V_P = v^- \tag{2.46}$$

La Figura 2.40e superpone este resultado con la Figura 2.40c. Para el Schmitt-trigger, v_o no es una función de v_i como en la mayoría de los casos porque toma dos valores.

Las flechas indican el camino del par (v_o , v_i) durante una prueba en la que v_i varia de muy negativo a muy positivo y regresa. En cierto sentido, el circuito *recuerda* su estado previo. Por ejemplo, con $v_i = 0$, si v_i *ha sido recientemente* más positiva que v^+, la salida es V_P y si *ha sido* más negativa que v^-, la salida sera $-V_M$. Este efecto de memoria indicado por las curvas como la de la Figura 2.40e se denomina *histéresis.* (Un ejemplo más prosaico de histéresis es la curva densidad de flujo magnético-fuerza magnetomotriz para materiales ferromagnéticos). El Schimtt-trigger, llamado *comparador con histéresis* es un subcircuito usado frecuentemente y que tiene su propia representación esquemática (Figura 2.40f). La Figura 2.41 da una aplicación del Schimtt-trigger. La entrada es una señal digital binaria dañada por un ruido adicional de elevado valor. Usando las Ecuaciones (2.44) y (2.46), el diseñador ha fijado v^+ y v^- al peor caso de los niveles de ruido. De (2.44) y (2.46), el ancho de la región de histéresis es

$$v^+ - v^- = \frac{R_1}{R_2}\left(V_M + V_P\right) = H \tag{2.47}$$

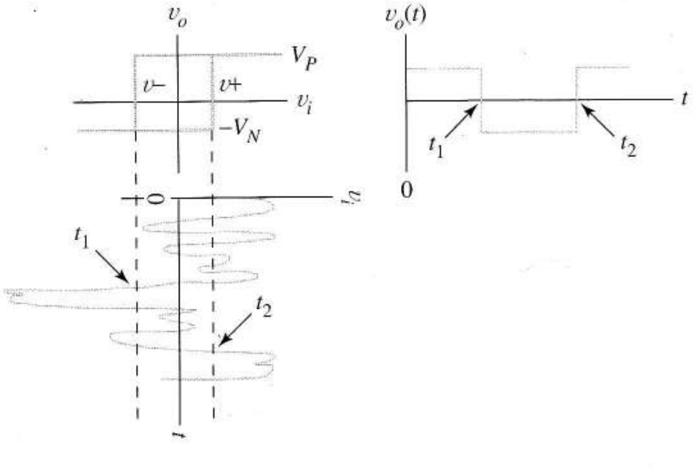


FIGURA 2.41 Empleo de un Schmitt-trigger para eliminar ruido de una señal digital.

El diseñador usará los parámetros R_1 y R_2 para definir el ancho H de la región de histéresis. Las flechas muestran los tiempos t_1 y t_2 cuando la entrada cruza el umbral y provoca el cambio al otro nivel. El circuito da una señal binaria *limpia* que podemos ver proyectado los valores instantáneos sobre la curva de histéresis. Adviértase que, debido a la histéresis, la señal más el ruido para un valor digital positivo puede ser más negativo que la señal más el ruido para la señal digital negativa.

Añadiendo una referencia positiva V_R entre la entrada inversora y masa de la Figura 2.40a el diseñador puede trasladar la función de transferencia de la Figura 2.40e hacia la derecha por

$$\frac{R_1 + R_2}{R_2}V_R$$

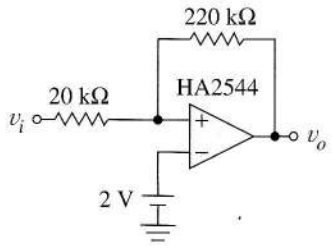


FIGURA 2.42 Schmitt-trigger diseñado en el Ejemplo 2.11.

mientras que la histéresis permanece inamovible. Una tensión de referencia negativa desplaza la curva a la izquierda. Debido a la realimentación positiva, el Schmitt-trigger cambia de estado muy rápido, haciéndolo muy útil para *interfaces* entre señales analógicas lentas y circuitos digitales de alta velocidad. Estos últimos funcionan mal en ocasiones, cuando las transiciones de la señal de entrada son demasiado lentas.

EJEMPLO 2.11 Diseñar un circuito Schmitt-trigger con una histéresis de 2 V, centrado en v_i = +2,18 V, empleando el HA25554 de la Tabla 2.1

Solución Para H = 2 V, (2.47) necesita

$$\frac{R_1}{R_2}(11+11) = 2$$

Podemos satisfacerlo empleando R_1 = 20 kΩ y R_2 = 220 kΩ. El centrado significa V_R = 2 V y la Figura 2.42 es el diseño final. ❏

Ejercicio 2.11 ¿Cuál es el peor caso de la tolerancia del ±5% de las resistencias en el ancho de la histéresis del ejemplo 2.11?

Respuesta 2,21 V ≥ H ≥ 1,81

2.7 SUMARIO

Este capítulo describe muchos circuitos útiles que usan el amplificador operacional como dispositivo activo. Cada circuito realiza una función importante de procesado de señal y podemos combinarlos fácilmente en sistemas de procesamiento complejos despreciando las resistencias de salida.

La mayoría de los circuitos usan realimentación negativa para hacer la función más o menos independiente de los parámetros del operacional. Los circuitos más importantes con realimentación negativa son amplificadores inversores y no inversores, sumadores, amplificadores diferenciales y fuentes de corriente, circuitos que no dependen de elementos almacenadores de energía para realizar su función. Los circuitos con memoria como integradores, derivadores y filtros también usan realimentación negativa. Podemos obtener los principios básicos de funcionamiento de los circuitos con operacionales realimentados, tanto familiares como no familiares, usando la aproximación de ganancia infinita. Esto nos obliga a suponer que las corrientes y la tensión de entrada al operacional son simultáneamente nulas. Como los circuitos que usan operacionales realimentados son muy numerosos, es imprescindible dominar el análisis de ganancia infinita para que podamos aplicarlo a cualquier problema que podamos encontrar.

Los amplificadores operacionales tienen un cierto número de efectos internos de segundo orden que suponen desviaciones del funcionamiento ideal. Son importantes porque determinan los límites prácticos de trabajo de los circuitos con operacionales y, por ello, nos imponen restricciones cuando diseñamos circuitos. Las hojas de datos de los operacionales dan datos numéricos para describir los efectos de segundo orden. Los efectos estáticos son la ganancia finita, resistencias de entrada finita, resistencia de salida no nula, corrientes de polarización, corriente y tensión de desviación y límite en la tensión de salida. Los efectos dinámicos de segundo orden son el ancho de banda finito, el cambio de fase y el *slew-rate*. Para incluir estos efectos en nuestro análisis añadimos componentes al modelo básico VCVS del operacional. Como el modelo es más real, se convierte en mas complicado y las simulaciones en SPICE juegan un papel creciente en el desarrollo y soporte de la intuición.

Los circuitos que no tienen realimentación negativa emplean los operacionales como comparadores —no amplificadores— y no se aplica el análisis de ganancia infinita. Cuando la tensión de entrada es positiva, la salida es un valor de continua, el valor de saturación a positivo y cuando la entrada es negativa, la salida es la saturación negativa. Para este funcionamiento diremos que el operacional trabaja en *lazo abierto* (aunque el circuito pueda emplear un lazo de realimentación positiva). Varios tipos de comparadores, incluyendo el Schmitt-trigger y los osciladores de relajación emplean el operacional en lazo abierto. En el siguiente capítulo se dan algunos otros circuitos no lineales para conformado de ondas que empleen operacionales en lazo abierto

REFERENCIAS

1. CHUA, L.O. *Introduction to Nonlinear Network Theory*, McGraw-Hill, New York, 1969, p. 153.
2. JUNG, W.G. ic *Op Amp Cookbook*, Howard Sams, Indianapolis, 1974.
3. MAURO, R. *Engineering Electronics*, Prentice Hall, Englewood Cliffs, NJ, 1989.
4. MITRA, S.K. *Analysis and Synthesis of Linear Active Networks*, John Wiley, New York, 1969.
5. SEDRA, A., y K. SMITH. *Microelectronic Circuits*, 3rd Ed. Saunders College Publishing, Philadelphia, 1993.
6. SCHMITT, O.H. "A thermionic trigger," *J. Sci. Instrum.*, Vol. 15, nº. 1, Enero 1938, pp. 24-26.
7. TUINENGA, P. SPICE. *A Guide to Circuit Simulation & Analysis Using PSPICE*, Prentice Hall, Englewood Cliffs NJ, 1988.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON PSPICE *No maneje los listados de salida de SPICE*. En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Secciones 2.2.1 - 2.2.4

2.1 Diseñar un amplificador inversor con ganancia de tensión de –20 y R_i = 1,5 kΩ.

2.2 Diseñar un amplificador inversor con ganancia de –30. La corriente de salida del operacional debe ser 0,5 mA cuando v_o = –2V.

2.3 Para medir la ganancia diferencial de un amplificador diferencial en el laboratorio necesitamos una señal diferencial pura como la de la Figura 1.24b. Todo lo que esta disponible es un generador de senoidales v_s. Diseñar un cir-

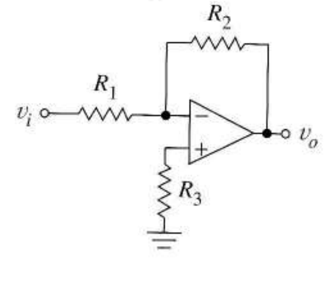


FIGURA P2.5

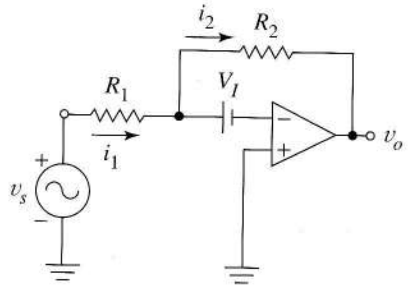


FIGURA P2.7

cuito operacional que dé la señal que falta, con la fase invertida y dibuje el circuito de la fuente resultante. Exprese v_d en función de v_s para el circuito.

2.4 Partiendo de (2.6), halle la expresión para $A_v \pm \Delta A_v$ cambiando R_2 por $R_2 \pm \Delta R_2$ y R_1 por $R_1 \pm \Delta R_1$. Muestre que para variaciones iguales del cociente $\Delta R/R$, las variaciones de $\Delta A_v/A_v \approx 2(\Delta R/R)$.

Sugerencia Factorice y después desprecie los términos pequeños.

2.5 Usar la aproximación de ganancia infinita para hallar v_o / v_i del circuito de la Figura P2.5.

Sugerencia Comience con la corriente en R_3.

2.6 La Figura P2.6 muestra un amplificador inversor diseñado para una ganancia de –4. Está conectado a una fuente de $R_s = 5$ kΩ y a una carga de $R_L = 5$ kΩ.

a) Halle la tensión de entrada en función de v_s.

Sugerencia Carga de entrada.

b) Halle v_o en función de v_s.

c) Halle i_L en función de v_s.

2.7 En la Figura P2.7, V_I es una tensión continua. El operacional tiene ganancia infinita.

a) Exprese i_1 como función de v_s y V_I.

b) Exprese i_2 como función de v_s y V_I.

c) Exprese v_o como función de v_s y V_I.

2.8 Dibuje las curvas *vi* de entrada y salida del amplificador inversor de la Figura P2.8. Etiquete cada curva con la información cuantitativa adecuada.

2.9 Demuestre que en el convertidor tensión-corriente de la Figura 2.5 Z_L ve infinita resistencia de salida.

Sugerencia Aplique la definición de la Figura 1.34b, después reemplace Z_L por una tensión de test y desconecte la fuente de entrada v_i.

2.10 La Figura P2.10a da el símbolo de un fototransistor y la Figura P2.10b sus características de salida. Este dispositivo convierte la intensidad luminosa I, en W/m^2 en una corriente de salida i_s.

a) Diseñar un convertidor corriente-tensión para procesar la salida del fototransistor. El circuito debe proporcionar tensiones de salida entre 0 y +10 V para intensidad luminosa entre 0 y 400 W/m^2, respectivamente. Como la tensión de salida debe ser positiva puede ser necesario un circuito con dos operacionales. Dibuje un circuito para este sistema usando una fuente dependiente controlada por luz para representar el fototransistor.

b) Las características reales del fototransistor tienen pendiente no nula. Redibuje el circuito del apartado (a) con el fototransistor reemplazado por un modelo más adecuado si las curvas dejan el eje de corrientes con una pendiente de 1/40 mA por voltio. ¿Cómo cambia la tensión de salida del

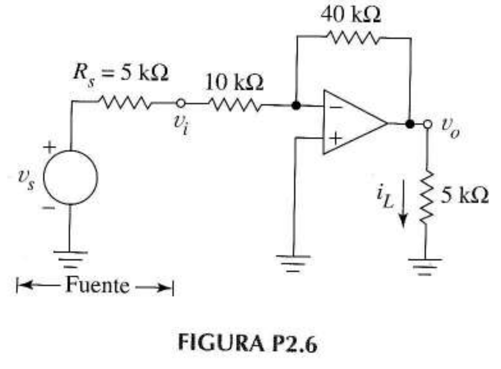


FIGURA P2.6

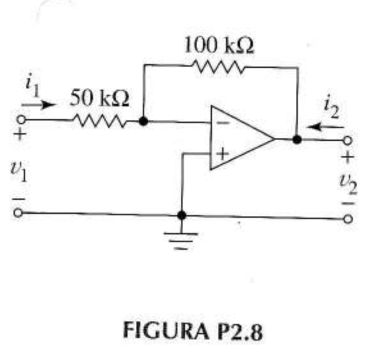


FIGURA P2.8

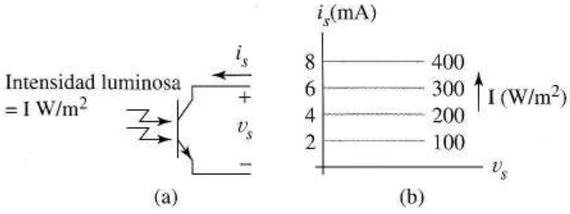


FIGURA P2.10

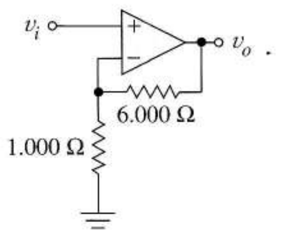


FIGURA P2.14

circuito I/V si se usa el transistor *real* en lugar del ideal? Explíquelo.

2.11 Se disponen de fuentes de tensión que producen 0,2 sen 20t y 9 V de continua. Se necesitan dos *circuitos de acondicionamiento* para tomar las tensiones disponibles como entradas y producir salidas de

a) $v_o(t) = -4 - 4$ sen 20t.

b) $v_o(t) = -4 + 4$ sen 20t.

Dibuje los esquemas de los dos circuitos indicando los valores de los componentes. Si es necesario, se puede usar más de un operacional para cada circuito.

2.12 En P2.12 halle v_o / i_s para

a) $R_i = 20$ kΩ.

b) $R_i = 0$.

Secciones 2.2.5 - 2.2.7

2.13 Diseñe un amplificador no inversor con ganancia de 20. La corriente de salida máxima del operacional de 0,5 mA sucederá para una máxima tensión de salida de 8 V.

2.14 Halle los valores máximo y mínimo de la ganancia de tensión para el circuito de la Figura P2.14 si se usan resistencias del 5%.

2.15 Reemplace el amplificador inversor de la Figura P2.6 por uno no inversor de ganancia +4.

a) Halle v_i en función de v_s.

b) Halle v_o en función de v_s.

c) Halle i_L en función de v_s.

d) ¿Espera que $|v_o|$ sea mayor para este diseño que para el inicial? Explíquelo.

2.16 Reemplace cada amplificador de la Figura P2.16 por un amplificador de la Figura 1.19a con valores numéricos para μ, R_i y R_o. Use estos circuitos para hallar v_1, v_2, v_3 y v_4.

2.17 En P2.17 aparece un *sumador no inversor*. Demuestre que para un operacional de ganancia infinita, el circuito queda descrito por

$$v_o = \frac{1}{N}\left(1 + \frac{R_2}{R_1}\right)\sum_{i=1}^{N} v_i$$

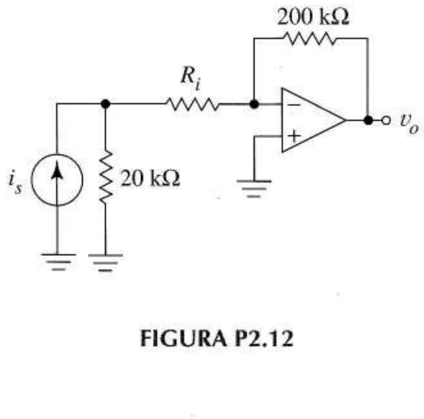
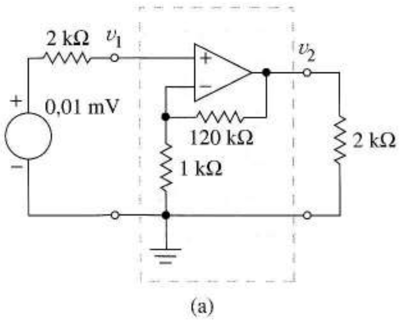


FIGURA P2.12



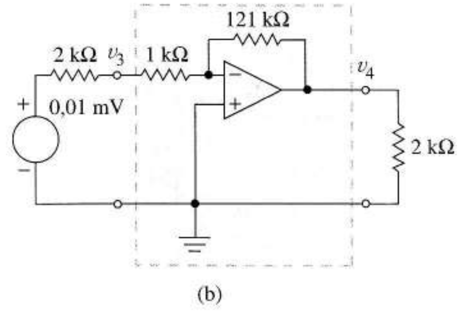


FIGURA P2.16

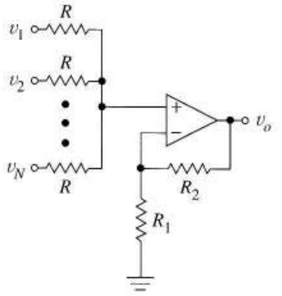


FIGURA P2.17

Sugerencia Defina v_x como la tensión de la entrada no inversora.

2.18 a) Halle la resistencia de entrada del circuito de la Figura P2.18. b) Utilizando la ganancia infinita, obtenga la expresión de la ganancia de tensión v_o / v_i.

2.19 Demuestre que la resistencia de salida del amplificador no inversor (con operacionales de ganancia infinita) es nula. Aplique la definición de R_o y explique cada paso de su razonamiento.

2.20 Para el circuito de la Figura P2.20 halle el valor de v_o si

a) $v_i = 5$ V

b) $v_i = 0$ V

c) Escriba una ecuación que relacione v_o con v_i.

2.21 El operacional de la Figura P2.21 tiene ganancia infinita.

a) Halle la tensión v_o para el circuito dado.

b) Añada una resistencia de 1 kΩ de la salida a masa. Halle la corriente que *sale del operacional* hacia esta resistencia.

2.22 Los dos circuitos con las cajas de la Figura P2.22 tienen ganancia de tensión unidad. Calcule v_o para los dos circuitos y explique por qué se diferencian las respuestas.

Secciones 2.2.8 - 2.2.9

2.23 El amplificador diferencial de la Figura P2.23 tiene un operacional de ganancia infinita por lo que su ganancia es

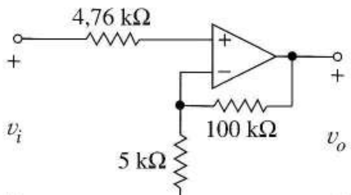


FIGURA P2.18

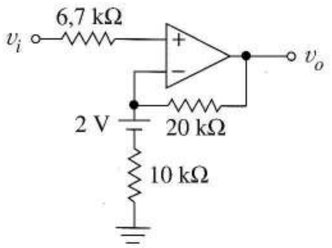


FIGURA P2.20

$$v_o = 4(v_a - v_b)$$

La máxima corriente de cortocircuito del operacional es 25 mA. Demuestre que para $v_a = 5$ V y $v_b = 2$ V simultáneamente, la corriente de cortocircuito no se supera.

2.24 Construimos en el laboratorio un amplificador de instrumentación como el de la Figura 2.9a con una ganancia nominal de 10. R_2 y R_1 tienen exactamente los valores deseados de 100 kΩ y 10 kΩ respectivamente; sin embargo, R_4 tiene un 10 % mas del nominal y R_3 un 10% menos.

a) Halle los valores numéricos para los dos coeficientes de la Ecuación (2.14)

b) Descomponga v_a y v_b en sus componentes de modo común y diferenciales. Halle después los valores de A_d y A_c y la RRMC del amplificador.

2.25 a) Descomponiendo v_a y v_b de la Ecuación (2.14) en sus componentes diferenciales y de modo común, demuestre que el amplificador diferencial de la Figura 2.9a tiene ganancias diferenciales y de modo común.

$$A_d = \frac{R_4(R_1 + R_2) + R_2(R_3 + R_4)}{2R_1(R_3 + R_4)}$$

y

$$A_c = \frac{R_4 R_1 - R_2 R_3}{R_1(R_3 + R_4)}$$

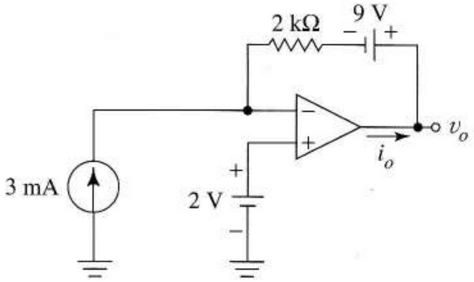


FIGURA P2.21

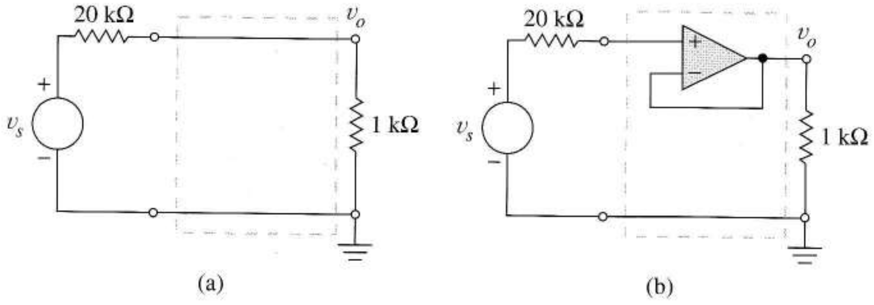


FIGURA P2.22

b) Suponga R_2 y R_1 con valores correctos (20 kΩ y 1 kΩ respectivamente) pero R_4 es un 10% mayor y R_3 un 1% menor. Calcule los valores de A_d, A_c y RRMC.

2.26 Recalcule el Ejercicio 2.2 cambiando la resistencia de la fuente de 5 k por 50 Ω.

2.27 El operacional de la Figura P2.27 tiene ganancia infinita.

a) Halle la corriente en la fuente de continua.

b) Halle v_o.

c) Halle la tensión de entrada en modo común.

2.28 Diseñar un amplificador como el de la Figura 2.10b que tiene una ganancia diferencial de 2.000.

a) Dibuje el esquema indicando los valores de resistencia elegidos.

b) Calcule las componentes diferencial y de modo común en la entrada y en la salida de la primera etapa amplificadora cuando $v_a = +3$ mV y $v_b = -2{,}5$ mV.

c) Comenzando con los valores del apartado b), etiquete cada nodo del diagrama con su tensión. Emplee el análisis de ganancia infinita y obtenga los cuatro valores más importantes.

2.29 Diseñe una VCCS que tenga una transconductancia de − 0,3 mA/V usando operacionales de ganancia infinita.

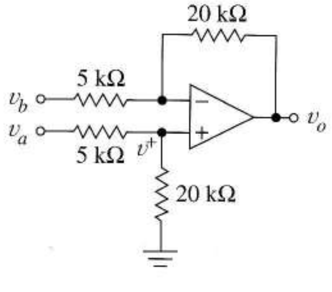


FIGURA P2.23

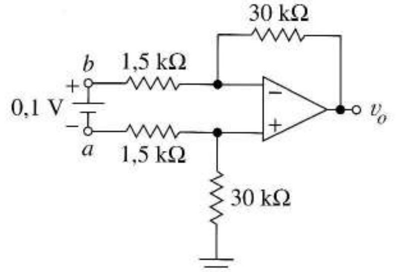


FIGURA P2.27

Haga que los valores de las resistencias sean tan próximas como sea posible.

a) Dibuje el esquema del circuito indicando todos los valores de los componentes.

b) Halle la magnitud y la polaridad de la tensión de salida de cada operacional y la corriente por esta fuente cuando $v_i =$ 0,4V y Z_L es una resistencia de 10 kΩ.

c) Halle la magnitud y la polaridad de la corriente de salida de cada operacional cuando $v_i = 0{,}4$ V y Z_L es una resistencia de 1 kΩ.

d) Repita el apartado (c) para $v_i = -0{,}4$ V.

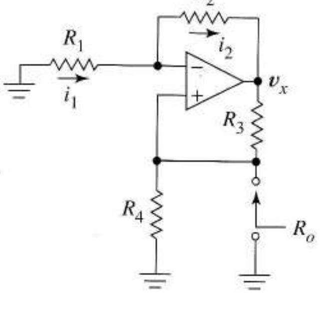


FIGURA P2.31

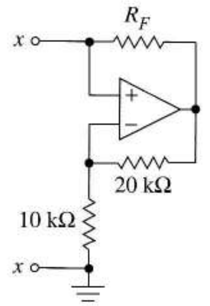


FIGURA P2.32

2.30 Usando operacionales de ganancia infinita, diseñar una CCCS con ganancia de corriente de 20. Use cuatro resistencias iguales de 1 kΩ.

2.31 Demuestre que la resistencia de salida de la fuente de corriente de la Figura P2.31 esta dada por

$$R_o = \frac{R_1 R_3 R_4}{R_1 R_3 - R_2 R_4}$$

Halle el valor de R_o cuando $R_1 = R_3 = 20{,}2$ kΩ y $R_2 = R_4 = 19{,}8$ kΩ.

2.32 El operacional de P2.32 tiene ganancia infinita

a) Halle la resistencia de entrada entre los terminales *xx* y dibuje la característica de entrada. El análisis es más sencillo si se reconoce un subcircuito familiar; sin embargo, también sirve aplicar los principios de ganancia infinita.

Esta clase de circuito puede usarse para eliminar las pérdidas en circuitos sintonizados, produciendo un oscilador de resistencia negativa.

2.33 El operacional de la Figura P2.33 tiene ganancia infinita.

a) Exprese v_x en función de v_s.

b) Aplique la ley de Kirchhoff de las corrientes al nodo v_x para hallar la expresión de v_o en función de v_x.

c) Halle una expresión para v_o / v_s,

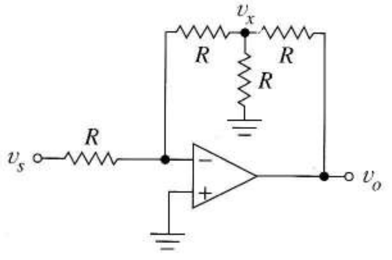


FIGURA P2.33

Secciones 2.3.1 - 2.3.5

2.34 Halle y dibuje la respuesta del integrador de la Figura 2.12 cuando $RC = 10^{-3}$ s y

a) la tensión de entrada es constante, $v_i = 0{,}2$ V.

b) la entrada, $v_i(t)$, es un pulso de 1 V de amplitud y 2 ms de duración y la condición inicial es $v_o(0^+) = 0$ V.

c) La entrada $v_i(t) = 0{,}2$ sen $20t$ V (supóngase funcionamiento en régimen permanente).

2.35 Obtenga la expresión de la ganancia para la Figura 2.13b viendo el circuito como un filtro *RC* seguido por un "amplificador" no inversor en que $1/j\omega C$ reemplaza a R_2 y R reemplaza a R_1. Vea por qué los dos productos *RC* deben ser muy próximos para que el circuito funcione como integrador.

2.36 La Figura P2.36 muestra una *inductancia "sintética"* construida con un operacional de ganancia infinita, resistencias y un condensador. Empleando el análisis senoidal en régimen permanente y la aproximación de ganancia infinita para hallar la impedancia de entrada V_i / I_i.

Sugerencias 1) Justifique $V_5 = V_i$. 2) Escriba las ecuaciones que relacionan I_s con I_4, I_4 con I_3 ..., I_1 con I_i. 3) Comenzando con V_i / I_i sustituya hasta que quede sólo en función de las resistencias y el condensador.

Adviértase que el circuito puede realizar una inductancia de prácticamente cualquier valor para un condensador dado porque los valores de R_1, R_3, R_4 y R_5 permiten el escalado. Este y otros circuitos parecidos son importantes porque no es posible en la práctica fabricar inductancias en circuitos integrados.

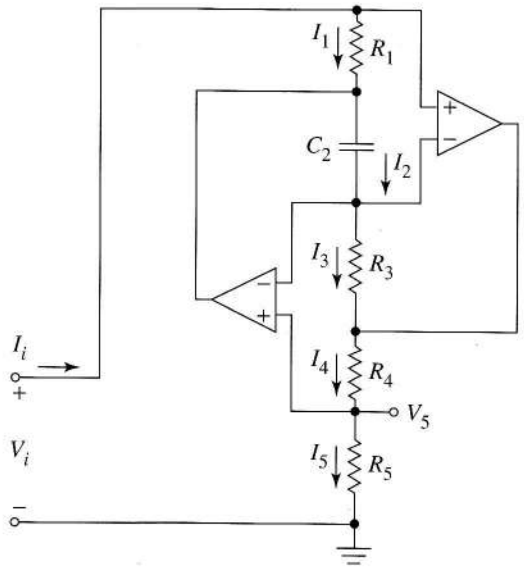


FIGURA P2.36

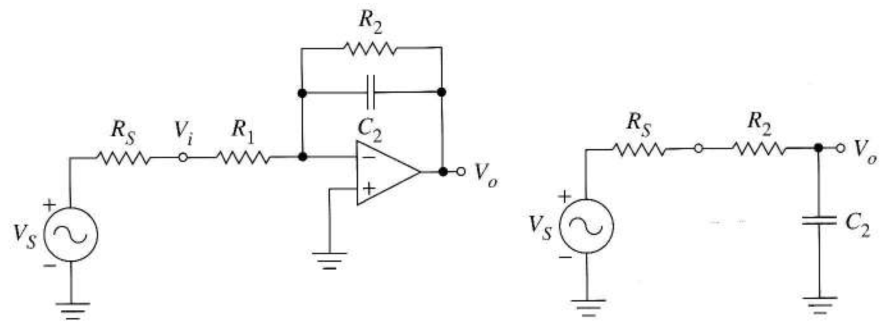


FIGURA P2.37

2.37 Se han diseñado dos filtros con la misma frecuencia $\omega_H = 1/ R_2C_2$. Cada uno se conecta después a una fuente de resistencia interna R_S como en la Figura P2.37. Halle y compare las funciones reales de los filtros V_o / V_S. ¿Qué conclusión podemos sacar de esta comparación?

2.38 Diseñe un filtro que tenga las características de ancho de banda de la Figura P2.38 usando dos circuitos de filtro en cascada. Diseñar para que el menor condensador sea 1.000 pF y el mayor 1 μF y distribuya los 20 dB de ganancia por igual entre los dos filtros. Dé el esquema final con el valor de los componentes.

2.39 Obtenga la Ecuación (2.25).

2.40 Recalcule el Ejemplo 2.3 usando el filtro de segundo orden de la Figura 2.15a con $A = 3 - \sqrt{2}$. Emplee C = 0,001 μF para el condensador y R_1 = 2 kΩ en el amplificador.

2.41 Diseñe un oscilador senoidal de 800 Hz basado en el circuito de la Figura 2.15a.

2.42 La forma de onda de la Figura P2.42 es la entrada para el derivador de la Figura 2.16a.

a) Dibuje la forma de onda de la salida.

b) Halle *RC* si la tensión de salida debe estar siempre en el margen

$$+12 \geq v_o \geq -12 \text{ V}$$

c) Haga un dibujo comentado de $v_o(t)$ para el diseño del apartado (b).

2.43 El derivador de la Figura 2.16a emplea $RC = 10^{-4}$s. Halle $v_o(t)$ cuando $v_i(t)$ = 0,04 sen $25t$ + 0,015 cos $200t$. Suponga funcionamiento en régimen permanente.

2.44 Coloque un condensador C_1 en paralelo con *R* en el derivador de la Figura 2.16a. Halle y dibuje la magnitud de la ganancia como función de ω.

2.45 Emplee circuitos con operacionales en cascada para diseñar un cuadripolo que satisfaga las siguientes condiciones: resistencia de entrada nula, la salida es una fuente de corriente dependiente conectada a masa y

$$i_o = 20 \int i_i(t)dt$$

Sección 2.4

2.46 a) Utilice el análisis transitorio en SPICE para dibujar la respuesta del derivador de la Figura 2.16 a un pulso de 1 V y 20 ms de duración con R = 10 kΩ y ω = 0,01μF.

b) Repítalo para R = 10 kΩ y C = 2 μF.

c) ¿Que conclusión se puede sacar de comparar los resultados de (a) y (b)?

2.47 Construya un modelo en SPICE para el amplificador diferencial de la Figura 2.9a con $R_2 = R_4$ = 10 kΩ y $R_3 = R_1$ = 1 kΩ.

a) Aplique una señal de modo común a las entradas y halle la tensión de salida usando SPICE. ¿Cuál es la ganancia de modo común?

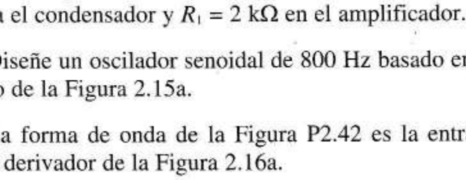


FIGURA P2.38

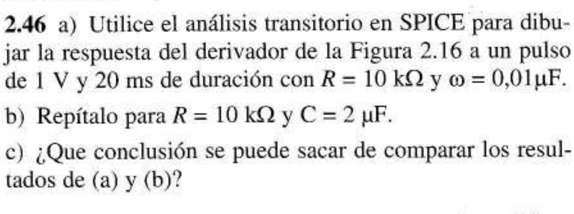


FIGURA P2.42

b) Repita el apartado a) pero cambiando R_4 a 9 kΩ.

c) Emplee la expresión de A_c dada en el Problema 2.25 para comprobar el resultado de b).

2.48 Emplee el SPICE para dibujar la respuesta en frecuencia del filtro diseñado en el Ejemplo 2.3. Con el resultado verifique que tiene la frecuencia de corte deseada.

Secciones 2.5.2 - 2.5.5

2.49 Demuestre que cuando el operacional tiene ganancia infinita A_d, el amplificador no inversor tiene ganancia

$$\frac{v_o}{v_i} = \frac{A_d}{1 + A_d R_1 / (R_1 + R_2)}$$

2.50 Cuando el operacional tiene ganancia infinita, el integrador queda descrito por (2.23).

a) Demuestre que cuando tiene ganancia finita A_d, la expresión es

$$\frac{V_o}{V_i} = \frac{-1}{1/A_d + j\omega RC(1 + 1/A_d)}$$

b) Halle una desigualdad que indique el margen de ω en que (2.23) es una buena aproximación aunque la ganancia sea finita.

2.51 La Ecuación (2.27) describe el derivador cuando el operacional tiene ganancia infinita.

a) Demuestre que, para ganancia finita A_d, la expresión se convierte en

$$\frac{V_o}{V_i} = \frac{-j\omega RC}{(1 + 1/A_d) + j\omega RC/A_d}$$

b) Halle la desigualdad que da el margen de ω para que (2.27) es una buena aproximación aunque la ganancia sea finita.

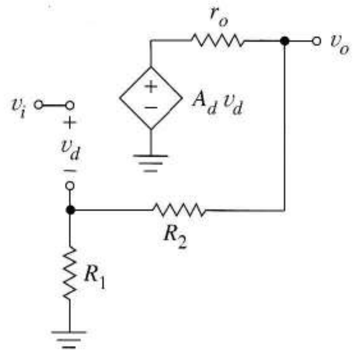


FIGURA P2.53

2.52 Un amplificador inversor con operacionales de ganancia infinita tiene una ganancia de –500. Halle la ganancia real del circuito y el % de error cuando el operacional tiene

a) $A_d = 10^4$

b) $A_d = 10^5$

2.53 La Figura P2.53 es el circuito equivalente del amplificador no inversor en el que el operacional tiene ganancia A_d y resistencia de salida r_o. Demuestre que la resistencia de salida de este circuito es

$$R_o = \frac{r_o}{1 + r_o / (R_1 + R_2) + A_d R_1 / (R_1 + R_2)}$$

Sugerencia El circuito es manejado por una fuente de tensión ideal de v_i voltios.

2.54 a) De (2.31) estime la R_d más pequeña para que la respuesta de ganancia infinita $v_o / v_i \approx -R_2 / R_1$ es una buena aproximación. La respuesta involucra a A_d, R_1 y R_2.

Sugerencia Comience escribiendo una desigualdad "mucho mayor". Después emplee la aproximación de ingeniería en la que "mucho mayor" quiere decir "al menos un factor de 10".

b) Para un amplificador inversor que use R_2 = 20 k, R_1 = 1 k y $A_d = 10^5$, ¿Cuál es el menor valor de R_d que no puede ser despreciado cuando la ganancia se calcula con la aproximación de ganancia infinita?

2.55 Construya un modelo SPICE para el filtro del Ejemplo 2.3. Use el análisis de alterna para obtener la respuesta en frecuencia del filtro para un operacional de ganancia

a) $A_d = 10^8$ y $R_i = \infty$.

b) $A_d = 10^2$ y R_i = 100 kΩ.

Examine las curvas cuidadosamente e identifique cualquier diferencia en ganancia y/o frecuencia de corte entre las curvas de SPICE y las esperadas.

2.56 Se necesita una fuente de laboratorio de continua de 5 V pero solo se dispone de una fuente de +15 V.

a) Muestre cómo se podría usar un divisor de tensión y un operacional como buffer para obtener la fuente deseada.

b) ¿Por qué se necesita un *buffer* en (a)?

c) Si se usa un 741 como *buffer* ¿cuál es la máxima corriente que puede dar la fuente de +5 V? (En el Capítulo 10 veremos como se diseñan *amplificadores operacionales de potencia* para dar altas potencias de salida.)

Secciones 2.5.6 - 2.5.9

2.57 Un amplificador inversor de ganancia –80 emplea un operacional que se satura a ±10 V.

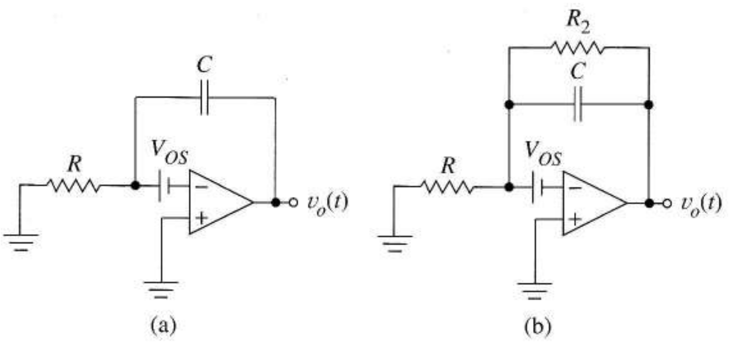


FIGURA P2.60

a) Halle la máxima tensión de entrada con funcionamiento lineal.

b) Halle los mínimos valores de R_2 y R_1 si el operacional tiene una corriente de cortocircuito de 5 mA.

c) Para los valores de R_2 y R_1 del apartado (b) calcule la disipación de potencia en cada resistencia cuando la tensión de salida es 10 V.

d) Para resistencias 100 veces mayores que en el apartado (b) calcule la corriente de salida y la disipación de potencia en cada resistencia cuando $v_o = 10$ V.

2.58 Un integrador emplea operacionales de ganancia infinita. Relacione la tensión de salida v_o con la corriente de desviación del operacional cuando $v_i = 0$.

2.59 Cuando el operacional de la Figura 2.28c tiene una corriente de polarización I_B demuestre que si $R_x = R_1 || R_2$, $v_o = 0$ cuando $v_i = 0$.

2.60 El operacional de ganancia infinita de la Figura P2.60a tiene una tensión de desviación V_{OS}.

a) Demostrar que v_o crece con $(1/RC)V_{OS}$.

b) Si $RC = 0{,}01$s y $V_{OS} = 5$ mV, ¿cuánto se tarda en llegar al límite de saturación de 12 V?

c) Tras la saturación del operacional ¿qué tensión hay en el condensador?

Para prevenir la saturación por la tensión de desviación, a veces se coloca una resistencia grande R_2 en paralelo con C como en la Figura P2.60b. El condensador sólo se carga hasta que se alcance el equilibrio ($Cdv/dt = 0$).

d) Verifique que para $V_{OS} = 5$ mV y $R_2 = 100 \times R$ el valor final de v_o es menor que el límite de saturación del operacional.

Sugerencia Con la fuente desconectada, el circuito en equilibrio se parece a la Figura 2.26b.

2.61 Las Figuras 2.28b y 2.28c muestran la resistencia R_x añadida para eliminar el efecto de las corrientes de polarización en amplificadores inversores y no inversores. Advierta que cuando $v_i = 0$, los circuitos son idénticos. Así sólo se necesita estudiar un circuito.

Suponiendo ganancia infinita, halle la expresión de v_o en función de I_B, R_2, R_1 y R_x para la Figura 2.28c cuando $v_i = 0$. Halle el valor de R_x que hace nula la salida debida a la desviación.

2.62 a) Demuestre que la componente de la salida de un derivador debido a la corriente de polarización es RI_B.

b) Demuestre que la salida de un integrador debida a la corriente de polarización es $dv_o/dt = I_B/C$.

c) ¿Cuanto tarda el integrador en saturarse cuando $C = 0{,}001$ F, $I_B = 80$ nA y $|V_{SATURACIÓN}| = 14$ V?

2.63 Halle el valor de la tensión de desviación de la salida de un derivador cuando la tensión de desviación es 5 mV.

2.64 Los operacionales de ganancia infinita en las dos etapas de la Figura P2.64 se saturan a ± 10 V. Si cada uno tiene una tensión de desviación $V_{OS,1} = V_{OS,} = 8$ mV con las polaridades indicadas.

a) Halle la componente de v_o debida a cada tensión de desviación.

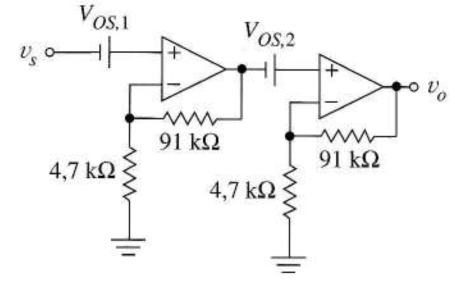


FIGURA P2.64

b) Dibuje la función de transferencia v_o / v_s del amplificador mostrando la ganancia, la tensión total de desviación y los límites de saturación.

c) Suponga que la tensión de entrada es tal que produce cambios de ±8 V en v_o cuando no se tiene en cuenta la tensión de desviación. ¿Cómo son las variaciones de v_s? Compárelo con $V_{OS,1}$.

d) ¿Se saturará con esta combinación de señal y offset? Indique la señal de entrada del apartado c) en la función de transferencia del apartado b).

2.65 Use el modelo de la Figura 2.30c para analizar el efecto de la RRMC en la ganancia del amplificador no inversor.

Secciones 2.5.10 - 2.5.14

2.66 a) Dibuje el circuito del modelo SPICE del operacional que incorpore simultáneamente todos los parámetros: ganancia en modo diferencial, resistencia de entrada, resistencia de salida, tensión de desviación, corriente de desviación, corrientes de polarización.

b) Escriba el código SPICE para ese modelo, adecuado para el HA2544 de la Tabla 2.1.

2.67 Diseñe un amplificador no inversor con ganancia 200. Halle el tiempo de subida si el operacional empleado es

a) el 741 descrito en la Tabla 2.1.

b) el 2544.

2.68 Diseñe un amplificador inversor con ganancia –70. Halle el tiempo de subida si el operacional usado es

a) el 741 descrito en la Tabla 2.1.

b) el 2544.

2.69 Se necesita un amplificador de ganancia 800 y ancho de banda 1 MHz. Estudie los diseños con una, dos, tres y cuatro etapas idénticas no inversoras. Hágalo en una tabla que muestre la ganancia de las etapas y el ancho de banda en Hz para el 741 y el 2544.

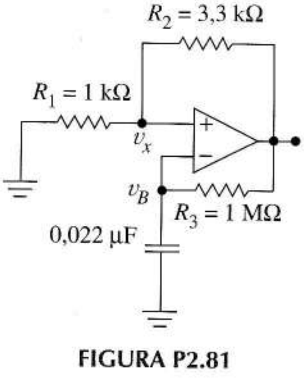


FIGURA P2.81

2.70 a) Diseñe un filtro de primer orden usando operacionales de ganancia infinita, dos resistencias y un condensador. El filtro tendrá una resistencia de entrada de 10 kΩ, una frecuencia de corte de 5 × 10^5 Hz y una ganancia en bajas frecuencias de 10 dB.

b) Haga el modelo SPICE del filtro usando una VCVS de ganancia 10^8 para el operacional de ganancia infinita. Obtenga la respuesta en dB para verificar el diseño.

c) Cambie el operacional por un modelo que incluya el ancho de banda y la ganancia del 741. Calcule la respuesta del filtro usando este modelo.

2.71 La Ecuación (2.29) da la ganancia de un amplificador inversor con un amplificador de ganancia A_d.

a) Halle la expresión de la respuesta si el operacional tiene la ganancia compleja dada por (2.35).

b) Demuestre que la expresión de (a) puede ponerse de la forma

$$A_{inv}(\omega) = \frac{-A_d R_2/(R_1 + A_d R_1 + R_2)}{1 + j(\omega/\omega_B)}$$

$$\approx \frac{(-R_2/R_1)}{1 + j(\omega/\omega_B)}$$

y

$$\omega_B = \omega_H \left[1 + A_d \frac{R_1}{R_2 + R_1}\right]$$

2.72 Un operacional tiene los siguientes parámetros

resistencia de entrada = 40 kΩ

resistencia de salida = 150 Ω

ganancia = 20.000

corriente de desviación = 0,2 μA

frecuencia a ganancia unidad = 5 × 10^6 rad/s

a) Construya su modelo SPICE.

b) Diseñe un inversor con ganancia nominal de –20.

c) Emplee SPICE para dibujar la respuesta en frecuencia del amplificador con un operacional como el del apartado (a). Compare la respuesta en frecuencia de la simulación con la esperada.

2.73 El Ejercicio 2.9 indica que el derivador tiene curvas de amplitud y fase como en la Figura 2.35 cuando se incluye la dinámica del operacional

a) Obtenga la expresión de la ganancia en función de la frecuencia siguiendo el procedimiento siguiente:

Observe que cambiando R_1 por $1/j\omega C$ y R_2 por R en el inversor se obtiene el derivador. Comience con la respuesta en frecuencia del inversor dada en el Problema 2.71b

(expresión completa). La expresión final debe incluir a A_d, RC, y ω_H.

b) Suponga que el pico de la curva de respuesta tiene lugar cerca de la frecuencia que hace que la parte real del denominador se hace cero. Determínese esta frecuencia usando $A_d = 2 \times 10^5$, $RC = 2\pi \times 10^3$ y $\omega_\tau = 2\pi \times 10^6$, los mismos valores empleados en la simulación.

c) Use la expresión teórica para confirmar que a altas frecuencias la fase del derivador tiende a –270.

2.74 Un inversor con el 741 tiene ganancia –80.

a) Halle el ancho de banda ω_B.

b) Halle la máxima amplitud de la senoide a ω_B que puede manejar sin problemas de capacidad de cambio de tensión.

c) Repita (a) y (b) para el HA2544.

2.75 a) Estime el tiempo de subida t_r de la salida del amplificador no inversor de ganancia 20 construido con el 741.

b) Si el amplificador sube linealmente desde 0,1 a 0,9 del valor final de un pulso de salida en t_r segundos, donde t_r es la respuesta de (a) ¿cómo es de grande el pulso de salida?

2.76 El circuito de la Figura 2.12 integra una onda cuadrada de frecuencia variable de 2 V de amplitud. Halle el mínimo *slew-rate* aceptable en función de la frecuencia. Advierta que el *slew-rate* del operacional no debe limitar la frecuencia de la onda que puede integrar.

Seccion 2.6

2.77 El comparador de la Figura 2.38a usa un operacional con límites de saturación de ± 15 V. Si el *slew-rate* es de 150 V/μs ¿cómo son de rápidas las transiciones?

2.78 Un termómetro electrónico produce una tensión de salida en mV dada por

$$v_s(T) = 30 + 3T$$

donde T es la temperatura en ºC.

a) Dibuje la característica del termómetro.

Un comparador como el de la Figura 2.38a con una tensión de referencia de 5 V cambia su estado de salida cuando la temperatura supera 50º C.

b) Dibuje el diagrama del sistema indicando cómo se usa un circuito con operacionales para conectar $v_s(T)$ con la entrada del comparador. Incluya los valores de los componentes.

c) Si el operacional tiene una tensión de desviación de ±5 mV el comparador podría cambiar de estado a una temperatura incorrecta. Use los valores mas críticos de esta tensión de desviación para establecer los extremos superior e inferior en los que el comparador podría cambiar de estado.

2.79 A un Schmitt-trigger como el de la Figura 2.40a le entra una forma de onda triangular de 10 V de pico. Dibuje las formas de onda de entrada y salida si $V_P = V_M = 10$ V, $R_1 = 2{,}4$ kΩ y $R_2 = 4{,}7$ kΩ incluyendo las posiciones relativas y los pasos por cero de las dos formas de onda.

2.80 Añada a la Figura 2.40a una tensión de referencia de tal forma que haga que la entrada inversora sea positiva respecto de masa.

a) Empleando este circuito modificado, halle las nuevas versiones de las Ecuaciones (2.43) - (2.46) válidas para él. Dibuje el circuito equivalente para ayudar en el razonamiento.

b) Dibuje la función de transferencia para $V_P = V_M = 8$ V, $V_R = +4{,}0$ V, $R_1 = 5$ kΩ y $R_2 = 10$ kΩ

2.81 El *oscilador de relajación* de la Figura P2.81 usa un circuito con dos estados para generar oscilaciones periódicas en la salida. El operacional trabaja en los límites de saturación, en este caso ±14V.

a) Dibuje el circuito equivalente suponiendo $v_o = -14$ V. En $t = 0$ el condensador está cargado a $v_B \approx -3{,}24$ V. Calcule v_x y diga por qué el operacional debe cambiar pronto de entrada.

b) Dibuje un nuevo diagrama mostrando el nuevo circuito equivalente. Use el valor final de la tensión en el condensador de (a) como condición inicial. ¿Cuánto tiempo estará el operacional en el estado supuesto?

c) Revise los apartados anteriores del problema. Después intente dibujar $v_o(t)$ y $v_B(t)$ para todo t. Halle la frecuencia de la onda.

2.82 Use el modelo de dos entradas en lazo abierto de la Figura 2.24 para demostrar que el circuito Schmitt-trigger de la Figura P2.82 tiene la función de transferencia indicada. Halle las expresiones de v^+ y v^- en función de los valores de las resistencias y de los límites de saturación.

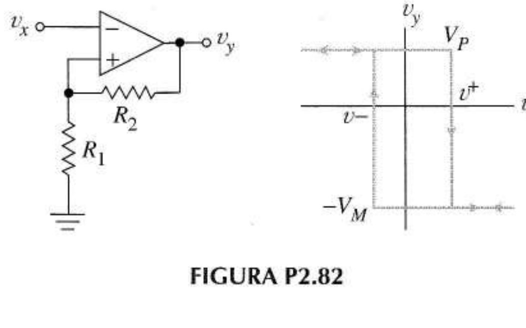


FIGURA P2.82

Capítulo 3

SEMICONDUCTORES, UNIONES p-n Y CIRCUITOS CON DIODOS

En este capítulo vamos a revisar la conducción eléctrica en dos clases de materiales que nos son familiares, aislantes y conductores. Después estudiaremos unos materiales especiales llamados semiconductores que tienen propiedades eléctricas intermedias entre conductores y aislantes. Prestaremos especial atención a las uniones entre diferentes tipos de semiconductores porque estas uniones son críticas para el funcionamiento de muchos dispositivos de estado sólido importantes. El más simple de estos dispositivos es la propia unión, el *diodo de unión.* Después, equipados ya con los conocimientos teóricos necesarios construiremos modelos simples para representar el diodo. Finalmente, utilizaremos los modelos para analizar y diseñar interesantes y útiles circuitos.

Cuando los circuitos electrónicos eran dispositivos discretos fabricados independientemente e interconectados entre sí, perdíamos poco por retrasar el estudio de la física de estado sólido hasta los últimos cursos, simplemente introducíamos los dispositivos utilizando sus curvas tensión-corriente. Sin embargo, hoy, la mayoría de los circuitos electrónicos son *integrados.* Todos los componentes del circuito se fabrican al mismo tiempo en el mismo *chip* de silicio. Respecto a las características físicas de todos los componentes del chip, el proceso de fabricación común fija al diseñador unas restricciones y posibilidades únicas para todos ellos. Para apreciar mejor las restricciones y utilizar las posibilidades existentes, es útil una breve introducción a la teoría de estado sólido. Esta teoría proporciona la herramienta matemática que necesitamos para acceder al proceso básico de modelado de la Figura 1.14 y, dentro de este proceso, nos proporciona una perspectiva física de los dispositivos. Para evitar largas descripciones, que puedan distraernos de nuestro objetivo, presentamos los conceptos de la teoría de estado sólido de forma simplificada e intuitiva (muchos libros de texto excelentes cubren esta materia más rigurosamente, Streetman y Mattson, incluidos entre las referencias del final del capítulo, son buenos ejemplos.)

Este capítulo también introduce importantes conceptos referentes al funcionamiento de circuitos no lineales. Si estuvieran disponibles fuentes dependientes y lineales las usaríamos para construir los amplificadores de los capítulos precedentes; sin embargo, los únicos dispositivos que tenemos son los semiconductores llamados *transistores.* Estos tienen características de salida similares a fuentes

de corriente dependientes, pero sólo en ciertas regiones del plano *vi*. Los modelos del diodo juegan un papel importante para ayudarnos a entender y analizar tales comportamientos no lineales.

3.1 CONDUCCIÓN EN AISLANTES Y METALES

3.1.1 AISLANTES Y METALES

Consideremos un sólido aislante como el diamante. Faltos de energía, los átomos del diamante permanecen juntos en una red cristalina de geometría regular. Si incrementamos la temperatura, los átomos empiezan a vibrar alrededor de sus posiciones en la red, y a medida que se aumenta la temperatura progresivamente, este movimiento aleatorio pasa a ser cada vez más violento. Los electrones de valencia comparten este movimiento, pero, debido a las fuertes fuerzas atómicas, permanecen estrechamente ligados a sus átomos internos. Debido a que no existen electrones libres de las fuerzas atómicas y capaces de moverse a través de la red cristalina, cualquier campo eléctrico establecido en el aislante por una fuente de tensión externa no produce corriente. La esencia de un aislante es, entonces, que todos los electrones de valencia permanezcan firmemente ligados a sus átomos internos, incluso a altas temperaturas y en presencia de un campo eléctrico.

En el otro extremo están los conductores como la plata, el oro o el cobre, cuyos átomos de valencia están ligados a los átomos internos por fuerzas atómicas débiles. A una temperatura de cero absoluto los electrones de valencia están en las mismas condiciones que en un aislante. Sin embargo, como las fuerzas atómicas son débiles a una temperatura ligeramente elevada, *todos* los electrones de valencia son sacudidos desligándose de sus átomos internos y siendo capaces entonces de moverse libremente a través de la red cristalina. La concentración resultante de *electrones libres*, alrededor de 10^{22} por cm^3, es un número enorme. El resultado es una red de iones positivos inamovibles vibrando aleatoriamente en un mar de electrones libres con una movilidad muy alta.

3.1.2 DESPLAZAMIENTO EN UN CAMPO ELÉCTRICO

Debido a su energía térmica, los electrones libres se mueven a alta velocidad hasta que colisionan con un ion de la red cristalina y entonces cambian se dirección. Como este movimiento es aleatorio no hay desviación direccional y el desplazamiento medio es cero. Las trayectorias de la Figura 3.1 describen en dos dimensiones desplazamientos tridimensionales sucesivos, comenzando en el punto 0 y finalizando en el punto 6. Para comparar, las líneas azules muestran el movimiento de los electrones en presencia de un campo eléctrico **E**. Como la intensidad de campo es fuerza por unidad de carga, el campo actúa sobre el electrón, produciendo una desviación direccional a cada trayectoria. Debido a su carga negativa, el desplazamiento de la red de electrones es opuesto a la dirección del campo. Aunque el desplazamiento de la *red* es pequeño comparado con la suma de los desplazamientos individuales, explica los importantes procesos de conducción eléctrica.

El desplazamiento medio por unidad de tiempo causado por el campo eléctrico es la velocidad de desplazamiento, v_d, del electrón. Supuesto que la intensidad de campo no es demasiado grande, la velocidad media de desplazamiento, $\langle v_d \rangle$, de los electrones libres varía en proporción directa a la intensidad de campo eléctrico **E**. Cuantitativamente

$$\langle v_d \rangle - \mu_n E \tag{3.1}$$

donde la constante de proporcionalidad $\mu_{\mu n}$ es la *movilidad del electrón.* Los incrementos de temperatura provocan movimientos de la red cristalina más violentos, colisiones más frecuentes de los electrones contra los iones de la red cristalina y distancias más pequeñas entre colisiones. El resultado es una velocidad de desplazamiento medio más baja para el mismo campo eléctrico. Por lo tanto, la movilidad del electrón *decrece con la temperatura.*

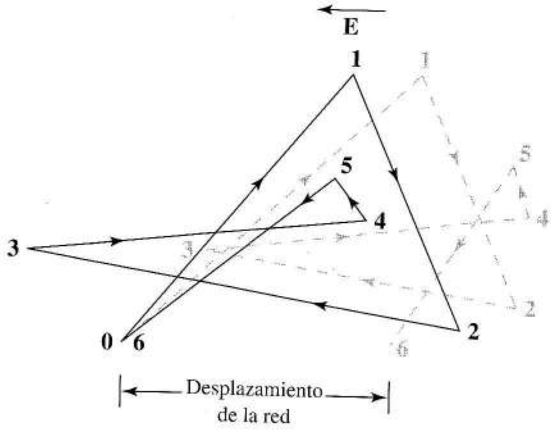


FIGURA 3.1
Desplazamientos típicos de un electrón sin campo eléctrico (líneas continuas) y con campo eléctrico (líneas discontinuas). El punto de comienzo es 0.

3.1.3 RESISTENCIA

Estas simples ideas físicas nos ayudan a comprender las resistencias. La Figura 3.2 muestra un sólido conductor, de longitud L y una sección transversal de área A, al cual se le aplica una tensión externa. Esta tensión establece dentro del material un campo eléctrico uniforme de intensidad $|\mathbf{E}| = V/L$ voltios por metro, donde $|\ |$ es la magnitud del vector **E**. Para estimar el comportamiento medio, visualizamos todos los electrones libres, incluyendo aquellos mostrados explícitamente en el volumen de prueba supuesto, moviéndose juntos hacia la izquierda a la velocidad media de desplazamiento.

$$|\langle v_d \rangle| = \mu_n \frac{V}{L} \tag{3.2}$$

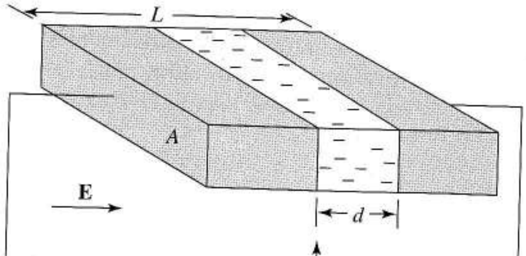


FIGURA 3.2
Desplazamiento de electrones libres en una resistencia.

La fuente externa quita simultáneamente electrones del lado positivo del material y los proporciona al lado negativo para mantener una corriente externa de I amperios. Esta corriente es igual al

número de culombios de carga negativa desplazado por delante del punto de observación p cada segundo. De la Figura 3.2 vemos que la carga Q en culombios dentro del volumen imaginario es

$$Q = qnAd \tag{3.3}$$

donde $q = 1{,}6 \times 10^{-19}$C es la carga del electrón y n es la *concentración* de electrones libres en electrones por unidad de volumen. El tiempo, Δt, requerido por esta carga para desplazarse por delante del punto de observación es

$$\Delta t = \frac{d}{\langle v_d \rangle} \tag{3.4}$$

Dividiendo la Ecuación (3.3) por la Ecuación (3.4) y utilizando $|\langle v_d \rangle|$ de la Ecuación (3.2) obtenemos

$$I = \left(qn\mu_n\right) \times \left(\frac{A}{L}\right) \times V$$

o

$$V = \left[\frac{1}{qn\mu_n}\left(\frac{L}{A}\right)\right]I \tag{3.5}$$

Como la relación entre V e I es la resistencia R del material, la Ecuación (3.5) muestra que R depende de las dimensiones espaciales y de las propiedades del material. Para separar las contribuciones geométricas de las propiedades del material, expresamos la resistencia R de la forma

$$R = \frac{1}{\sigma} \times \frac{L}{A} \tag{3.6}$$

donde σ, la *conductividad*, es un parámetro que caracteriza el material conductor a partir del cual construimos la resistencia. De las Ecuaciones (3.5) y (3.6)

$$\sigma = qn\mu_n \text{siemens / cm} \tag{3.7}$$

Para producir caídas de tensión apreciables en un espacio físico pequeño, las resistencias utilizan materiales conductores con baja movilidad como el níquel-cromo, carbono, película de carbono y película metálica.

La Ecuación (3.5) se refiere a la forma más fundamental de la ley de Ohm. Sustituyendo el valor de de la Ecuación (3.7) y dividiendo ambos lados por L se obtiene

$$\frac{I}{A} = \sigma\frac{V}{L}$$

El lado izquierdo es la magnitud de la *densidad de corriente* **J**, la corriente por unidad de área producida por el campo **E** en un punto del material. Utilizando notación vectorial, la ley de Ohm es

$$\mathbf{J} = \sigma\mathbf{E} \tag{3.8}$$

Por lo tanto, la densidad de corriente es, en cualquier punto, directamente proporcional a la intensidad de campo, y la conductividad es la constante de proporcionalidad.

3.1.4 COEFICIENTE DE TEMPERATURA DE UNA RESISTENCIA

Veremos ahora cómo varía la resistencia de un material conductor con la temperatura. En su momento, estos conceptos nos ayudarán a entender cómo diseñar circuitos electrónicos que puedan funcionar adecuadamente dentro de un amplio margen de temperatura.

En un conductor, la concentración de electrones libres, n, en la Ecuación (3.7) es una constante porque *todos* los electrones de valencia contribuyen a la corriente; sin embargo, la movilidad μ_n decrece con la temperatura debido a que se hacen más frecuentes las colisiones. Por lo tanto, esperamos que σ decrezca y la resistencia de la Ecuación (3.6) aumente con la temperatura. Esto está de acuerdo con las medidas en resistencias metálicas, que muestran una variación típica lineal como la de la Figura 3.3. Para T muy cercana a alguna temperatura de referencia T_R, la expresión de esta línea recta toma la expresión

$$R(T) = R(T_R)[1 + \alpha(T - T_R)] \tag{3.9}$$

donde $R(T)$ y $R(T_R)$ son las resistencias a las temperaturas T y T_R, respectivamente. La constante α , llamada el *coeficiente de temperatura de la resistencia*, es la variación R por cada unidad de temperatura

$$\alpha = \frac{[R(T) - R(T_R)]/R(T_R)}{T - T_R} = \frac{\Delta R/R}{\Delta T} \tag{3.10}$$

(Utilizamos coeficientes de temperatura similares para describir resistencias no metálicas, condensadores, tensiones de referencia y otras magnitudes donde la variación de la temperatura influye).

Con las Ecuaciones (3.9) y (3.10) podemos tratar cuantitativamente los cambios en la resistencia inducidos por la temperatura, como vemos a continuación.

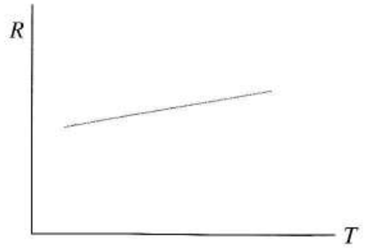


FIGURA 3.3 Variación de la resistencia con la temperatura para una resistencia de metal.

Ejercicio 3.1. A 18ºC una resistencia tiene un valor de 20 kΩ. Si $\alpha = 0{,}0039$/ºC ¿Cuál será la resistencia a 50ºC?
Respuesta R = 22,5 kΩ

EJEMPLO 3.1 Determinar el margen de temperatura centrado en 18 ºC para el que la resistencia del Ejercicio 3.1 varía no más del ±25% de su valor nominal de 20 kΩ.

Solución Un 5% de variación significa que $\Delta R/R = 0{,}05$. De la Ecuación (3.10),

$$\alpha = 0{,}0039 = \frac{0{,}05}{\Delta T}$$

así que $\Delta T = 12{,}8°C$. Por lo tanto la resistencia estará dentro de las tolerancias especificadas para

$$(18°\,C - 12{,}8°\,C) < T < (18°\,C + 12{,}8°\,C)$$

o

$$5{,}2°\,C < T < 30{,}8°\,C$$

❑

3.2 CONDUCCIÓN EN SEMICONDUCTORES INTRÍNSECOS

3.2.1 SEMICONDUCTORES INTRÍNSECOS

Los semiconductores son materiales tales como el silicio, germanio o arseniuro de galio, que tienen propiedades conductoras intermedias entre los aislantes y los metales. Distinguimos entre semiconductores *intrínsecos* y semiconductores *extrínsecos*, que serán el objeto de la próxima sección. Debido a su importancia creciente, nos centraremos básicamente en el silicio, sin embargo, nuestros resultados generales se aplican también a los otros semiconductores.

3.2.2 ELECTRONES LIBRES Y HUECOS

La Figura 3.4 muestra un átomo de un semiconductor de valencia 4 como un ión y cuatro electrones de valencia asociados. En estado sólido, muchos de estos átomos muy cercanos forman una red cristalina regular en la que cada electrón de valencia es compartido en un enlace covalente con otro de los cuatro átomos vecinos más cercanos. La Figura 3.4b es una representación bidimensional de esta red tridimensional cuando es perfecta.

Los enlaces covalentes que fijan los electrones de valencia a los átomos internos en los semiconductores son más fuertes que los enlaces metálicos pero considerablemente más débiles que los enlaces en los aislantes. Por lo tanto, cuando una red cristalina adquiere energía térmica y la temperatura aumenta, algunos enlaces covalentes se rompen. Los electrones de valencia se liberan de la atracción de sus átomos internos y se convierten en *electrones de conducción*, libres para desplazarse en respuesta a un campo eléctrico. La Figura 3.4c muestra un electrón de conducción, que se ha desplazado a la derecha bajo la influencia del campo. Al contrario que los conductores, donde todos los electrones de valencia están disponibles para la conducción a baja temperatura, *sólo* una *pequeña fracción de los enlaces se rompe en un semiconductor*. A mayores temperaturas, los enlaces covalentes se rompen en mayor cantidad, proporcionando electrones libres adicionales.

En un conductor, el producto de la rotura de cada enlace es un electrón de conducción y un ión positivo, *fijo en la red cristalina*. En un semiconductor, sin embargo, cuando se rompe un enlace y se van los electrones, queda también una carga positiva en la red llamada hueco y que *también es móvil*. En la Figura 3.4d una flecha muestra el hueco asociado con el átomo central ionizado; el electrón que anteriormente ocupaba el sitio vacante se ha desplazado fuera de la figura. La Figura 3.4e muestra el mecanismo mediante el que se mueve el hueco. El electrón de un enlace covalente vecino que, por casualidad, se aproxima al sitio vacante de la red cristalina es capturado por las fuerzas atómicas locales, abandonando su átomo original y formando un enlace covalente con su átomo vecino. En efecto, el hueco se ha movido a una posición *adyacente* en la red cristalina.

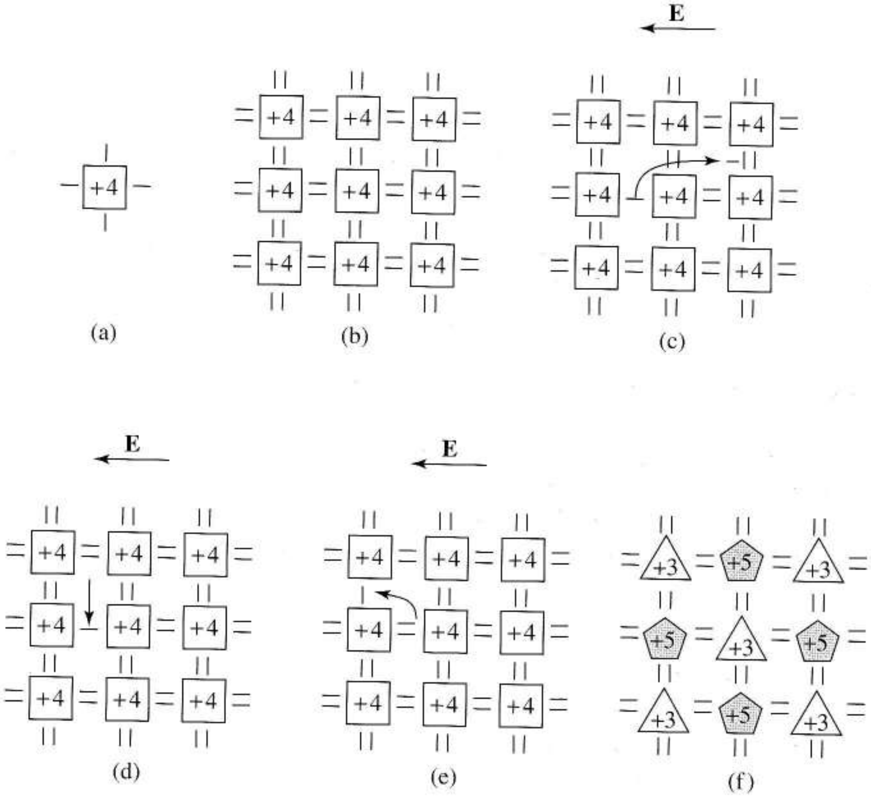


FIGURA 3.4 Semicondutor intrínseco: a) semiconductor de átomo de valencia 4; b) estructura de una red cristalina atómica perfecta; c) generación térmica de un electrón libre; d) hueco generado después de que el electrón libre producido se haya ido; e) movimiento de un hueco bajo la influencia de un campo eléctrico; f) semiconductor compuesto (arseniuro de galio) con átomos de valencia 3 y valencia 5 con los enlaces intactos.

Pero el hueco no sólo tiene un movimiento aleatorio, sino que también se desplaza bajo la influencia de un campo eléctrico contribuyendo a la generación de corriente. Un campo eléctrico produce movimiento de los electrones atrayéndolos hacia su polo positivo. Esto estimula el movimiento de los huecos en la dirección del campo, como en las Figuras 3.4d y e. Como en realidad los electrones cambian sus posiciones, tratar los huecos como partículas cargadas móviles, puede parecer a primera vista artificial e innecesario. Estudios de mecánica cuántica demuestran, sin embargo, que el movimiento de los huecos es matemáticamente equivalente al desplazamiento de una partícula cargada positivamente y con una masa ligeramente superior a la de un electrón (de la naturaleza más restrictiva del movimiento de los huecos parece lógico esperar que la movilidad de los huecos sea menor que la de los electrones). Por lo tanto, a efectos prácticos, siempre que se rompa un enlace covalente en un semiconductor se genera un par *electrón-hueco* y *ambas* partículas móviles y cargadas participan en la conducción.

Como los electrones libres y los huecos se producen siempre a pares en un semiconductor intrínseco, la concentración de electrones n, y la concentración de huecos p, son siempre iguales. La notación estándar es

$$n = p = n_i \text{ portadores / cm}^3$$

donde n_i, la *concentración de portadores intrínsecos*, tiene un valor para cada semiconductor y para cada temperatura.

Hay también *materiales semiconductores compuestos* formados por átomos de varios tipos. Un ejemplo importante es el arseniuro de galio, que contiene igual número de átomos de galio de valencia 3 que de arsénico de valencia 5. La Figura 3.4f muestra la estructura del cristal de arseniuro de galio. Como en los semiconductores de átomos de valencia 4, cada átomo comparte electrones en los enlaces covalentes con sus cuatro vecinos más próximos; sin embargo en la red del GaAs cada vecino es un átomo del otro tipo. La generación térmica de los pares electrón-hueco ocurre en los materiales compuestos justo como en los materiales de valencia 4. La diferencia principal es cuantitativa, con n_i teniendo un valor mucho más bajo y μ_n mucho más alto en el arseniuro de galio que en el silicio o germanio.

3.2.3 RECOMBINACIÓN DE HUECOS Y ELECTRONES

Junto con la generación de pares electrón-hueco en los semiconductores, ocurre simultáneamente un proceso de *recombinación*. Cuando un electrón tropieza con un hueco, algunas veces el electrón es recapturado, reestableciéndose el enlace covalente y desapareciendo espontáneamente el electrón libre y el hueco. La velocidad de recombinación es proporcional a la concentración de pares electrón-hueco, idea que tiene sentido físico, ya que a mayor concentración de pares electrón-hueco mayor posibilidad de encuentro de huecos y electrones. Los procesos de generación y recombinación coexisten en un estado de equilibrio dinámico que se describe a continuación.

3.2.4 EQUILIBRIO TÉRMICO Y ni (*T*)

En los semiconductores intrínsecos, el *equilibrio térmico* compensa la generación y recombinación de portadores de carga y establece la *concentración de portadores intrínseca*, n_i, para cada temperatura. El fluido de la Figura 3.5a ilustra la idea. El flujo entrante, a una velocidad determinada por el grifo representa la generación de nuevos pares electrón-hueco que es función de la temperatura de la red cristalina; el flujo saliente representa la desaparición de pares electrón-hueco por recombinación. El flujo saliente es proporcional al volumen de fluido, así como la recombinación es proporcional a la concentración de portadores. El volumen de fluido en régimen permanente representa la concentración de portadores en equilibrio n_i. El equilibrio implica idénticos flujo entrante y flujo saliente -volumen constante en el contenedor- fijado n_i en el semiconductor. Si el grifo se abre más, se romperá el equilibrio y temporalmente entrará más flujo del que sale. Entonces el volumen de fluido se incrementa hasta que el flujo saliente iguale al flujo entrante. Si el grifo se cerrase parcialmente, se produciría un nuevo equilibrio con un volumen de fluido menor. Por analogía, el incremento o descenso de la temperatura de la red cristalina provoca un nuevo equilibrio que implica una mayor o menor n_i. La primera fila de la Tabla 3.1 enumera las concentraciones de carga intrínsecas a 27ºC para los materiales semiconductores más comúnmente utilizados.

La generación de pares electrón-hueco es función de la temperatura. Para el silicio, la concentración intrínseca es

$$n_i(T) = 3{,}88 \times 10^{16} T^{3/2} e^{-6957/T} cm^{-3}$$

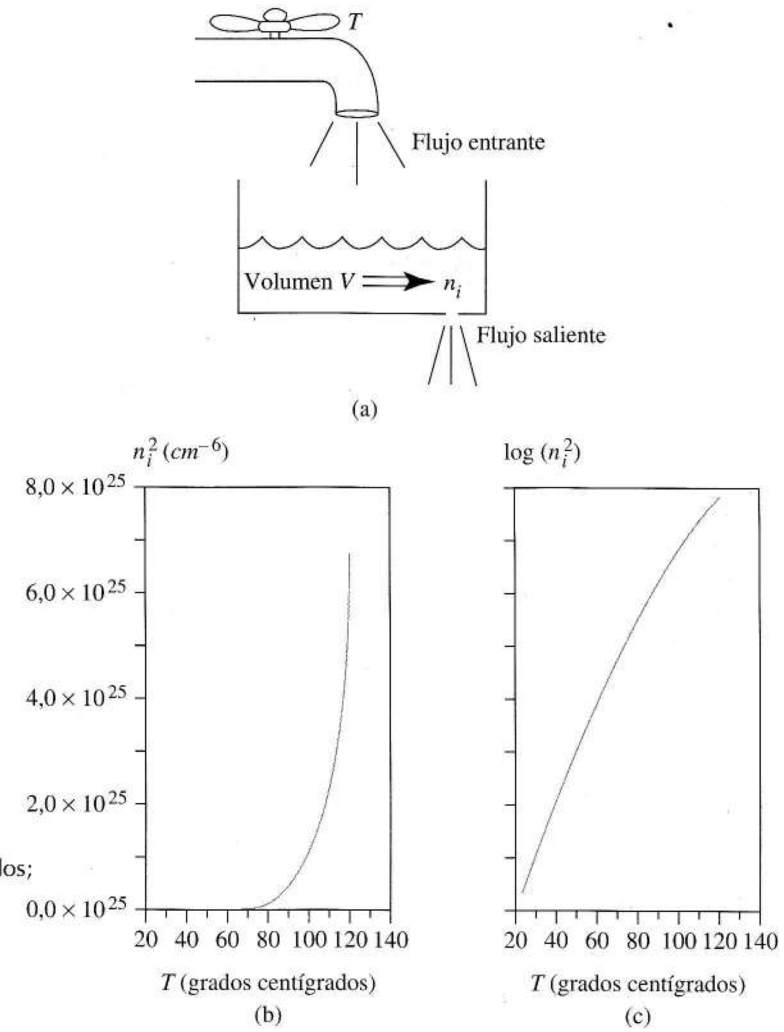


FIGURA 3.5
Concentración de portadores intrínsecos: a) analogía con los fluidos; b) variación del valor al cuadrado con la temperatura c) logaritmo del valor al cuadrado.

donde T es la temperatura absoluta. En el germanio y el arseniuro de galio se tienen expresiones similares con constantes diferentes.

Cuando estudiemos dispositivos de estado sólido en los próximos capítulos, encontraremos repetidamente el cuadrado $n_i^2\,(T)$, asociado con valores de importantes parámetros. Es más, este factor es nuestro mayor adversario al intentar diseñar circuitos que trabajen a lo largo de un amplio margen de temperaturas. No necesitamos conocer la ecuación específica; sin embargo, es útil saber y recordar que n_i^2 se aproxima a una exponencial creciente función de T a lo largo de un amplio margen de temperaturas, como podemos ver en las Figuras 3.5b y c.

TABLA 3.1 Constantes de semiconductores a 27ºC

	Silicio	Germanio	Arseniuro de galio	Unidades
n_i	$1{,}45 \times 10^{10}$	$2{,}4 \times 10^{13}$	$1{,}8 \times 10^{6}$	cm^{-3}
μ_n	1.500	3.900	8.500	$cm^2/V\text{–}s$
μ_p	480	1.900	400	$cm^2/V\text{–}s$

3.2.5 CONDUCTIVIDAD DEL SILICIO INTRINSECO

En un semiconductor, huecos y electrones responden a un campo eléctrico desplazándose en direcciones opuestas. Esto proporciona *dos* componentes de corriente que se suman para igualar a la corriente externa, no una corriente debida sólo a los electrones como en un metal. La velocidad de desplazamiento media de cada portador de carga está relacionada con la intensidad de campo por su propia movilidad, μ_n para los electrones y μ_p para los huecos. Mediante la suma de un volumen imaginario de huecos moviéndose hacia la derecha en la Figura 3.2 podíamos demostrar que *en general* la conductividad de un semiconductor es:

$$\sigma = q\left(n\mu_n + p\mu_p\right) \tag{3.12}$$

donde p es la concentración de huecos. En semiconductores *intrínsecos*, las concentraciones de huecos y electrones son ambas iguales a n_i y la Ecuación (3.12) se reduce a

$$\sigma_i = qn_i\left(\mu_n + \mu_p\right) \tag{3.13}$$

Valores típicos para la movilidad de huecos y electrones a 27 °C se dan en la Tabla 3.1. Debido a la alta movilidad de sus electrones, el arseniuro de galio está jugando un papel cada vez más importante en dispositivos de alta velocidad.

Las Ecuaciones (3.6) y (3.8) se aplican ambas tanto al desplazamiento en materiales semiconductores como en metales, si usamos La Ecuación (3.12) para la conductividad como en el siguiente ejemplo.

EJEMPLO 3.2 La Figura 3.6 muestra un cilindro de silicio intrínseco. Calcule su resistencia a 27 °C.

Solución Las concentraciones de huecos y electrones son $n = p = n_i$ portadores por cm^3. Utilizando valores de la Tabla 3.1 en la Ecuación (3.13) para obtener

$$\sigma_i = 1{,}6 \times 10^{-19} \times 1{,}45 \times 10^{10} \times (1.500 + 480) = 4{,}59 \times 10^{-6}\,\text{S/cm}$$

La longitud de el camino resistivo es 8 cm y el área a través de la cual circula la corriente es $A = \pi(I)^2/4 = 7{,}85 \times 10^{-1}$ cm^2. Usando estos valores en la Ecuación (3.6) da $R = 2{,}22$ MΩ. ❏

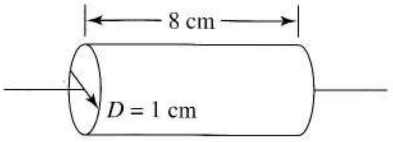


FIGURA 3.6 Resistencia construida con un semiconductor intrínseco.

En semiconductores intrínsecos, μ_n y μ_p, de la Ecuación (3.13) decrecen ambos ligeramente con el aumento de la temperatura porque se hacen más frecuentes las colisiones en la red; sin embargo, *esto es compensado* por el gran aumento en n y p causado por la generación térmica de nuevos pares electrón-hueco. La resistencia especial construida con material semiconductor intrínseco, llamada *termistor*, es útil como transductor para medir la temperatura porque su resistencia decrece de manera espectacular al aumentar la temperatura, como en la Figura 3.7, esto es, tiene un coeficiente de temperatura *negativo*. Este comportamiento se puede comparar con el modesto *incremento* de la Figura 3.3 para una resistencia metálica.

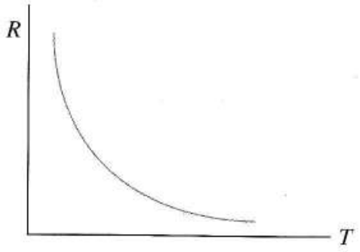


FIGURA 3.7 Variación de la resistencia de un semiconductor intrínseco con la temperatura.

Ejercicio 3.2 En el Ejemplo 3.2 obtuvimos que $R = 2{,}22\ \text{M}\Omega$ a 27°C para el termistor de la Figura 3.6. Hallar R a 35 °C. Suponer que los cambios de las movilidades son despreciables.

Respuesta $R = 990\ \text{k}\Omega$.

En el ejemplo y el ejercicio anteriores obtuvimos que un crecimiento de 8°C de la temperatura producía una caída del 55% en la resistencia del termistor. Podemos hacer una aproximación burda del coeficiente de temperatura del termistor utilizando estas cantidades en la Ecuación 3.10. Esto da

$$\alpha = \frac{\Delta R/R}{\Delta T} = \frac{\left(9{,}9\times10^5 - 2{,}22\times10^6\right)/2{,}22\times10^6}{35-27} = -0{,}069$$

ó –69.000 partes *por millón* (ppm) por grado C. Obsérvese que α es una función de la temperatura, no una constante.

3.3 SEMICONDUCTORES DOPADOS

Para producir semiconductores con conductividad precisamente controlada y relativamente constante dentro de un margen de temperatura amplio, añadimos al material cantidades cuidadosamente medidas de ciertas impurezas. Hay dos tipos de impurezas, donadoras y aceptadoras, y dos clases correspondientes de semiconductores dopados, tipo n y tipo p.

3.3.1 SEMICONDUCTORES TIPO n

Producimos *un semiconductor de tipo n* introduciendo una pequeña concentración de impurezas de valencia 5, tales como el antimonio o el fósforo, dentro de la estructura de la red cristalina. La Figura 3.8 muestra uno de los puntos de la red en los que se localiza un átomo de impureza. A 0 K cuatro de los electrones de valencia del átomo de impureza comparten enlaces covalentes con los electrones de los átomos de silicio vecinos, pero el quinto está sin compartir, y por lo tanto ligado sólo ligeramente a su átomo de origen. Una pequeña cantidad de energía térmica es suficiente para liberar *todos* estos electrones *donadores* no compartidos. Una vez liberados de sus enlaces originales, estos átomos se comportan de forma muy parecida a los electrones libres de un metal. El átomo de impureza de la Figura 3.8b ha sido ionizado de esta manera y el electrón se ha desplazado hacia la derecha bajo la influencia de un campo eléctrico.

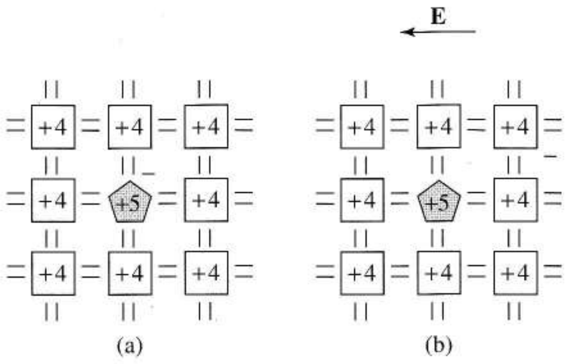


FIGURA 3.8
Semiconductor de tipo donador: a) a T=0 K; b) a T>0 K.

Las impurezas de valencia 5 se llaman *donadoras* o de *tipo n* porque *donan* electrones libres. Nótese que aquí no se generan huecos móviles cuando los átomos de impureza donan electrones en materiales tipo n. Después de liberar estos electrones libres se generan *iones positivo fijos*, anclados en la red cristalina e incapaces de desplazarse en respuesta a un campo eléctrico aplicado. Obviamente hay una gran similitud entre los semiconductores tipo n y los conductores; sin embargo, la concentración de electrones libres, n, es mucho más baja en el *semi*conductor y su valor se controla estrictamente durante el proceso de dopado.

En el silicio dopado hay también pares electrón-hueco *ordinarios* que se están generando y recombinando continuamente como en los materiales intrínsecos; sin embargo, a temperaturas moderadas los electrones donantes predominan en el comportamiento eléctrico en virtud de su mucho mayor número. Por ejemplo, la concentración de donadores, N_d, puede ser del orden de 10^{19} átomos/cm^3, comparado con $n_i = 1{,}5\times10^{10}$ electrones/cm^3 disponibles en el silicio intrínseco a 27ºC. Desde el momento en que hay $6{,}67\times10^8$ electrones donados por cada electrón intrínseco, la conductividad del material dopado es mucho mayor que la de un material intrínseco. Por otro lado, la conductividad del semiconductor dopado es mucho más baja que la de un conductor. Un metal monovalente tendría alrededor de 10^{22} electrones libres/cm^3, ¡aproximadamente mil veces más que el semiconductor dopado!

3.3.2 CONCENTRACION DE PORTADORES EN EL SILICIO TIPO n

La presencia de electrones donadores altera profundamente el equilibrio que establece n^2_i. La *ley de acción de masas*, que se aplica a todos los semiconductores, intrínsecos o dopados, requiere que el producto de las concentraciones de huecos y electrones libres sea siempre constante. Como la ley se aplica a materiales intrínsecos

$$np = n_i^2 \tag{3.14}$$

En el material tipo n, algunos electrones vienen de los átomos donadores y algunos de los pares electrón-hueco generados térmicamente en el silicio; sin embargo, los huecos surgen sólo de la generación térmica de los *pares* electrón-hueco. Por lo tanto, cuando la concentración del donador es N_d, la concentración de electrones libres es

$$n = N_d + p \tag{3.15}$$

Podemos obtener los *valores exactos* para n y p a cualquier temperatura resolviendo simultáneamente las Ecuaciones (3.14) y (3.15) para n y p respectivamente. La Figura 3.9 muestra la concentración

de electrones resultante. Para materiales fuertemente dopados hay un margen amplio de temperatura *extrínseca*, a lo largo del cual la concentración de electrones donados es mucho mayor que la concentración intrínseca. A una temperatura lo bastante alta el material *se comporta* como si fuera *intrínseco*. Esto es, el número de portadores donados es despreciable frente a los pares de portadores generados térmicamente. En la *región extrínseca*, sin embargo, los portadores donados predominan en el comportamiento eléctrico del material. Esta observación nos lleva a una aproximación muy útil del material donador

$$n \approx N_d \tag{3.16}$$

Sustituyendo la expresión de n de la Ecuación (3.16) en (3.14) se obtiene una aproximación para la concentración de huecos apropiada para temperaturas extrínsecas

$$p \approx \frac{n_i^2}{N_d} = \left(\frac{n_i}{N_d}\right) n_i \tag{3.17}$$

Como $N_d >> n_i$ a 27C, la Ecuación (3.17) muestra que la concentración de huecos es mucho menor que n_i en materiales tipo n. Debido a que $n >> p$ llamamos a los electrones *portadores mayoritarios* y a los huecos *portadores minoritarios* en los materiales tipo n. En el margen de temperatura extrínseca, la aproximación

$$\sigma = q\mu_n N_d \tag{3.18}$$

describe la conductividad de los semiconductores tipo n. Esto se obtiene de la Ecuación (3.12) sustituyendo las Ecuaciones (3.16) y (3.17) y viendo después que la concentración de huecos es despreciable a temperaturas extrínsecas.

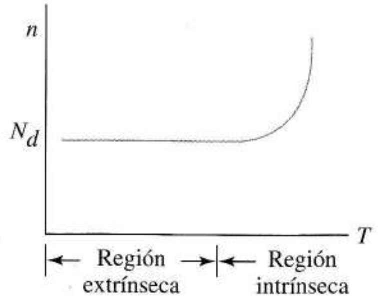


FIGURA 3.9 Concentración de electrones libres en silicio tipo n en función de la temperatura.

3.3.3 SEMICONDUCTORES TIPO P

Podemos producir otra clase de semiconductor dopado, tipo p, introduciendo pequeñas concentraciones de impurezas *aceptadoras* de valencia 3 como el boro o el indio. La Figura 3.10a muestra cómo los tres electrones de valencia de cada impureza están compartidos en enlaces covalentes con los átomos de silicio vecinos a una temperatura de cero absoluto. Por cada átomo de impureza hay un electrón de valencia de un átomo de silicio sin compañero para compartir un enlace. Esta asimetría eléctrica representa una posición de *baja energía* capaz de capturar y fijar cualquier electrón que pase lo bastante cerca. Cuando la red cristalina adquiere energía térmica, es casi seguro que un electrón de los átomos de silicio vecinos será capturado (aceptado) por un átomo de impureza como muestra la flecha de la Figura 3.10b. Esto crea un *ión negativo* inmóvil en la red cristalina y deja un solo electrón

en un enlace covalente *compartido originalmente por dos electrones del silicio*. Se ha formado un hueco que puede desplazarse a través de la red cristalina. En el material, un ligero aumento de la temperatura sobre el cero absoluto crea N_a huecos por cm^3, cada uno de ellos libre para desplazarse a través de la red cristalina cuando se aplica un campo eléctrico. Por cada uno de estos huecos hay un ión negativo fijo en la red del cristal.

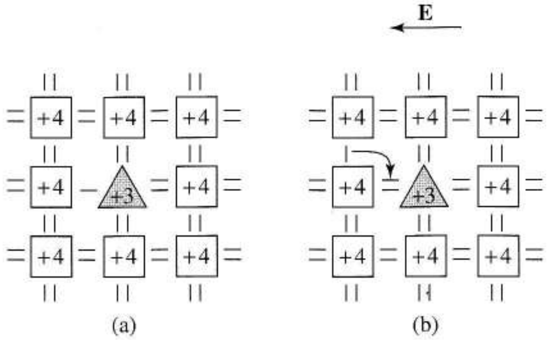


FIGURA 3.10 Impurezas del silicio tipo p: a) a cero absoluto; b) a una temperatura elevada.

3.3.4 CONCENTRACION DE PORTADORES EN SILICIO TIPO N

Razonamientos similares a los utilizados para las impurezas de tipo donador llevan a que el número total de huecos cumple la Ecuación (3.14) y

$$p = N_a + n \tag{3.19}$$

Un examen cuidadoso de estas ecuaciones a temperaturas bajas y moderadas lleva a aproximaciones útiles como

$$p \approx N_a \tag{3.20}$$

o

$$n \approx \frac{n_i^2}{N_a} = \left(\frac{n_i}{N_a}\right) n_i \tag{3.21}$$

Por lo tanto en materiales tipo p la concentración de electrones libres a temperaturas moderadas es mucho menor que el valor intrínseco correspondiente. Como $p >> n$, los huecos son los portadores mayoritarios y los electrones los portadores minoritarios. La ecuación

$$\sigma = q\mu_p N_a \tag{3.22}$$

aproxima la conductividad eléctrica de un material tipo p a temperaturas moderadas.

También es posible crear semiconductores compuestos de tipo n ó p. En el arseniuro de galio, por ejemplo, podemos hacer esto reemplazando selectivamente unos pocos átomos de galio o arsénico por átomos de silicio. El resultado es material tipo n ó p, respectivamente, con átomos de silicio como impurezas.

3.3.5 COMPENSACIÓN

Mientras se fabrican semiconductores dopados, podemos convertir material tipo n en material tipo p, y viceversa, mediante un proceso llamado *compensación*. Para convertir semiconductores tipo n en

tipo p, por ejemplo, añadimos una concentración de impurezas aceptadoras $N_a > N_d$. Las propiedades de este material *compensado* son las mismas que las de un material tipo p ordinario con concentración $N_a - N_d$ de impurezas aceptadoras. De forma similar podemos añadir impurezas donadoras a un material aceptador para producir material tipo n con una concentración $N_d - N_a$ de impurezas donadoras. Todas las ecuaciones aproximadas para las concentraciones de portadores y conductividad de materiales dopados se aplican cuando se utiliza esta técnica.

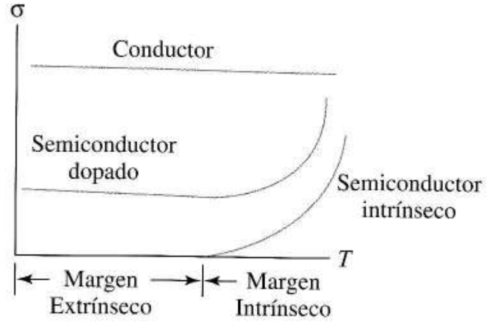


FIGURA 3.11 Conductividad de un conductor, un semiconductor intrínseco y semiconductor dopado.

Aunque no está dibujada a escala la Figura 3.11 resume las diferencias de conductividad de los tres tipos de material. A temperaturas extrínsecas, donde la mayoría de los dispositivos de estado sólido funcionan, las conductividades de los semiconductores dopados son mucho más bajas que las de los conductores debido a la menor concentración de portadores de carga, pero mucho mayores que en los materiales intrínsecos. En los materiales dopados, igual que en los conductores, el número de portadores de carga es constante, por lo tanto sus conductividades tienen un pequeño coeficiente de temperatura negativo causado por las variaciones de la movilidad con la temperatura. Esto significa que las resistencias hechas de semiconductores dopados, y aquellas hechas de conductores, tienen coeficientes de temperatura positivos. A temperaturas intrínsecas, los semiconductores dopados empiezan a parecerse a materiales intrínsecos; sin embargo, para evitar este problema las concentraciones de impurezas son altas.

3.3.6 RESISTENCIAS EN CIRCUITOS INTEGRADOS

En el Capítulo 4 veremos cómo se fabrican los circuitos integrados. Ahí veremos que las resistencias de circuito integrado menos caras son simples láminas de poco espesor de material semiconductor dopado, como en la Figura 3.12. Todas las resistencias de un mismo circuito integrado se fabrican al mismo tiempo, teniendo el mismo grosor t y conductividad σ. Esto significa que, en el mismo circuito integrado, podemos obtener diferentes valores de resistencias variando las dimensiones geomé

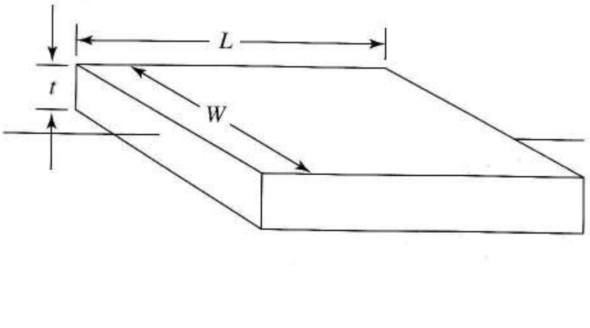


FIGURA 3.12 Resistencia de circuito integrado fabricada con material dopado.

tricas L y W. Si sustituimos el área A en la Ecuación (3.6) por el producto Wt de la Figura 3.12 la resistencia pasa a ser

$$R = \frac{1}{\sigma t} \times \frac{L}{W} = R_s \times \frac{L}{W} \tag{3.23}$$

que define la *resistencia pelicular* R_s. Obsérvese que R_s contiene todos aquellos parámetros comunes a todas las resistencias del circuito integrado. Técnicamente, R_s tiene unidades de ohmios; sin embargo nosotros utilizamos *ohmios por cuadro*, para enfatizar que la resistencia pelicular es la resistencia de un cuadro de semiconductor de cualquier tamaño vista desde arriba.

Para apreciar la utilidad de la resistencia pelicular, obsérvese que para producir una resistencia de 6 kΩ a partir de una de semiconductor de 600 Ω por cuadro, necesitamos sólo una superficie que tenga un área con una relación entre longitud y anchura de 10 a 1. Esto es muy útil porque la proporción longitud-anchura se controla directamente durante el proceso de fabricación. Las resistencias integradas típicas cumplen la Ecuación (3.9) con coeficientes de temperatura $\alpha \approx 1.000$ partes por millón. Para valores reales de resistencia pelicular, las resistencias de valor alto requieren formas geométricas muy largas y estrechas, y excesivo espacio en el circuito integrado. Es tan difícil conjugar este tipo de geometría con otras necesidades de diseño y con la posición de conexiones y bloques que los diseñadores de circuitos integrados trabajan con circuitos con resistencias de valor relativamente bajo.

A partir de la Ecuación (3.23) descubrimos otro importante principio de diseño. Debido al pequeño tamaño de los circuitos integrados, las resistencias del chip tienen casi la misma temperatura. Como la variación de temperatura está incluida en R_s (mediante σ), se deduce que la *relación* entre resistencias que cumplen la Ecuación (3.23) permanece constante aunque la temperatura varíe, porque R_s elimina la distorsión (varía de la misma forma para todas las resistencias) y la relación entre resistencias permanece constante dentro de un margen de temperaturas amplio. Si la relación entre los valores de las resistencias depende sólo de la geometría podemos establecer su valor con una precisión aproximada del 1% durante el proceso de fabricación. Como conclusión, un buen diseño de circuito integrado debe hacer que el funcionamiento del conjunto del circuito dependa de la relación entre los valores de las resistencias.

Muchos de los circuitos amplificadores operacionales del Capítulo 2 tienen determinado su funcionamiento por la relación entre los valores de las resistencias (por ejemplo, amplificadores inversores y no inversores, circuitos sumadores, amplificadores diferenciales) y, por lo tanto, son buenos para diseños de circuitos integrados.

EJEMPLO 3.3 Una resistencia R está hecha con una sección de semiconductor de $W \times L = 2$ μm por 20 μm con una resistencia pelicular de 900 Ω por cuadro. Obtener los valores máximo y mínimo de R si R_s varía un ± 20%. Suponer que W y L son constantes.

Solución a) De la Ecuación (3.23), la resistencia nominal es

$$R = R_s\left(\frac{L}{W}\right) = 900\left(\frac{20}{2}\right) = 9.000\ \Omega$$

Incluyendo las variaciones del 20% de R_s da

$$R \pm \Delta R = 9.000(1 \pm 0{,}2) = 9.000 \pm 1.800\ \Omega$$

Por lo tanto

$$7.200\ \Omega \le R \le 10.800\ \Omega$$

❑

Este ejemplo sugiere qué tipo de variaciones podemos esperar si comparamos dos resistencias de 9kΩ de dos circuitos integrados fabricados por separado. En el siguiente ejercicio estimaremos la variación de una resistencia de un chip sabiendo que se ha obtenido con unos controles de calidad determinados de su geometría durante la fabricación.

Ejercicio 3.3 Obtener los valores máximo y mínimo para la resistencia del Ejemplo 3.3 si R_s es constante pero W y L varían ambos un ±1%.

Respuesta $8.822\ \Omega \leq R \leq 9.182\ \Omega$.

3.3.7 TIEMPO DE VIDA DE LOS PORTADORES MINORITARIOS

Ya conocemos el equilibrio térmico que regula la concentración de huecos y electrones en los semiconductores. Siempre que alteremos este equilibrio, nos encontramos una importante constante de tiempo llamada tiempo de vida de los portadores minoritarios. Un experimento clásico arroja alguna "luz" sobre la dinámica del restablecimiento del equilibrio.

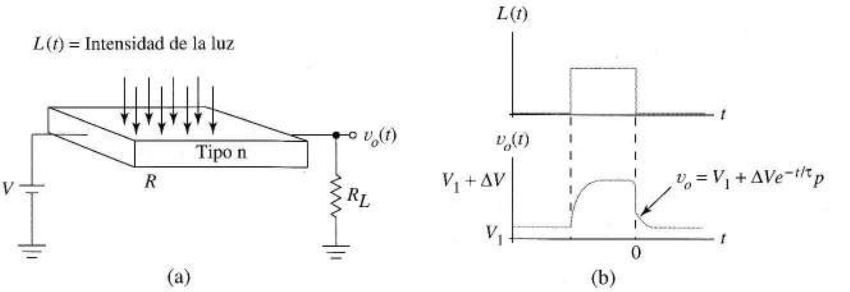


FIGURA 3.13 Experimento para medir la vida de los portadores: a) estructura física; b) formas de onda.

La Figura 3.13 muestra una sección delgada de semiconductor tipo n que constituye una resistencia R de un divisor de tensión. El material es brevemente iluminado por un pulso de luz de intensidad $L(t)$ como muestra la Figura 3.13b. Los fotones de la energía luminosa alteran el equilibrio produciendo nuevos pares electrón-hueco. Si $R >> R_L$, el divisor de tensión hace que

$$v_o(t) = \frac{R_L}{R_L + R}V \approx \frac{R_L}{R}V = R_L V \frac{A}{L} q\left[\mu_p p(t) + \mu_n n(t)\right]$$

Durante el pulso la concentración de portadores aumenta, disminuyendo R y aumentando la tensión de salida ΔV voltios sobre su valor de equilibrio V_1 donde ΔV se atribuye a los pares electrón-hueco generados. Cuando el pulso finaliza, el *exceso* de portadores generado por la luz se recombina para reestablecer el equilibrio original, produciéndose una caída exponencial hacia las condiciones de equilibrio como en la Figura 3.13b. La constante de tiempo, τ_p, llamada tiempo de vida de *portadores minoritarios*, es función del material e indica el tiempo que tardan en recombinarse el 68% de los portadores que había en exceso. Un experimento similar, utilizando material tipo p, establece la existencia de un tiempo de vida de portadores minoritarios, τ_n, para los electrones. En el silicio, las vidas de los minoritarios van de 0,01μs a 1 μs. Veremos bastantes situaciones importantes en las que un proceso de recombinación exponencial está caracterizado por la *vida* de los portadores cuando investiguemos las limitaciones de velocidad de los dispositivos electrónicos.

3.4 DIFUSIÓN DE HUECOS Y ELECTRONES

Los electrones y huecos móviles producen corrientes eléctricas mediante dos mecanismos distintos: desplazamiento bajo la influencia de un campo eléctrico, que ya fue comentado, y difusión que es el objeto de este apartado. Ambos procesos son importantes en los dispositivos de estado sólido.

Los maestros de escuela demuestran la difusión vertiendo tinta en agua limpia. El movimiento térmico aleatorio de las moléculas de tinta hace que se esparzan o *difundan* en todas las direcciones hasta que se distribuyen uniformemente por toda la solución. Hay tres condiciones esenciales para éste o cualquier otro proceso de difusión: *partículas móviles, movimiento aleatorio de las partículas y una distribución espacial no uniforme de las partículas.* Ya hemos visto que los huecos y electrones de un semiconductor sólido satisfacen las dos primeras condiciones.

3.4.1 CORRIENTES DE DIFUSIÓN

Si los huecos y/o electrones adquieren una distribución espacial no uniforme, entonces, en virtud de su energía térmica, se difunden como las moléculas de tinta hasta que su concentración es, otra vez, uniforme. Como los huecos y electrones son partículas cargadas, este movimiento constituye una corriente eléctrica llamada *corriente de difusión*. Incluso cuando están espacialmente concentrados los huecos y electrones libres permanecen en concentraciones bastante bajas ($\approx 10^{19}$ portadores frente 10^{22} átomos por cm^3) y por lo tanto están ampliamente espaciados y separados unos de otros por los átomos de la red cristalina. Así que las fuerzas eléctricas de repulsión o atracción entre portadores son despreciables.

En un proceso de difusión el número de partículas que cruza una unidad de área por unidad de tiempo en una dirección perpendicular al área es proporcional al *gradiente de concentración* negativo de las partículas, donde la constante de proporcionalidad se llama *constante de difusión*. El gradiente negativo significa el movimiento neto de las partículas es siempre de la región de mayor concentración a la región de menor concentración. En geometrías simples en las que la concentración varía sólo según una variable espacial, el gradiente se reduce a una simple derivada espacial. Para los huecos con una concentración que varía sólo en la dirección x, el caso más útil en una geometría simple de semiconductor, la densidad de corriente de difusión es

$$J_p = -qD_p \frac{dp}{dx} \text{ amperios / cm}^2 \tag{3.24}$$

donde D_p, la *constante de difusión* para huecos, es una propiedad del material. Análogamente para los electrones, la densidad de corriente de difusión es

$$J_n = qD_n \frac{dn}{dx} \text{ amperios / cm}^2 \tag{3.25}$$

donde D_n es la constante de difusión para los electrones. No hay signo menos en la Ecuación (3.25) debido a la carga negativa de los electrones y al convenio de corrientes que utilizamos. D_p y D_n son, ambas, funciones de la temperatura.

Como las constantes de difusión y movilidad se refieren ambas a flujos de partículas cargadas a través de una red cristalina que posee energía térmica, no debería ser una sorpresa saber que están

relacionados. Justificar este hecho va más allá de los objetivos de este libro, así que únicamente citaremos un importante resultado conocido como la *relación de Einstein*

$$\frac{D_p}{\mu_p} = \frac{D_n}{\mu_n} = V_T = \frac{kT}{q} \tag{3.26}$$

donde k es la constante de Boltzman, T la temperatura absoluta y q la carga del electrón. La primera igualdad muestra que las constantes de difusión y movilidad para huecos están relacionados entre sí. La segunda, que cada cociente es igual a V_T, una cantidad que llamamos *tensión térmica*. Como la constante de Boltzman es $1{,}38\times10^{-23}$J/K, el valor numérico de V_T está alrededor de 1/40 V ó 25 mV a 27 ºC, un número a recordar porque lo usaremos a menudo en el futuro.

Ejercicio 3.4 En un material de 4,5cm^2 de sección, la concentración de electrones en un instante determinado es $n(x) = 10^6\ e^{-x/0{,}001}$ cm^{-3}, cuando x se mide en cm perpendicularmente a la superficie de la sección. La concentración es uniforme en las direcciones y y z. Si la constante de difusión es D_n = 20 cm^2/s, determinar la corriente de electrones a x = 0,005 cm.

Respuesta I_n (0,005) = –97 µA.

3.4.2 LONGITUD DE DIFUSIÓN

Una forma de establecer las corrientes de difusión es iluminar el extremo de una muestra de semiconductor alargada. En el clásico experimento de la Figura 3.14a se usa un material tipo n para medir indirectamente la corriente de difusión debida a los huecos. Cuando la luz está apagada, los huecos, en el silicio tipo n, tienen una concentración *uniforme* de $p_{n0} \approx n_i^2/ N_d$, y no existe corriente de difusión. Cuando encendemos la luz, la fotogeneración de pares electrón-hueco altera el equilibrio cerca de la superficie iluminada; lejos, cerca del extremo en sombra, las concentraciones de portadores no cambian. Los huecos se difunden hacia la derecha porque su concentración no es uniforme; sin embargo muchos se recombinan porque las concentraciones exceden los valores de equilibrio. La concentración de huecos en régimen permanente, $p(x)$, se determina midiendo la conductividad con una sonda móvil y es

$$p(x) = P_{n0} + \Delta p e^{-x/L_p} \tag{3.27}$$

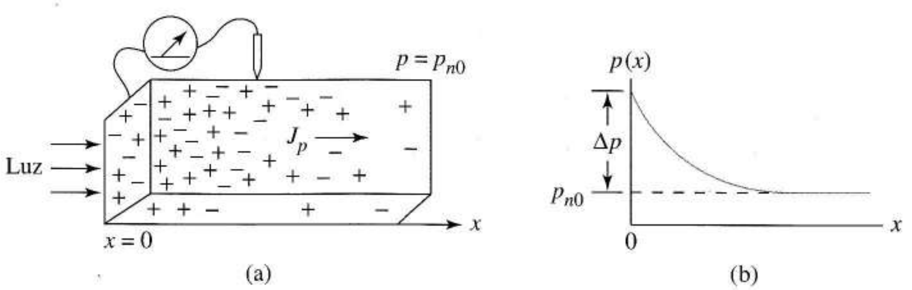


FIGURA 3.14 a) Concentración de huecos no uniforme causada por la iluminación de silicio tipo n; b) perfil de la concentración de huecos en régimen permanente definida por la longitud de difusión L_p.

donde Δp es el exceso de concentración de minoritarios en la superficie iluminada como muestra la Figura 3.14b. L_p es una constante espacial que llamamos *longitud de difusión para los huecos*. Ahora

podemos calcular la densidad de corriente de difusión para los huecos en cualquier punto x sustituyendo la Ecuación (3.27) en la Ecuación (3.24).

Este estudio ha hecho hincapié en la difusión de huecos, sin embargo, la luz también causa un exceso de electrones que se difunden lejos de la superficie iluminada. Esta segunda corriente de derecha a izquierda, cancela la corriente de huecos en cualquier punto x, haciendo que la corriente neta sea cero de acuerdo con la ausencia de un camino para la corriente fuera del material. La longitud de difusión para los electrones, L_n, se mide usando material tipo n iluminado. En el silicio, las longitudes de difusión para huecos y electrones son del orden de 1 a 100 μ, con un valor típico de 10 μ.

EJEMPLO 3.4 Para el material de la Figura 3.14, $n_i = 1{,}45 \times 10^{10}\text{cm}^{-3}$ y $N_d = 10^{16}$ átomos/cm^3.

a) Calcular la concentración de huecos antes de encender la luz

b) Si la luz produce en la superficie iluminada un aumento de la concentración de huecos igual a 11 veces su valor de equilibrio, hallar la densidad de corriente de huecos en función de x. Suponer que la longitud de difusión para los huecos es $L_p = 12 \times 10^{-4}$ cm y la constante de difusión es $D_p = 24$ cm^2/s.

c) Calcular los valores de la corriente de huecos para $x = 0$ y $x = 10^{-3}$ si el área de la sección es 1,5 cm^2.

Solución a) Sin la luz, la concentración de huecos es el valor de equilibrio

$$p_{n0} = \frac{n_i^2}{N_d} = \frac{(1{,}45 \times 10^{10})^2}{10^{16}} = 2{,}1 \times 10^4\,\text{cm}^{-3}$$

b) En la superficie iluminada, $p_{n0} + \Delta_p = 11p_{n0}$, ó

$$\Delta P = 10p_{n0} = 2{,}1 \times 10^5\,cm^{-3}$$

De la Ecuación (3.27)

$$p(x) = 2{,}1 \times 10 + 2{,}1 \times 10^5 e^{-x/0{,}0012}$$

De la Ecuación (3.24)

$$J_p(x) = -1{,}6 \times 10^{-19}(24)\frac{-2{,}1 \times 10^5}{0{,}0012} e^{-x/0{,}0012} = 6{,}72 \times 10^{-10} e^{-x/0{,}0012}$$

c)

$$I_p(0) = 1{,}5 \times 6{,}72 \times 10^{-10} e^{-0/0{,}0012} = 1.008\text{pA}$$

$$I_p(0{,}001) = 10^{-9} e^{-0{,}001/0{,}0012} = 435\text{pA}$$

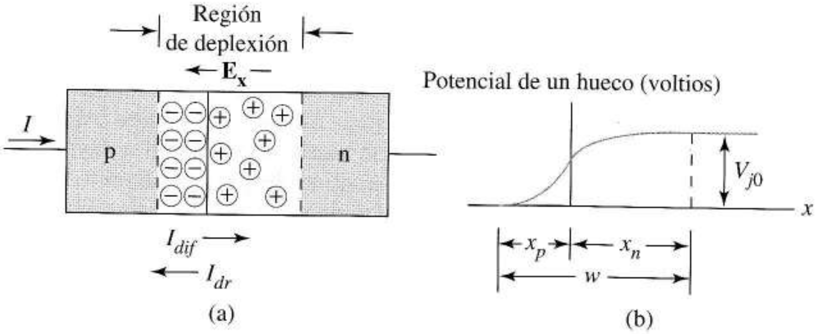
❑

3.5 LA UNIÓN p-n EN EQUILIBRIO

Los principios de funcionamiento de muchos dispositivos electrónicos dependen de la actividad eléctrica en el *interface* entre materiales tipo n y tipo p, una región de sólo unas micras de anchura llamada *unión pn*. La comprensión completa de la unión requiere principios de mecánica cuántica que están más allá de los objetivos de este texto; sin embargo, la descripción intuitiva de este apartado proporciona un fundamento físico que es adecuado para la mayoría de los análisis de los circuitos básicos y las tareas de diseño. El texto de Mattson, citado en las referencias del final del capítulo, da una descripción matemática más completa y excelentes ayudas gráficas para su comprensión.

3.5.1 CORRIENTE DE DIFUSIÓN

Un experimento imaginario nos introduce en algunas de las características más importantes de la unión pn. Imaginemos un cristal de silicio simple en el que la mitad esta dopada con impurezas tipo p y la otra mitad con impurezas tipo n. Los huecos del lado p, inicialmente, se difunden en el material tipo n donde la concentración de huecos es baja, y los electrones se difunden en el material tipo p, cada portador se mueve dejando tras de sí un ión inmóvil en la red cristalina de polaridad opuesta a la suya. Eventualmente, los huecos y electrones difundidos, que han pasado a ser portadores minoritarios, se recombinan con otros portadores de carga. El resultado de esta difusión es una región virtualmente vacía de portadores móviles como muestra la Figura 3.15a, la *región de carga* o *de deplexión*. La difusión continua de partículas cargadas a través de la región de deplexión forma los componentes la corriente de huecos y electrones que se suman para dar corriente de difusión I_{dif} La corriente de difusión queda limitada automáticamente por el campo eléctrico asociado a los iones de la red cristalina. Como un hueco se difunde del lado p al lado n, pierde energía cinética debido a la fuerza retardante del campo eléctrico. La diferencia de potencial entre los lados p y n que resulta de este campo eléctrico se llama *tensión de barrera* V_{J0} y se muestra en la Figura 3.15b. V_{J0} es el trabajo realizado o la energía cinética perdida por unidad de carga por cada hueco que cruza la región de deplexión. Una *barrera de potencial* de idéntico valor se opone a la difusión de los electrones en dirección opuesta. Como los portadores mayoritarios, cuya energía térmica varía ampliamente, están siempre disponibles, la tensión de barrera actúa como un *filtro de energía*, permitiendo sólo a aquellos portadores cuya energía exceda el valor mínimo V_{J0} escalar la colina de potencial y contribuir a I_{dif}.



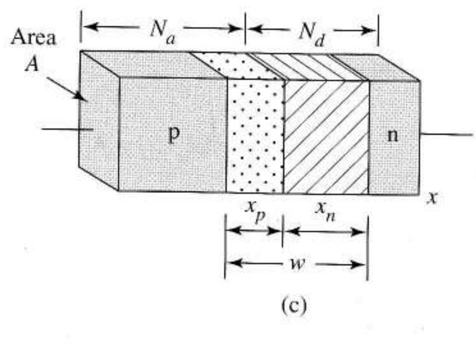


FIGURA 3.15 Unión pn en un circuito abierto: a) corriente de difusión, I_{dif}, corriente de desplazamiento, I_{dr}, en la región de deplexión; b) colina de potencial vista por los electrones; c) geometría de la región de deplexión.

La región de deplexión generalmente no se extiende a igual distancia en el material p que en el material n. La Figura 3.15c muestra una región de deplexión de ancho $w = x_p + x_n$, donde x_p es el ancho del material *p* y x_n el ancho del material n. Como cada ión fue abandonado por un portador

móvil que se recombina con un portador de signo contrario, el número de iones negativos es igual al número de iones positivos. Para una unión con una sección de área A, igualando el número de iones positivos y negativos da $N_a x_p A = N_d x_n A$ ó

$$x_p = \frac{N_d}{N_a} x_n \tag{3.28}$$

Esto muestra que *la región de deplexión se extiende más allá en el material que esté más ligeramente dopado.*

3.5.2 CORRIENTE DE DESPLAZAMIENTO

Opuesta a la corriente de difusión es la corriente de desplazamiento I_{dr}, también indicada en la Figura 3.15a. La corriente de desplazamiento está formada por electrones y huecos generados térmicamente, que se crean continuamente a lo largo del material, y que de alguna forma tropiezan entre ellos en la región de deplexión. Cada uno de estos huecos (electrones) es forzado por el campo dentro del material p(n). Obsérvese que las componentes de huecos y electrones de I_{dr} son ambas opuestas en sentido a las correspondientes componentes de I_{dif}.

3.5.3 POTENCIAL DE BARRERA Y CONCENTRACIONES DE CARGA

Desplazamiento y difusión son dos procesos que están continuamente en marcha regulados por un equilibrio establecido en las proximidades de la unión. Cuando no hay un camino externo para la corriente, la corriente $I = I_{dif} - I_{dr}$ de la Figura 3.15a debe ser cero para cumplir la ley de Kirchhoff. Esta condición establece el equilibrio de la unión. El siguiente desarrollo nos lleva a una expresión matemática para la barrera de potencial cuando la unión está en equilibrio, e introduce algunas importantes nuevas ideas sobre el funcionamiento de la unión.

Las líneas continuas y de trazos de la Figura 3.16 muestran, respectivamente, las concentraciones de huecos y electrones en equilibrio. Como los resultados clave para nosotros dependen sólo de la concentración de portadores *fuera* de la región de deplexión, seleccionamos la escala del eje x para disminuir el ancho de la región de deplexión w a una línea vertical gruesa. Para simplificar el estudio consideramos sólo la componente de huecos I_{dif} e I_{dr}.

Si suponemos concentraciones uniformes de impurezas en las direcciones z e y, de la Ecuación (3.24) se obtiene la corriente de difusión

$$I_{dif}(x) = AJ_p(x) = A\left[-qD_p \frac{dp(x)}{dx}\right]$$

De la Ecuación 3.8 se obtiene la corriente de desplazamiento

$$I_{dr}(x) = A\sigma E_x = Aq\mu_p p(x) E_x$$

Igualando las corrientes de difusión y desplazamiento

$$-D_p \frac{dp(x)}{dx} = \mu_p p(x) E_x$$

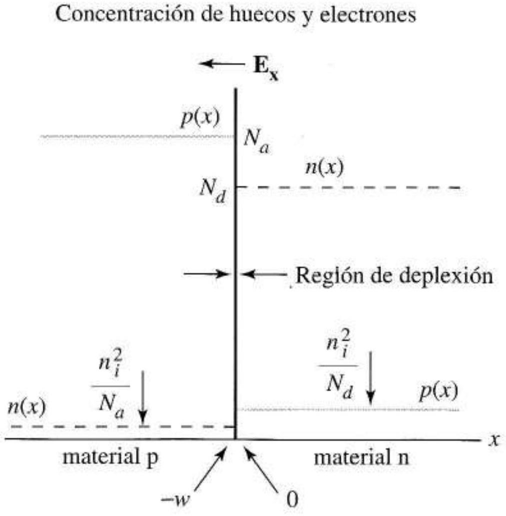


FIGURA 3.16 Concentraciones de huecos y electrones en una unión pn en circuito abierto.

Dividiendo por $\mu_p\, p(x)$, sustituyendo V_T por D_p/μ_p en la Ecuación (3.26), e integrando a lo largo de la región de deplexión da

$$-V_T \int_{-w}^{0} \frac{1}{p(x)}\left[\frac{dp(x)}{dx}\right]dx = -V_T \int_{p(-w)}^{p(0)} \frac{dp(x)}{p(x)} = \int_{-x}^{0} E_x\,dx \tag{3.29}$$

La integral de la derecha, que integra la intensidad de campo a lo largo de la región de deplexión es el trabajo en julios hecho por cada culombio de carga al cruzar la región de deplexión, o la energía cinética que pierden al saltar la barrera. Esta es precisamente la definición de potencial de barrera V_{J0} de la Figura 3.15. Haciendo la integral y sustituyendo los valores de concentración de la Figura 3.16 en los límites de la integral da

$$-V_T \ell\text{n}\left[\frac{p(0)}{p(-w)}\right] = -V_T \ell\text{n}\left(\frac{n_i^2/N_d}{N_a}\right) = V_{J0}$$

Dividiendo por $-V_T$ y tomando antilogaritmos da

$$\frac{n_i^2}{N_d} = N_a e^{-V_{J0}/V_T} \tag{3.30}$$

que es equivalente a

$$V_{J0} = V_T \ell\text{n}\left(\frac{N_a N_d}{n_i^2}\right) \tag{3.31}$$

Ejercicio 3.5 Obtener la tensión de barrera, V_{J0}, para el silicio a 27°C si

a) $N_a = N_d = 10^{19}$ cm^{-3}

b) $N_a = 10^{17}$ y $N_d = 10^{19}$ cm^{-3}

c) Para la parte (b), determinar la extensión relativa de la región de deplexión a los dos lados de la unión.

Respuesta 1,02 V, 0,902 V, $x_p = 100\, x_n$.

3.6 EL DIODO DE UNIÓN

A continuación introducimos un dispositivo llamado *diodo de unión*, esencialmente la unión pn. Conociendo los principios de funcionamiento general del diodo nos permite comprender multitud de circuitos no lineales utilizados para fines diversos como cambiadores de formas de onda, detectores de señales de radio y convertidores alterna/continua. Examinando algunos aspectos teóricos del funcionamiento de los diodos, también nos preparamos para comprender dispositivos más complejos, transistores, que funcionan como interruptores controlados en circuitos digitales y como fuentes dependientes en circuitos analógicos.

La Figura 3.17 muestra la estructura física del diodo y su símbolo. Llamamos al lado p del diodo el *ánodo* y al lado n el *cátodo*. El símbolo define también los sentidos para corrientes de diodo positivas i_D y tensiones v_D. Estas mismas direcciones de referencia se aplican a la curva vi del diodo, Figura 3.17b y a la *ecuación del diodo*

$$i_D = I_s\left(e^{v_D/V_T} - 1\right)$$

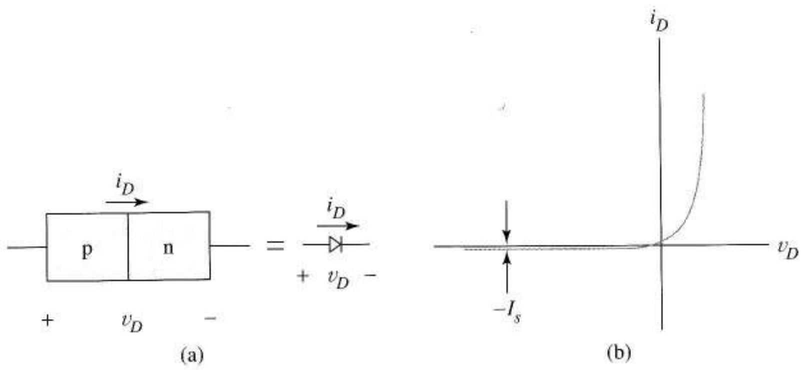


FIGURA 3.17 Diodo de unión: a) estructura física y símbolo; b) características *vi*.

donde $V_T = k\,T/q$ es la *tensión térmica* o potencial equivalente de temperatura e I_s se llama la *corriente de saturación inversa*. A continuación explicaremos la curva *vi* y la ecuación del diodo basándonos en la teoría de la unión pn. Primero viene un estudio cualitativo, seguido por un tratamiento cuantitativo.

3.6.1 CURVA *vi* Y ECUACIÓN DEL DIODO

La Figura 3.18a muestra la unión pn con su región de deplexión y su potencial de barrera V_{J0}. Podemos controlar la corriente del diodo con una tensión externa, para lo que se usan conductores metálicos para hacer las conexiones con los extremos de la pastilla de silicio. Los potenciales de contacto desarrollan en las uniones silicio-metal una fracción γ de V_{J0} en el lado p, y la restante $(1-\gamma)V_{J0}$ en el lado n, con las polaridades como las que se muestran. Tomándolos juntos, los potenciales de contacto anulan la barrera de potencial, haciendo imposible medir directamente V_{J0}.

En la Figura 3.18b aplicamos una tensión externa v_D al diodo; V_J es la barrera de potencial con esta *tensión* de polarización presente. De la ley de Kirchhoff para las tensiones

$$V_J = \gamma V_{J0} - v_D + (1-\gamma)V_{Jo} = V_{Jo} - v_D$$

Para $v_D = 0$, se cumple $V_J = V_{J0}$, el valor que hallamos para el caso en que había equilibrio en la Figura 3.15. Cuando $v_D = 0$, entonces $i_D = 0$, lo que está de acuerdo con la condición de equilibrio.

Para $v_D > 0$, la tensión externa altera el equilibrio moviendo los electrones del material p al material n a través del circuito externo. Esto añade electrones al lado n y huecos al lado p, neutralizando los electrones de la red cristalina a ambos lados de la unión, como en la Figura 3.18b. Esto hace que la región de deplexión se estreche y, por lo tanto, se reduzca la barrera de potencial. Disminuyendo V_J por debajo de V_{J0} se incrementa mucho la corriente de difusión, muchos portadores poseen ahora suficiente energía para escalar la colina de potencial que es más baja, mientras que la corriente de desplazamiento cambia muy poco. Esto explica físicamente el incremento de corriente para $v_D > 0$ en la Ecuación (3.32). Cuando hacemos el ánodo tan positivo respecto al cátodo que hay corriente directa, decimos que el diodo está *polarizado directamente*. Para un diodo directamente polarizado, aproximamos la Ecuación (3.32) por

$$i_D = I_s e^{v_D/V_T} \tag{3.33}$$

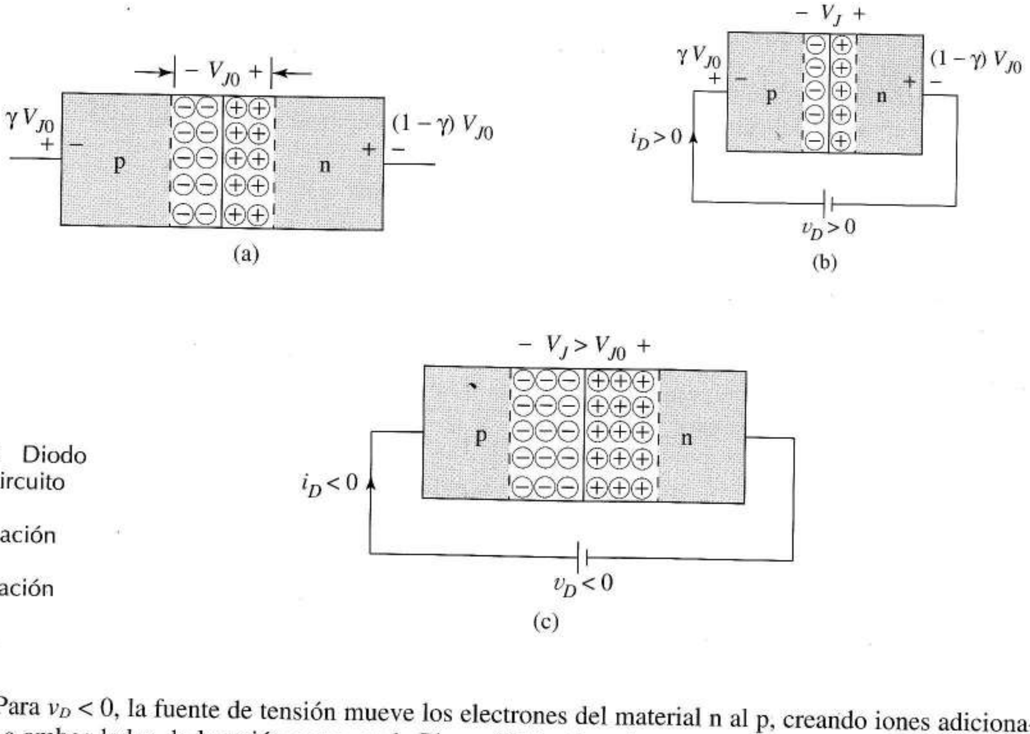


FIGURA 3.18 Diodo de unión: a) circuito abierto; b) con polarización directa; c) con polarización inversa.

Para $v_D < 0$, la fuente de tensión mueve los electrones del material n al p, creando iones adicionales a ambos lados de la unión como en la Figura 3.18c. Esto *incrementa* la barrera de potencial por encima de su valor de equilibrio, reduciendo la corriente de difusión; la corriente de desplazamiento I_{dr} se ve de nuevo poco afectada. Si la barrera se hace lo suficiente alta mediante una tensión de polarización inversa, la corriente de difusión es despreciable y sólo la corriente de desplazamiento negativa circula a través del diodo. Cuando la polarización inversa del diodo es fuerte la Ecuación (3.32) se reduce a $i_D = -I_s$.

A continuación justificaremos la forma matemática de la ecuación del diodo. Esto nos proporciona conocimientos acerca de cómo se controlan los parámetros del diodo durante la fabricación y nos prepara para estudios posteriores de los efectos dinámicos de diodos y transistores.

3.6.2 PERFILES DE CARGA DE MINORITARIOS

La ecuación del diodo surge de pequeñas concentraciones de *cargas minoritarias en exceso* que existen dentro de la región de deplexión a lo largo de unas pocas longitudes de difusión. "Por exceso" quiere decir por encima de los valores existentes en el equilibrio. Cuando la polarización directa rebaja el potencial de barrera, decimos que se *inyectan* huecos adicionales del lado p en el material n (donde pasan a ser portadores minoritarios); al mismo tiempo se inyectan electrones en el material p. Las corrientes de difusión resultantes son como las del experimento descrito en la Figura 3.14. La única diferencia es que los portadores minoritarios en exceso se introducen por inyección en lugar de por fotones de luz. A cada lado de la unión los nuevos portadores minoritarios se difunden lejos, disminuyendo en número por recombinación y estableciendo perfiles de concentración exponenciales caracterizados por las longitudes de difusión L_P y L_n. Esto añade *pequeñas* modificaciones a las curvas de las cargas *minoritarias* en equilibrio térmico de la Figura 3.16 como vemos en la Figura 3.19a. De nuevo seleccionamos la escala del eje x para resaltar las concentraciones fuera de la región de deplexión.

Suponiendo de momento que la corriente de huecos es dominante, obtenemos ahora la ecuación del diodo. La tensión v_D aplicada altera el equilibrio de la unión; sin embargo, si v_D no es demasiado grande, se aplican condiciones *cercanas al equilibrio*. Para estos *bajos niveles de inyección* podemos hacer iguales las componentes de difusión y desplazamiento de la corriente huecos e integrar a lo largo de la región de deplexión como hicimos en la Ecuación (3.29). Para este caso, sin embargo, la integración del campo E_x a lo largo de la región de deplexión da V_J en lugar de V_{J0}. Por lo tanto

$$-V_T \int_{p(-w)}^{p(0)} \frac{dp(x)}{p(x)} = \int_{-w}^{0} E_x dx = V_J = V_{J0} - v_D$$

que nos lleva a

$$p(0) = p(-w)e^{-(V_{J0}-v_D)/V_T} = N_a e^{-V_{J0}/V_T} e^{v_D/V_T}$$

después de integrar, sustituimos $p(-w) = N_a$, y hecho esto la Ecuación (3.30) nos permite renombrar el coeficiente de la exponencial dando

$$p(0) = \frac{n_i^2}{N_d} e^{v_D/V_T} \tag{3.34}$$

Esta ecuación muestra cómo la tensión externa, v_D, controla la concentración de huecos minoritarios, $p(0)$, en el extremo de la región de deplexión de la Figura 3.19a.

Como la concentración de huecos en *exceso* en el material n, $p(x) - n_i^2/N_d$ en la Figura 3.19a, disminuye con la constante espacial L_p, podemos escribir

$$p(x) - \frac{n_i^2}{N_d} = \left[p(0) - \frac{n_i^2}{N_d}\right] e^{-x/L_p}, \qquad x \geq 0$$

Sustituyendo $p(0)$ por su valor de la Ecuación (3.34) y despejando $p(x)$ se obtiene que la concentración de huecos en el material n es

$$p(x) = \frac{n_i^2}{N_d}\left[e^{v_D/V_T} - 1\right] e^{-x/L_p} + \frac{n_i^2}{N_d}, \quad x \geq 0 \tag{3.35}$$

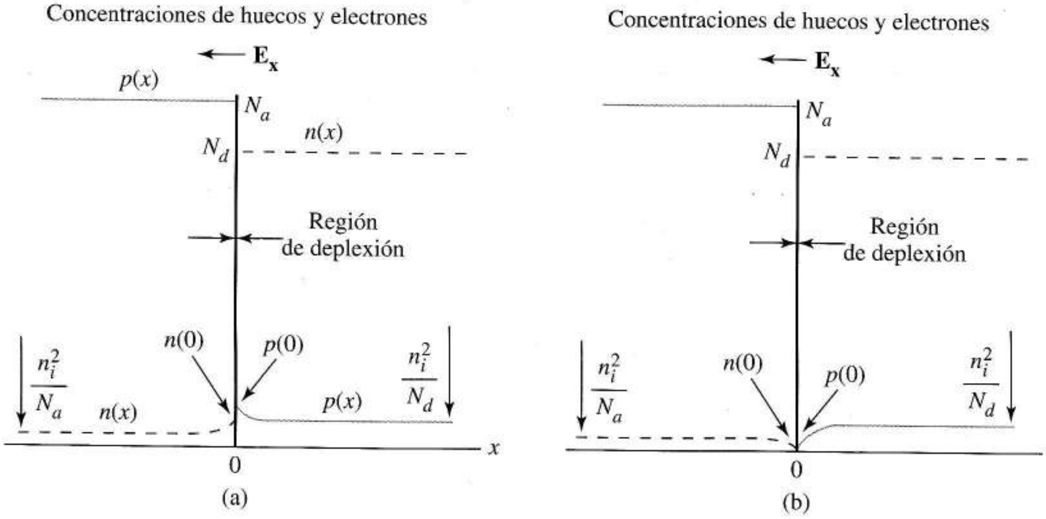


FIGURA 3.19 Concentraciones de cargas minoritarias almacenadas para: a) polarización directa del diodo; b) polarización inversa del diodo.

Como la Ecuación (3.35) da la concentración de huecos en el material n en función de x, podemos utilizarla para calcular la corriente de difusión. Sustituyendo $p(x)$ en la Ecuación (3.24) y multiplicando por A para obtener la corriente obtenemos la componente de huecos de la corriente de difusión fuera de la región de deplexión que es

$$i_{D,p}(x) = \frac{qAn_i^2 D_p}{N_d L_p}\left(e^{v_D/V_T} - 1\right)e^{-x/L_p} \tag{3.36}$$

La corriente decrece con x porque el flujo de huecos minoritarios disminuye gradualmente por recombinación. Una corriente de nuevos electrones, suministrados por la corriente externa, fluye dentro del material n (desde la derecha en la Figura 3.18(b) para dar lugar a esta recombinación. La suma de estas dos corrientes en cualquier punto x es constante. Esto es, la corriente de huecos decrece y simultáneamente aumenta la corriente de electrones a medida que aumenta x. El camino más fácil para obtener la corriente externa del diodo es evaluar la Ecuación (3.36) para $x = 0$, donde la componente de electrones de la corriente del diodo es cero. Esto da

$$i_D(x) = \frac{qAn_i^2 D_p}{N_d L_p}\left(e^{v_D/V_T} - 1\right) \tag{3.37}$$

una ecuación que describe a muchos diodos y que nos permite utilizar los detalles que ya hemos visto para generalizar un poco.

La Figura 3.19a muestra que los electrones son inyectados en el material p, un hecho ignorado en nuestro desarrollo. Recombinándose a medida que se difunden más lejos, forman una curva de con-

centración análoga a la de los huecos. Sumando la corriente de electrones a la de huecos de la Ecuación (3.37) se obtiene la ecuación del diodo completa

$$i_D(x) = I_s\left(e^{v_D/V_T} - 1\right) = An_i^2 q\left[\frac{D_p}{N_d L_p} + \frac{D_N}{N_a L_N}\right]\left(e^{v_D/V_T} - 1\right) \tag{3.38}$$

En la obtención de la Ecuación (3.38) supusimos tácitamente polarización directa; sin embargo, si pasamos a la polarización negativa, las distribuciones de las cargas minoritarias toman las formas de la Figura 3.19b y la ecuación sigue siendo válida. De la Ecuación (3.38) podemos aprender que la *corriente inversa de saturación*, I_s, está relacionada con los parámetros físicos por

$$I_s = An_i^2 q\left[\frac{D_p}{N_d L_p} + \frac{D_N}{N_a L_N}\right] \tag{3.39}$$

Esta ecuación revela algunos aspectos importantes sobre el diodo. Primero, I_s es directamente proporcional al área del diodo A, un parámetro que podemos controlar fácilmente durante la fabricación. Esto nos permite fabricar diodos con valores mayores o menores de esta corriente para una misma tensión. Segundo, obsérvese que el término n_i^2, altamente sensible a la temperatura (ver Figura 3.5) es función de I_s. Finalmente, como los dos términos entre paréntesis corresponden a corrientes de huecos y electrones respectivamente, vemos que si el material p está mucho más fuertemente dopado que el material n, esto es, si $N_a >> N_d$, entonces la corriente de huecos determinará el funcionamiento del diodo y la Ecuación (3.38) se reduce a la Ecuación (3.37). Usaremos esto cuando estudiemos la dinámica del diodo y cuando introduzcamos los transistores bipolares.

Hicimos dos suposiciones claves para la obtención del diodo. Primero, ignoramos los huecos y electrones generados térmicamente por la región de deplexión. Esto produce errores en la Ecuación (3.32) para v_D pequeñas. Segundo, supusimos un *nivel de inyección bajo*, o sea, asumimos que v_D era bastante menor que $p(0)$ y $n(0)$ en la Figura 3.19 donde ambos son pequeños comparados con los niveles de dopado mayoritarios en sus respectivos lados de la región de deplexión. Cuando hay un *nivel de inyección alto*, esto no es demasiado cierto y la Ecuación (3.32) ya no es fiable. El factor η, el *coeficiente de emisión*, aparece a veces en la ecuación del diodo para corregir estos casos, dando

$$i_D(x) = I_s\left(e^{v_D/\eta V_T} - 1\right) \tag{3.40}$$

Elegimos el coeficiente de emisión para tener resultados coincidentes con las medidas hechas en la región de interés; los valores útiles están entre $1 \leq \eta \leq 2$. En el futuro supondremos $\eta = 1$ a menos que haya alguna razón especial para hacer otra cosa.

Habiendo explicado la característica no lineal *vi* del diodo, a continuación aprenderemos a usar el diodo para procesado no lineal de formas de onda de señal y potencia.

3.7 MODELOS DE DIODO DE GRAN SEÑAL

Como la descripción matemática del diodo es no lineal, emplearemos modelos simplificados que nos ayuden a entender y estimar cómo se comporta el diodo en los circuitos. Siempre que haga falta, están disponibles programas de cálculo que implementan la ecuación no lineal del diodo para comprobar nuestros análisis intuitivos y estimaciones con mayor fiabilidad de cálculo.

Los modelos de este capítulo se llaman *modelos de gran señal* porque son útiles para predecir el comportamiento de los circuitos cuando las tensiones y corrientes son grandes. Los utilizaremos para analizar y diseñar circuitos lógicos, fuentes de alimentación,recortadores de onda y circuitos de polarización. Conceptualmente el más importante es el modelo de diodo ideal.

3.7.1 CARACTERISTÍCA DEL DIODO IDEAL

El *diodo ideal* caracteriza la *esencia* del funcionamiento del diodo, distinguiendo entre conducción directa y conducción inversa, siendo esta última despreciable. Se define por

$$v_D = 0 \text{ cuando } i_D \geq 0$$

y

$$i_D = 0 \text{ cuando } v_D \leq 0$$

el diodo ideal tiene la curva vi de la Figura 3.20a. Cuando el diodo conduce corriente, decimos que el diodo está ON o en *estado ON* o en conducción. Cuando bloquea la corriente decimos que el diodo está OFF o en *estado OFF* o cortado. El diodo ideal emula estos estados, respectivamente, con cortocircuitos y circuitos abiertos como sugiere la Figura 3.20b. Cuando $i_D = 0$ y $v_D = 0$, el punto de funcionamiento se sitúa en el *punto de ruptura* de la Figura 3.20a, donde el cortocircuito y el circuito abierto, representan *ambos* el diodo ideal.

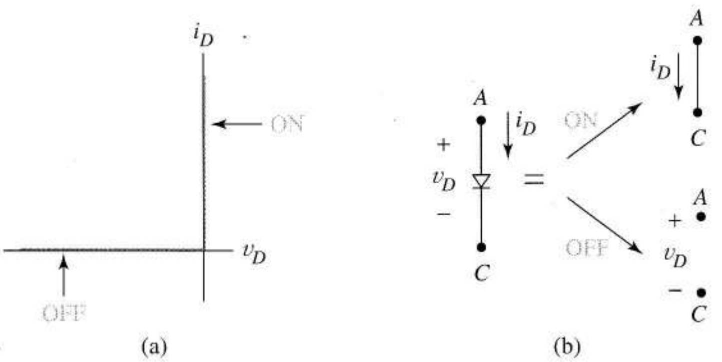


FIGURA 3.20 a) Curva vi de un diodo ideal; b) modelos para un diodo ideal.

El modelo de diodo ideal nos lleva a circuitos equivalentes simples, que son fáciles de analizar. Para $i_D > 0$ el modelo es algo inexacto porque desprecia la caída de tensión directa en el diodo real. No obstante, el modelo es muy importante para ayudarnos a comprender circuitos de diodos no familiares y para realizar estimaciones de tensiones y corrientes en el diodo.

3.7.2 ANÁLISIS EN CONTINUA DE CIRCUITOS QUE CONTIENEN DIODOS IDEALES

El análisis de continua usando diodos ideales es una buena forma de empezar a estudiar circuitos con diodos que no nos sean familiares. Una vez que entendamos cómo trabajan los circuitos para un valor de la tensión continua de entrada, generalmente es fácil deducir su funcionamiento para otros valores de entrada de continua e incluso de tensión alterna. El problema del diodo es que inicial-

mente no se sabe si está en conducción o cortado. Normalmente el siguiente procedimiento es efectivo:

1. Hacer una suposición razonada acerca del estado de cada diodo.
2. Redibujar el circuito sustituyendo los diodos en conducción por un cortocircuito y los diodos cortados por un circuito abierto.
3. Mediante el análisis del circuito determinar la corriente en cada cortocircuito que represente un diodo en conducción y la tensión en cada circuito abierto que represente un diodo en circuito abierto.
4. Comprobar las suposiciones hechas para cada diodo. Si hay contradicción –una corriente negativa en un diodo en conducción o una tensión positiva en un diodo cortado– en cualquier lugar de circuito, volver al primer paso y comenzar de nuevo con una mejor suposición.
5. Cuando no hay contradicciones, las tensiones y corrientes calculadas para el circuito se aproximan bastante a los valores verdaderos.

EJEMPLO 3.5 El diodo de la Figura 3.21a es ideal. Obtener V_A.

Solución La Figura 3.21a introduce un tipo de circuito ampliamente utilizado en electrónica. Las flechas indican el sentido de las tensiones respecto a una referencia de masa de cero voltios. Esta referencia está implícita pero a menudo se omite en el diagrama. La Figura 3.21b es la notación más convencional para el mismo circuito. La notación compacta muestra cómo se conectan los componentes a los terminales de alimentación y masa.

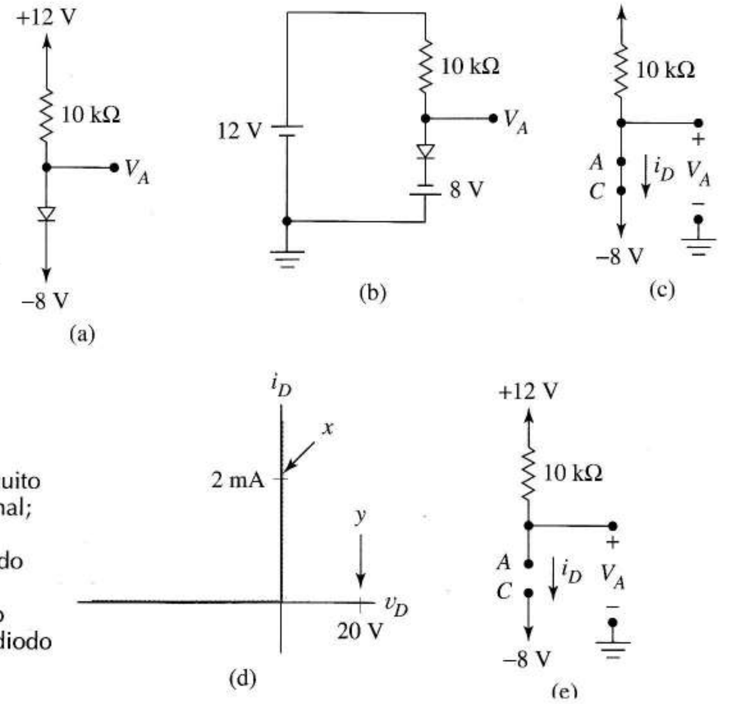


FIGURA 3.21 Modelos de un diodo ideal de un circuito con diodos: a) circuito original; b) notación más familiar para el circuito; c) suponiendo el diodo en conducción; d) puntos de funcionamiento del diodo; f) suponiendo el diodo cortado.

Se espera que la corriente fluya del terminal de +12 V a través del diodo, en sentido *positivo*, hacia la fuente –8 V; por lo tanto suponemos que el diodo está en conducción. La Figura 3.21c muestra el modelo del circuito resultante. De este circuito equivalente se obtiene

$$i_D = \frac{12-(-8)}{10k} = 2\text{mA}$$

El punto x de la Figura 3.21d muestra el significado de nuestro resultado de 2 mA y confirma que la suposición inicial era correcta. De la Figura 3.21c, $V_A = -8$ V.

Aunque ya está solucionado todo, veamos qué habría ocurrido en caso de una suposición incorrecta. La Figura 3.21e muestra el circuito equivalente si se supone el diodo cortado. Como la corriente por la resistencia es cero, $V_A = +12$ V y $V_C = -8$ V. Por lo tanto el modelo nos dice que la tensión del diodo es $v_D = V_{AC} = 12 - (-8) = 20$ V. Pero suponer que el diodo está cortado requiere que la tensión del ánodo sea negativa respecto al cátodo, por lo tanto hay una contradicción. El punto y de la Figura 3.21d nos ayuda a ver qué ha ocurrido. El *modelo* del circuito abierto predice un punto de funcionamiento que no está sobre la curva ideal del diodo, un punto para el que las curvas vi para el circuito abierto y el diodo ideal no son coincidentes. Concluimos que la suposición del diodo cortado es incorrecta y recomenzamos suponiendo el diodo en conducción. Obviamente, la forma de minimizar el trabajo es acertar con la suposición correcta a la primera. Este es un problema que se resuelve con la experiencia. ❑

Ejercicio 3.6 Obtener V_A si las fuentes de +12 y –8 V de la Figura 3.21a se intercambian.
Respuesta –8 V.

EJEMPLO 3.6 El diodo de la Figura 3.22 es ideal. Hallar V_C.

Solución Supongamos el diodo en conducción. Se obtiene la Figura 3.22c. Está claro que i_D es negativa, así que la suposición inicial es incorrecta.
Suponer que el diodo está cortado, genera la Figura 3.22d. Como circula corriente nula por el circuito $v_A = 5$ V y $v_C = 6$ V; por lo tanto $v_D = v_A - v_C = -1$ V. Del diagrama, $V_C = +6$ V. ❑

Ejercicio 3.7 Hallar V_C si cambiamos la orientación del diodo en la Figura 3.22a.
Respuesta $V_C = 5{,}33$ V.

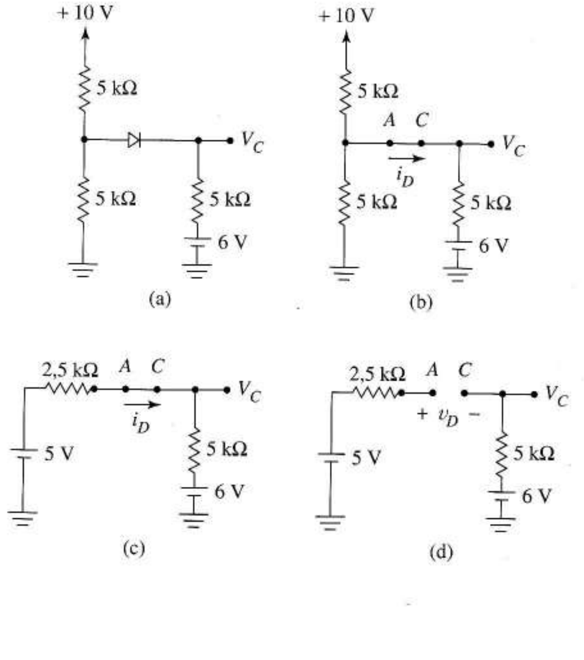


FIGURA 3.22 Circuito del ejemplo 3.6: a) circuito original; b) circuito suponiendo el diodo en conducción; c) después de aplicar el teorema de Thèvenin; d) circuito con el diodo cortado.

EJEMPLO 3.7 Hallar I_i en la Figura 3.23a cuando a)V_i = +12 V, b)V_i = –6 V. Suponer ideales los diodos.

Solución a) Cuando $V_i > 0$, esperamos una corriente positiva I_i, que se divide en dos partes, una por el diodo y otra por la resistencia de 5 kΩ, así que suponemos el diodo D_1 en conducción. Esta corriente continuaría a través de la resistencia de 2 kΩ, con D_2 cortado, puesto que la conducción inversa es imposible.
La Figura 3.23b muestra nuestro modelo de circuito. Como D_1 cortocircuita la resistencia de 5 kΩ, I_i = 12/2k = 6 mA. Para D_1, i_{D1} = +6 mA porque la tensión en la resistencia de 5 k es cero. D_2 está cortado porque $v_{D2} = -12$ V. Por lo tanto las suposiciones iniciales se verifican.

b) Cuando V_i = –6V en la Figura 3.23a, esperamos una corriente negativa. Esto sugiere que D_1 está cortado y D_2 conduce, dando la Figura 3.23c. De este circuito I_i = –6/5 mA. Para D_1, v_{D1} = –6 V y para D_2, i_{D2} = +6/5 mA. Como i_{D2} es positiva y v_{D1} negativa, no hay contradicción. ❑

Ejercicio 3.8 Obtenga I_i y v_{D2} en la Figura 3.23a si V_i = 5 V
Respuesta 2,5 mA, –5 V.

Estos ejemplos muestran cómo el modelo de diodo ideal reduce el problema del análisis del circuito a algo familiar y que no tiene ecuaciones no lineales. También los cortocircuitos o circuitos abiertos que reemplazan al diodo a menudo conducen a circuitos simples. Conservamos la ventaja del análisis de circuitos lineales y alcanzamos mayor precisión usando modelos más complicados como el descrito a continuación.

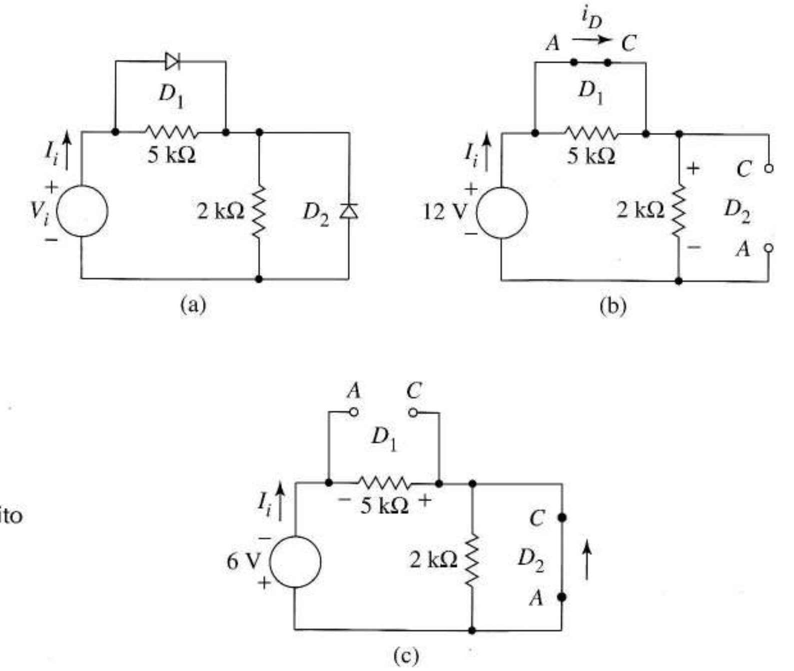


FIGURA 3.23 a) Circuito resistencia-diodo; b) equivalente supuesto para v_i=+12V; c) equivalente supuesto para V_i=-6V.

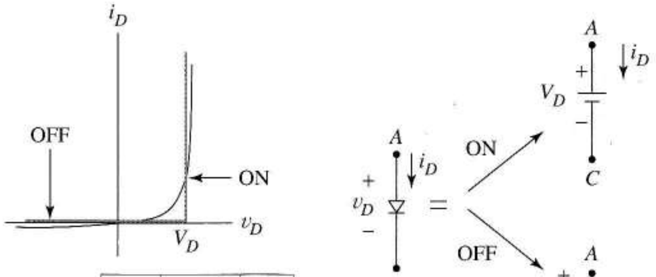
3.7.3 OTROS MODELOS DE DIODOS

Modelo con tensión de codo En la Figura 3.24a, la línea de tensión constante aproxima el comportamiento del diodo para $i_D \geq 0$, proporcionando una desviación (*offset*) de la tensión como en un

diodo real. Una tensión de codo de 0,7 V normalmente es buena aproximación para una unión pn de silicio conduciendo una corriente moderada a 27ºC. (Para diodos de germanio, 0,25 V es más adecuado; para arseniuro de galio, 1,2 V). Para $v_D \leq 0{,}7$ V, el circuito abierto es el equivalente del diodo. La Figura 3.24b muestra los modelos de circuito correspondientes.

Modificamos ligeramente el procedimiento para analizar circuitos con diodos ideales para adaptarlo al modelo con tensión de codo. Los diodos en conducción se reemplazan por fuentes de 0,7 V (para el silicio) y los diodos en corte por circuitos abiertos. Para verificar la suposición de conducción se necesita que la corriente de la fuente, i_D, sea positiva. Para verificar la suposición de corte se necesita que $v_D \leq 0{,}7$ V, no $v_D \leq 0$ V como para el diodo ideal.

El Ejemplo 3.8 repite el Ejemplo 3.5 pero usando un modelo más fiable.



	S_i	G_aA_s	G_e
V_D (voltios)	0,7	1,2	0,25

(a) (b)

FIGURA 3.24 Modelo con tensión de codo para un diodo de silicio. a) curva *vi*; b) modelos.

EJEMPLO 3.8 Hallar V_A en la Figura 3.25a utilizando el modelo con tensión de codo.

Solución La Figura 3.25b muestra el circuito equivalente suponiendo el diodo en conducción. De este circuito, $V_A = -8 + 0{,}7 = -7{,}3$, y

$$i_D = \frac{12-(-7{,}3)}{10\text{k}} = +1{,}93\text{mA}$$

confirmando que el diodo está en conducción. La Figura 3.25c muestra el punto de funcionamiento en la curva del diodo idealizado. La tensión de codo no produce una gran diferencia si comparamos esta respuesta con la estimada para el diodo ideal de la Figura 3.21d porque la tensión de codo es bastante pequeña comparada con los 20V que soporta el conjunto diodo-resistencia. ❑

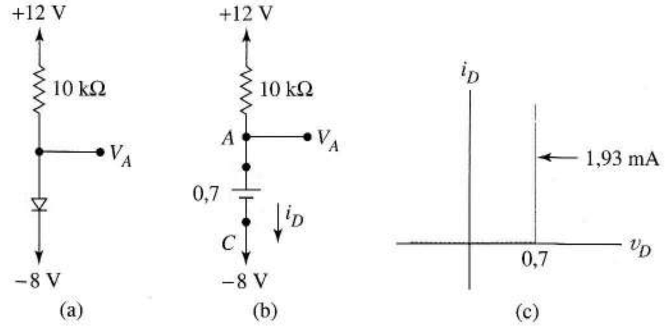


FIGURA 3.25 Análisis del ejemplo 3.7 usando el modelo con tensión de codo.

Ejercicio 3.9 Utilizar el modelo con tensión de codo para hallar la corriente del diodo de silicio si éste cambia su orientación en la Figura 3.22a.

Respuesta 40 μA.

EJEMPLO 3.9 Suponer que D_1 y D_2 en la Figura 3.23a son diodos ideales de GaAs con una tensión de codo de 1,2 V. Hallar el valor de I_i cuando a) V_i = 12 V, b) V_i = 1,7 V, c) Hallar la menor V_i para la que los estados del diodo en el apartado b) no son válidos.

Solución a) Suponiendo D_1 en conducción y D_2 en corte se obtiene la Figura 3.26a para V_i = 12 V. Del diagrama

$$I_i = \frac{12-1{,}2}{2\text{k}} = +5{,}4 \text{ mA}$$

El circuito equivalente también muestra que

$$v_{D2} = -(12-1{,}2) = -10{,}8 \text{ V}$$

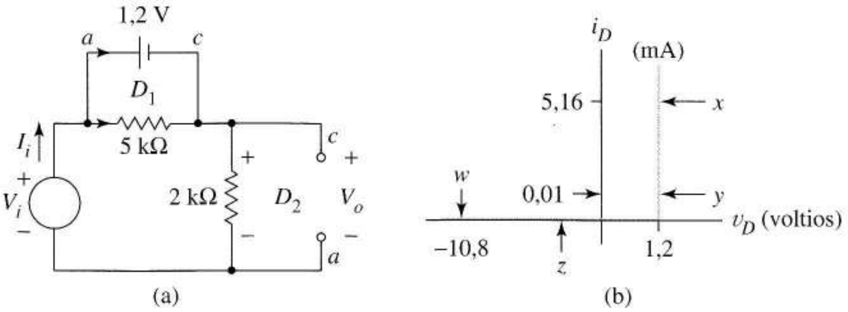


FIGURA 3.26 a) Circuito equivalente para la figura cuando los diodos son de GaAs con D_1 en conducción y D_2 en corte; b) puntos de funcionamiento en las curvas del diodo.

Como esto corresponde al punto w en la Figura 3.26b, D_2 está cortado como se supuso.

Para verificar que D_1 está en conducción debemos demostrar que $i_{D1} \geq 0$. De la Figura 3.26a, la corriente por la resistencia de 5 kΩ es $1{,}2/5k = 0{,}24$ mA. Como I_i = 5,4 mA

$$i_{D1} = 5{,}4 - 0{,}24 = 5{,}16 \text{ mA}$$

El punto de funcionamiento para D_1 es el punto x de la Figura 3.26b, verificándose que D_1 está en conducción. Concluimos que

$$I_i = 5{,}4 \text{ mA}$$

b) Para V_i = 1,7 V esperamos $I_i > 0$; por tanto la Figura 3.26a es otra vez el punto de arranque. El análisis da

$$I_i = \frac{1{,}7-1{,}2}{2\text{ k}} = +0{,}25 \text{ mA}$$

La corriente D_1 es

$$i_{D1} = I_i - \frac{1{,}2}{5\text{ k}} = 0{,}01 \text{ mA}$$

poniendo el nuevo punto de funcionamiento de D_1 en el punto *y* de la Figura 3.26b. La tensión en D_2 es

$$V_o = 1{,}7 - 1{,}2 = 0{,}5 \text{ V}$$

Como esto corresponde al punto z en la Figura 3.26b, la suposición de D_2 se verifica. Como ambas suposiciones son correctas, $I_i = 0{,}25$ mA.

c) Obsérvese que en apartado b), reducir la fuente de tensión motivó que los puntos de funcionamiento de los diodos se trasladaran muy cerca del *punto de ruptura* a 1,2 V (de *x* a *y*, y de *w* a *z*). Si V_i se reduce más, D_2 o D_1 cambiarán de estado (también es posible pero menos probable que ambos cambien de estado exactamente para el mismo valor de V_i).

Supongamos que para algún valor de V_i, D_2 empieza a conducir, mientras que D_1 permanece, a su vez, en conducción. Para que D_2 opere en su punto de ruptura, su tensión de cátodo tiene que ser 1,2 V menor que la del ánodo, o $V_O = -1{,}2$ V. Para alcanzar este punto, V_i en la Figura 3.26a tiene que reducirse hasta $-1{,}2+1{,}2 = 0$.

A continuación examinamos la otra posibilidad. Suponemos que D_1 se corta en la Figura 3.26a mientras D_2 permanece, también, cortado. D_1 se cortará cuando su corriente sea cero. Este supuesto nos lleva a

$$i_{DI} = I_1 - \frac{1{,}2}{5\text{k}} = \frac{V_i - 1{,}2}{2\text{k}} - \frac{1{,}2}{5\text{k}} = 0$$

Resolviendo $V_i = 1{,}68$ V.

Al comparar los dos resultados vemos que como V_i es reducida desde 1,7 V, el primer evento importante es que D_1 se corta. Esto sucede cuando $V_i = 1{,}68$ V, y el circuito equivalente es un simple divisor de tensión. ❑

Ejercicio 3.10 En la Figura 3.23, se invierte la polaridad de D_2. Ambos diodos son de germanio con tensiones de codo de 0,25 V y ambos están inicialmente cortados. Si V_i empieza a crecer desde cero, primero entra en conducción un diodo y luego el otro. Determinar el orden de entrada en conducción de los diodos y los dos valores críticos de V_i.

Respuesta D_1 entra en conducción a 0,35 V y D_2 a 0,5 V.

Tensión de codo El modelo con tensión de codo proporciona estimaciones razonables para un diodo directamente polarizado y conduciendo corrientes altas; sin embargo la Figura 3.24a muestra que este modelo da errores de tensión grandes cerca de $i_D = 0$. A veces un punto crítico en el funcionamiento de un circuito de diodos es la tensión a la que empieza a *circular una corriente perceptible*. Llamamos a esta tensión la *tensión de codo del diodo*, V_γ. Si $I_{0,7}$ es la corriente de un diodo de silicio cuando su tensión es 0,7 V, y definimos V_γ como la tensión a la que la corriente del diodo es el 0,1% de $I_{0,7}$ de la Ecuación (3.3)

$$I_{0,7} \approx I_s e^{0,7/V_T}$$

Por definición, V_γ cumple

$$0{,}001 I_{0,7} \approx I_s e^{V_\gamma / V_T}$$

de la relación

$$\frac{0{,}001 I_{0,7}}{I_{0,7}} = e^{(V_\gamma - 0,7)/V_T}$$

ó

$$V_\gamma = 0{,}7 + V_T \ell n(0{,}001) \approx 0{,}5 \text{ volt}$$

Este valor se usará constantemente en el futuro, con raras excepciones sólo para casos especiales.

El modelo de la Figura 3.27 aproxima el diodo en conducción por una resistencia serie r_f y una fuente V_γ. Elegimos el valor de la resistencia para obtener una buena aproximación a la curva real dentro del margen de funcionamiento deseado. Este modelo aumenta la precisión, pero también incrementa la complejidad del análisis manual un inconveniente menor cuando las simulaciones de computador son fácilmente accesibles. El principal mérito de este modelo es el concepto de la tensión V_γ a la que empieza a circular una corriente perceptible.

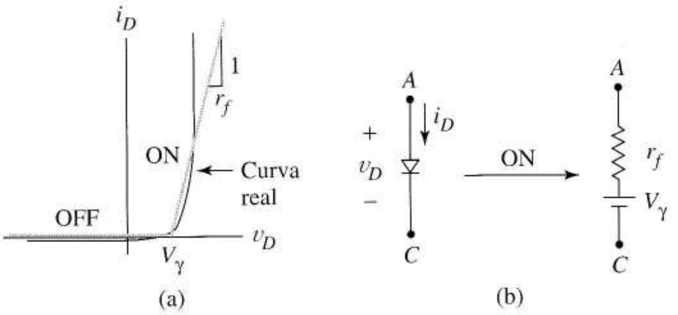


FIGURA 3.27 Modelo aproximado lineal de un diodo: a) aproximación a la característica *vi*; b) modelo.

Los principiantes no deben preocuparse acerca de qué modelo de diodo utilizar. La única regla es utilizar el modelo más simple que mejore la comprensión del problema cuando no se usa un simulador. Si se necesita mayor precisión, normalmente se hace un segundo análisis con un modelo más complejo. Finalmente, las simulaciones con computador siempre pueden usarse para obtener valores numéricos precisos.

El siguiente apartado introduce la ruptura del diodo, un hecho importante que no se incluye en las ecuaciones, teoría o modelos desarrollados hasta el momento.

3.7.4 LA RUPTURA DE LA UNIÓN

Si aplicamos suficiente tensión negativa a la unión pn, su característica se quiebra bruscamente hacia abajo a una tensión casi constante $-V_z$, como en la Figura 3.28. V_z se llama la *tensión de ruptura* del diodo. La *región de ruptura*, en la que el diodo funciona como una fuente de tensión negativa, está delimitada por una corriente mínima $I_{mín}$, y una corriente máxima, $I_{máx}$. La primera esta definida por la esquina de la curva, la segunda por la potencia máxima que puede disipar el diodo sin sobrecalentarse. El diodo se sobrecalienta si su potencia máxima disipada sobrepasa $P_{máx} = V_z I_{máx}$.

El símbolo de la Figura 3.28b representa un diodo que funciona intencionadamente en la zona de ruptura. Como el producto tensión corriente es positivo en cualquier lugar de la curva del diodo, incluso en la ruptura, el diodo nunca entrega potencia al circuito. Esto restringe su uso como fuente de tensión a las aplicaciones en las que la fuente absorbe potencia. Ejemplos de esto son una tensión de referencia, compensación para cambios de temperatura en otros elementos y fijar límites en circuitos recortadores de onda.

Hay dos mecanismos de ruptura del diodo, *zener* y avalancha. La *ruptura zener* ocurre en uniones fuertemente dopadas que tienen una región de deplexión muy estrecha, cuando el campo eléctrico es tan intenso que rompe los enlaces covalentes. Esto proporciona un gran número de portadores adicionales para contribuir a la corriente inversa I_s. En la *ruptura de avalancha*, los electrones, acelera-

dos hasta altas velocidades por el campo, rompen los enlaces colisionando y creando de ese modo nuevos pares electrón-hueco que, a su vez, rompen todavía más enlaces y así sucesivamente todos estos nuevos portadores se suman a la corriente I_s. Cuando la tensión de ruptura es menor que 5,7 V, el mecanismo zener es normalmente el responsable; para tensiones mayores, lo más probable es que tenga lugar la avalancha. A los diodos especialmente diseñados para trabajar en la región de ruptura los llamamos *diodos zener*, sin tener en cuenta qué mecanismo es el responsable de la ruptura, y V_z es la *tensión zener*.

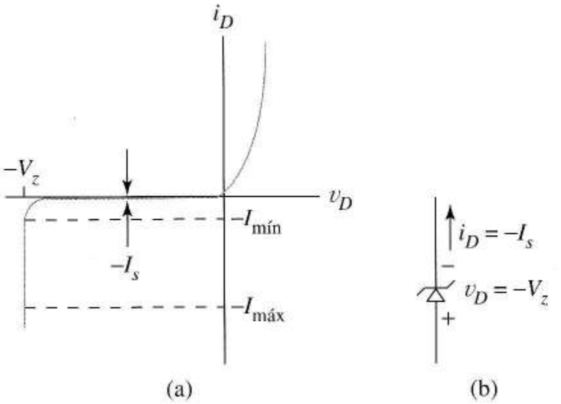


FIGURA 3.28
a) Característica del diodo mostrando la región de ruptura; b) símbolo para un diodo zener.

Modelos de diodo zener Incluyendo la ruptura, el diodo es un *dispositivo de tres estados* aproximado por la característica idealizada de la Figura 3.29a. Un circuito abierto representa el diodo de silicio para $-V_z \leq v_D \leq 0{,}7$ V; y fuentes de tensión de 0,7 V y $-V_z$ sustituyen al diodo para $i_D > 0$ e $i_D < 0$, respectivamente. Ocasionalmente se presentan interesantes problemas en lógica digital que requieren esta descripción triestado.

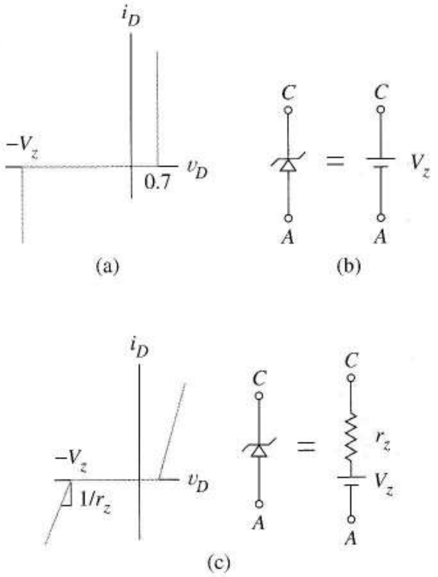


FIGURA 3.29 a) Característica estilizada del diodo que sugiere un modelo de tres estados; b) modelo simple para el funcionamiento en zona zener; c) modelo más complejo del zener con una resistencia para tener en cuenta la pendiente de la zona zener.

En la mayoría de las aplicaciones, el símbolo del zener indica funcionamiento en la región de ruptura y el modelo necesita sólo aproximar al diodo en esa región. Las Figuras 3.29b y c muestran el más popular de los modelos de la región de ruptura. En ambas, el terminal positivo de la fuente de tensión es el cátodo porque v_D es negativo.

Regulador de tensión zener La Figura 3.30 representa un diodo zener en un circuito regulador de tensión. La función del diodo es mantener una tensión constante en la resistencia de carga R_L y V_{BB}. Una idea clave para diseñar el regulador es asegurar que la corriente del zener está dentro de los límites $-I_{mín}$ y$-I_{máx}$ de la Figura 3.28a. El siguiente ejemplo examina las variaciones de R_L.

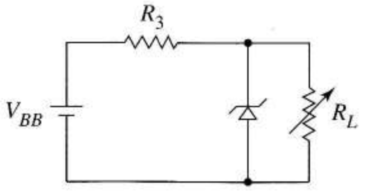


FIGURA 3.30 Circuito regulador de tensión con un zener.

EJEMPLO 3.10 Utlizar el modelo zener de la Figura 3.29b para hallar los valores máximo y mínimo de R_L del circuito regulador de la Figura 3.30 cuando $R_s = 48{,}7\ \Omega$ y $V_{BB} = 15$ V. El zener de 5 V tiene una corriente inversa mínima de 10 mA, y su disipación de potencia máxima es 1W.

Solución Primero, dibujamos el circuito equivalente para el regulador, Figura 3.31. Para el funcionamiento en zona zener necesitamos $I_z \geq 10$ mA. También, como la potencia disipada máxima del diodo es 1 W, es necesario que

$$5I_z \leq 1 \text{ watt}$$

ó

$$I_z \leq 200 \text{ mA}$$

Obsérvese que del circuito equivalente se deduce que I_o es constante

$$I_o = \frac{15-5}{48{,}7} = 205 \text{ mA}$$

Por lo tanto los cambios de R_L van acompañados por cambios en I_z. Aplicando la ley de Kirchhoff de las corrientes al nodo x

$$I_o = 205 \text{ mA} = I_z + \frac{5}{R_L}$$

de aquí deducimos que la R_L más pequeña corresponde a la I_z más pequeña, y viceversa. Por lo tanto $R_{L,mín}$ cumple

$$205 \text{ mA} = 10 \text{ mA} + \frac{5}{R_{L,mín}}$$

y $R_{L,máx}$ cumple

$$205 \text{ mA} = 200 \text{ mA} + \frac{5}{R_{L,máx}}$$

Así para que el regulador funcione correctamente

$$25{,}6\ \Omega \leq R_L \leq 1\text{k}\Omega$$

❑

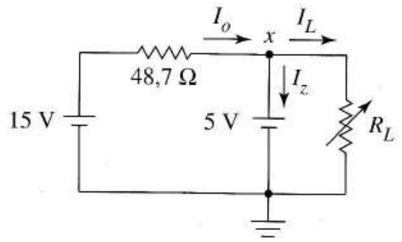


FIGURA 3.31 Circuito equivalente para el circuito regulador de tensión con zener de la Figura 3.30.

Ejercicio 3.11 En la Figura 3.30, R_L = 500 Ω y R_S = 10 Ω. Para un zener de 10 V con límites de corriente de 20 mA y 2 mA, utilizar el modelo zener de tensión constante para determinar los límites permisibles de V_{BB}.
Respuesta 10,2 V ≤ V_B ≤ 10,4 V.

La resistencia interna, r_z, del zener (Figura 3.29c) causa una tensión de desviación en el funcionamiento del regulador respecto al comportamiento idealizado descrito al principio. Como $r_z \| 48{,}7$ aparece en el equivalente Thèvenin visto por R_L la resistencia zener provoca una ligera caída de la tensión de salida para incrementos de la corriente de carga.

3.7.5 VARIACIÓN CON LA TEMPERATURA

La Figura 3.32a muestra como la tensión de codo, corriente inversa y tensión de ruptura cambian con la tenperatura para los diodos de silicio. La tensión de codo, V_D, decrece a razón de 2 mV/ºC. Esto significa que la tensión de la fuente en el modelo cambia de acuerdo a

$$V_D(T) = V_D(T_R) - 0{,}002(T - T_R) \tag{3.41}$$

donde T_R es una temperatura de referencia. De aquí podemos estimar el coeficiente de temperatura, α_D, de la tensión de codo del diodo. Comenzamos con la definición

$$\alpha_D = \frac{\Delta V_D / V_D}{\Delta T} = \frac{\left[V_D(T) - V_D(T_R) / V_D(T_R)\right]}{T - T_R} \tag{3.42}$$

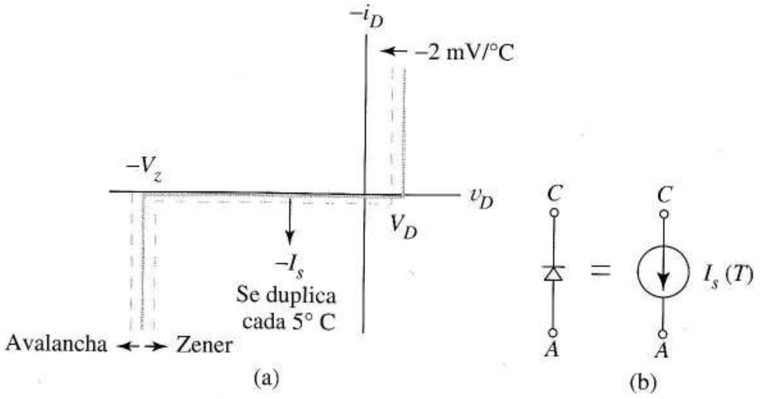


FIGURA 3.32 a) Cambios en las características del diodo con la temperatura; b) modelo para el diodo inversamente polarizado que incluye la variación de la temperatura.

Si usamos 27ºC para T_R, entonces $V_D\ (T_R) = 0{,}7$ V. La variación –2 mV/ºC da

$$\alpha_D = -\frac{0{,}002}{0{,}7} \approx -0{,}0029/^\circ\mathrm{C} = 2.900\ \mathrm{ppm}/^\circ\mathrm{C}$$

La corriente inversa de saturación del diodo se duplica cada incremento de 5ºC de la temperatura. Cuando esta corriente pueda llegar a ser importante, por ejemplo para un diodo trabajando con un margen de temperaturas amplio, sustituimos el circuito abierto del modelo de diodo cortado por una fuente de corriente independiente de valor $i_D = -I_S$ que cambia de acuerdo con

$$I_S(T) = I_S(T_R) \times 2^{(T-T_R)/5}$$

La Figura 3.2b muestra el modelo.

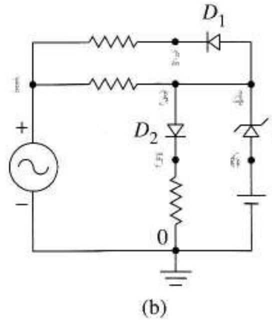
Los coeficientes de temperatura para V_Z dentro de un margen del ±0,1% por ºC son típicos. El signo de la variación de la temperatura depende del mecanismo físico de ruptura. Para $V_Z < 5{,}7$ V (mecanismo zener) el coeficiente de temperatura es negativo; para $V_Z > 5{,}7$ V (avalancha) es positivo. Un zener de 5,7 V es el mejor para usarlo como tensión de referencia porque su coeficiente de temperatura está muy cercano al cero.

3.8 MODELO ESTÁTICO SPICE PARA EL DIODO

El SPICE tiene un modelo matemático predefinido para el diodo, que se reduce a la Ecuación (3.40) para el análisis en continua. El SPICE también incluye en los cálculos la región de ruptura como una opción de usuario. La Figura 3.33c muestra el código SPICE para los diodos de la Figura 3.33b. Cada diodo comienza con una línea en la que figura un nombre que comienza con "D". A continuación aparecen los números de los nodos en el orden ánodo-cátodo. Luego viene el *nombre del modelo* del elemento, que se elige arbitrariamente (por ejemplo, KAY). La función de la clase es relacionar el diodo con alguna línea de código .MODEL en particular. La línea .MODEL especifica el modelo y tipo de dispositivo y enumera los valores de sus parámetros.

Notación		Valores por defecto
Texto	SPICE	
I_s	IS	1,0E–14 A
η	N	1
V_z	BV	∞ V
$I_{mín}$	IBV	1,0E–3 A

(a)



(b)

```
   ⋮
D1 4 2 KAY
.MODEL KAY D
D3 6 4 TOM
.MODEL TOM D N=2 BV=5.7
D2 3 5 KAY 2.5
   ⋮
```

(c)

FIGURA 3.33 Código SPICE para un diodo: a) notación de los parámetros y valores por defecto; b) circuito conteniendo diodos; c) codificación por defecto para un diodo (D_1), diodo con valores que no son por defecto (D_3), diodo por defecto excepto para el área (D_2).

La primera línea de código de la Figura 3.33c establece que D1 pertenece a la clase de elementos llamada KAY. La línea .MODEL que sigue describe todos los dispositivos que pertenencen a la clase KAY. Después del nombre de modelo una D indica que todos los KAY son diodos. (Los otros dispositivos que no son diodos también usan las líneas .MODEL). Como no hay otros códigos en línea .MODEL, D1 es un diodo que utiliza los valores por defecto, que se enumeran en la última columna de la Figura 3.33a.

D3 pertenece a una segunda clase, llamada TOM. Obsérvese que la línea .MODEL de esta clase invalida los valores por defecto del coeficiente de emisión y la tensión zener enumerando los valores que los reemplazan, pero mantiene el valor por defecto de I_s. (Las declaraciones de los parámetros pueden escribirse en cualquier orden). Si hubiera otros diodos idénticos a D3 en el circuito, cada uno debería tener una línea propia que describiese sus conexiones, pero todos compartirían la misma descripción .MODEL utilizando el nombre de la clase TOM.

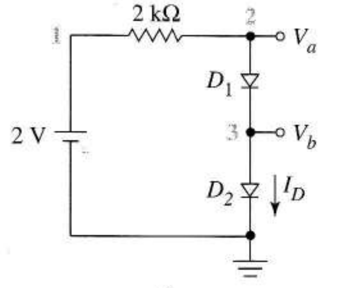
Cómo guiarse por la corriente inversa de saturación I_s y el área A [ver Ecuación (3.39)] es una importante técnica de diseño, es útil poder asignar diferentes áreas relativas a otros diodos que son iguales en todo lo demás. El SPICE emplea un factor AREA opcional en la línea del elemento para este propósito. Este número, añadido al final de la línea del elemento, le dice al SPICE el número de diodos del tipo descrito en la línea .MODEL que deben ponerse en paralelo para obtener ese diodo. Por ejemplo, en la Figura 3.33c la línea del elemento D_2 asocia este diodo con el modelo KAY; sin embargo, el 2,5 del final indica que le área de D_2 es 2,5 veces la de D_1. Cuando se indica un área en la línea del elemento, SPICE escala convenientemente todos los parámetros del diodo pertinentes, incluyendo I_s.

El SPICE supone que todos los datos de entrada se aplican a los dispositivos a una temperatura de 27°C y siempre hace el análisis en continua para esta temperatura. Si incluimos una línea adicional de código especificando alguna otra temperatura en grados Celsius, por ejemplo .TEMP = 50, el SPICE calcula los valores de los parámetros para esta temperatura y realiza un segundo análisis.

La disponibilidad de modelos SPICE no lineales aumenta nuestra capacidad de resolver problemas, como sugiere el siguiente ejemplo.

EJEMPLO 3.11 En la Figura 3.34a D_2 tiene una corriente inversa de 3×10^{-15} A. D_1 es idéntico excepto que su área es 9,5 veces la de D_2. Hallar las tensiones de los nodos V_a y V_b y la corriente del diodo a $T = 27$°C y $T = 100$°C.

Solución El código SPICE está en la Figura 3.34b, las respuestas obtenidas de los datos de salida de SPICE están en la Figura 3.34c.



(a)

```
DIODE DIVIDER
VCC 1 0 DC 2
R1 1 2 2K
D1 2 3 TOM 9.5
D2 3 0 TOM
.MODEL TOM D IS=3E-15
.TEMP=100
.PRINT DC I(VCC)
.END
```

(b)

T	Respuestas
27°C	$V_a = 1{,}2626$ V $V_b = 0{,}6604$ V $I_D = 3{,}687 \times 10^{-4}$ A
100°C	$V_a = 1{,}0069$ V $V_b = 0{,}5397$ V $I_D = 4{,}965 \times 10^{-4}$ A

(c)

FIGURA 3.34 Ejemplo usando modelos de SPICE: a) circuito; b) código SPICE; c) resultados del análisis para 27°C y para 100°C.

Debido a las diferentes áreas de las uniones, los datos a 27°C muestran que las caídas de tensión en los dos diodos no son las mismas incluso aunque las corrientes de los diodos son las mismas. Debido a la baja corriente, ambas caídas son menores de los 0,7 V que empleamos en nuestros simples modelos lineales. En el segundo grupo de respuestas, las caídas de los diodos decrecen ambas al crecer la temperatura (como indicaba la Figura 3.32), algo menos de los 2 mV/°C indicados. Normalmente el SPICE refleja mejor el funcionamiento real que nuestras estimaciones. ❑

Ejercicio 3.12 En la Figura 3.34c suponer que los valores de V_a y V_b a 27°C son correctos. Calcular los valores que se esperan si la caída de los diodos es –2 mV/C.

Respuesta $V_b = 0{,}5144$ V, $V_a = 0{,}9706$ V.

El Ejemplo 3.11 presenta problemas conceptualmente simples, pero no son fáciles de resolver mediante análisis manual. Para resolver este problema sin software de simulación, deberíamos haber estimado la corriente, calcular las correspondientes tensiones de los diodos con la Ecuación (3.32) usando valores individuales de I_s, recalcular la corriente partiendo de las nuevas tensiones y continuar iterando hasta que las soluciones convergieran. El SPICE hace esas iteraciones, pero de forma transparente para el usuario.

EJEMPLO 3.12 La Figura 3.35a muestra el regulador de tensión del Ejemplo 3.10 con una fuente de corriente continua reemplazando a la resistencia de carga. Utilizar el SPICE para dibujar la tensión en la carga en función de la corriente de carga I_L, con un margen de corrientes de carga de cero a 300 mA. Explique los resultados.

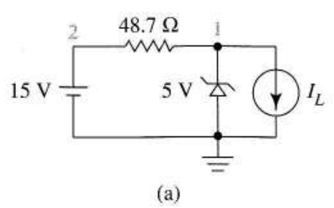
Solución Las Figuras 3.35 a-c muestran el circuito de la simulación. En el Ejemplo 3.10 obtuvimos que la alimentación de 15 V entregaba una corriente constante de 205mA. Cuando la corriente de carga es cero, toda la corriente de alimentación circula por el diodo. Como I_L aumenta, la corriente del diodo disminuye. Cuando la corriente de carga iguala a la corriente de alimentación menos la corriente mínima del diodo, 205 –2 = 203 mA, esperamos que el punto de funcionamiento del diodo salga de la región de ruptura y entre en la región de corriente constante de la Figura 3.28a. ❑

Ejercicio 3.13 Estimar el valor de la corriente de carga, I_L, para el que la curva de la Figura 3.35c empezaría a disminuir si la fuente de 15 V fuera sustituida por una de 10 V. Utlizar el SPICE para comprobar el resultado.

Respuesta 101 mA, cambiar la línea de la fuente a VBB 2 0 DC 10, Figura 3.35d.

3.9 CIRCUITOS NO LINEALES CONFORMADORES DE ONDAS

A continuación estudiamos una clase de circuitos que explota las no linealidades de los diodos para cambiar las formas de las ondas que varían en el tiempo. Recordemos que un circuito lineal responde a una onda de entrada senoidal produciendo una onda de salida senoidal de la *misma frecuencia*, posiblemente difiriendo en magnitud y/o fase. En contraste, la salida de un circuito *conformador de ondas* contiene *nuevas frecuencias*, cada una múltiplo de la frecuencia de la onda senoidal de entrada. *En un amplificador*, los armónicos de salida no son deseables y los llamamos distorsión. En un circuito conformador de ondas, producir armónicos es la cuestión. Las senoides no son las únicas señales de entrada útiles para los circuitos recortadores; es posible y útil utilizar señales periódicas generales e incluso señales de entrada no periódicas.




```
EXAMPLE 3.12
VBB 2 0 DC 15
RS 2 1 48.7
DZ 0 1 ZENER
.MODEL ZENER D BV=5 IBV=2M
IL 1 0 DC 0
.PLOT DC V(1)
.DC IL 0 300M 3M
.END
```

(b)

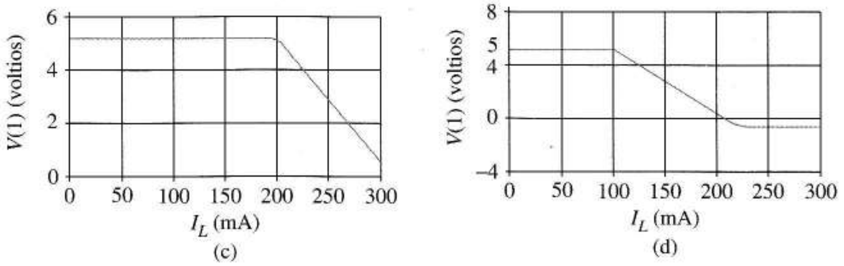


FIGURA 3.35 Simulación de SPICE de un regulador de tensión: a) circuito; b) código SPICE; c) gráfica de la tensión de salida; d) tensión de salida para el Ejercicio 3.13.

Estudiamos un circuito conformador de ondas comparando su onda de entrada y su salida variantes en el tiempo. A menudo empezamos con una señal de entrada simple como una onda senoidal y analizamos el circuito con diodos ideales para determinar la naturaleza de la onda de salida. Para generalizar el análisis a cualquier señal de entrada, usamos *una función de transferencia estática* no lineal, un simple dibujo punto a punto de la variable de salida en función de la variable de entrada. Una vez que conocemos la característica de transferencia, usamos la técnica de proyección de ondas de la Figura 1.16 para entender cómo procesa el circuito cualquier forma de onda. La característica de transferencia nos permite clasificar un circuito recortador de acuerdo con su manera de modificar las formas de onda.

El diodo ideal es la herramienta más efectiva para explorar un circuito conformador de ondas no familiar; las características de transferencia basadas en el análisis de un diodo ideal pueden no ser suficientemente precisas en algunas situaciones. En tales casos, un segundo análisis usando el modelo con tensión de codo del diodo se lleva a cabo normalmente; las simulaciones de computador nos permiten incluso más precisión mediante la inclusión de las no linealidades exactas del diodo.

Mientras que los circuitos conformadores de onda hechos sólo de diodos, resistencias, fuentes de continua y en ocasiones condensadores son ampliamente usados, los amplificadores operacionales aportan beneficios adicionales. Los amplificadores operacionales pueden compensar las deficiencias de los diodos, proporcionar resistencias de salida bajas convenientes para circuitos en cascada, y combinar las salidas de circuitos internos no lineales para producir el funcionamiento no lineal deseado de todo el conjunto. Una vez que dominemos los circuitos de resistencias, condensadores y diodos examinaremos también aquellos que incluyen amplificadores operacionales.

Circuito limitador La Figura 3.36a muestra un circuito conocido como limitador. Cuando $v_i > 0$, circula la corriente directa, y el diodo pasa a ser el cortocircuito de la Figura 3.36b. Cuando v_i es negativa, se tiene el circuito abierto de la Figura 3.36c. De estas figuras concluimos que

$$v_o = 0, \quad \text{para } v_i \geq 0 \tag{3.44}$$

$$v_o = v_i, \quad \text{para } v_i \leq 0 \tag{3.45}$$

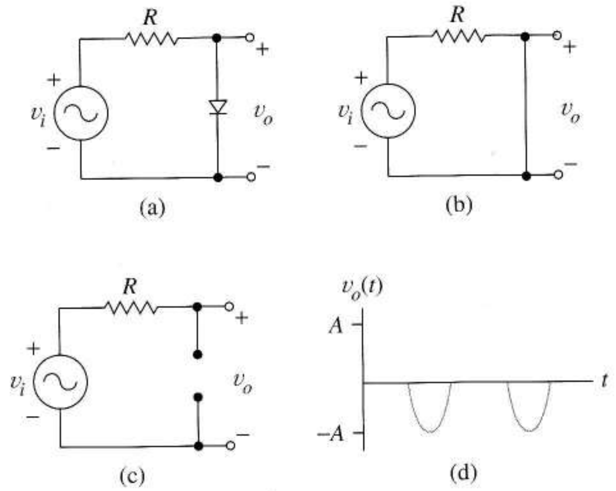


FIGURA 3.36 Circuito limitador : a) esquema del circuito; b) modelo para $v_i(t)$0; c) modelo para $v_i(t)$0; d) onda de salida para una entrada senoidal.

Esta ecuaciones implican que si $v_i(t)$ es la función del tiempo

$$v_i(t) = A \text{ sen } \omega t$$

entonces $v_o(t)$ es la onda de la Figura 3.36d.

Para visualizar mejor el funcionamiento del circuito, esquematizamos su función de transferencia, la representación gráfica de las Ecuaciones (3.44) y (3.45) mostrada en la Figura 3.37a. Las esquinas de la curva que aparecen en la función de transferencia en el punto donde cambia el estado de los diodos se llaman *puntos de ruptura*.

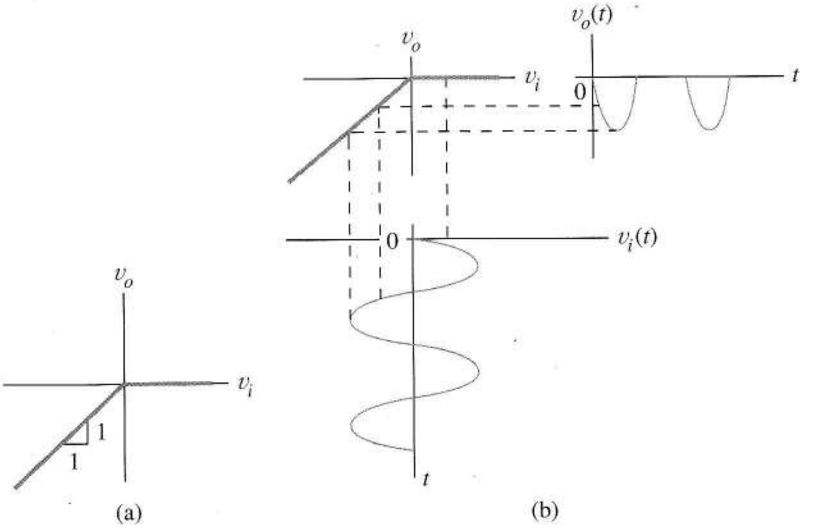


FIGURA 3.37 Limitador: a) característica de transferencia; b) procesado para una señal senoidal de entrada.

En la Figura 3.37b aparece la forma en que el circuito maneja una onda senoidal. Obsérvese que la amplitud de la salida está limitada al margen $-\infty < v_o \leq 0$, un resultado que el circuito alcanza *eliminando* la parte positiva de la onda de entrada. Es obvio que cualquier onda de entrada sale sin su

parte positiva. El limitador produce, recordando el concepto de serie de Fourier del Apartado 1.6.5, una onda de salida periódica con la misma frecuencia fundamental que la senoide de entrada. La onda de salida contiene además muchos armónicos que no estaban presentes en la onda de entrada.

Invirtiendo el sentido del diodo de la Figura 3.36a, el circuito elimina la parte *negativa* de la onda, un resultado fácil de confirmar aplicando nuestro razonamiento original al circuito modificado.

La Figura 3.38a muestra un limitador que incluye una fuente V_x. Si el diodo es ideal, conduce corriente sólo cuando $v_i \geq V_x$. Entonces $v_o = V_s$ como en la Figura 3.38b. Cuando $v_i \geq V_x$, el diodo no conduce como en la Figura 3.38c, y la salida es $v_o = v_i$. La característica de transferencia descrita por estas desigualdades, Figura 3.38d, muestra que para una onda que varía en el tiempo, $v_i(t)$, el circuito limita la parte de la onda más positiva que V_x y reproduce el resto. Este resultado válido para V_x positiva, negativa o cero, se modifica de una forma interesante invirtiendo la polaridad del diodo. Distintas disposiciones de los elementos del circuito proporcionan distintas, pero relacionadas, funciones limitadoras. El Problema 3.43 explora estas posibilidades.

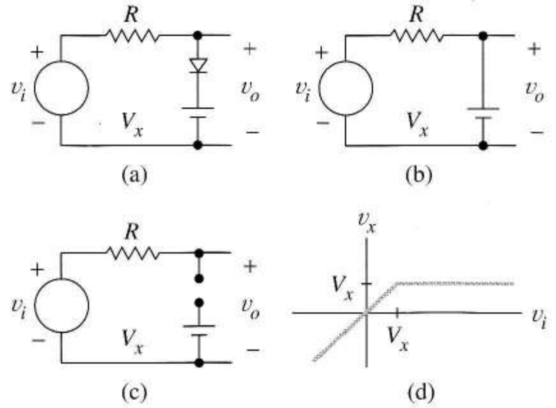


FIGURA 3.38 Limitador incluyendo una fuente independiente: a) esquema del circuito; b) conduciendo con un diodo ideal; c) en corte con un diodo ideal; d) función de transferencia.

La Figura 3.39a muestra un limitador más complicado. Cuando hay dos diodos es un poco más difícil ver la forma de empezar un análisis con diodos ideales. Lo más frecuente es seleccionar un valor concreto de v_i, como cero, como punto de inicio. Una vez que hemos dibujado el circuito equivalente, el siguiente paso es intuitivo.

En la Figura 3.39a, suponemos que $v_i = 0$. Como V_x y V_y tratan ambas de forzar corrientes inversas en los diodos, suponemos que los diodos no conducen y dibujamos la Figura 3.39b. Cuando $v_i = 0$ en este circuito, no circula corriente por R, cada ánodo tiene tensión negativa respecto a su cátodo y vemos que nuestra suposición era correcta para $v_i = 0$. Además, la característica de transferencia es $v_o = v_i$ siempre que la Figura 3.39b sea válida.

Examinando la Figura 3.39b más detalladamente observamos que D_1 y D_2 permanecen cortados hasta que v_i alcanza el valor V_x. Para $v_i \geq V_x$, D_1 entra en conducción produciendo un cortocircuito que hace que $v_o = V_x$. Una vez que D_1 conduce, valores más positivos de v_i incrementan la corriente por R y D_1, pero no afectan a v_o. Por lo tanto la salida permanece constante a V_x y D_2 sigue cortado.

Cuando v_i pasa a ser negativa, D_2 no conduce hasta que $v_i = -V_y$. Para $v_i \leq -V_y$, D_2 es un cortocircuito y v_o es igual a $-V_y$. La característica de transferencia de la Figura 3.39c resume estos resultados.

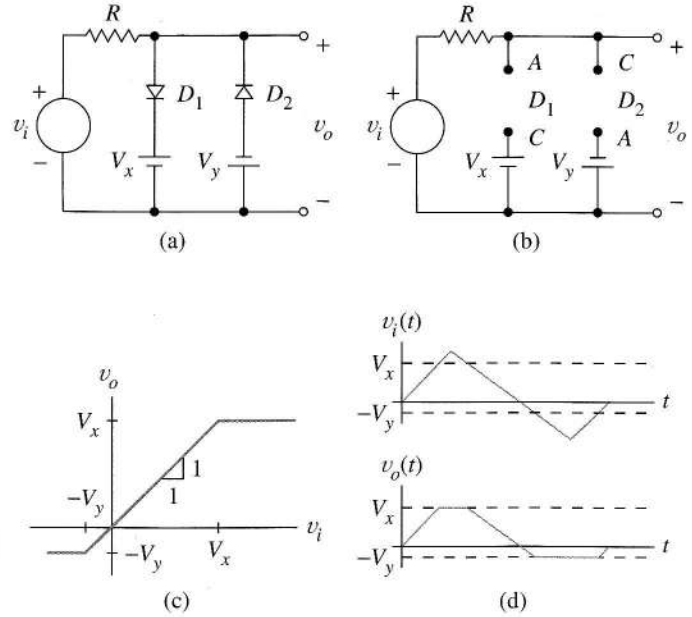


FIGURA 3.39 a) Circuito limitador; b) modelo para v_i próxima a 0; c) función de transferencia; d) ondas de entrada y salida.

La Figura 3.39d muestra una entrada triangular $v_i(t)$ y la salida resultante $v_o(t)$. Aquellas partes de la onda de entrada por encima de V_x y por debajo de $-V_y$ son eliminadas por el circuito no lineal limitando la onda de salida al margen $-V_y \leq v_o \leq V_x$. Obsérvese que los valores de V_x y $-V_y$ son parámetros de diseño arbitrarios porque dependen de las fuentes utilizadas en el circuito.

Como cualquier onda situada entre los dos valores límite no sufre cambios, este limitador puede usarse para proteger los circuitos de tensiones excesivas.

Efecto de la tensión de codo del diodo Ahora determinaremos el efecto de la tensión de codo del diodo en un circuito limitador. Si usamos el modelo con tensión de codo de la Figura 3.24 para analizar el circuito imitador de la Figura 3.36a, se toma $v_i > 0{,}7$ V para conmutar el diodo. El circuito equivalente en conducción es la Figura 3.38b, con $V_x = 0{,}7$ V. Esto es, podemos considerar V_x como una fuente de tensión en el modelo con tensión de codo. Cuando $v_i < 0{,}7$V, el diodo debería abrirse, dando un circuito como el de la Figura 3.38c, pero sin V_x. Por lo tanto la característica de transferencia es la de la Figura 3.38d, con $V_x = 0{,}7$ V. Usando un diodo con tensión de codo en un limitador como en la Figura 3.38a, se añaden 0,7 V cuando el diodo conduce, provocando que el circuito limite a $V_x + 0{,}7$ V en lugar de a V_x. En el limitador de la Figura 3.39, las desviaciones de tensión del diodo simplemente incrementan V_x y V_y en 0,7 V.

En realidad, los diodos tienen características *vi* exponenciales, que dan una característica de transferencia similar a las idealizadas, pero con transiciones suaves reemplazando a los puntos de ruptura bruscos.

Rectificador de media onda El circuito *rectificador de media onda* de la Figura 3.40 convierte la tensión alterna en continua pulsante. Si el diodo es ideal

$$v_o = v_i \text{ cuando } v_i \geq 0$$

y

$$v_o = 0 \text{ cuando } v_i < 0$$

Estas ecuaciones definen la función de transferencia de la Figura 3.40b. La proyección muestra que una onda senoidal de entrada se convierte en una onda de salida continua pulsante, *el valor medio* o *componente de continua* es la parte de la salida que es de interés. El resto es una superposición de armónicos senoidales de distintas frecuencias que puede ser eliminado con un filtro.

Para cuantificar el éxito de un rectificador al producir continua, calculamos la media de $v_o(t)$. Por definición es el área que encierra $v_o(t)$ durante un período T, dividido por el período. Para $v_i(t) = V_M$ sen$\omega_o t$, la media es

$$V_{dc} = \left[\frac{1}{T}\int_0^{T/2} V_M \operatorname{sen}\omega_o t\, dt + \int_{T/2}^{T} 0\, dt\right] = \frac{V_M}{\pi} \tag{3.46}$$

donde el período T está relacionado con ω_O por $\omega_O = 2\pi f = 2\pi/T$.

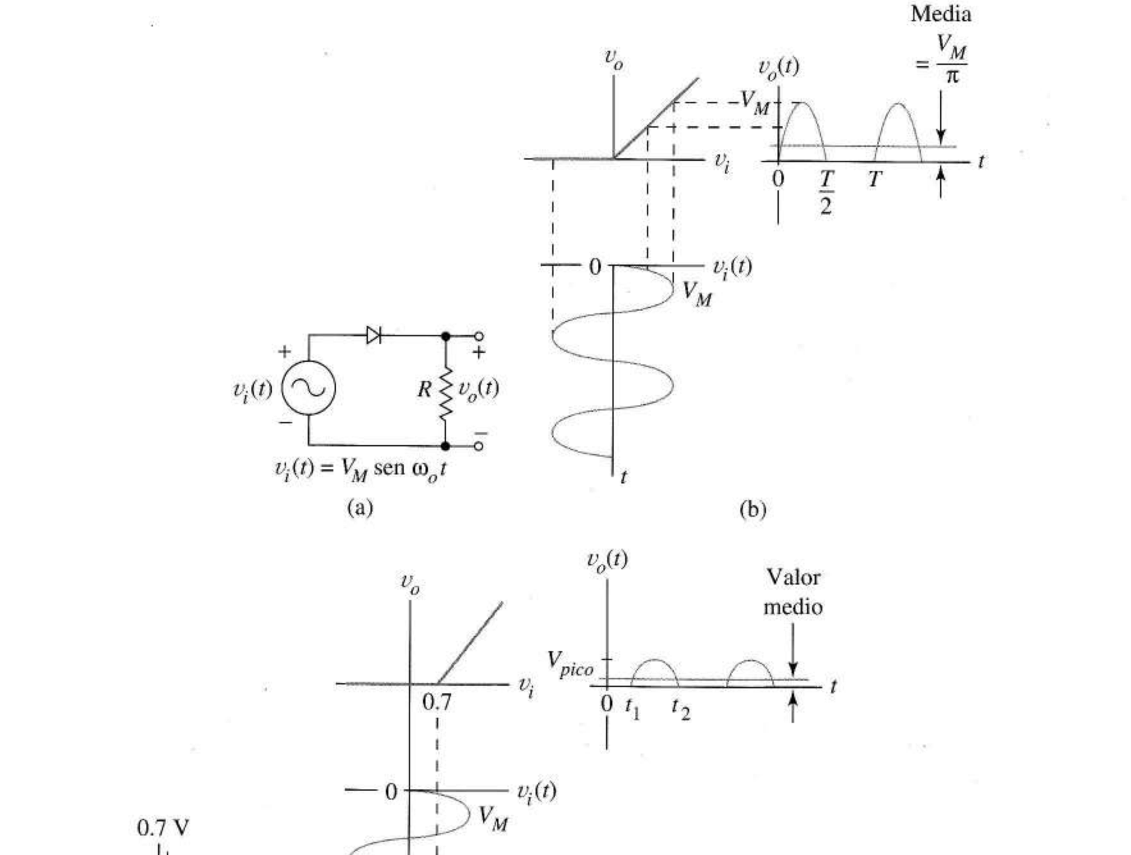


FIGURA 3.40 Rectificador de media onda: a) circuito; b) función de transferencia y procesado de la onda; c) modelo con tensión de codo suponiendo que el diodo conduce; d) diagrama usado para determinar el PIT del diodo.

Para determinar el efecto de la tensión de codo del diodo en la salida de un rectificador usamos el modelo con tensión de codo. Cuando el diodo conduce, se tiene la Figura 3.40c. Ahora el diodo conduce sólo para $v_i \geq 0,7$ V, dando $v_o = v_i - 0,7$ como en la Figura 3.40d. Sólo aquella parte de la onda de entrada mayor que 0,7 V aparece en la salida. Más específicamente, la conducción del diodo comienza en el instante t_1 y finaliza en el t_2 donde

$$V_M \operatorname{sen}\omega_o t_1 = 0,7 \text{ y } V_M \operatorname{sen}\omega_o t_2 = 0,7$$

Por lo tanto t_1 y t_2 son dos soluciones distintas de

$$t = \frac{1}{\omega_o}\operatorname{sen}^{-1}\left(\frac{0,7}{V_M}\right)$$

Como la circulación de corriente comienza en el ángulo $\omega_O t_1$ y finaliza en $\omega_o t_2$, la diferencia $\omega_o t_2 \omega_O t_1$ se llama *ángulo de conducción*. Como el área encerrada por $v_O(t)$ en la Figura 3.40d es menor que en la Figura 3.40b, la componente de continua de salida es menor cuando se usa un diodo real. Para hallar la media para cualquier V_M sustituimos los límites en la primera integral de la Ecuación (3.46) por t_1 y t_2.

En algunas aplicaciones, $V_M >> 0,7$ V y el error producido al ignorar la reducción del ángulo de conducción es despreciable.

Los diodos utilizados en circuitos rectificadores prácticos deben cumplir una especificación llamada la *tensión inversa de pico* (TIP) para asegurar que el diodo no se rompa cuando la tensión sea negativa. Para examinar el TIP, observemos que en la Figura 3.40e cuando $v_i(t)$ alcanza su pico negativo, no circula corriente por R y $v_A - v_C = v_D = -V_M$ voltios. Por lo tanto debemos seleccionar diodos tales que su TIP > V_M para prevenir la ruptura.

Los diodos seleccionados para los rectificadores también deben cumplir una especificación de *corriente de pico*. Obsérvese en la Figura 3.40a que cuando el diodo está en conducción, su pico de corriente es V_M/R. Si incluimos la tensión de codo, el pico de corriente para silicio es

$$i_{pico} = \frac{V_M - 0,7}{R}$$

En el Capítulo 10, veremos que el rectificador es un subcircuito clave en las fuentes de alimentación que proporcionan la potencia continua requerida por los circuitos electrónicos; sin embargo, el rectificador también tiene importantes aplicaciones en el procesado de señal. El circuito de control de volumen automático en las radios utiliza un rectificador para generar la tensión continua que gobierna la potencia de la señal. Cuando las condiciones atmosféricas atenúan la señal, esa tensión continua se usa para aumentar la ganancia del amplificador que procesa la señal automáticamente. Cuando la señal es demasiado fuerte, automáticamente, el circuito reduce la ganancia para prevenir la saturación del amplificador. El rectificador también elimina la información de la señal portadora de alta frecuencia, y es fundamental para el funcionamiento del barato instrumento analógico para medir corriente alterna que estudiamos a continuación.

Amperímetro de alterna analógico El mecanismo para medida de continua produce una desviación de la aguja del indicador que es directamente proporcional a la corriente medida. Cuando la corriente medida es la de salida de un rectificador, pulsante continua, la inercia evita que la aguja del indicador siga las variaciones instantáneas de la señal. En su lugar, la desviación observada es proporcional a la corriente media. La Ecuación 3.46 muestra que con un diodo ideal la componente media de la salida de un rectificador es proporcional a la amplitud de la senoide de entrada, V_M; por

lo tanto la desviación de la aguja es proporcional a la amplitud de la señal de alterna, resultando un amperímetro de alterna.

EJEMPLO 3.13 Necesitamos un medidor analógico para medir tensiones senoidales con valores de pico entre 0 y 400 V. El circuito es el de la Figura 3.40a con $R = R_x + r_m$, donde r_m es la resistencia de 10.000 Ω de un mecanismo de medida disponible y R_x es una resistencia serie desconocida. El diodo es ideal. Hallar el valor de R_x si la senoide de 400 V genera una medida de corriente continua de 2 mA.

Solución Cuando aplicamos una senoide de $V_M = 400$ V, aplicando la Ecuación (3.46) la tensión continua en R es $400/\pi = 127{,}3$V. La corriente medida de 2 mA viene de

$$2\times 10^{-3} = \frac{127{,}3}{R_x + 10.000}$$

Resolviendo $R_x = 53{,}7$ kΩ. ❑

Ejercicio 3.14 Calcular la corriente continua en el medidor del Ejemplo 3.13 cuando $v_i(t) = 50$ sen ωt.
Respuesta $I = 0{,}25$ mA.

La tensión de codo de los diodos limita seriamente la utilidad de los rectificadores en aplicaciones de procesado de señal, porque con la tensión de codo no hay proporcionalidad entre la entrada y el valor medio de la salida. Pronto aprenderemos a usar amplificadores operacionales para compensar las desviaciones de los diodos en tales aplicaciones.

Cargador de baterías La Figura 3.41 es un circuito cargador de baterías simple que carga V_{BB} desde una fuente alterna

$$v_i(t) = V_M \operatorname{sen}\omega t = V_M \operatorname{sen}\theta \tag{3.47}$$

El diodo ideal conduce cuando $v_i \geq V_{BB}$ y se corta para $v_i \leq V_{BB}$, dando una corriente de batería de

$$i = \frac{v_i - V_{BB}}{R}, \qquad \text{para } v_i \geq V_{BB} \tag{3.48}$$

y

$$i = 0, \quad \text{para } v_i \leq V_{BB}$$

La característica de transferencia del circuito, con la corriente de batería i como variable de salida, es la dibujada a partir de la Ecuación (3.48) en la Figura 3.41b. Esta figura también muestra gráficamente como la característica de transferencia no lineal modela la corriente de la batería. En cada ciclo de entrada 2π radianes, el diodo conduce corriente sólo para $\theta_C = \theta_2\ \theta_1$ radianes. El valor medio, I_{DC}, de la corriente es el que recarga la batería.

En un problema de diseño, el valor dado de la corriente de carga I_{DC} es el punto de partida típico. Por lo tanto necesitamos una ecuación de diseño que relacione I_{DC} con los parámetros del circuito R y V_M. De la Figura 3.41b se obtiene la corriente media de la batería

$$I_{DC} = \frac{1}{2\pi}\int_{\theta_1}^{\theta_2} \frac{V_M \operatorname{sen}\theta - V_{BB}}{R} d\theta \tag{3.49}$$

donde obtenemos la integral sustituyendo la expresión de v_i de la Ecuación (3.47) en la Ecuación (3.48). Los límites de integración son aquellos ángulos θ_i que cumplen

$$V_M \operatorname{sen} \theta_i = V_{BB} \tag{3.50}$$

El siguiente ejemplo muestra cómo seleccionar estas ecuaciones con un problema de diseño.

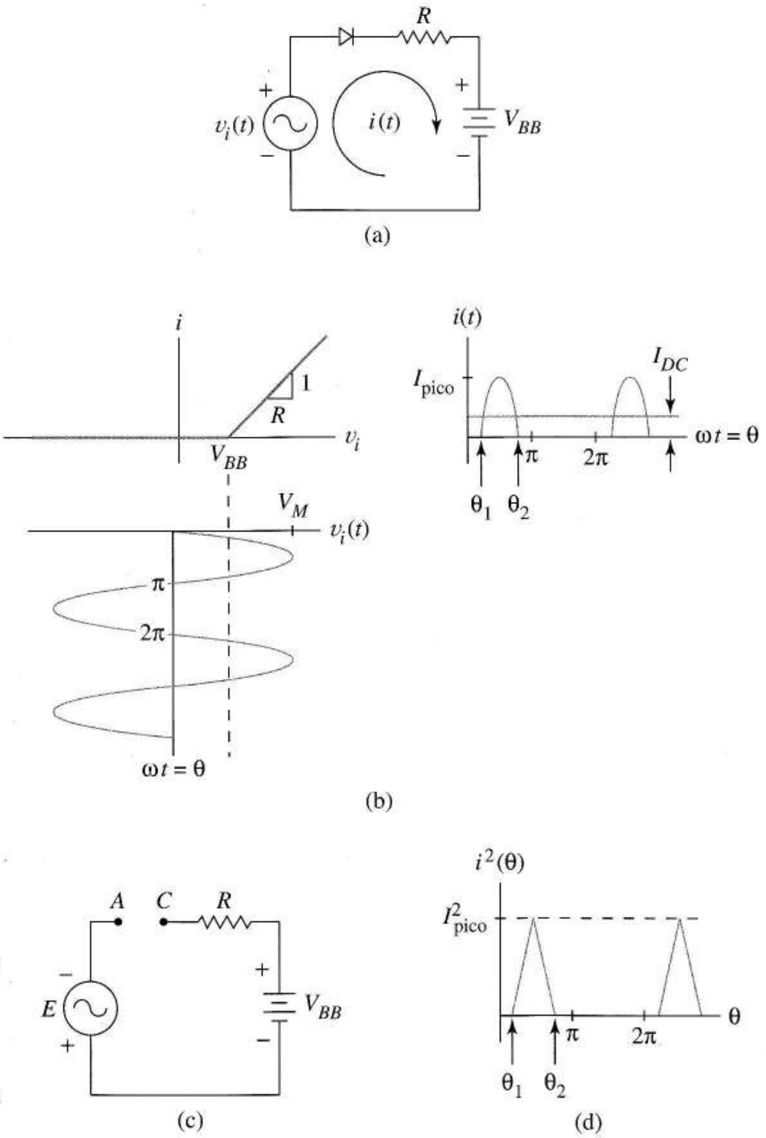


FIGURA 3.41 Circuito cargador de baterías: a) esquema; b) función de transferencia y formas de onda; c) equivalente para determinar el TIP; d) esquema utilizado para determinar la disipación de potencia en *R*.

EJEMPLO 3.14 Diseñar un cargador de baterías para entregar $I_{DC} = 4$ A a una batería de 12 V. Diseñar implica hallar las especificaciones de los diodos, TIP y corriente de pico, además de *R* y V_M. Suponer que nuestras ecuaciones basadas en un diodo ideal son suficientemente precisas.

Solución Las ecuaciones de diseño disponibles, Ecuaciones (3.49) y (3.50) no indican un camino directo para llegar a una solución. En estos casos, empezamos con una propuesta razonada. Una vez que el diseño está completo y vemos las consecuencias podemos rediseñar, si es necesario, utilizando la experiencia anterior para mejorar el diseño.

Si conociésemos θ_1 y θ_2, podríamos usar (3.50) para hallar V_M, ya que V_{BB} = 12 V. Así, con valores conocidos para V_M e I_{DC}, podríamos resolver la Ecuación (3.49) para R. La Figura 3.41b muestra que θ_1 y θ_2 son simétricos respecto a $\pi/2$ ó 90°. Así que podemos seleccionar arbitrariamente $\theta_1 = 20°$ y $\theta_2 = 160°$, por ejemplo. Con V_{BB} = 12 V, la Ecuación (3.50) es

$$V_M \operatorname{sen} 20° = 12$$

que da V_M = 35,1 V. Para una corriente de carga 4 A la Ecuación (3.49) necesita

$$R = \frac{1}{4 \times 2\pi} \int_{0,349}^{2,79} (35{,}1 \operatorname{sen}\theta - 12)\, d\theta$$

donde los ángulos se dan en radianes

$$R = \frac{1}{8\pi}(-35{,}1\cos\theta - 12\theta)\Big|_{0,349}^{2,790} = 1{,}46\ \Omega$$

Este valor es menor que el que encontramos normalmente en circuitos electrónicos, pero razonable para una aplicación de potencia. A continuación hallamos las especificaciones para el diodo rectificador.

En la Figura 3.41b, vemos que el pico de la corriente por el diodo ocurre cuando v_i es máxima, a 35,1 V. Con el diodo ideal en cortocircuito

$$I_{pico} = \frac{35{,}1 - 12}{1{,}46} = 15{,}8\text{A}$$

La Figura 3.41c muestra que en este circuito el diodo debe resistir una tensión inversa de $V_M + V_{BB}$ = 35,1+12 = 47,1 V. Un diseñador prudente añade un 20% o más a los valores de TIP e I_{pico} como factor de seguridad. Esto completa el diseño inicial.

Examinemos ahora la decisión arbitraria que hicimos acerca de los ángulos de conducción. Como la corriente de la Figura 3.41b debe ser de 4 A elegir un intervalo de conducción menor incrementa la corriente de pico ya que el área encerrada por la curva de la corriente debe ser la misma. Pero con V_{BB} = 12 V en la Ecuación (3.50), esto también implica un valor mayor de V_M, incrementando el TIP que debe soportar el diodo. En general, un intervalo de conducción menor necesita diodos más caros. El ángulo de conducción original parece ser un compromiso satisfactorio. ❏

Un buen ingeniero aprende a ser cuidadoso, buscando posibles problemas en un diseño, incluso aunque no deban estar cubiertos por las especificaciones. Por ejemplo, es una buena idea preocuparse por los valores de la potencia de las resistencias en circuitos con corrientes grandes. Para determinar qué potencia debe disipar una resistencia R en el ejemplo anterior, necesitamos hallar el valor rms, I_{rms}, de la corriente por la resistencia, entonces usar $I^2_{rms}R$. Para hacer una aproximación y evitar alguna integración, aproximamos el cuadrado de los pulsos de corriente de la Figura 3.41b por triángulos de altura $(15{,}8)^2\text{A}^2$ con una base de (160°–20°) como en la Figura 3.41d. El valor medio de esta corriente al cuadrado es

$$I_{rms} = \frac{\frac{1}{2}(160°-20°)(15{,}8)^2}{360°} = 48{,}5\text{A}^2$$

o, I_{rms} = 6,96 A. Esto da una potencia media disipada estimada en la resistencia de 1,46 Ω de

$$P_R = 48{,}5 \times 1{,}46 = ¡70{,}8W!$$

Pasar por alto este detalle puede generar problemas, como una resistencia vaporizada cuando se conecte el circuito. A menudo hay en el diseño muchos enfoques y muchas soluciones aceptables. Por ejemplo, como V_M no estaba especificada, podíamos haber empezado por fijar V_M a 170 V, el valor de pico de una red de 120 V rms. La Ecuación (3.50) habría establecido entonces los límites y llevado hasta R. Los circuitos rectificadores para cargadores de batería que trabajan desde la red se estudian después de otro importante componente de potencia, el transformador.

Ejercicio 3.15 Determinar R, I_{pico} y la potencia de la resistencia si $V_M = 170$ V en el problema de diseño del Ejemplo 3.13.

Respuesta 12,1Ω, 13,1A, 182 V, 41W.

Transformador Los *transformadores* como el de la Figura 3.42a suelen proporcionar la tensión de entrada a los circuitos rectificadores. El transformador consta de dos devanados, un devanado *primario* de N_1 vueltas y un devanado *secundario* de N_2 vueltas, ambos arrollados alrededor de un núcleo común de material magnético. El flujo magnético ϕ, creado en el núcleo por las corrientes alternas i_1 e i_2, transfiere magnéticamente potencia entre el primario y el secundario incluso aunque no haya conexión eléctrica directa. Cuando N_1 y N_2 difieren, v_1 y v_2 difieren en la misma relación. Esto hace posible la transformación de tensión alterna a niveles menores antes de convertirla a tensión continua, una característica que nos permite generar eficientemente tensiones continuas bajas desde tensiones de red (120 en USA, 220 en España) en aplicaciones tales como cargadores de baterías, calculadoras, contestadores y afeitadoras eléctricas.

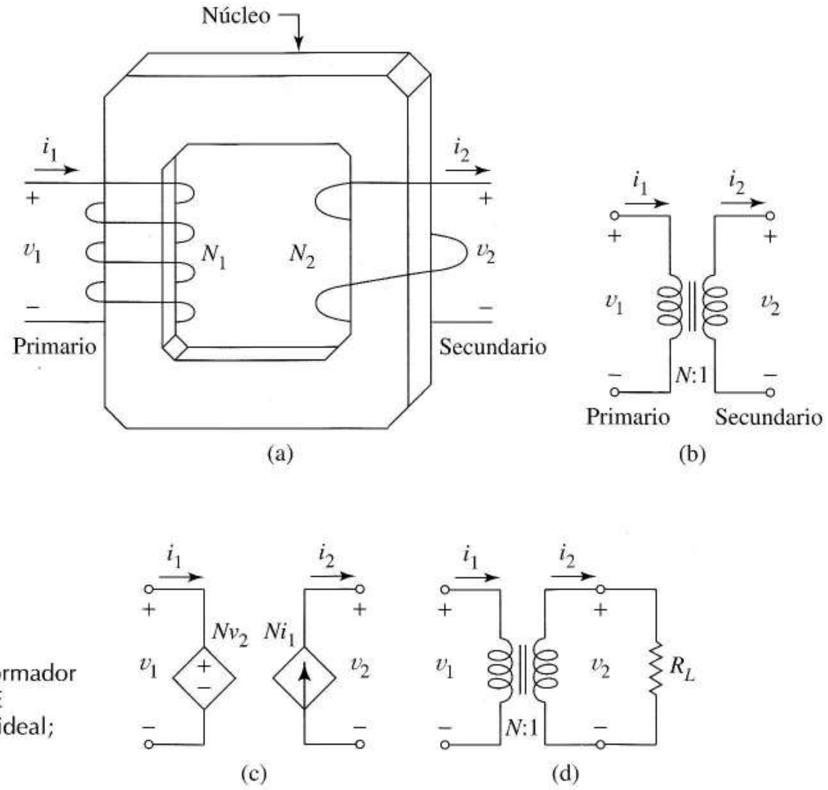


FIGURA 3.42 Transformador: a) construcción física; b) esquema del transformador ideal; c) modelo SPICE para el transformador ideal; d) circuito mostrando la transformación de la resistencia.

El *aislamiento eléctrico* que un transformador impone entre primario y secundario es útil para reducir la posibilidad de descargas eléctricas. Una persona que toque componentes del circuito en el secundario de baja tensión nunca está expuesta a las tensiones altas que pueden existir en el primario. De forma similar, el transformador aísla dispositivos electrónicos delicados de posibles daños causados por conexión accidental a tensiones altas. (Veremos otro método de aislamiento, el *aislamiento óptico*, al final del capítulo). Los transformadores tienen también aplicaciones en circuitos de comunicación de alta frecuencia, donde el núcleo es aire en vez de material ferromagnético. *El transformador ideal*, es un modelo idealizado que incluye la esencia del transformador

Transformador ideal El transformador ideal, representado esquemáticamente en la Figura 3.42b, tiene un parámetro llamado relación de espiras (también llamado *relación de transformación*), N, y dos ecuaciones que lo definen

$$v_1 = Nv_2 \tag{3.51}$$

y

$$i_2 = Ni_1 \tag{3.52}$$

Cuando la potencia eléctrica pasa del primario al secundario, si N es mayor que uno, la tensión se reduce y la corriente aumenta, siendo N el factor de proporcionalidad en ambos casos. Esto implica que en cada instante, la potencia de entrada $v_1(t)i_1(t)$ es exactamente igual a la potencia de salida $v_2(t)i_2(t)$, haciendo del transformador ideal un dispositivo sin pérdidas. El primario recibe potencia a tensión alta y corriente baja y entrega la potencia a tensión baja y corriente alta. La Figura 3.42c es un modelo SPICE de un transformador ideal, que usa fuentes dependientes para implementar las Ecuaciones (3.51) y (3.52).

Otra característica, especialmente útil en electrónica de alta frecuencia, es la capacidad del transformador para transformar resistencias. De la Figura 3.42d y de las ecuaciones del transformador

$$\frac{v_1}{i_1} = \frac{Nv_2}{(1/N)i_2} = N^2\frac{v_2}{i_2} = N^2 R_L$$

Concluimos que en el primario, el circuito ve una resistencia de entrada de

$$R_i = N^2 R_L$$

El mismo tipo de análisis muestra que una resistencia R_s conectada al primario se transforma en

$$R_o = \frac{1}{N^2} R_s$$

Transformadores reales Los transformadores reales contienen también inductancias, resistencias y capacidades parásitas en el primario y secundario. Los circuitos que emplean transformadores con núcleo de hierro deben tener corrientes medias de valor cero en primario y secundario para prevenir la *saturación* del circuito magnético, un fenómeno no lineal que degrada el funcionamiento y produce una gran disipación de potencia. En los circuitos rectificadores que siguen, las corrientes continuas en los transformadores son cero.

Rectificador de onda completa La Figura 3.43a, muestra un puente *rectificador de onda completa*. Se llama *puente rectificador* porque su estructura es similar al circuito en puente de la Figura 1.26c. El porqué se llama de onda completa lo vemos en sus ondas de salida.

Cuando $v_i(t) \geq 0$, suponemos que D_1 y D_2 conducen ambos, mientras D_3 y D_4 están cortados. Esto da la Figura 3.43d, donde las flechas muestran la dirección de la corriente y confirman que D_1 y D_2

conducen. Los cátodos D_3 y D_4 tienen tensión positiva respecto a sus ánodos, lo que concuerda con la suposición de D_3 y D_4 cortados. Concluimos que

$$v_o(t) = v_i(t), \quad \text{para } v_i(t) \geq 0$$

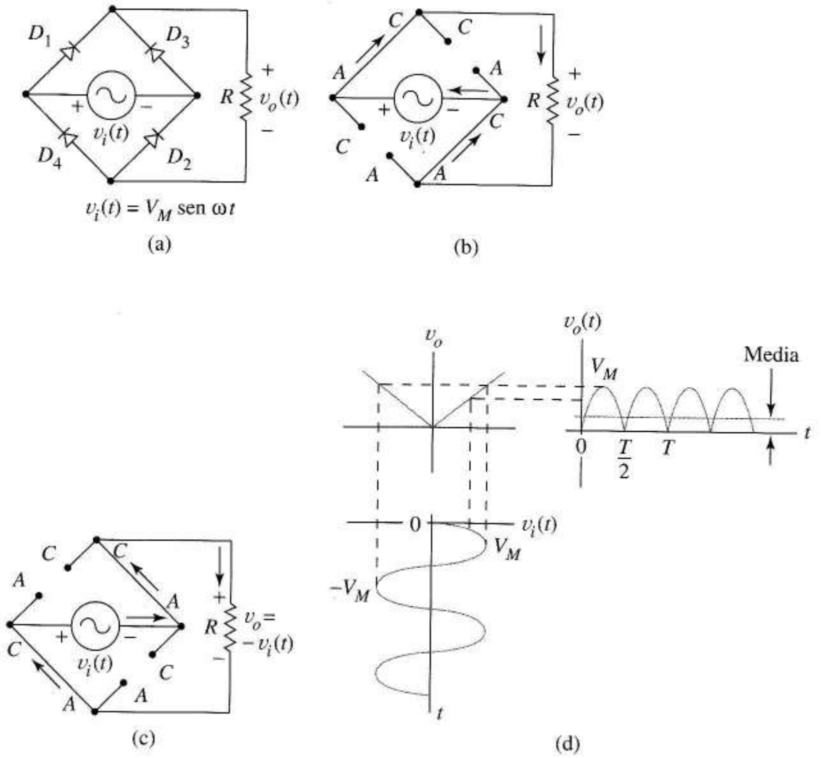


FIGURA 3.43 Rectificador de onda completa de tipo puente: a) diagrama del circuito; b) circuito cuando $v_i(t)>0$; c) circuito cuando $v_i(t)<0$; d) onda de salida.

Para $v_i(t) \leq 0$, suponemos que D_3 y D_4 conducen, mientras D_1 y D_2 están cortados como en la Figura 3.43c. Las corrientes circulan como indican las flechas porque $v_i(t) < 0$. Concluimos que

$$v_o(t) = -v_i(t), \quad \text{para } v_i(t) \leq 0$$

Combinando las dos ecuaciones de entrada/salida da

$$v_o = |v_i(t)|$$

la característica de transferencia valor absoluto de la Figura 3.43d. Esta figura también muestra las ondas de entrada y salida para una entrada senoidal. Comparando la salida con la del rectificador de media onda, obtenemos el doble de área para el mismo período. Por lo tanto, la componente de continua de la onda es

$$V_{DC} = \frac{2V_M}{\pi} \tag{3.53}$$

Es fácil ver en las Figuras 3.43b y c, que el TIP para cada diodo es V_M.

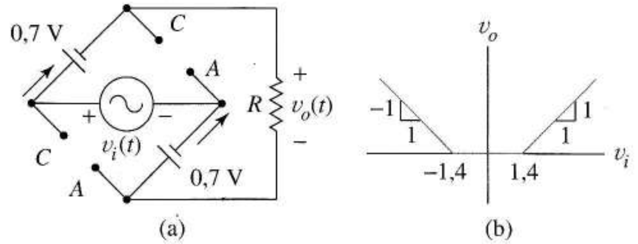


FIGURA 3.44 Efectos de las tensiones de codo en: a) circuito equivalente; b) función de transferencia.

Aunque el rectificador de onda completa ideal produce el doble de continua que el rectificador de media onda, tiene algunas desventajas. La más obvia es que necesita cuatro diodos en lugar de uno. Menos obvio es el efecto de las desviaciones de los diodos reales. Obsérvese en la Figura 3.44a que cuando los diodos reales conducen, las dos desviaciones se restan de la tensión de la fuente. Para diodos de silicio

$$v_o(t) = v_i(t) - 1{,}4$$

cuando $v_i(t) \geq 1{,}4$ V, causando la conducción de D_1 y D_2. De forma similar

$$v_o(t) = -v_i(t) - 1{,}4$$

para $v_i(t) \leq -1{,}4$, cuando D_3 y D_4 conducen. La característica de transferencia resultante, Figura 3.44b, tiene una *zona muerta* de anchura 2,8 V en la que la salida es cero. Esto da menores ángulos de conducción y una reducción del valor de la componente de continua de salida comparado con el valor teórico. En contraste, el rectificador de media onda introduce sólo una tensión de codo cuando conduce. Obsérvese que en las Figuras 3.43b y c la *corriente de la fuente* alterna su dirección, resultando un valor medio nulo. Esto significa que podemos obtener $v_i(t)$ de un transformador real con núcleo de hierro. La Figura 3.45a muestra cómo usar un transformador para incrementar o reducir los niveles de tensión alterna y tener aislamiento eléctrico entre los circuitos de entrada y salida. La tensión del primario de valor de pico, V_P, se convierte a la tensión del secundario de valor de pico $V_M = V_P/N$. El circuito equivalente de salida de la Figura 3.45b es el mismo que el de la Figura 3.43b.

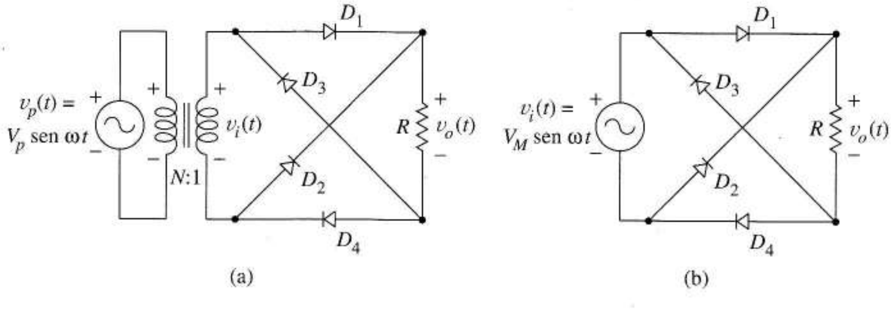


FIGURA 3.45 Puente rectificador con transformador de entrada: a) circuito completo; b) circuito equivalente del secundario.

EJEMPLO 3.15 Diseñar un puente rectificador con transformador de entrada que genere una tensión continua de salida de 9 V a partir de una tensión de línea de 120 V (rms). Seleccionar el transformador y los diodos ideales de forma que el pico de corriente del diodo no supere 20 mA. Especificar el valor de R y en mínimo TIP del diodo como parte del diseño.

Solución Suponemos diodos ideales para el diseño inicial y examinaremos las consecuencias de esta suposición cuando el diseño esté completo. Comenzando con los 9 V de continua de la tensión de salida, la tensión máxima del puente la da la ecuación

$$9 = \frac{2V_M}{\pi}$$

con lo que $V_M = 14{,}1$ V, para la tensión de pico en el secundario del transformador. El valor de pico de la tensión del primario es $\sqrt{2}$x 120 = 170 V; por lo tanto, el transformador necesita una relación de espiras de N = 170/14,1 = 12,1. La corriente de pico circula por los diodos cuando $V_M = 14{,}1$ V. Para limitar las corrientes a 20 mA, elegimos

$$R = 14{,}1/20\,\text{mA} = 705\ \Omega$$

Valores mayores de R, que den corrientes de pico por el diodo menores, también son aceptables. La especificación del TIP es $V_M = 14{,}1$ V. ❑

El siguiente ejercicio muestra que la suposición de diodos ideales en el ejemplo precedente lleva a un diseño conservador.

Ejercicio 3.16 Hallar el valor real de la corriente de pico y el TIP cuando se sustituyen los diodos ideales del Ejemplo 3.15 por diodos de silicio.

Respuesta 18 mA, 12,7 V.

Rectificador de onda completa de dos diodos La Figura 3.46a muestra un rectificador de onda completa que utiliza solo dos diodos. La etiqueta *TM* indica que el devanado secundario tiene *toma media*. Un secundario con toma media produce dos tensiones, cada una de valor la mitad de la tensión total del secundario. La ecuación para cada fuente es

$$v_i(t) = 0{,}5\frac{V_p}{N}\operatorname{sen}\omega t \tag{3.54}$$

Cuando la tensión del primario es positiva, D_1 conduce D_2 está cortado, dando la Figura 3.46c, donde

$$v_o(t) = v_i(t), \quad \text{para } v_i(t) \geq 0$$

Con tensión de primario negativa, las fuentes $v_i(t)$ de la Figura 3.46b pasan a ser negativas, dando la Figura 3.46d y

$$v_o(t) = -v_i(t), \quad \text{para } v_i(t) \geq 0$$

Por lo tanto, la función de transferencia y las formas de onda de la tensión de salida son las de la Figura 3.43d.

El TIP de estos circuitos difiere del puente rectificador. En la Figura 3.46c, vemos que la tensión inversa máxima que soporta el diodo D_2 ocurre en el instante en que $v_i(t)$ es máxima. En ese instante

$$v_i = v_o = V_M$$

por lo que D_2 debe soportar $2V_M$ en comparación con V_M para el puente rectificador. Debido al funcionamiento simétrico, el TIP de D_1 es también $2V_M$. El efecto de la tensión de codo del diodo en la función de transferencia también difiere de la que tenía el puente rectificador.

En el Capítulo 10 veremos cómo combinar rectificadores con filtros para producir la tensión de salida continua requerida por las fuentes de alimentación.

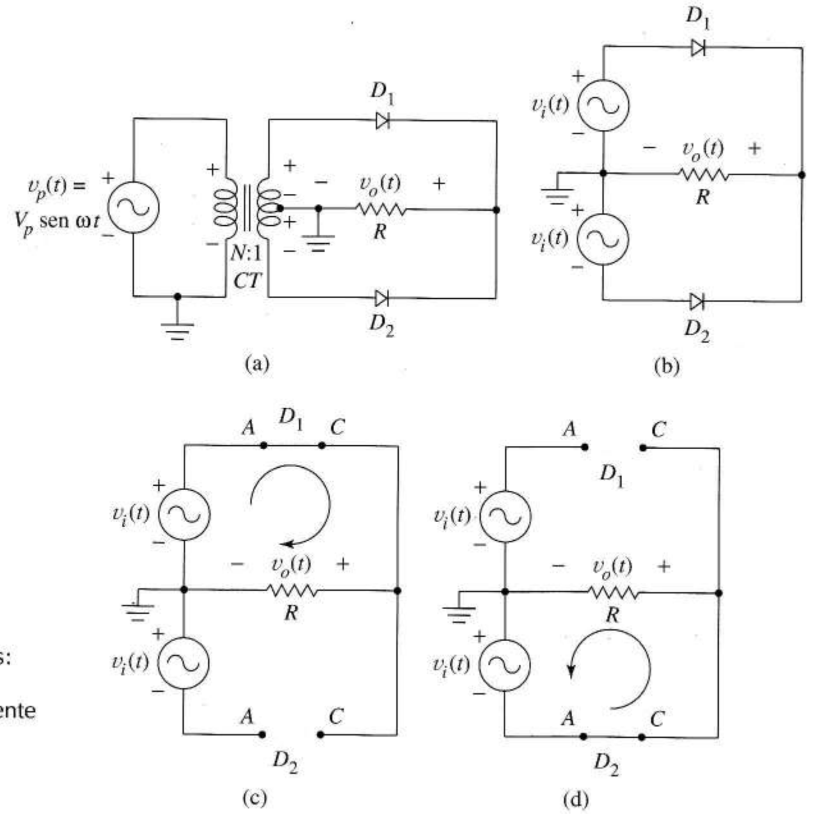


FIGURA 3.46
Rectificador de onda completa de dos diodos: a) esquema; b) circuito equivalente; c) equivalente cuando $v_i(t)$0; d) equivalente cuando $v_i(t)$0

Circuito recortador La Figura 3.47a muestra un *circuito recortador*. Siempre que el pico positivo de $v_i(t)$ excede de V_{BB}, este circuito lo recorta a V_{BB} para cualquier onda periódica de entrada.

Suponemos el diodo ideal. Sea $v_i(t)$ una onda periódica cualquiera, por ejemplo la de la Figura 3.47b, y supongamos que C está descargado inicialmente. Como $v_i(0)$ y la tensión en el condensador son cero, el diodo está cortado, porque su ánodo está a tensión cero y su cátodo a V_{BB}. Como el condensador no puede cargarse debido a que el diodo está en circuito abierto, las tensiones de los nodos a los dos lados del condensador crecen juntas a medida que lo hace $v_i(t)$. Suponiendo $V_{pico}>V_{BB}$, el diodo entra en conducción cuando

$$v_i = V_{BB}$$

dando el circuito equivalente de la Figura 3.48c. A medida que $v_i(t)$ crece más todavía, la corriente del diodo i_D carga C, y la tensión del condensador es

$$V_C = v_i(t) - V_{BB}$$

Tras este transitorio inicial, la tensión de entrada alcanza V_{pico}, mientras la tensión de salida permanece a V_{BB}. Cuando la tensión del nodo del lado izquierdo de C comienza a disminuir, el condensador no puede descargarse (para esto necesitaría una corriente negativa por el diodo). En lugar de eso, el diodo se corta, dando la Figura 3.47d. La carga almacenada durante el transitorio inicial está atrapada por el circuito abierto y el diodo nunca vuelve a conducir. De la Figura 3.47c, la tensión del condensador es

$$V_{C,max} = V_{pico} - V_{BB}$$

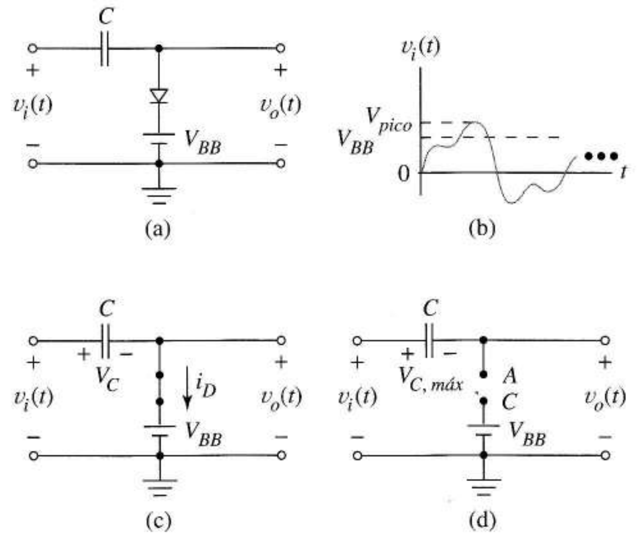


FIGURA 3.47 Circuito recortador: a) diagrama del circuito; b) tensión periódica de entrada; c) equivalente durante el transitorio, cuando *C* se carga; d) equivalente una vez *C* está cargado.

Una vez completado el transitorio, la tensión de salida es

$$v_o(t) = v_i(t) - V_{C,max} = v_i(t) - V_{pico} + V_{BB}$$

Esta ecuación muestra como obtener $v_o(t)$ a partir de $v_i(t)$ finalizado el transitorio.

Primero debemos restar a $v_o(t)$ su valor de pico y luego sumarle V_{BB}. El resultado de todo ello es la Figura 3.48. El circuito limita el pico positivo de $v_i(t)$ a V_{BB} *automáticamente*, para *cualquier* onda de entrada periódica y cualquier V_{BB}, positiva, negativa o cero, a condición de que el diodo conduzca sólo cuando se carga *C*.

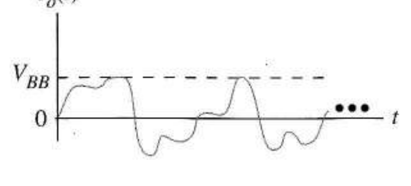


FIGURA 3.48 Onda de salida del circuito recortador.

Como problema práctico, obsérvese que conectar una resistencia de carga a los terminales de salida de la Figura 3.47d proporciona un camino de descarga al condensador y modifica el funcionamiento del circuito. Si la resistencia de carga es grande, el condensador se descarga poco durante cada ciclo, distorsionando ligeramente la onda de salida. Esta es una más de las muchas situaciones donde la resistencia de entrada infinita del circuito seguidor del Capítulo 2 es útil. Un seguidor, insertado entre la salida de este circuito y la resistencia de carga, reproduce la tensión de salida original del circuito recortador en la carga sin modificación alguna. Pero como el seguidor es básicamente una VCVS, la salida proporciona la corriente requerida por la carga resistiva sin descargar el condensador.

Como con el diodo de los circuitos limitadores, podemos llevar a cabo modificaciones con el circuito recortador invirtiendo la polaridad del diodo y cambiando la magnitud y polaridad de V_{BB}. En general, uno puede limitar el pico (positivo o negativo) de cualquier onda periódica de entrada a V_{BB}

voltios, donde V_{BB} es positiva, negativa o cero, siempre que el diodo conduzca sólo cuando el condensador se carga. Una profundización mayor se deja para el lector, con el Problema 3.52 como guía.

Convertidor ca-cc y doblador de tensión El circuito de la Figura 3.49a convierte alterna en continua. Reconocemos este circuito, como el circuito recortador de la Figura 3.47a con $V_{BB} = 0$ y tomando la salida entre los terminales del condensador en lugar de los del diodo. Después de un transitorio inicial, la salida continua iguala el pico positivo de la tensión de entrada del circuito. En el Capítulo 10 añadiremos una resistencia de carga al convertidor y llamaremos al resultado *rectificador de media onda con filtro por condensador*, un circuito importante en fuentes de alimentación sencillas. En un detector de pico analógico, el convertidor tensión/corriente con operacionales transforma la salida continua del convertidor en una desviación del medidor proporcional al valor del pico de *cualquier señal de entrada periódica.*

La Figura 3.49b, es un circuito relacionado con el anterior, el *doblador de tensión*, que produce una tensión continua de salida igual al doble del valor de pico positivo de $v_i(t)$. Para entender el doblador, consideremos el transitorio de entrada con ambos condensadores inicialmente descargados y una entrada senoidal de amplitud V_M. Cuando v_i se hace positiva, el diodo ideal D_1 se corta y entonces D_2 entra en conducción dando la Figura 3.49c. Ambos condensadores se cargan inicialmente a 0,5 V_M con las polaridades indicadas. Cuando v_i decrece y alcanza su pico negativo, D_2 se corta, D_1 entra en conducción, y el condensador de entrada se carga a V_M como en la Figura 3.49d. A continuación, durante unos pocos ciclos, los diodos funcionan como interruptores, transfiriendo carga de la entrada a la capacidad de salida, y luego recargando la capacidad de entrada. El siguiente Ejercicio profundiza en esta transferencia de carga. La secuencia continúa hasta que el circuito alcanza el estado final mostrado en la Figura 3.49e

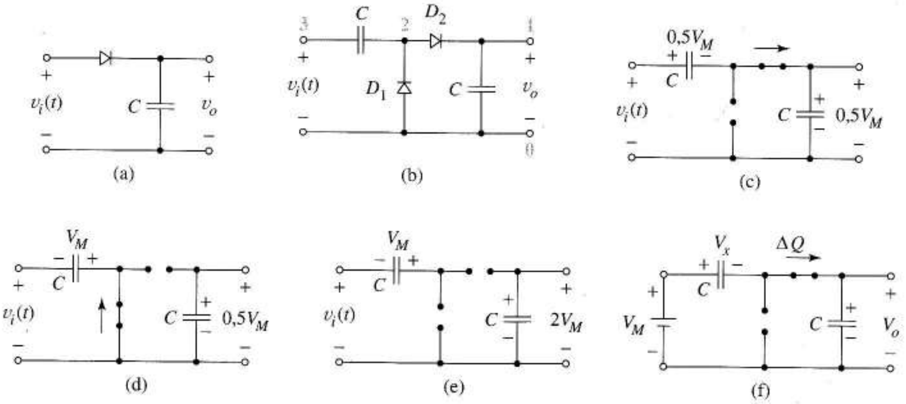


FIGURA 3.49 Convertidores alterna/continua: a) convertidor básico; b) circuito doblador de tensión; c) doblador durante el transitorio inicial; d) circuito equivalente mostrando cómo se cargan las capacidades durante un ciclo de entrada negativo; e) circuito equivalente después de los transitorios iniciales; f) circuito mostrando cómo cambia la tensión de salida al final de un ciclo de entrada.

Ejercicio 3.17 La Figura 3.49f, nos ayuda a comprender cómo cambia la tensión de salida al final del primer ciclo de entrada. Los valores iniciales de V_o y V_x son los de la Figura 3.49d. Los diodos cambian entonces su estado y la tensión de entrada llega a V_M, dando la Figura 3.49f. La carga ΔQ se mueve del condensador de entrada al de salida para cumplir la ley de Kirchhoff de tensiones, incrementando V_o y V_x en la misma ΔV porque las capacidades son iguales. Hallar el nuevo valor de V_o después del primer, segundo y tercer ciclo de entrada. Puede ser necesario algún cálculo algebraico.

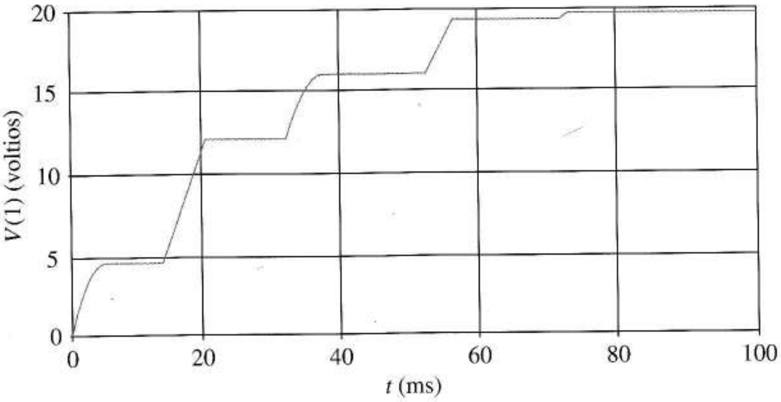
Respuesta 1,25V_M 1,625V_M, 1,813V_M.

EJEMPLO 3.16 Utilizar el análisis transitorio del SPICE para dibujar la tensión de salida de la Figura 3.49b cuando la entrada es una onda senoidal de 60 Hz y 10 V de amplitud.

Solución El código SPICE de la Figura 3.10 emplea los diodos por defecto. En el análisis transitorio utilizamos una función SIN especial para describir una fuente senoidal. La línea del elemento V_1 describe una fuente senoidal con tiempo de retardo cero, 10 V de amplitud y frecuencia 60 Hz. La sentencia ".TRAN" especifica un tiempo de simulación de 0,1s, seis ciclos de la onda de entrada, y 100 valores de salida. La Figura 3.50b muestra una onda de salida que está bastante de acuerdo con las respuestas al Ejercicio 3.17. (Es de esperar que la tensión de codo haga pequeñas contribuciones a la tensión de salida que no predijimos.) ❑

```
EXAMPLE3.16
VI 3 0 SIN(0 10 60)
C1 3 2 1000U
C2 1 0 1000U
D1 0 2 RECT
D2 2 1 RECT
.MODEL RECT D
.TRAN 0.001 0.1
.PLOT TRAN V(1)
.END
```

(a)



(b)

FIGURA 3.50 Simulación de un doblador de tensión: a) código SPICE del circuito de la figura 3.49b; b) tensión de salida.

3.10 CIRCUITOS CONFORMADORES DE ONDA QUE UTILIZAN AMPLIFICADORES OPERACIONALES

Los circuitos conformadores de onda utilizan amplificadores operacionales de ganancia infinita así como diodos y resistencias. La mayoría de estos circuitos usan operacionales realimentados negativamente, justificando el uso del análisis de ganancia infinita. Destaquemos las contribuciones especiales de los amplificadores operacionales a medida que crece su uso en circuitos específicos.

Circuito limitador centrado La Figura 3.51a muestra un *circuito limitador centrado* con amplificadores operacionales. Para simplificar, pensemos en los diodos como dispositivos de tres estados igual que en la Figura 3.29a. Para v_i positivas, la corriente i es positiva, causando la conducción en la zona de ruptura como en la Figura 3.51b, donde V_z es la tensión zener del diodo. Usando la masa virtual de la entrada del amplificador operacional, vemos que

$$v_o = -V_z$$

Para v_i negativa, la corriente es negativa dando la Figura 3.51c y la ecuación

$$v_o = V_D$$

Estas ecuaciones dan la Figura 3.51d.

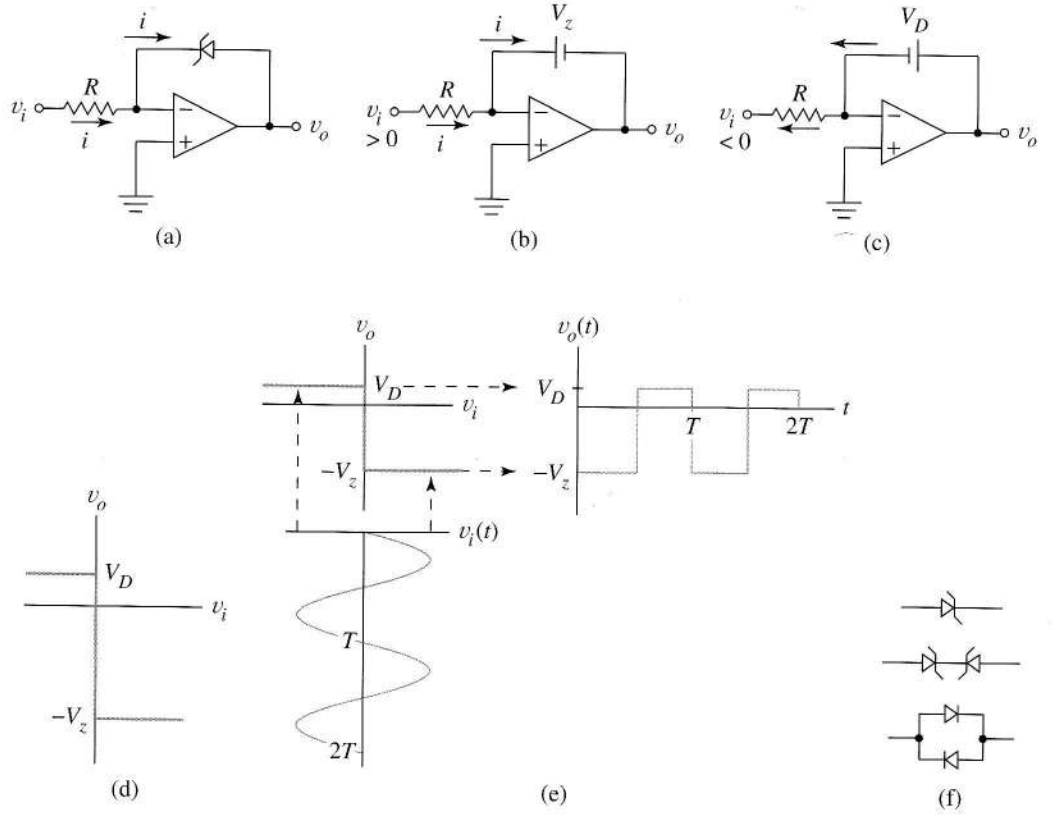


FIGURA 3.51 Circuito limitador utilizando amplificadores operacionales: a) esquema del circuito; b) equivalente cuando $v_i \geq 0$; c) equivalente cuando $v_i \leq 0$; d) función de transferencia; e) generando una onda recortada y alterna; f) elementos de realimentación alternativos que generan otras funciones limitadoras.

Un uso de esta función de transferencia es convertir una onda senoidal en una onda cuadrada de la misma frecuencia fundamental, como muestra la Figura 3.51e. (Como la característica de transferencia no es simétrica respecto al eje de tiempos, la onda cuadrada esta desplazada por una componente de continua.) El circuito limitador centrado se usa también para obtener información sobre el signo algebraico instantáneo de ondas analógicas, porque la salida binaria o de dos niveles del limitador centrado cambia el valor siempre que la tensión de entrada pase por cero.

Al reemplazar el diodo zener por uno de los elementos de realimentación de la Figura 3.51f resultan tres variaciones sobre el circuito básico. Se propone al lector obtener y dibujar las características de transferencia de cada uno de estos limitadores.

Ejercicio 3.18 Diseñar un limitador de diodos como en la Figura 3.51a que transforme una onda senoidal de entrada de 10 V de pico en una onda cuadrada con tensión pico a pico de 4 V. (más una componente de continua). Especificar la tensión zener y el pico operacionales disipado en el zener para su circuito.

Respuesta $R = 1\ k\Omega$ (arbitrariamente), 3,3 V, 33 mW.

Circuitos limitadores El circuito limitador de la Figura 3.52a es un amplificador inversor con diodos zener en anti-serie y en paralelo con la resistencia de realimentación R_F. Suponemos que para $|v_i|$ pequeñas ambos diodos están cortados. La Figura 3.52b muestra que esta suposición da un amplificador inversor. También confirma nuestras suposiciones de no conducción de los diodos, a menos que la tensión $|v_o|$ supere $V_z + V_D$ voltios respecto a la masa virtual los diodos no pueden conducir. Cuando la amplitud de v_o es suficientemente grande, sin embargo, un diodo conduce en sentido directo y el otro en inverso. La Figura 3.52c muestra el circuito equivalente para v_i grande y positiva. Considerando ambas polaridades la tensión de entrada da la Figura 3.52d, donde $V_L = V_z + V_D$.

Una ventaja de los limitadores con operacionales sobre los limitadores de diodo-resistencia es que la resistencia de carga no afecta a la función de transferencia. Por ejemplo, el limitador de la Figura 3.39b pasa a ser un divisor de tensión cuando se conecta una carga R_L a la salida. Otra ventaja es que la ganancia de potencia de los amplificadores de potencia hacen posible en la característica de transferencia una pendiente mayor que uno.

Rectificadores de precisión Al principio de este capítulo vimos que las tensiones de codo de los diodos conducen a desviaciones en las características de los rectificadores de media onda y onda completa. En los *rectificadores de precisión* que siguen, los amplificadores operacionales compensan automáticamente las desviaciones de los diodos, produciendo funciones de transferencia como las de los circuitos con diodos ideales. Esta característica es de importancia crítica en aquellos circuitos de procesado de señal que requieren una tensión continua de salida proporcional a la amplitud de la señal de entrada.

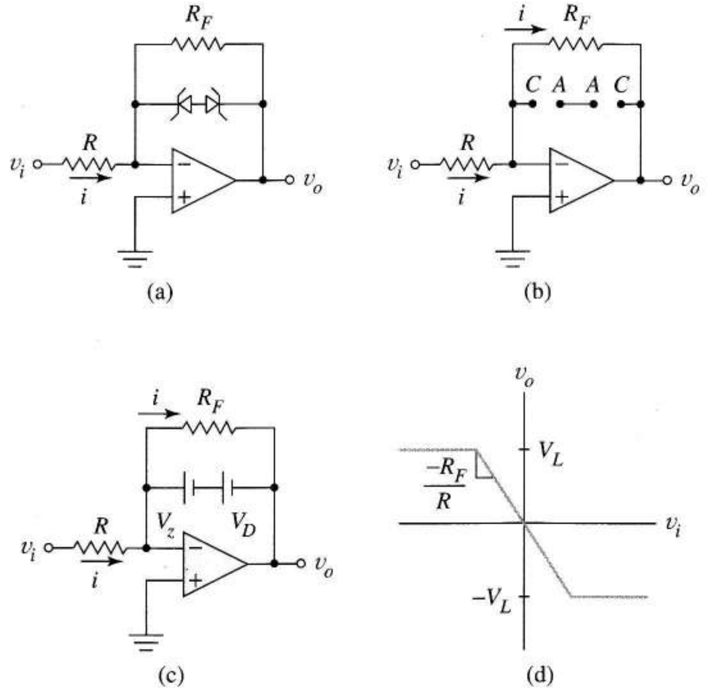


FIGURA 3.52 Circuito limitador: a) esquema del circuito; b) equivalente para tensiones de salida pequeñas; c) circuito para v_i grandes; d) función de transferencia.

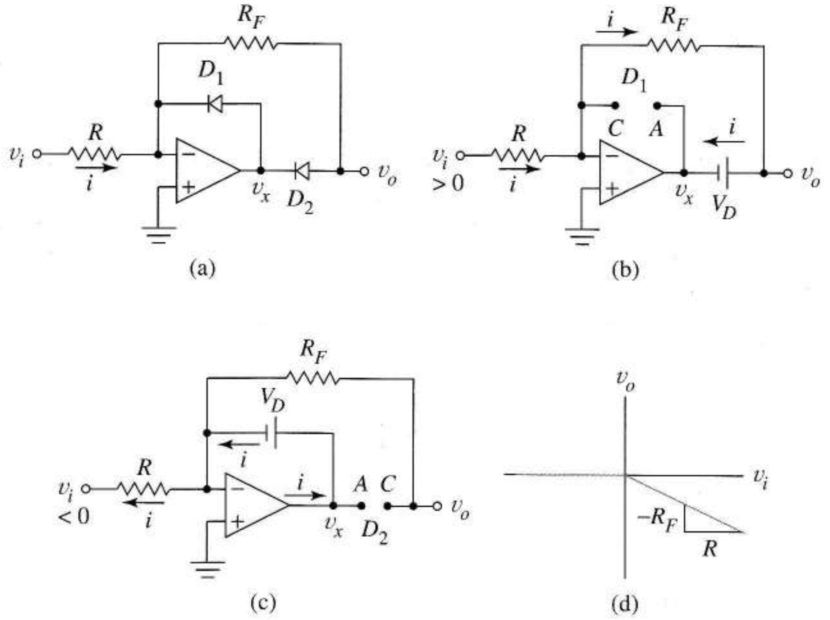


FIGURA 3.53
Rectificador de precisión: a) circuito; b) equivalente cuando $v_i \geq 0$; c) equivalente cuando $v_i \leq 0$; d) función de transferencia.

Rectificador de media onda de precisión La Figura 3.53a muestra un *rectificador de precisión de media onda*. Suponiendo un amplificador operacional de ganancia infinita, razonemos el funcionamiento del circuito cuando v_i es positivo. Como i no puede entrar en el amplificador operacional ni circular en dirección opuesta a través de D_1, suponemos que circula por R_F y D_2. El resultado, usando modelos con tensión de codo para los diodos es el de la Figura 3.53b. El habitual análisis de ganancia infinita da

$$i = \frac{v_i - 0}{R} = \frac{0 - v_o}{R_F}$$

A partir del cual

$$v_o = \frac{-R_F}{R} v_i, \quad \text{para } v_i \geq 0$$

Cuando $v_i < 0$, D_2 se corta y D_1 entra en conducción dando la Figura 3.53c (donde la realimentación a través de D_1 justifica el análisis de ganancia infinita). La masa virtual exige que

$$v_o = 0, \quad \text{para } v_i \leq 0$$

La Figura 3.53d, un dibujo de las Ecuaciones (3.56) y (3.57), muestra que el rectificador de precisión tiene la característica de transferencia de media onda ideal (más una inversión del ángulo sin importancia) *incluso aunque se obtenga con diodos reales*. El secreto del circuito es que la salida del amplificador operacional, v_x, toma el valor necesario para asegurar que la característica de transferencia es ideal. En la Figura 3.53b vemos que

$$v_x = v_o - V_D, \quad \text{para} \quad v_i \geq 0 \tag{3.56}$$

y en la Figura 3.53c

$$v_{x=} = V_D, \quad \text{para} \quad v_i \leq 0 \tag{3.57}$$

El amplificador operacional también proporciona, si es necesario, ganancia de tensión. Al contrario que la mayoría de circuitos con amplificadores operacionales que hemos visto, el rectificador de precisión no tiene resistencia de salida cero porque la salida del circuito, v_o, no coincide con la salida del amplificador operacional, v_x. Un seguidor en la salida corregiría este problema, que puede ser importante en alguna aplicación.

Rectificador de onda completa de precisión En la Figura 3.54 vemos el rectificador de media onda de precisión y un amplificador sumador usados como subcircuitos en el *rectificador de onda completa de precisión*. El circuito sumador da

$$v_o = -(v_i + 2v_R) \tag{3.58}$$

Como v_R es la salida de un circuito de media onda de precisión, la Ecuación (3.56) da

$$v_R = -v_i, \quad \text{para } v_i \geq 0$$

y de la Ecuación (3.57)

$$v_R = 0, \quad \text{para } v_i \leq 0$$

Sustituyendo estos valores de v_R en la Ecuación (3.58) da

$$v_o = v_i, \quad \text{para } v_i \geq 0$$

y

$$v_o = -v_i, \quad \text{para } v_i \leq 0$$

Pero las dos últimas ecuaciones describen el rectificador de onda completa con *diodos ideales* (incluso aunque el circuito emplee diodos reales). La Figura 3.54b muestra las formas de onda para v_i y $2v_R$ de la Ecuación (3.58) cuando $v_i(t)$ es una onda senoidal. Este esquema sugiere que los valores de las resistencias son bastante críticos porque el ciclo debe hacer iguales las dos mitades de la onda de salida.

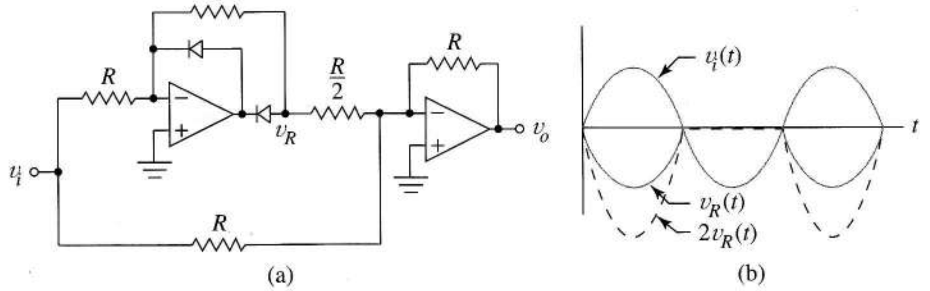


FIGURA 3.54 Rectificador de precisión completa: a) circuito; b) esquema mostrando como el circuito combina $v_R(t)$ y $v_i(t)$.

Comparador Ya vimos el comparador, un circuito que tiene dos ondas de entrada analógicas, $v_a(t)$ y $v_b(t)$ y una salida digital o binaria $v_o(t)$, en el Capítulo 2. Ahora que sabemos un poco sobre la dinámica de los amplificadores operacionales, es importante reconocer que la mayoría de las aplicaciones del comparador requieren una transición rápida de la salida en el instante en que las dos ondas de entrada se cruzan. Los condensadores relativamente grandes, incluidos dentro de algunos amplificadores operacionales para asegurar la estabilidad, provocan tiempos de subida malos y bajo *slew-rate*. Consecuentemente, usamos amplificadores operacionales muy rápidos en las aplicaciones del comparador más críticas.

A veces añadimos un circuito limitador al comparador, como en la Figura 3.55a. El limitador hace independientes los niveles de salida de la fuente de alimentación y los circuitos conmutan más rápido porque las transiciones de la tensión de salida no son tan grandes. El limitador también nos permite fijar a medida los niveles de salida para satisfacer los requerimientos de la familia lógica dada.

La Figura 3.55b muestra un comparador que desarrolla su salida en el nodo de salida de un amplificador operacional de ganancia infinita. Debido a la masa virtual a la entrada del segundo amplificada operacional

$$i(t) = \frac{1}{R}\left[v_a(t) - v_b(t)\right]$$

Cuando $v_a(t) > v_b(t)$, entonces $i(t) > 0$, y

$$v_o(t) = -\left(V_z + V_D\right)$$

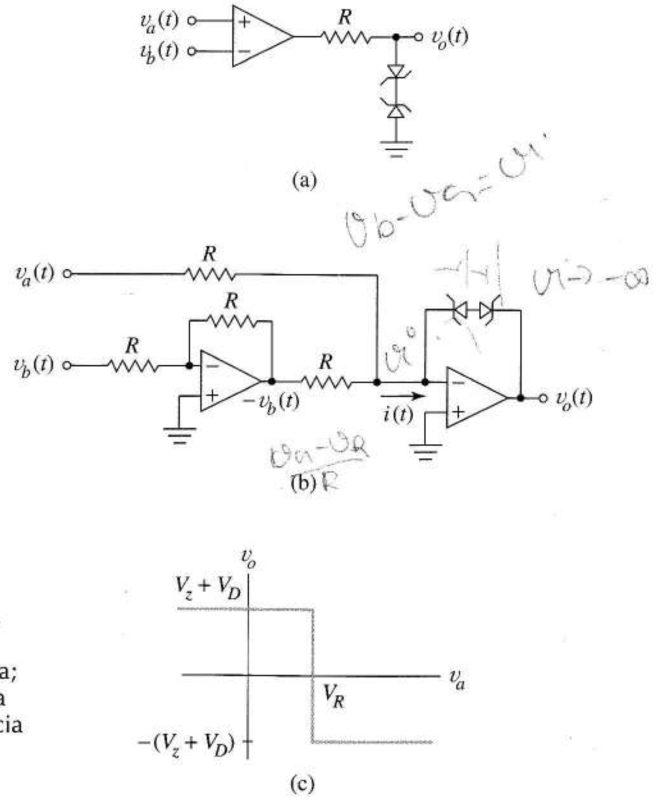


FIGURA 3.55 Circuitos comparadores: a) amplificador operacional con limitador de salida; b) comparador con baja resistencia de salida; c) función de transferencia para el circuito de b) cuando $v_b(t) = V_R$.

Cuando $v_a(t) > v_b(t)$, entonces $i(t) < 0$ y

$$v_o(t) = V_z + V_D$$

A veces se usa una tensión de referencia constante, V_R, para una entrada en lugar de una función que varía en el tiempo. En este caso, la función de transferencia entre la salida y la entrada de tensión variable es útil. Usando

$$v_b(t) = V_R$$

en la Figura 3.55b, por ejemplo, da la Figura 3.55c.

Modelo SPICE para un amplificador operacional saturado La Figura 3.56 muestra nuestro modelo de amplificador operacional dinámico con diodos limitadores añadidos a la salida. Los valores para V_P y V_M son los límites de saturación de las hojas de características del amplificador operacional. Los diodos están cortados para $-V_M < v_o < V_P$; sin embargo, cuando v_o trate de superar esos límites, un diodo conduce, limitando la tensión de salida. El resultado es la característica de transferencia no lineal de la Figura 2.22.

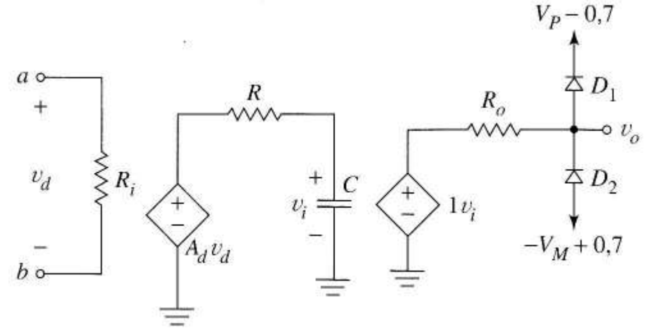


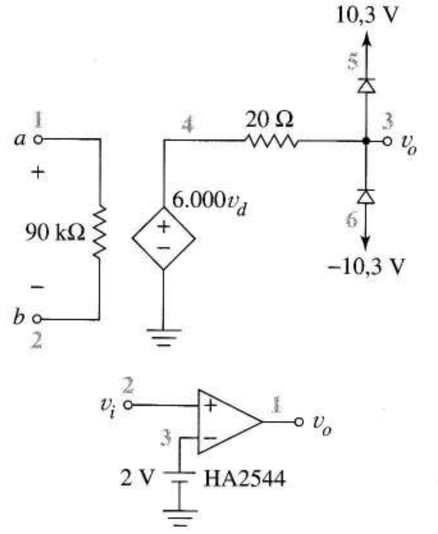
FIGURA 3.56 Modelo SPICE para un amplificador operacional con límites de saturación V_P y $-V_M$.

EJEMPLO 3.17 Construir un subcircuito SPICE estático para el amplificador operacional que incluya la saturación de la curva de ganancia en lazo abierto. Usar este subcircuito y el SPICE para hallar la función de transferencia del comparador de la Figura 2.38, cuando el comparador usa el HA25444 y $V_r = 2$ V.

Solución La Figura 3.57a muestra los diagramas del subcircuito y el comparador, y la Figura 3.57b el código SPICE. La Figura 3.57c muestra la salida. Para modelar mejor los límites de saturación de ±11 V, las tensiones de alimentación deben cambiarse a ±10 V, ya que la corriente que circula por R_o hacia el subcircuito es muy alta. ❑

3.11 EL DIODO COMO INTERRUPTOR

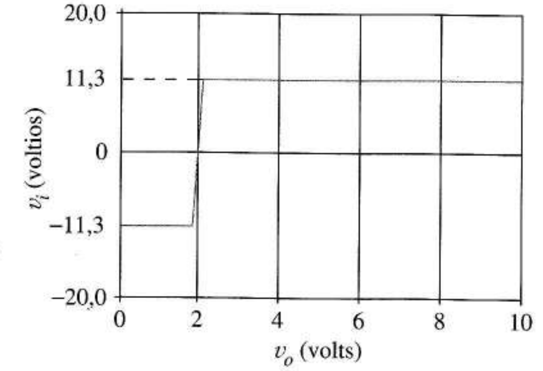
Este corto apartado introduce el dispositivo más elegante, versátil e importante de la electrónica moderna– el interruptor electrónico. El interruptor sirve de base a todos los circuitos lógicos que usamos para tomar decisiones, forma la base para el almacenamiento de la información digital y nos permite construir *interfaces* con los que los computadores controlan a los periféricos y los periféricos controlan a los computadores. El interruptor también es la base de muchos circuitos de procesado de



(a)

```
EXAMPLE3.17
*******************
.SUBCKT HA2544 1 2 3
RIN 1 2 90K
E1 4 0 1 2 6E3
ROUT 4 3 20
DL1 3 5 LIMIT
DL2 6 3 LIMIT
.MODEL LIMIT D
VP 5 0 DC 10.3
VM 6 0 DC -10.3
.ENDS
*******************
X1 2 3 1 HA2544
VR 3 0 DC 2
VIN 2 0 DC 0
.PLOT DC V(1)
.DC VIN 0 10 0.1
.END
```

(b)



(c)

FIGURA 3.57 Característica de transferencia de un comparador: a) subcircuito SPICE y diagramas del comparador; b) código SPICE para el subcircuito HA2544 y para el comparador; c) función de transferencia.

señal –moduladores y detectores que transfieren información a y de la señal portadora– condensadores conmutados y dispositivos de control de carga que filtran las señales. En este apartado nos encontramos el interruptor electrónico en su forma más simple, el diodo de unión.

3.11.1 INTERRUPTOR IDEAL

El interruptor ideal, Figura 3.58a, es un dispositivo de dos estados: circuitos abierto y cortocircuito. Las dos curvas *vi*, Figura 3.58b, describen el interruptor en términos de tensión y corriente de conmutación, i_{sw} y v_{sw}. En la Figura 3.58c el interruptor controla una carga simple que se conecta/desconecta como una lámpara, relé o una alarma, representadas por la resistencia *R*. Cuando está cerrado, el interruptor aplica la tensión de alimentación V_{CC} a la carga, la corriente circula hacia ésta y el dispositivo de carga se conecta. Cuando el interruptor se abre, la corriente de carga es cero, y la carga se desconecta.

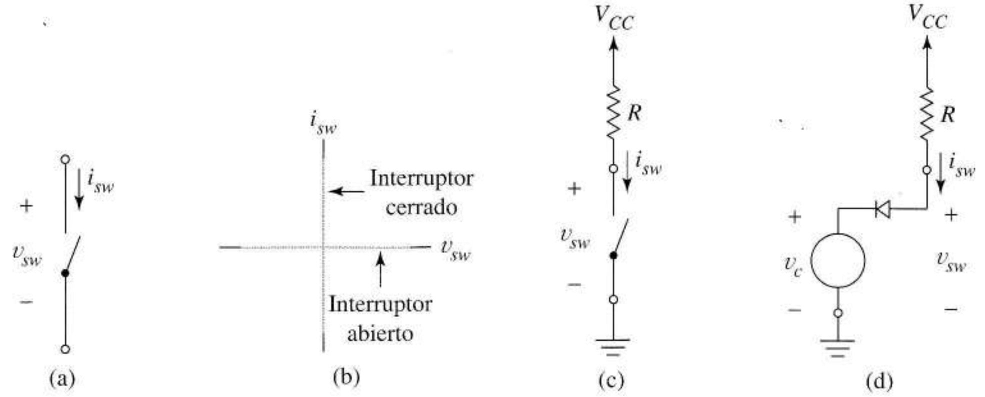


FIGURA 3.58 a) Interruptor ideal; b) curva vi de un interruptor ideal; c) una aplicación del interruptor; d) aplicación usando un diodo como interruptor.

3.11.2 INTERRUPTOR CON DIODOS

El diodo es útil en este tipo de aplicación porque en conducción se parece a un interruptor cerrado y cuando está cortado a un interruptor abierto. Con el diodo nos encontramos también, por primera vez, la idea de un interruptor controlado o electrónico.

En la Figura 3.58d, usamos un diodo ideal como interruptor y una fuente v_c, para abrir y cerrar. La tensión de control toma sólo dos valores, cero y V_{CC}. Cuando $v_c = 0$ el diodo entra en conducción, conectando R a V_{CC} exactamente como el interruptor cerrado de la Figura 3.58c. Cuando $v_c = V_{CC}$ voltios (o más), el diodo se corta e i_{sw} es cero, justo como en la Figura 3.58c cuando el interruptor está abierto. Obsérvese que la fuente de control, v_c, *nunca entrega potencia al circuito*. Cuando v_c absorbe corriente, su tensión es cero; cuando su tensión es alta su corriente es cero. El diodo nos permite usar una *señal* de baja potencia para controlar un dispositivo R que, él solo, puede consumir cantidad considerable de potencia que es suministrada por V_{CC}.

Un diodo real conmuta igual que el diodo ideal, excepto que hay una pequeña caída de tensión V_D en el interruptor cuando está cerrado. También, para abrir el interruptor, v_c debe exceder $V_{CC}-V_D$ en lugar de V_{CC}. Examinaremos estos detalles prácticos más adelante usando nuestros modelos de diodo en el Problema 3.68.

Un aspecto práctico extremadamente importante es la velocidad de transición entre conducción y corte para los interruptores electrónicos, porque esto limita la velocidad de los circuitos. Para interruptores hechos con diodos y con transistores que estudiaremos más tarde, la velocidad de las conmutaciones depende de las propiedades dinámicas de la unión pn, el tema del siguiente apartado.

3.12
PROPIEDADES DINÁMICAS DE LA UNION p-n

Empezamos por distinguir entre propiedades estáticas y dinámicas de un dispositivo electrónico, usando el diodo como el ejemplo más simple. La familiar curva *vi* del diodo es la *característica está-*

tica. La palabra estática implica que el funcionamiento entre dos terminales de un circuito se describe mediante una *ecuación algebraica*, $i_D = f(v_D)$, que relaciona la tensión y la corriente continuas correspondientes; para el diodo, ésta es la Ecuación (3.32). La característica estática de un dispositivo también relaciona las corrientes y tensiones que varían en el tiempo, pero sólo si las variaciones no son "demasiado rápidas". Los dispositivos electrónicos siempre contienen pequeñas *capacidades parásitas* internas que modifican el comportamiento del dispositivo para señales rápidas. Por lo tanto, en general, estos dispositivos se describen como ecuaciones diferenciales, que para señales suficientemente lentas, se reducen a ecuaciones algebraicas. Así que estático significa que las variables del dispositivo están cambiando despacio, de forma que las derivadas de las ecuaciones diferenciales son lo bastante pequeñas para poder ignorarlas. En este contexto, la palabra equilibrio se refiere a un sistema estático en el sentido de que todas las derivadas son cero (o despreciables) *–un equilibrio dinámico–* en contraste con el *equilibrio térmico* de una unión pn no polarizada. En resumen, las *propiedades dinámicas* de un dispositivo tienen que ver con sus capacidades internas, y las señales "rápidas" o "lentas" para un dispositivo en particular se definen respecto a constantes de tiempo asociadas a estas capacidades.

Las propiedades dinámicas del diodo son importantes porque limitan la validez de la teoría que hemos estudiado, tanto como interruptores como cuando son componentes clave de los circuitos conformadores de onda. Todas las descripciones previas de los circuitos con diodos asumían un funcionamiento estático del diodo. Cuando comprobamos los circuitos en el laboratorio, hallamos que trabajan como predijimos dentro de un margen de frecuencias; sin embargo, siempre podemos hallar experimentalmente algunas frecuencias de entrada altas por encima de las cuales la forma de onda de salida es notablemente distinta de la ideal. A esta frecuencia la capacidad interna del diodo comienza a afectar negativamente al funcionamiento del circuito, y no es demasiado adecuado describir el diodo por su curva estática *vi*. Después de un rápido vistazo a la idea básica de capacidad empezamos con los parásitos del diodo.

Definimos un *condensador lineal* por su curva característica, la curva lineal carga-tensión de la Figura 3.59. Cuando el punto de funcionamiento se mueve del punto a al punto b, el cambio de tensión ΔV debe ir acompañado por un cambio de la carga almacenada ΔQ. La *capacidad de gran señal* se define por $C = \Delta Q/\Delta V$. Por lo tanto las capacidades grandes requieren que los incrementos de tensión, ΔV, vayan acompañados por acumulaciones de carga relativamente grandes ΔQ. Además, los valores de C grandes requieren que los cambios *rápidos* de tensión ($\Delta V/\Delta t$ grande) vayan acompañados por una corriente de carga grande

$$\frac{\Delta Q}{\Delta t} = C\frac{\Delta V}{\Delta t}$$

En las uniones pn hay dos clases de capacidades parásitas, la capacidad de difusión y la capacidad de deplexión, ambas caracterizadas por curvas *no lineales* carga-tensión.

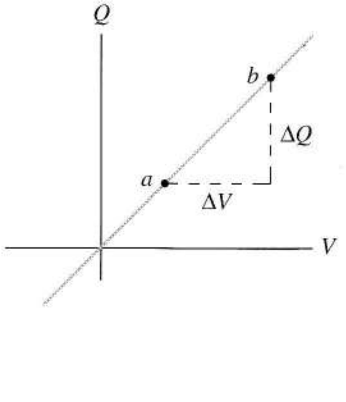


FIGURA 3.59 Curva característica de un condensador lineal.

3.12.1 CAPACIDAD DE DIFUSIÓN

La Figura 3.60 es una visión ampliada de las curvas de concentración minoritarias de la Figura 3.19a. La *capacidad de difusión* de una unión pn (o diodo) tiene que ver con el exceso (sobre el nivel de equilibrio) de cargas minoritarias, Q_p y Q_n. En el corte de sección A de un diodo, cada pequeño volumen, Adx, en el lado n de la unión contiene

$$\left[p(x)-\frac{n_i^2}{N_d}\right]A\,dx$$

exceso de huecos, cada uno con una carga de q culombios. El total de carga almacenada cerca de la unión debido a los huecos es, por tanto

$$Q_p=\int_{0^+}^{\infty}q\left[p(x)-\frac{n_i^2}{N_d}\right]A\,dx$$

donde la integral infinita es una buena aproximación de la integral real si el lado p del diodo es mayor que cuatro o cinco longitudes de difusión. Sustituyendo $p(x)$ de la Ecuación (3.35) e integrando da

$$Q_p=Aqn_i^2\frac{L_p}{N_d}\left(e^{v_D/V_T}-1\right) \tag{3.59}$$

Como la tensión del diodo v_D es la variable independiente y Q_p la variable dependiente de la Ecuación (3.59) describe un condensador no lineal.

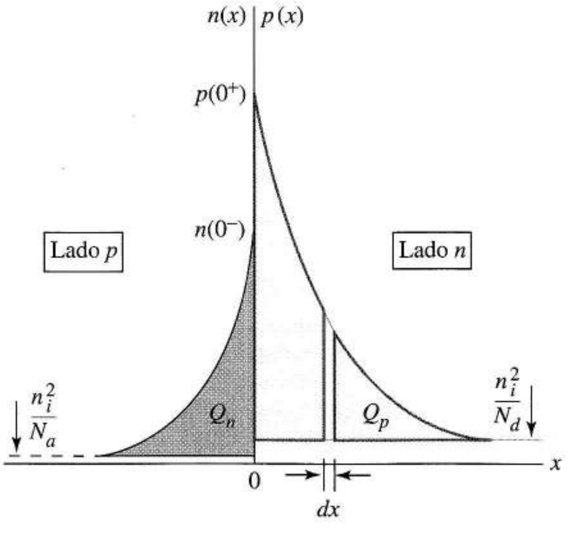


FIGURA 3.60 Carga de los minoritarios almacenada en un diodo directamente polarizado.

Realizando la misma operación para hallar el exceso de carga Q_n almacenada en electrones el material p da

$$Q_n=Aqn_i^2\frac{L_n}{N_a}\left(e^{v_D/V_T}-1\right) \tag{3.60}$$

Si llamamos a la carga total almacenada en los minoritarios $Q_d = Q_p + Q_n$, (3.59) y (3.60) dan una ecuación de la forma

$$Q_d = K\left(e^{v_D/V_T} - 1\right) \tag{3.61}$$

donde K es una constante. Dibujando la Ecuación (3.61) da la curva de la *capacidad de difusión* de la Figura 3.61, que tiene la forma de la curva del diodo.

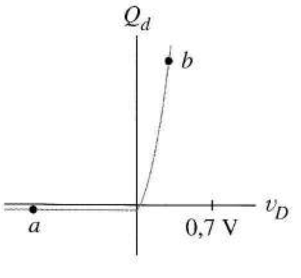


FIGURA 3.61 Curva *Q-V* no lineal para la capacidad de difusión de un diodo.

Un condensador no lineal como el de la Figura 3.61 comparte con el condensador lineal la propiedad fundamental de que un cambio en la carga almacenada ΔQ va acompañado por un cambio de la tensión ΔV. De la forma de la Figura 3.61 inferimos que la capacidad de difusión tiene poca importancia cuando el diodo está inversamente polarizado ya que los cambios de tensión negativos necesitan un movimiento despreciable de carga. En aplicaciones de conmutación, sin embargo, donde el diodo conmuta entre la polarización inversa y directa (puntos *a* y *b*), la capacidad de difusión y el retraso que crea son problemas a tener en cuenta.

3.21.2 CAPACIDAD DE DEPLEXIÓN

La *capacidad de deplexión* (capacidad de transición, barrera o carga espacial) tiene que ver con la carga almacenada en iones inmóviles de la región de deplexión. Debido a que la cantidad de cargas de la región de deplexión cambia con la tensión, no es sorprendente que haya un efecto capacitivo. Una consecuencia directa (ver el texto de Mattson en las referencias del final del capítulo) es que la carga de deplexión,Q_{dep}, varía con la tensión del diodo como en la Figura 3.62a. La capacidad de deplexión domina el comportamiento dinámico del diodo cuando el diodo está polarizado inversamente. Aunque menos importante que la capacidad de difusión para el diodo directamente polarizado, la capacidad de deplexión contribuye a los retrasos de las conmutaciones durante las transiciones entre los puntos *a* y *b*.

Para condensadores no lineales se usa mucho una segunda definición, la *capacidad incremental* o de *pequeña señal*. La capacidad incremental se *define en un punto Q* de la curva *V–Q* como la pendiente de la curva en ese punto

$$C = \frac{dQ}{dV}$$

Esta definición nos conduce a usar la tangente a la curva para estimar el cambio de carga almacenada dQ necesario para un pequeño cambio dV de tensión (la Figura 3.59 muestra que la capacidad incremental y la "capacidad" son las mismas para un condensador lineal). La capacidad de deplexión incremental de la unión pn es especialmente interesante y útil. Calculando dQ_{dep} / dv_D a partir de la expresión teórica, para la Figura 3.62a da el resultado

$$C_{dep} = \frac{C_{j0}}{\left(1 - v_D/V_{j0}\right)^m} \tag{3.62}$$

donde V_{j0} es el potencial de barrera, C_{j0} la *capacidad a tensión cero*, y m una constante llamada *coeficiente de gradiente*. Para las uniones que hemos visto, donde la concentración de los dopantes cambia abruptamente de N_a a N_d (uniones abruptas), m ≈ 0,5. Para uniones caracterizadas por una *transición* gradual en la concentración de dopado, llamadas uniones graduales, m ≈ 0,33.

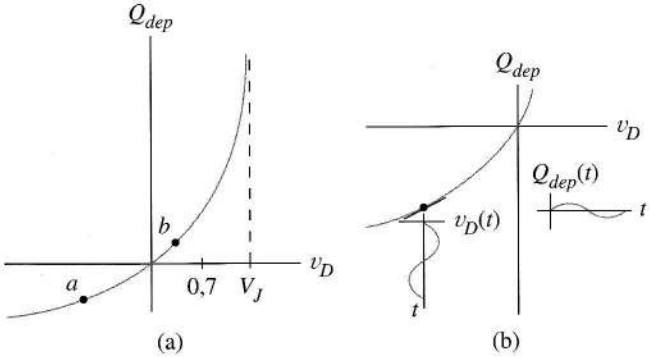


FIGURA 3.62 Capacidad de deplexión: a) curva característica; b) idea de la capacidad incremental.

Lo que hace interesante la capacidad de deplexión incremental es que mientras la unión pn está polarizada inversamente, la corriente continua del diodo es despreciable, y para *pequeñas señales* la unión funciona como un condensador controlado por tensión como ilustra la Figura 3.62b. Como la pendiente es distinta en diferentes puntos de la curva, la capacidad de pequeña señal se puede cambiar cambiando el punto de funcionamiento en continua. Las uniones diseñadas especialmente para trabajar de esta manera, conocidas como *diodos varicap*, se usan en la sintonización automática en radio, moduladores de frecuencia, compensación de temperatura de los osciladores de cristal y muchas otras aplicaciones.

El siguiente desarrollo intuitivo muestra que las capacidades de difusión y deplexión del diodo y la ecuación estática del diodo se originan todas en una ecuación diferencial. Para el *caso estático*, cuando las derivadas son cero, esta ecuación se reduce a la ecuación del diodo y predice la familiar curva *vi* del diodo.

3.12.3 MODELO DINÁMICO PARA EL DIODO

Primero reescribimos la ecuación estática del diodo, (3.38), en función de exceso de carga de minoritarios almacenada sustituyendo las Ecuaciones (3.59) y (3.60). Esto da

$$i_D = Q_p \frac{D_p}{L_p^2} + Q_n \frac{D_n}{L_n^2} \tag{3.63}$$

Los libros sobre estado sólido muestran que la longitud de difusión y la vida de los portadores minoritarios se relacionan mediante la ecuación

$$\tau_p = \frac{1}{D_p} L_p^2 \quad \text{y} \quad \tau_n = \frac{1}{D_n} i$$

Sustituyendo éstas en la Ecuación (3.63) da la expresión

$$i_D = \frac{Q_p}{\tau_p} + \frac{Q_n}{\tau_n} \tag{3.64}$$

llamada la *ecuación de control de carga estática* para la unión pn.

Para el caso especial donde el dopado aceptador es mucho mayor que el dopado donador, las concentraciones de cargas minoritarias se parecen más a la Figura 3.63 que a la Figura 3.60. Entonces los movimientos de huecos dominan el comportamiento de la unión y la Ecuación (3.64) se reduce a la todavía más simple

$$i_D = \frac{Q_p}{\tau_p} \tag{3.65}$$

Ahora consideramos la corriente total del diodo variando en el tiempo. En cualquier instante t, si v_D está cambiando, las Figuras 3.61 y 3.62a muestran que las cargas almacenadas $Q_d = Q_p$ y Q_{dep}, también están cambiando. Entonces la corriente del diodo $i_D(t)$ debe proveer no sólo el flujo de carga de continua sino también los cambios de carga almacenada. Añadiendo términos de corriente a la Ecuación (3.65) para dar cuenta de la carga almacenada cambiante da

$$i_D(t) = \frac{Q_p}{\tau_p} + \frac{dQ_p}{dt} + \frac{dQ_{dep}}{dt} \tag{3.66}$$

Obsérvese que esta ecuación diferencial se reduce a la ecuación estática del diodo, Ecuación (3.65), cuando las derivadas son suficientemente pequeñas.

La Figura 3.64a es una interpretación de la ley de Kirchhoff para las corrientes de la Ecuación (3.66), mostrando un elemento de circuito para cada término. El símbolo del diodo corresponde al primer término de la Ecuación (3.66), la función del diodo estática. Dos condensadores no lineales de gran señal dan cuenta de los términos de las derivadas, C_d para la capacidad de difusión y C_{dep} para la capacidad de deplexión. Las flechas de los condensadores indican que los condensadores son no lineales. Para señales lentas, cuando los términos de las derivadas de la Ecuación (3.66) son despreciables, los condensadores son efectivamente circuitos abiertos y el circuito se reduce al diodo estático ordinario.

Para un diodo inversamente polarizado, los efectos de la capacidad de difusión y la conducción del diodo son pequeños y podemos aproximar el diodo por el modelo de capacidad de deplexión de la Figura 3.46b [tercer término de la Ecuación (3.66)]. Cuando está directamente polarizado, representamos al diodo por la Figura 3.64c, la Ecuación (3.66) con el último término.

El siguiente desarrollo muestra cómo estos modelos contribuyen a nuestra comprensión de la conmutación del diodo.

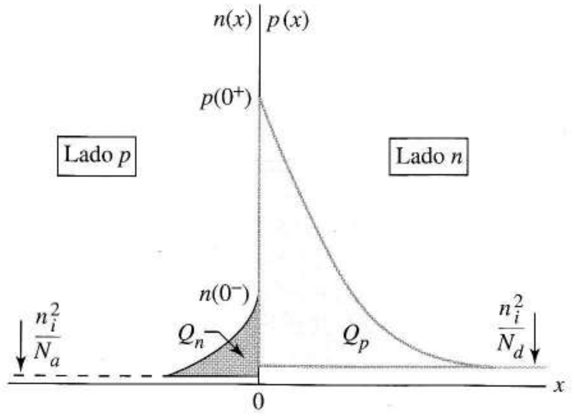


FIGURA 3.63 Carga de los minoritarios en exceso cuando el material p está mucho más dopado que el material n.

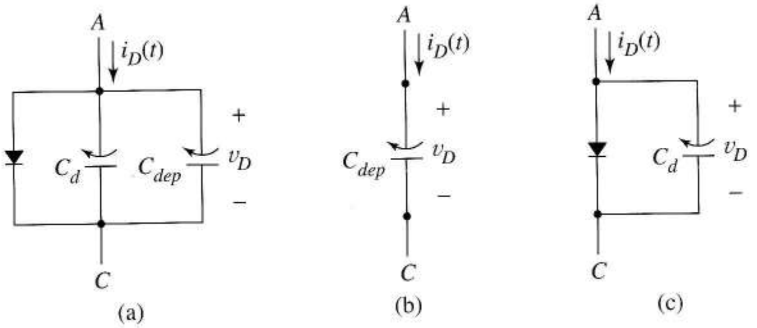


FIGURA 3.64 Modelos dinámicos del diodo: a) modelo completo para cualquier v_D; b) modelo aproximado para $v_D<0$ c) modelo aproximado para $v_D>0$.

3.12.4 CONMUTACIÓN DINÁMICA

Para saber cómo limitan la velocidad de conmutación del diodo las capacidades internas, consideremos el circuito de la Figura 3.65a, donde $v_i(t)$ es la señal de test de la Figura 3.65b. Si el diodo no tuviera parámetros dinámicos, la tensión del diodo saltaría instantáneamente de su valor de corte de $-V_{NN}$ voltios a su valor de conducción de 0,7 V en $t = 0$, y luego saltaría instantáneamente a $-V_{NN}$ en $t = T$ como en la Figura 3.65b. Este no es el comportamiento de un diodo real.

Supongamos que el dopado del lado p es mucho mayor que el dopado del lado n de forma que la Ecuación (3.66) es aplicable. Consideremos primero el intervalo $t < 0$. Suponiendo equilibrio, los dos términos de derivadas de la Ecuación (3.66) son cero, quedando sólo el término algebraico de la ecuación del diodo. La pequeña caída I_sR causada por la corriente de saturación inversa del diodo es despreciable, así que la fuente polariza inversamente al diodo a $v_D \approx -V_{NN}$ voltios. De la Ecuación (3.65)

$$i_D(0^-) = \frac{Q}{\tau_p} = I_s\left(e^{-V_{NN}/V_T} - 1\right) \approx -I_S$$

donde 0^- indica el instante justo antes de $t = 0$. Esto establece el punto de funcionamiento a en cada capacidad del diodo, Figura 3.65c. De la aproximación al circuito de la Figura 3.64b, se deduce que esencialmente el diodo es un condensador de deplexión no lineal, cargado a $v_D = -V_{NN}$ voltios para $t < 0$.

Ahora consideremos el instante $t = 0^+$ justo después que $v_i(t)$ cambie a V_{DD}. La tensión del diodo no puede cambiar instantáneamente debido a la capacidad de deplexión. La Figura 3.65d, muestra que, en ese instante, la corriente del diodo salta repentinamente a

$$i_D(0^+) = \frac{V_{DD} + V_{NN}}{R}$$

La capacidad de deplexión comienza a cargarse, la corriente positiva del diodo reduce el ancho de la región de deplexión. Las formas de onda resultantes de tensión y corriente de la Figura 3.65e, justo después de $t = 0$, *se parecen* a funciones exponenciales *RC*; sin embargo, el condensador es no lineal. Cuando $v_D(t)$ alcanza la tensión de codo, el diodo empieza a conducir y los condensadores se cargan hasta sus nuevos puntos de equilibrio, b en la Figura 3.65c. Para este nuevo equilibrio, el modelo de la Figura 3.65f, muestra que la corriente del diodo es

$$i_D(\tau) = \frac{V_{DD} - 0{,}7}{R}$$

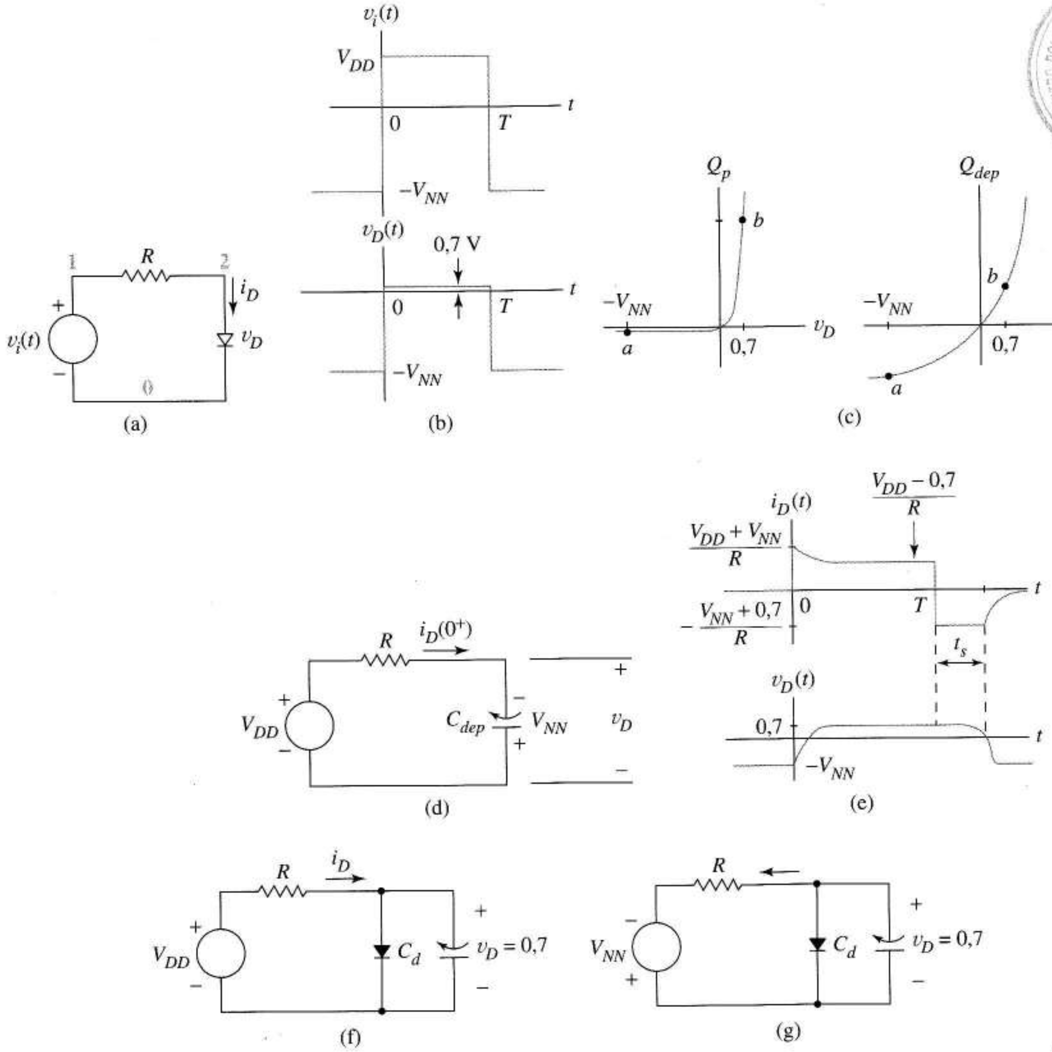


FIGURA 3.65 Transitorios de conmutación del diodo: a) circuito dado; b) formas de onda de la fuente de tensión y de la tensión de la salida si se ignoran las capacidades; c) curvas de las capacidades del diodo mostrando los puntos de equilibrio inicial y final; d) circuito con el diodo reemplazado por su modelo dinámico de corte; e) formas de onda de la corriente y tensión del diodo durante una conmutación; f) circuito con el diodo reemplazado por su modelo dinámico de conducción; g) modelo durante el tiempo de almacenamiento.

La Ecuación (3.66) muestra que el exceso de carga de los minoritarios almacenado cerca de la región de deplexión para este nuevo equilibrio es

$$Q_P = \tau_p \frac{V_{DD} - 0,7}{R}$$

que corresponde al punto b en la curva de la capacidad de difusión de la Figura 3.65c.

En $t = T$, $v_i(t)$ conmuta a su valor original, $-V_{NN}$, modificando otra vez un equilibrio. Debido a la capacidad de difusión, v_D inicialmente permanece inalterable a 0,7 V, y una *corriente negativa*

$$i_D = \frac{V_{NN} + 0{,}7}{R}$$

circula como en la Figura 3.65g, descargando las capacidades del diodo. Como la curva Q_p de la Figura 3.65c es casi vertical, la tensión del diodo no puede cambiar mucho, hasta que la carga de los minoritarios en exceso ha sido eliminada (por la corriente negativa del diodo por recombinación). Por lo tanto, la tensión del diodo y la corriente negativa permanecen relativamente constantes durante un intervalo t_s llamado *tiempo de almacenamiento*, como muestra la Figura 3.65e. Una vez que el punto de funcionamiento pasa $v_D = 0$ en la curva Q_p, la curva es casi horizontal y cae rápidamente al punto *a* en ambas curvas *Q–V*, mientras la carga de la región de deplexión es realmacenada. Esto se refleja en la Figura 3.65e en las transiciones similares a exponenciales de $i_D(t)$ y $v_D(t)$ a sus valores de equilibrio originales.

En resumen, el retardo en la conmutación de corte a conducción principalmente tiene que ver con descargar la capacidad de deplexión y es relativamente corto. El retardo de conducción a corte, principalmente debido a la descarga de la capacidad de difusión, puede ser bastante largo. Hasta que la carga de los minoritarios ha sido eliminada, la tensión del diodo es positiva. Sólo después de que se elimine el exceso de carga, la tensión y la corriente del diodo caen a los valores de equilibrio que asociamos a un diodo cortado.

La conmutación tiene la misma forma general para los diodos caracterizados por la inyección de huecos y electrones, y para diodos dominados por los electrones. La velocidad de funcionamiento de los computadores electrónicos están, básicamente, limitadas por los retardos de las conmutaciones de este tipo, una observación que subraya la importancia de entender la dinámica de la unión pn.

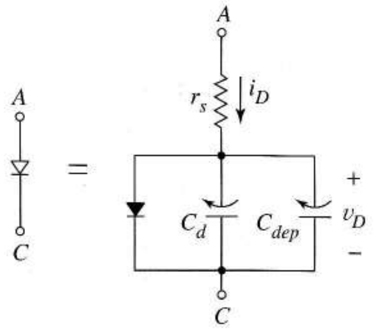
3.13 MODELO DINÁMICO SPICE PARA EL DIODO

El estudio previo fue cualitativo porque las capacidades no lineales hacen que la dinámica de conmutación del diodo sea difícil de expresar matemáticamente. Afortunadamente, las no linealidades de la dinámica del diodo están modeladas en el SPICE. Esto hace fácil obtener *soluciones numéricas* realistas con la simulación.

La Figura 3.66a es un circuito SPICE equivalente para el diodo dinámico. La Figura 3.66b enumera cinco nuevos parámetros necesarios para modelar el comportamiento dinámico. La resistencia *RS* añade la caída óhmica causada por la corriente del diodo circulando por el material semiconductor dopado externo a la unión. Los parámetros CJO, M y VJ definen la capacidad de deplexión igual que se dio en la Ecuación (3.62). El *parámetro de tiempo de tránsito* general TT sustituye el tiempo de recombinación de los huecos, τ_p, que usamos en el último apartado. El tiempo de tránsito es apropiado cuando huecos y electrones contribuyen al funcionamiento del diodo, pero se reduce a τ_p ó τ_n cuando los huecos o electrones dominan en el comportamiento del diodo. También permite simulaciones cuando las dimensiones del diodo son mucho menores que la longitud de difusión, una geometría que cambia algunos detalles de nuestros desarrollos pero no los conceptos generales.

Los valores por defecto de los dos parámetros *dinámicos* clave, CJO y TT, son ambos cero. Esto significa que el *modelo por defecto del diodo en el SPICE es un modelo estático*. Para simular efectos dinámicos, estos valores por defecto de cero deben ser invalidados en una sentencia .MODEL.

El siguiente ejemplo simula el experimento de conmutación de la Figura 3.65.



	Notación		Valores por defecto
Estático	Texto	SPICE	
	I_s	IS	1,0E–14 A
	η	N	1
	V_z	BV	∞ V
Dinámico	r_s	RS	0 Ω
	C_{j0}	CJO	0 F–V$^{1/2}$
	m	M	0,5
	V_J	VJ	1,0 V
	τ_p	TT	0 s

(b)

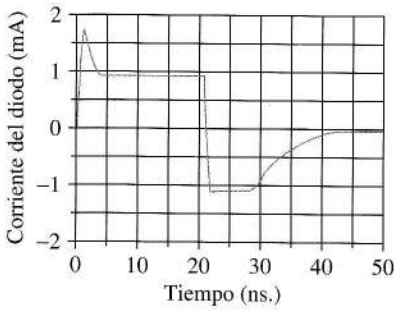
FIGURA 3.66 Modelo SPICE dinámico para el diodo: a) modelo; b) tabla de los parámetros y notación del SPICE.

EJEMPLO 3.18 Usar el SPICE para obtener las formas de onda dibujadas en la Figura 3.65e y el tiempo de almacenamiento. Utilice $V_{NN} = -10$ V, $V_{DD} = +10$ V, R = 10 kΩ, y T = 20 ns. Los parámetros del diodo son RS = 5 Ω, CJ0 = 1pF, TT = 10 ns.

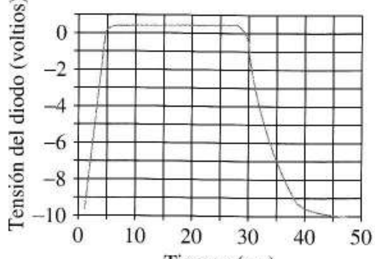
Solución La Figura 3.67a es el código SPICE del circuito, incluyendo el amperímetro VM para monitorizar la corriente del diodo; las Figuras 3.67b y c muestran los resultados. A partir de la gráfica de la corriente, se obtiene un tiempo de almacenamiento alrededor de los 7 ns. Para determinar más precisamente el valor, podíamos examinar los valores de corriente de otra simulación de SPICE que use intervalos de salida más pequeños. ❑

```
EXAMPLE 3.18
VS 1 0 PULSE(-10 +10 0 0 0 20N)
R 1 3 10K
VM 3 2 DC 0
D1 2 0 MAX
.MODEL MAX D RS=5 CJO=1.0P TT=10.0N
.PLOT TRAN I(VM) V(2)
.TRAN 1N 50N
.END
```

(a)



(b)



(c)

FIGURA 3.67 Análisis del transitorio del circuito de la figura 3.61a: a) código SPICE; b) y c) dibujo del SPICE de la corriente y la tensión del diodo.

Damos las ecuaciones básicas y esquemas relacionados con la dinámica de conmutación, pero observemos que no hay ecuaciones dadas de $i_D(t)$ y $v_D(t)$. Para generar los datos del Ejemplo 3.18, el computador resuelve numéricamente una ecuación diferencial no lineal muy complicada. Incluso con estas potentes herramientas a nuestra disposición, está claro que debemos entender los conceptos teóricos. Observe que las Figuras 3.67b y c no proporcionan nada que ayude a comprender las *causas* de esas formas de onda, ni nada acerca de cómo cambiarlas. En contraste, nuestro desarrollo intuitivo sugiere que si deseamos reducir el tiempo de almacenamiento debemos incrementar V_{NN}. Esto aumentaría la magnitud de la corriente negativa del diodo, que eliminaría más rápido la carga almacenada que los 1,1 miliculombios/s, que vemos en la Figura 3.67b.

Ejercicio 3.19 A partir de la Figura 3.67b

a) Estimar la carga de los minoritarios almacenada.

b) Estimar el valor de V_{NN} para reducir el tiempo de almacenamiento a 3 ns.

Respuesta 7,7 pC, 25,7 V.

3.14 TIPOS ESPECIALES DE DIODOS

3.14.1 DIODO SCHOTTKY

Un *diodo Schottky* es una unión que tiene un ánodo de aluminio y un cátodo semiconductor tipo n ligeramente dopado, como en la Figura 3.68. Una región de deplexión en el *interface* metal-semiconductor da una curva vi como la de la Figura 3.68b, que se parece a la de la unión pn de silicio. Una diferencia importante es que la corriente de saturación inversa es significativamente mayor, 2×10^{-11}A comparada con 1×10^{-14}A. Esto da como resultado una tensión en conducción directa del orden de 0,4 V en lugar de los 0,7 V del silicio. Otra diferencia es que para la polarización directa, en lugar de los huecos son los electrones los que se inyectan en el material n procedentes del ánodo de metal; por lo tanto no hay carga de los minoritarios almacenada, ni capacidad de difusión, ni tiempo de almacenamiento. El resultado es un diodo que conmuta mucho más rápido que una unión pn. La tensión en conducción directa baja y la conmutación rápida hacen que los diodos Schottky sean importantes en las fuentes de alimentación conmutadas y en los circuitos lógicos del Capítulo 13.

La unión Schottky se llama *unión rectificadora*, para distinguirla de los interfaces metal-semiconductor ordinarios, *óhmicos* o *no rectificadores* que hemos visto hasta ahora. Como la concentración del dopado que produce el efecto especial Schottky es baja, el material altamente dopado, indicado por n^+, se usa para *contactos metálicos óhmicos* entre materiales semiconductores y contactos metálicos como en la Figura 3.68a.

3.14.2 LED (LIGHT-EMITTING DIODES[1]) Y FOTODIODOS

Los LEDs son uniones construidas con materiales semiconductores especiales como arseniuro-fosfuro de galio. En estos dispositivos, los portadores minoritarios inyectados que resultan de la polari-

[1] N. del T.: LED (diodo emisor de luz) son las siglas más comunmente utilizadas para este tipo de diodos aunque, a veces, se les llama, un tanto reiterativamente, "diodos LED".

zación directa emiten su energía en forma de luz cuando se recombinan. Las longitudes de onda van desde el ultravioleta hasta el espectro visible y los infrarrojos se obtienen usando semiconductores y dopados diferentes. Los LED se usan ampliamente como *displays*, para transferir información a las fibras ópticas y para aislamiento óptico.

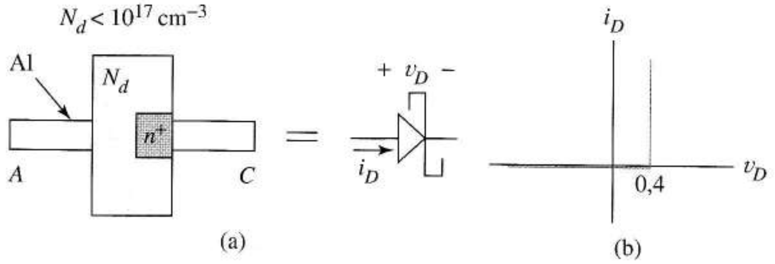


FIGURA 3.68 Diodo Schottky: a) estructura física y símbolo; b) curva vi típica.

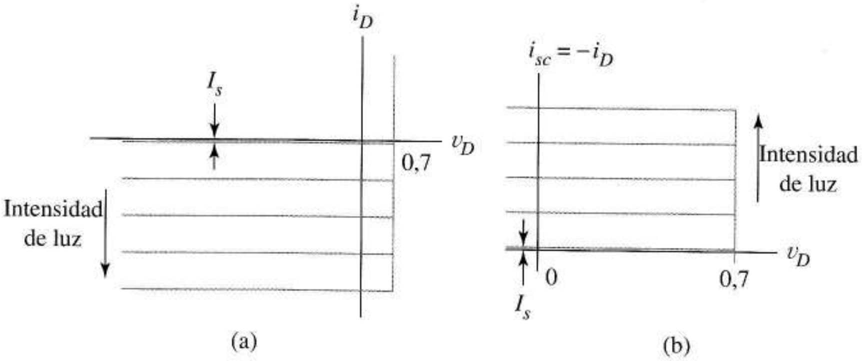


FIGURA 3.69 Curvas *vi* de un fotodiodo/célula solar: a) usando el convenio ordinario de la corriente del diodo; b) usando el convenio de la corriente de la célula solar.

Un fotodiodo es una unión en la que los fotones de energía incidentes rompen los enlaces covalentes, añadiendo estos nuevos portadores a la corriente de saturación inversa. La Figura 3.69a muestra la curva vi de este diodo en función de la intensidad creciente de la luz que incide. En el tercer y cuarto cuadrante el dispositivo funciona como una fuente de corriente controlada por luz.

El funcionamiento en el tercer cuadrante representa la conversión pasiva de la información de la intensidad de la luz en información eléctrica. Entre las aplicaciones tenemos medidores de luz y sistemas de comunicación que reciben información codificada en forma de luz. El modelo obvio es una fuente de corriente controlada por la intensidad de la luz.

Los diodos diseñados para el funcionamiento en el cuarto cuadrante se llaman células fotovoltaicas o células solares. Los puntos de la curva en el cuarto cuadrante corresponden a tensiones y corrientes de signo opuesto, implicando un dispositivo que entrega potencia a un circuito externo.

La Figura 3.69b muestra la forma de las curvas características de las células solares. Redefiniendo la corriente de referencia positiva, estas curvas destacan el hecho de que la célula es un dispositivo activo para tensiones que no excedan de 0,7 V. La conexión en serie de muchas células solares produce grandes tensiones continuas. La conexión en paralelo de células solares de área grande genera corrientes de salida altas. Por lo tanto la interconexión serie-paralelo puede convertir grandes cantidades de potencia solar en potencia eléctrica a niveles de tensión convenientes. El rendimiento de una

célula solar, la potencia eléctrica de salida dividida por la potencia solar de entrada, típicamente es del orden del 10–15%.

3.14.3 AISLAMIENTO ÓPTICO

La Figura 3.70a muestra como el LED y el fotodiodo se combinan en un útil dispositivo llamado optoacoplador. La señal $v_s(t)$ se transmite a la carga por medio de la luz, sin conexión física entre los circuitos de entrada y salida. El aislador óptico es útil en muchas aplicaciones, incluyendo interfaces de computador e instrumentación biomédica. En estas aplicaciones queremos transmitir información a la vez que proteger equipos delicados o personas de riesgos derivados de tensiones altas en el circuito de salida. La Figura 3.70b ilustra el principio. Obsérvese que la tensión que genera el peligro que existe en el circuito de la izquierda no se transfiere al circuito de carga en la derecha. Los transformadores también proporcionan aislamiento; sin embargo, el aislamiento óptico funciona incluso en continua y es más pequeño, ligero y menos caro.

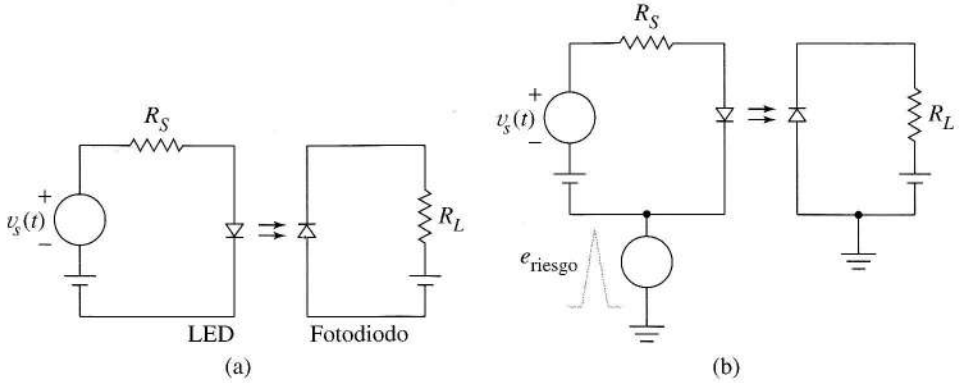


FIGURA 3.70 Aislamiento óptico: a) circuito básico; b) protegiendo R_L del riesgo de tensión.

3.15 SUMARIO

Los estudios de los materiales que inician el capítulo nos han preparado bien para estudios posteriores de los circuitos integrados. Ahora entendemos el proceso básico de desplazamiento en los semiconductores, cómo el desplazamiento de huecos y electrones explica la resistencia eléctrica y cómo la resistencia varía con la temperatura. Con estas ideas básicas, entendemos las resistencias del semiconductor, los coeficientes de temperatura de las resistencias y las razones por las que los valores de las resistencias son importantes en el diseño de circuitos modernos.

Hemos utilizado detalles de los procesos de desplazamiento y difusión de los huecos y electrones para describir nuestro primer dispositivo electrónico, el diodo de unión. Aplicamos las técnicas de modelado básicas del Capítulo 1, en la forma de los modelos lineal y con tensión de codo del diodo,

para determinar cómo funcionan los diodos como componentes en una variedad de circuitos. El análisis de circuitos con diodos depende de considerar el diodo como un dispositivo triestado que, en un instante determinado, funciona en su estado de conducción, corte o ruptura. Para cada estado, reemplazamos el diodo por un equivalente simple que aproxima la característica vi del diodo y entonces resolvemos el circuito lineal resultante para comprobar nuestras hipótesis. Cuando las hipótesis son correctas podemos estimar la corriente o la tensión del diodo. También mostramos la forma en que la características vi del diodo y los parámetros del modelo del diodo cambian con la temperatura.

Con estas técnicas de modelado y análisis, podemos describir muchos circuitos con diodos como limitadores, rectificadores de media y onda completa, circuitos recortadores, dobladores de tensión y reguladores de tensión. Estos desarrollan una variedad de funciones útiles tales como la conversión alterna/continua, el desplazamiento de niveles de ondas, la modificación de las formas de ondas que varían en el tiempo y la producción de una salida de continua que es relativamente independiente de los cambios en la carga y la fuente de tensión. También aprendimos a utilizar los diodos como interruptores para controlar la potencia en una carga.

Una breve introducción a la idea de capacidades no lineales nos lleva a la descripción de las dos fuentes de capacidades parásitas en la unión pn: capacidad de deplexión, asociada con las capas de iones en la región de deplexión y la capacidad de difusión, asociada con el almacenamiento excesivo de portadores de carga minoritarios justo al lado de la región de deplexión. Cuando en los circuitos con diodos las señales cambian lentamente, estas capacidades están inactivas, y el diodo cumple su ecuación estática. Para transiciones rápidas o señales rápidas es necesaria, sin embargo, una descripción del diodo más general –una ecuación diferencial que no es lineal cuando se plantea en términos de tensión-corriente del diodo. Debido a las capacidades del diodo, hay retardos en los interruptores con diodos y el procesado de formas de onda basado en la teoría estática del diodo falla a frecuencias altas.

Se introdujeron los modelos SPICE para diodos. Comprendiendo la forma en que se relacionan los parámetros del SPICE con los parámetros del diodo que usamos en el análisis de circuitos, podemos utilizar la simulación para estudiar el funcionamiento estático y dinámico de los diodos con mayor precisión y fiabilidad. Con el SPICE podemos formular descripciones más realistas de los circuitos, confiando en el computador para verificar y reforzar nuestra comprensión de los circuitos con diodos.

REFERENCIAS

1. BANZHAF, W. *Computer-Aided Circuit Analysis Using SPICE*, Prentice Hall, Englewood Cliffs, NJ, 1989.
2. BURNS, S.G, y P.R. BOND. *Principles of Electronic Circuits*, West Publishing, St Paul, MN, 1987.
3. DEBOO, G, y C. BURROUS. *Integrated Circuits and Semiconductor Devices: Theory and Application*, McGraw-Hill, New York, 1971.
4. GRAY, P.R., y R.G. MEYER. *Analysis and Design of Analog Integrated Circuits*, John Wiley, New York, 1984.
5. HODGES, D.A., y H.C. JACKSON. *Analysis and Design of Digital Integrated Circuits*, McGraw-Hill, New York, 1988.
6. IRWIN, J. DAVID. *Basic Engineering Circuit Analysis*, 2ª ed., Macmillan, New York, 1987.
7. MATTSON, R.H. *Basic Junction Devices and Circuits*, John Wiley, New York, 1963.
8. NILSSON, J.W. *Electric Circuits*, Addison-Wesley, Reading MA, 1986.
9. SCHILLING, D., y C. BELOVE. *Electronic Circuits, Discrete and Integrated*. McGraw-Hill, New York, 1989.
10. STREETMAN, B. *Solid State Electronics Devices*. Prentice Hall, Englewood Cliffs, NJ, 1980.
11. TOBEY, G., J. GRAEME, y L. HUELSMAN Operational Amplifiers, McGraw-Hill, New York, 1971.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE*. En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 3.1

3.1 Los siguientes datos se aplican al aluminio sólido a 27 ºC.

Conductividad: $3{,}54 \times 10^5$ $(\text{ohm})^{-1}$

Número de electrones de valencia/átomo: 3

Densidad: 2,7 g/cm^3

Peso atómico: 26,98 g/mol

a) Recuerde el número de Avogadro, $6{,}02 \times 10^{23}$ átomos/mol. Calcule el número de átomos por centímetro cúbico en el aluminio sólido y la densidad de electrones libre a 27 ºC.

b) Obtenga la movilidad de los electrones en aluminio sólido.

c) Calcule la velocidad de desplazamiento media de los electrones en el aluminio sólido en un campo eléctrico de 0,2 V/cm.

3.2 La resistencia de la Figura P3.2 está hecha de cobre sólido de conductividad $5{,}65 \times 10^5(\text{ohm})^{-1}$. Halle su valor.

3.3 Se han hecho las siguientes mediciones:

Temperatura	Resistencia
40 ºC	1,3 Ω
45 ºC	1,215Ω

a) Halle el coeficiente de temperatura de la resistencia.

b) ¿Cuál es la resistencia a 43 ºC?

c) Calcule la relación entre la conductividad del material de la resistencia a 43 ºC y la conductividad a 38 ºC.

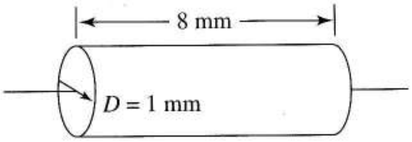


FIGURA P3.2

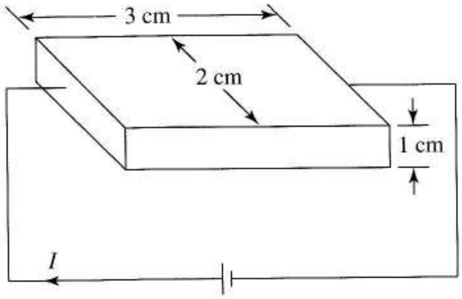


FIGURA P3.6

Sección 3.2

3.4 Usando la Ecuación (3.11), dibuje $n_i^2(T)$ para unas pocas temperaturas entre 273 K y 370 K (usando una rutina de computador o calculadora programable).

3.5 Si la Figura P3.2 es un cilindro de silicio intrínseco:

a) Calcule su resistencia a 27 ºC.

b) Calcule las velocidades de desplazamiento medio de huecos y electrones cuando se aplican 5 V a esta resistencia.

c) Repita las partes a) y b) suponiendo que el cilindro está hecho de arseniuro de galio intrínseco.

3.6 La Figura P3.6 muestra un termistor de silicio. Suponiendo una temperatura de 27 ºC

a) Calcule la densidad de corriente dentro del material.

b) Halle por separado la densidad de corriente de los componentes de huecos y electrones.

c) Halle la corriente externa, I.

3.7 Repita el Problema 3.6 cuando la temperatura es 120 ºC

3.8 Un termistor tiene la forma de un cilindro de longitud L y área A

a) Escriba una expresión para la resistencia $R(T)$ de el termistor, usando la Ecuación (3.11) para mostrar explícitamente su variación con la temperatura.

b) Usando la respuesta a la parte a) escriba una expresión para la relación $R(T) / R(T_R)$, donde T_R es una referencia de temperatura.

c) Use el resultado de la parte b) para expresar $R(T)$ como el producto de $R(T_R)$ y una expresión simplificada que incluya $1 / T$ y $1 / T_R$. Esta es una forma de la ecuación del termistor de uso común.

Sección 3.3

3.9 La concentración intrínseca, n_i, de un semiconductor de tipo n es $1{,}5 \times 10^{10}$ cm^{-3} a 27 ºC.

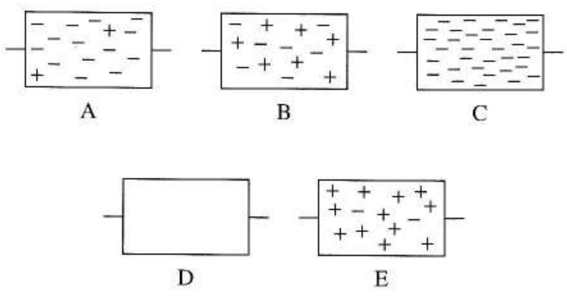


FIGURA P3.13

a) Estime las concentraciones de electrones libres y huecos en este material a 27 °C si $N_d = 10^{14}$ cm^{-3}.

b) Halle la conductividad a 27 °C si las movilidades de electrones y huecos son 1.500 y 480 cm^2/Vs, respectivamente.

3.10 En un semiconductor tipo n, la concentración intrínseca es $1{,}5 \times 10^{10}$ cm^{-3} y la concentración del dopado es 10^{14} cm^{-3}. Estime el número de electrones libres y huecos si las dimensiones del material son 1μm por 10 μm.

3.11 La concentración intrínseca de un silicio de tipo p tiene valores de $1{,}5 \times 10^{10}$ cm^{-3} y 10^{13} cm^{-3} a 300 K y 405 K, respectivamente y la concentración de dopado es 2×10^{15} cm^{-3}.

a) Estime las concentraciones de electrones y huecos a ambas temperaturas.

b) Use las ecuaciones exactas para determinar la concentración a ambas temperaturas.

3.12 Un material de silicio de tipo n se fabrica usando $N_A = 10^{14}$ cm^{-3}

a) Estime se conductividad a 27 °C.

b) Determine la concentración requerida N_D de las nuevas impurezas de forma que el material compensado tenga a temperatura ambiente una conductividad igual al 1% de su valor en la parte (a).

3.13 En los croquis de la Figura P3.13, "–" indica un electrón libre y "+" un hueco. Asigne la letra de cada una de estas muestras de material a la mejor descripción de la lista.

1. Silicio intrínseco. 2. Silicio tipo n. 3. Silicio tipo p. 4. Conductor. 5. Aislante.

3.14 La resistencia de circuito integrado de la Figura 3.12 tiene una resistencia pelicular de 200 Ω / cuadro.

a) Si una micra es la menor dimensión posible, dibuje una resistencia de 800 Ω de área mínima.

b) Si la resistencia pelicular varía un ± 20% respecto al valor de diseño de una serie a otra; asigne tolerancias (valores máximo y mínimo) a la resistencia de la parte a).

3.15 Dos resistencias de circuito integrado del mismo chip, $R_1 = 5$ kΩ y $R_2 = 1$ kΩ, usan una resistencia pelicular de 600 Ω / cuadro. Los circuitos integrados hechos el día 1 tienen una resistencia pelicular un 20% mayor de lo deseado, el día 2 tienen una resistencia pelicular un 20% menor.

Si las tolerancias de la máscara (esto es, tolerancias de W y L) son ±1% para el proceso de fabricación ambos días, halle:

a) Valores máximos y mínimos de R_1 y R_2 para el chip hecho el día 1.

b) Valores máximos y mínimos de R_1 y R_2 para el chip hecho el día 2.

c) Valores máximos y mínimos de la relación R_1 / R_2 del chip hecho el día 1.

d) Valores máximos y mínimos de la relación R_1 / R_2 del chip hecho el día 2.

3.16 Para el experimento de la Figura 3.13

a) Dibuje la forma de onda de la tensión $v_m(t)$ que aparece a lo largo del material.

b) Dibuje la concentración de huecos $p(t)$ en función del tiempo.

c) Dibuje la concentración de electrones $n(t)$ en función del tiempo.

Sección 3.4

3.17 La Figura P3.17 muestra una distribución de carga no uniforme en un material en un determinado instante. La concentración es uniforme en las direcciones z e y.

a) Dibuje la densidad de corriente de difusión correspondiente si la carga consta de huecos y $D_p = 20$ cm^2/s.

b) Dibuje la densidad de corriente de difusión correspondiente si la carga consta de electrones y $D_n = 60$ cm^2/s.

3.18 Dibuje la concentración de electrones y la densidad de corriente de electrones para el Ejercicio 3.4.

3.19 Para el material de la Figura 3.14, $n_i = 2{,}4 \times 10^{13}$ cm^{-3}, $N_d = 10^{16}$ átomos/cm^3, $D_p = 10$ cm^2/s y $L_p = 5 \times 10^{-3}$ cm. Cuando la luz está encendida, la concentración de huecos en la superficie es 1.000 veces su valor de equilibrio. Halle la densidad de corriente de huecos en función del tiempo.

3.20 Las concentraciones de electrones y huecos de un semiconductor son

FIGURA P3.17

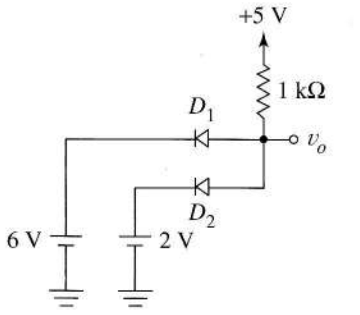


FIGURA P3.29

$$n(x) = N_d + p_{n0} + \Delta p e^{-x/L_p}$$

y

$$p(x) = p_{n0} + \Delta p e^{-x/L_p}$$

Halle una expresión para la conductividad, σ, del material.

Sección 3.5

3.21 a) En una unión pn, ¿qué clase de portadores forman la corriente de difusión, huecos, electrones o ambos?

b) En la región de deplexión hay iones positivos y negativos. ¿Dónde van los portadores de carga móviles, y por qué proceso se mueven?

3.22 Una unión pn de silicio se fabrica usando $N_d = 10^{16}$ y $N_a = 10^{19}$ impurezas/cm^3.

a) Haga un croquis como el de la Figura 3.16. Etiquete el croquis con los 4 valores numéricos apropiados. Suponga temperatura de 27 °C.

b) Halle el potencial de barrera en voltios a 27 °C.

c) Halle el potencial de barrera en voltios a 70 °C.

Sugerencia Vea las Ecuaciones (3.11) y (3.26).

3.23 La Ecuación (3.31) es la decimoséptima en un desarrollo pasa a paso basado en los huecos. Demuestre que ha comprendido el desarrollo haciendo uno análogo basado en los electrones. Para empezar bien, use la forma correcta de la ecuación de difusión cuando halle la corriente de difusión.

Sección 3.6

3.24 Un diodo tiene $I_s = 3 \times 10^{-14}$ amperios. Calcular los valores de i_D y v_D a 27° C para

a) 0,8 V

b) 0,6 V

c) –0,2 V

d) –10 V

3.25 A 27 °C la corriente directa de un diodo de silicio es 1mA cuando se aplican 0,7 V

a) Halle I_s.

b) ¿Qué valor de I_s sería necesario para 1 mA a 0,4 V?

3.26 Una unión se construye con $N_a >> N_d$ así que la corriente del diodo es esencialmente una corriente de huecos. La Ecuación (3.36) describe cómo la corriente de huecos en el material n decrece con x a medida que los huecos se recombinan. Una corriente de electrones proporcionados por la fuente externa fluye hacia adentro desde la derecha en la Figura 3.18b para hacer posible esta recombinación. Esta corriente de electrones es tal que en cualquier punto x, las componentes de las corrientes de huecos y electrones suman el mismo valor. En $x = 0$, la corriente de electrones es cero. Escriba una expresión para la corriente de electrones, $I_{D,n}(x)$.

3.27 Los diodos D_1 y D_2 son idénticos excepto que D_2 tiene una sección de área cuatro veces la de D_1.

a) Si la corriente de D_1 es 12 mA cuando su tensión es 0,62 V, ¿cuál es la corriente de D_2 para 0,62 V?

b) Si D_1 y D_2 están en serie y circula corriente positiva, halle la relación entre v_{D2} y v_{D1}.

Sugerencia Suponga que la corriente directa de cada diodo es mucho mayor que la corriente de saturación inversa.

c) Si D_1 y D_2 están en paralelo y sus corrientes suman 4 mA, hallar la corriente de cada diodo y su tensión.

Sugerencia Vea la parte a) para la información necesaria.

3.28 La Ecuación (3.37) supone que sólo la corriente de huecos del diodo es apreciable. Comenzando con el perfil de la concentración de electrones en el material n de la Figura 3.19a, desarrolle el equivalente de la corriente de electrones de la Ecuación (3.37). Use la Ecuación (3.38) para comprobar su resultado.

Sección 3.7

3.29 Los diodos de la Figura P3.29 son ideales.

a) Suponga ambos diodos cortados. Dibuje un circuito equivalente para esta situación.

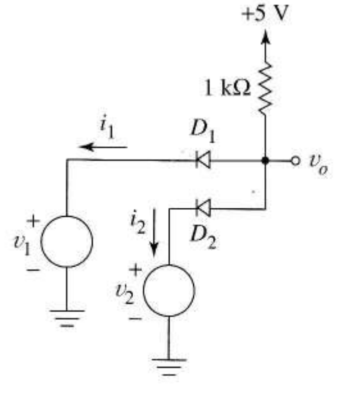


FIGURA P3.30

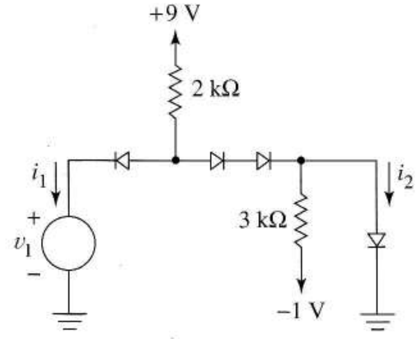


FIGURA P3.32

b) ¿Qué diodo da una contradicción y qué, exactamente, es la contradicción? Sea cuantitativo.

c) Haga una nueva suposición acerca del estado de los diodos, redibuje el circuito equivalente y compruebe sus nuevas hipótesis. ¿Cuál es el valor de v_o en la figura?

3.30 Halle v_o, i_1, e i_2 para la Figura P3.30 si los diodos son ideales y

a) $v_1 = 5$ V y $v_2 = 0,2$ V.

b) $v_1 = 0,1$ V y $v_2 = 0,3$ V.

c) $v_1 = 5,1$ V y $v_2 = 5,3$ V.

3.31 Resuelva el Problema 3.30 usando el modelo con tensión de codo del diodo de silicio.

3.32 Suponiendo diodos ideales en la Figura P3.32 halle i_1 e i_2

a) cuando $v_1 = 0,2$ V

Sugerencia Una violación de la ley de Kirchhoff para las tensiones puede llevarnos también a reexaminar nuestras hipótesis sobre los diodos.

b) Halle i_1 e i_2 cuando $v_i = -9$ V.

3.33 Resuelva el Problema 3.32 usando el modelo con tensión de codo de un diodo de arseniuro de galio.

3.34 Los diodos de la Figura P3.34 son ideales. Suponga que ambos están cortados para $v_i = 0$ voltios.

a) Dibuje el circuito equivalente en estas condiciones.

b) ¿Es correcta la hipótesis acerca de D_1? Dé una evidencia cuantitativa.

Suponga después que D_1 conduce y D_2 no para $v_i = 0$ voltios.

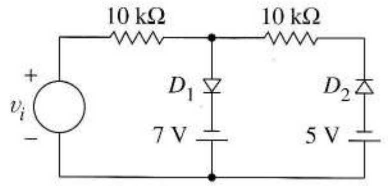


FIGURA P3.34

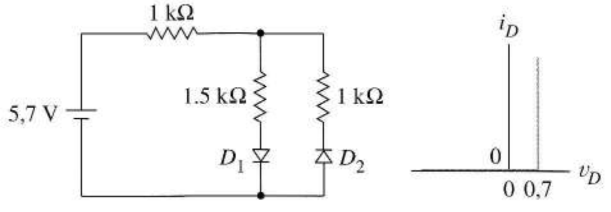


FIGURA P3.35

c) Dibuje el circuito equivalente para estas hipótesis.

d) ¿Es correcta la hipótesis acerca de D_1? Demuéstrelo cuantitativamente.

e) ¿Es correcta la hipótesis acerca de D_2? Demuéstrelo cuantitativamente.

3.35 La curva vi de la Figura P3.35 describe ambos diodos. D_1 conduce y D_2 está cortado.

a) En una copia de la curva *vi* marque el punto de funcionamiento de D_1 con una "x" y dé el valor numérico.

b) Añada a su croquis una "y" para marcar el punto de funcionamiento de D_2. Dé el valor numérico.

3.36 Use el modelo zener de la Figura 3.29b para hallar los valores máximo y mínimo para V_{BB} en el circuito regulador de P3.36. El zener de 5 V tiene una corriente inversa mínima de 10 mA, y su potencia disipada máxima es 1 W.

3.37 En la Figura P3.36 V_{BB} está fija a 15 V.

a) Dibujar el equivalente Thèvenin del circuito a la izquierda de la resistencia de carga si el zener tiene una resistencia interna de 0,1 Ω.

b) Use el resultado de la parte a) para dibujar la tensión de salida del equivalente Thèvenin en función de la corriente de salida.

c) En la parte b), ¿cuál es el efecto de la resistencia zener en el funcionamiento del regulador cuando R_L varía?

3.38 Dibuje el circuito equivalente para el regulador de tensión zener de la Figura 3.30 usando el modelo zener de la Figura 3.29c. Para los valores $V_{BB} = 9$ V, $R_s = 10$ Ω, $V_z = 6,8$ V y $r_z = 0,1$ Ω escriba una ecuación para la tensión de salida en función de R_L. Dibuje la ecuación. Esto se llama curva de *regulación de tensión* para el circuito regulador.

3.39 El diodo de la Figura P3.39 es de silicio y su tensión varía linealmente con la temperatura a razón de −2 mV/ °C.

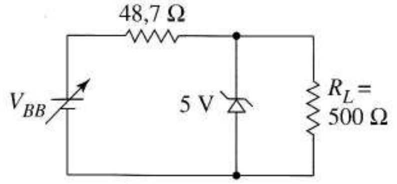


FIGURA P3.36

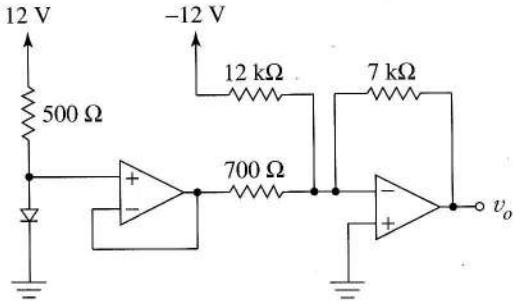


FIGURA P3.39

Escriba una expresión para v_o en función de la temperatura, y dibuje $v_o(T)$ en función de T.

3.40 A 27 °C, el diodo de la Figura P3.40 está cortado. Si $I_s = 210^{-14}$ a 27 °C y varía de acuerdo con la Ecuación (3.43), halle la temperatura a la que el diodo comienza a conducir (la tensión del ánodo excede la tensión del cátodo en la tensión de codo de valor 0,5 V)

Sugerencia Figura 3.22b.

Sección 3.8

3.41 La Figura P3.41 es un modelo de amplificador operacional que incluye la saturación de la función de transferencia en bucle abierto. Si los diodos son ideales, ambos son circuitos abiertos hasta que v_o excede uno de los límites de saturación. Con diodos reales, podemos modificar las fuentes de tensión en el modelo para permitir las caídas de tensión de los diodos.

Haga un modelo SPICE para el amplificador operacional HA2544 de la Tabla 2.1 que incluya la saturación. Seleccione valores de tensión continua que permitan caídas de tensión de 0,7 V cuando los diodos conducen y use el modelo de diodo por defecto.

a) Utilice el análisis en continua para dibujar v_O en función de v_d en un margen de tensiones que muestre claramente ambas esquinas de la curva de saturación.

b) Añada resistencias de realimentación al modelo de amplificador operacional para hacer un amplificador inver-

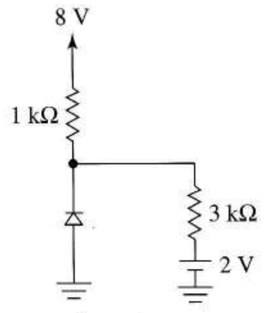


FIGURA P3.40

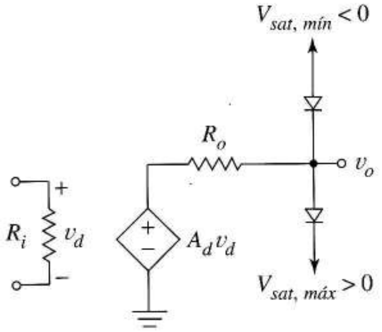


FIGURA P3.41

sor de ganancia −20. Use el análisis transitorio del SPICE para dibujar las ondas de salida para tensiones de entrada de 1.000 Hz de valor de pico 10 mV y 1 V.

3.42 El amplificador operacional de la Figura P3.42 tiene ganancia infinita, y el diodo tiene una curva vi como la de la Figura 3.29a con $V_Z = 5$ V.

a) Dibuje v_o en función de v_i.

Sugerencia Obtenga las ecuaciones que relacionan v_o y v_i para $v_i > 0$ y para $v_i < 0$.

b) Haga un modelo SPICE del circuito usando una fuente de tensión controlada por tensión de ganancia alta para el amplificador operacional. Use los modelos por defecto del diodo, excepto la inclusión de la tensión zener de 5 V. Use el análisis de continua para generar la gráfica correspondiente al croquis de la parte (a).

c) Para $v_i = +2$ V, use el SPICE para determinar cuánta corriente proporciona el amplificador operacional.

d) Añada una resistencia de 1 kΩ entre el nodo de salida y masa y halle otra vez la corriente que proporciona el amplificador operacional cuando $v_i = +2$ V.

Sección 3.9

3.43 Dibuje la función de transferencia para el circuito de la Figura P3.43.

3.44 En la Figura P3.44 las características del diodo se muestra a la derecha.

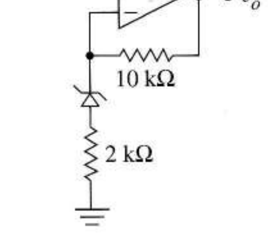


FIGURA P3.42

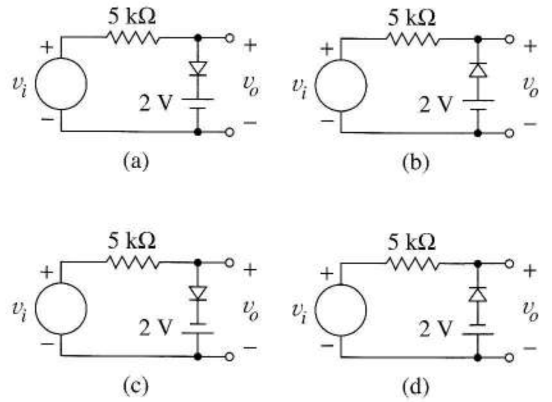


FIGURA P3.43

a) Escriba una ecuación para v_o en función de v_i cuando el diodo está cortado.

b) Hay una tensión de entrada, v_i = E, para la que el diodo empieza justo a conducir. Halle *E*.

c) Escriba una ecuación para v_o en función de v_i cuando el diodo está conduciendo.

d) Dibuje la función de transferencia.

3.45 Invierta la polaridad del diodo en la Figura P3.44. Entonces

a) Escriba una ecuación para v_o en función de v_i cuando el diodo está cortado.

b) Hay un valor negativo de la tensión de entrada, v_i = –E, para el que el diodo empieza justo a conducir. Halle *E*.

c) Escriba una ecuación para v_o en función v_i cuando el diodo conduce.

d) Dibuje la función de transferencia.

3.46 Ambos diodos de la Figura P3.46 tienen la misma curva *vi*.

a) Cuando $v_i = 0$, ambos diodos están cortados con corriente cero. Redibuje el circuito, reemplazando los diodos por modelos adecuados. Escriba entonces una ecuación que relacione v_o con v_i.

b) Si v_i crece, ¿qué diodo conduce primero? ¿Para qué valor de v_i?

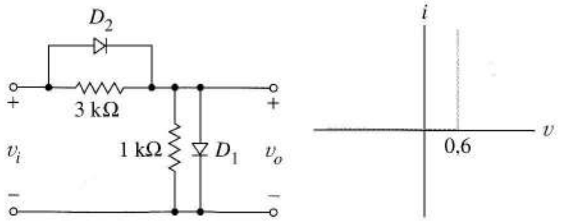


FIGURA P3.46

c) Redibuje el circuito, cambiando el modelo para el diodo que conduzca primero. Escriba una ecuación relacionando v_o y v_i para este circuito.

d) ¿Para qué valor de v_i conducirá el segundo diodo?

e) Dibuje la función de transferencia del circuito, v_o en función de v_i.

3.47 a) Diseñe un rectificador de media onda como el de la Figura 3.40a de forma que la componente de continua de la salida sea 9,3 V y el pico de corriente entregado por el diodo sea 0,1 A. Suponga ideal el diodo. Halle el TIP para el diodo.

b) Reemplace el diodo ideal de su diseño por un diodo real con una tensión de codo de 0,7 V. Para el circuito modificado, halle la componente de continua de la tensión de salida, el pico de corriente del diodo y el TIP.

3.48 El transformador y el diodo de la Figura P3.48 son ambos ideales.

a) Dibuje y etiquete las ondas de corriente $i_2(t)$ e $i_1(t)$.

b) La parte a) es un buen ejercicio de diodos y transformadores ideales, pero el circuito no es práctico. ¿Qué importante restricción de los transformadores reales se viola?

3.49 Diseñe un rectificador en puente de onda completa como el de la Figura 3.43a para dar una componente de continua de la tensión de salida de 10 V. Use diodos ideales. Dé el TIP requerido por los diodos y especifique V_M. Obtenga el valor de la resistencia de carga que da una corriente de pico del diodo de 20 mA.

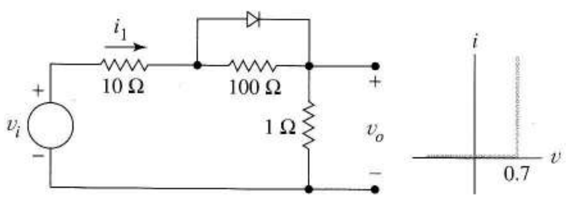


FIGURA P3.44

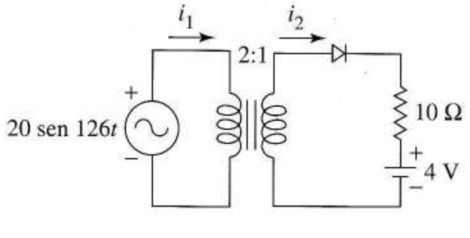


FIGURA P3.48

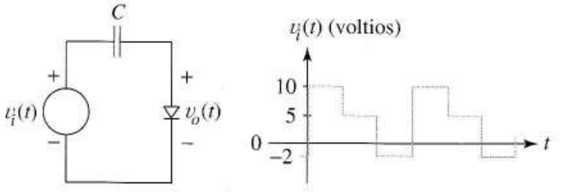


FIGURA P3.52

3.50 En el puente rectificador de la Figura 3.43a, $v_i(t) = 10$ sen ωt. Los diodos son de silicio.

a) Dibuje la onda de salida incluyendo las tensiones de codo de los diodos.

b) Calcule la componente de continua de la tensión de salida, incluyendo la tensión de codo del diodo, y compárela con la Ecuación (3.53).

3.51 Diseñe un rectificador de onda completa como el de la Figura 3.49. Halle la relación de espiras del transformador necesaria cuando se tiene una tensión de línea de 120 V.

3.52 La Figura P3.52 muestra un circuito recortador y su onda de tensión de entrada.

a) Dibuje cuidadosamente la onda de salida si el diodo es ideal.

b) Dibuje la onda de salida si el diodo tiene una tensión de codo de 0,6 V.

c) Repita la parte a) después de invertir la orientación del diodo.

d) Repita la parte b) después de invertir la orientación del diodo.

e) Dibuje $v_o(t)$ si la onda de la Figura P3.52 proporciona la entrada para el circuito recortador de la Figura 3.47a. El diodo tiene una tensión de codo de 0,6 V y $V_{BB} = 2$ V.

3.53 Dibuje el esquema del medidor de picos mencionado en el estudio del convertidor alterna/continua. Diseñe el circuito de forma que una entrada periódica de 80V de pico de una corriente de fondo de escala de 10mA y que el condensador cargado vea una resistencia de al menos 100 kΩ.

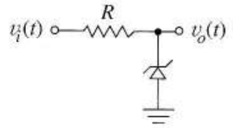
Sugerencia Posiblemente necesite añadir algún extra al circuito para cumplir las especificaciones.

3.54 Use el SPICE para hallar la corriente de pico de los diodos del Ejemplo 3.16. Añada un 20% a los valores de simulación.

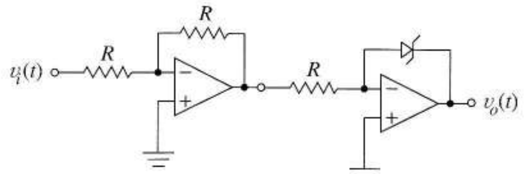
3.55 Use el SPICE para obtener la tensión de salida cuando se añade una resistencia de carga de 100 Ω a la salida del doblador de tensión del Ejemplo 3.16.

Sección 3.10

3.56 Dibuje cada función de transferencia que resulte de sustituir el zener de la Figura 3.51a por uno de los elementos de realimentación de la Figura 3.51f.



(a)



(b)

FIGURA P3.57

3.57 Los diodos zener de la Figura P3.57a y b tienen $V_{on} = 0{,}7$ V y $V_z = 4$ V.

a) Dibuje las características de transferencia de los circuitos.

b) Repita la parte a) después de añadir una resistencia de carga de R entre cada nodo de salida y tierra.

c) ¿Qué conclusiones obtiene de la parte b?

3.58 En la Figura P3.58, la curva vi define el diodo.

a) Escriba una ecuación que relacione v_o y v_i cuando $v_i > 0$.

b) Escriba una ecuación que relacione v_o y v_i cuando $v_i < 0$.

c) Dibuje la función de transferencia.

d) Use sus funciones de transferencia para dibujar $v_o(t)$ cuando $v_i(t) = 2$ sen ωt.

3.59 Siga las instrucciones del Problema 3.58 pero use el circuito y la característica del diodo de la Figura P3.59.

3.60 En la Figura P3.60, ambos diodos se describen por su curva vi.

a) Escriba dos ecuaciones de v_o en función de v_i para el circuito, una para $v_i \geq 0$ y una para $v_i \leq 0$.

b) Dibuje la función de transferencia para el circuito. Etiquete las pendientes y valores críticos.

3.61 Si $v_i = 8$ sen ωt para el rectificador de precisión de la Figura 3.53, obtenga el TIP y la corriente de pico de D_1 y

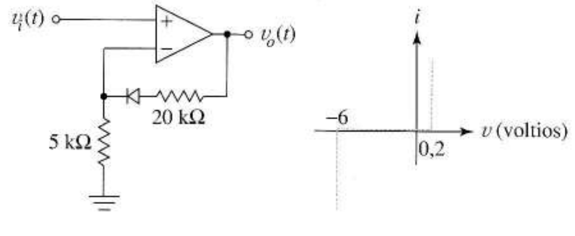


FIGURA P3.58

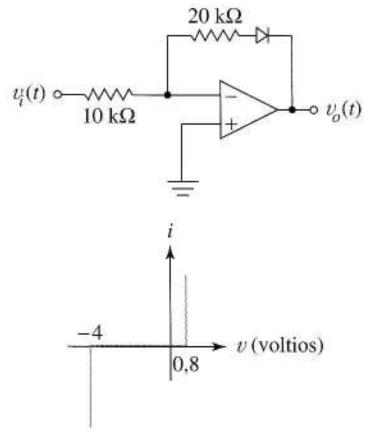


FIGURA P3.59

D_2. Suponga que cada diodo tiene una tensión de codo de 0,7 V.

3.62 Dibuje la función de transferencia del circuito que resulta al invertir la orientación de ambos diodo en la Figura 3.53a.

3.63 a) Halle las resistencias de entrada de los circuitos rectificadores de las Figuras 3.53a y 3.54.

b) Dibuje la característica de entrada *vi*, esto es, i_i en función de v_i, para el rectificador de la Figura 3.40a.

3.64 a) Use el rectificador de precisión de onda completa como el de la Figura 3.54 en un sistema que produzca una corriente de salida continua de 0–10 mA con una resistencia de carga de 100 Ω cuando la entrada es una onda senoidal de valor de pico de 0–30 V. La resistencia de entrada debe ser infinita y la resistencia de salida cero. Use tantos amplificadores operacionales de ganancia infinita como necesite.

b) Diseñe otro sistema que difiera del (a) en la siguiente forma: la resistencia de salida del nuevo sistema debe ser infinita, y la corriente de salida de 0–10 mA debe ser medida en una impedancia de carga arbitraria que tenga un terminal a tierra.

3.65 Los diodos del comparador de la Figura 3.55a tienen características de *vi* como las de la Figura P3.58.

a) Dibuje la función de transferencia del comparador, v_O en función de v_d, donde $v_d = v_a - v_b$.

b) Dibuje la onda de salida en el tiempo si $v_d(t) = v_a(t) - v_b(t)$ es una onda cuadrada que conmuta instantáneamente entre −1 V y +1 V y el amplificador operacional no tiene limitaciones dinámicas.

c) Repita la parte b) excepto que esta vez suponga que el amplificador operacional tiene un *slew-rate* de 5 V/μs y límites de saturación de ±13 V.

Sugerencia Dibuje un modelo equivalente para el circuito completo, incluyendo el amplificador operacional, válido para $v_d = -1$ V y un segundo equivalente válido para $v_d = +1$ V. Entonces piense acerca de cómo actúa el amplificador operacional durante la transición.

3.66 En la Figura P3.66, $i_1(t)$ e $i_2(t)$ contienen información acerca de dos eventos físicos. Debido a las impedancias internas complejas, Z_1 y Z_2, las tensiones de nodo $v_1(t)$ y $v_2(t)$ son inutilizables porque contienen la información de forma distorsionada.

Diseñe un comparador de corriente para añadir al circuito dado y que compare $i_1(t)$ e $i_2(t)$. El circuito debe producir $v_o = +8$ V cuando $i_1 > i_2$ y $v_o = -8$ V cuando $i_1 < i_2$. La salida no debe estar relacionada en modo alguno con Z_l o Z_2. Base su diseño en los conceptos de la Figura 3.55b. (La solución más elegante es usar sólo dos amplificadores operacionales.) Especifique las tensiones de ruptura de los diodos y los valores de cualquier resistencia necesaria en su circuito. Dibuje un diagrama mostrando los circuitos de P3.66 conectados a su comparador.

3.67 a) Use el SPICE para dibujar la función de transferencia de la Figura P3.60. Para el diodo use una tensión zener de $V_z = 4$ V en la línea .MODEL pero utilice los valores por defecto para el resto de los parámetros.

b) Use el análisis transitorio del SPICE para obtener la tensión de salida cuando la entrada es una onda senoidal de 12 V de pico y frecuencia 60 Hz.

Sección 3.11

3.68 En la Figura 3.58d, *R* necesita un mínimo de corriente de 50 mA. La fuente v_c toma sólo los valores 0,2 V y V_{CC}.

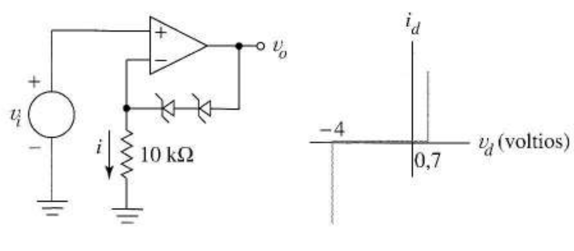


FIGURA P3.60

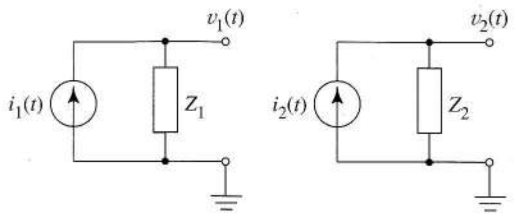


FIGURA P3. 66

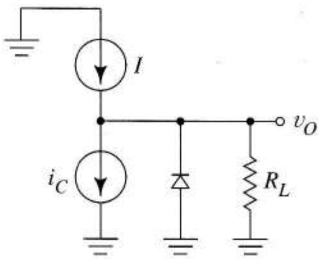


FIGURA P3. 69

Halle el valor mínimo de V_{CC} necesario si R = 200 Ω y el diodo es:

a) ideal (tensión de codo = 0).

b) de silicio (tensión de codo = 0,7 V).

c) de arseniuro de galio (tensión de codo = 1,2 V).

d) de germanio (tensión de codo = 0,25 V).

e) Analice cuantitativamente la potencia del circuito para b) cuando el interruptor está cerrado. ¿Cuál es el origen de esta potencia? ¿A dónde va?

3.69 La Figura P3.69 muestra un circuito de conmutación de diodos que emplean una fuente fija I y corriente de control i_C. La salida es una tensión de dos valores v_O. Describa cómo trabaja el circuito si el diodo es ideal e i_c toma sólo dos valores, $2I$ y 0, cada valor la mitad del tiempo. Incluya en su descripción los requerimientos de potencia media de las dos fuentes de corriente.

Sección 3.12

3.70 Si K = 5 × 10^{-12} culombios en la Ecuación (3.61).

a) Calcule cuánta carga almacenada debe moverse para cambiar la tensión del diodo de 0,2 V a 0,6 V.

b) Use la definición $C = \Delta Q/\Delta V$ para obtener la capacidad de gran señal correspondiente a las dos tensiones de la parte a).

c) Si el cambio de tensión en la parte a) debe ocurrir en 3ns, estime la corriente media necesaria para almacenar la carga de la región de deplexión.

3.71 La capacidad de deplexión de la Ecuación (3.62) tiene m = 0,33, C_{j0} = 10 pF, y V_{j0} = 1,0 V

a) Dibuje C_{dep} en función de la tensión.

b) En el croquis de la parte a), muestre dos regiones donde el funcionamiento como condensador controlado por tensión pueda no ser práctico, y diga por qué.

c) Obtenga el valor de la tensión del diodo que produce un condensador de 4 pF.

3.72 La Figura P3.72 muestra un circuito resonante formado por una bobina y un condensador en paralelo. La capacidad vista por la bobina es los 10 pF del condensador en paralelo con la capacidad de deplexión de la unión pn inversamente polarizada. El condensador infinito es un cortocircuito para las señales de alterna, pero permite a V_{CC} desarrollar tensión continua a lo largo del diodo. La frecuencia de resonancia de una bobina L en paralelo está dada por $\omega_o = (LC)^{-0,5}$.

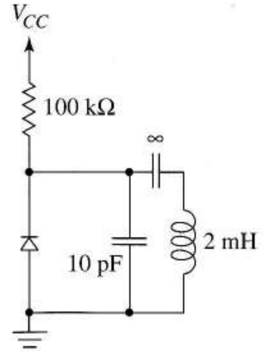


FIGURA P3. 72

Si el diodo tiene una unión gradual, un potencial de barrera de 1 V y una capacidad de 3 pF con polarización cero, obtener la frecuencia de resonancia del circuito para V_{CC} = 2 V y para V_{CC} = 10 V.

3.73 Vimos en el Capítulo 1 que el ancho de banda del filtro pasabajo de la Figura P3.37a es $\omega_B = 1 / RC$. Para controlar el ancho de banda con tensión, usamos la capacidad de deplexión de una unión pn inversamente polarizada para sustituir a C en la Figura P3.73b.

Cuando la pequeña señal v_s se desconecta, por superposición V_{CC} polariza el diodo a través de un divisor de tensión, produciendo la capacidad de pequeña señal deseada. Cuando V_{CC} está conectada, como la resistencia de 100 k es muy grande, el diodo ve un equivalente Thèvenin aproximado por v_s en serie con 10 k. Por lo tanto, la señal v_s es filtrada por un circuito RC como el de la Figura P3.73a.

Obtener el valor de V_{CC} necesario para un ancho de banda de filtro de:

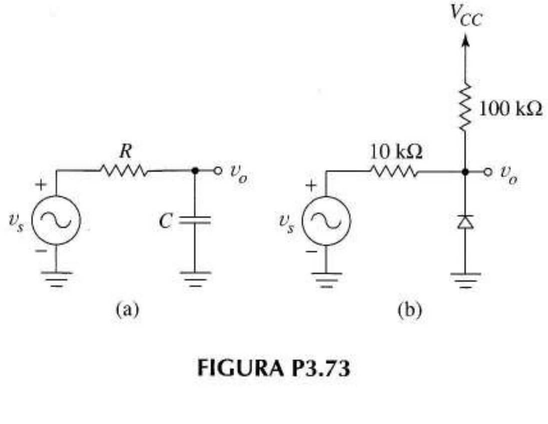


FIGURA P3.73

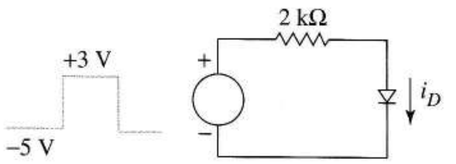


FIGURA P3.75

a) 8 MHz

b) 10 MHz

3.74 Para la característica *Q–V* de la Ecuación (3.61), si $K = 2 \times 10^{-11}$ culombios y $V_T = 0{,}9$ voltios, calcular la capacidad de pequeña señal, dQ_d/dv_D, cuando:

a) $v_D = 0{,}2$ V.

b) $v_D = 0{,}5$ V.

c) $v_D = -3$ V.

3.75 a) Suponga que el circuito de la Figura P3.75 está en equilibrio cuando la tensión aplicada es –5 V. ¿Cuál es la corriente del diodo?

b) ¿Es el valor de la corriente del diodo inmediatamente después de conmutar a 3 V?

c) Estime el valor que alcanzará finalmente la corriente del diodo si el pulso de 3 V es "largo".

d) ¿Cuál es el valor de la corriente del diodo inmediatamente después que la tensión conmute de nuevo a –5 V?

3.76 El circuito de la Figura 3.65a tiene $R = 10$ k, $V_{NN} = 5$ V y $V_{DD} = 10$ V. En la Figura 3.65e la corriente del diodo, $i_D(t)$, alcanza un valor de equilibrio de $(V_{DD}–0{,}7) / R$ justo antes de que ocurra la conmutación en $t = T$.

a) Si $\tau_p = 10^{-11}$s, halle la cantidad de carga almacenada en la región de deplexión en ese instante.

b) Suponiendo que la curva $i_D(t)$ es horizontal, estime el tiempo de almacenamiento τ_s.

Sugerencia Ignore la recombinación de la carga almacenada dentro del diodo.

c) Dibuje las formas de onda de tensión y corriente del diodo y etiquete los valores conocidos.

d) Estime el valor de V_{NN} que dividiría por dos el tiempo de almacenamiento.

Sección 3.13

3.77 El circuito de conmutación de diodos de la Figura 3.58d utiliza $V_{CC} = 5$ V y $R = 5$ kΩ. El diodo tiene los valores por defecto SPICE excepto para $C_{j0} = 2$ pF y $\tau_1 = 12$ ns. Utilice el análisis transitorio del SPICE para obtener la corriente de la resistencia cuando v_c es un pulso de 5 V de 500 ns de duración.

3.78 El diodo de la Figura 3.36a está descrito por la sentencia .MODEL en la Figura 3.67a.

a) Use el análisis de continua del SPICE para dibujar la función de transferencia para el circuito dentro del margen $-5\text{ V} \leq v_i \leq +5\text{ V}$

b) Use el análisis transitorio del SPICE para dibujar dos ciclos de $v_o(t)$ cuando la entrada es una onda senoidal de 5 V de pico. Comenzando a 1 kHz, aumente la frecuencia de la señal de salida hasta que la onda de salida no tenga la misma forma que a 1 kHz. Dibuje esa onda de salida incorrecta e indique la frecuencia a la que ocurre.

Sección 3.14

3.79 Use el SPICE para dibujar las curvas estáticas vi del diodo para

a) un diodo de unión pn con $I_S = 1{,}0 \times 10^{-14}$ A.

b) un diodo Schottky con $I_S = 2 \times 10^{-11}$ A.

3.80 El diodo Schottky tiene capacidad de deplexión pero no capacidad de difusión.

a) Describa explícitamente los cambios de los dos parámetros que deben hacerse para convertir un modelo SPICE dinámico de un diodo de unión pn en un modelo de diodo Schottky.

b) Haga el Problema 3.77 para un diodo Schottky siguiendo la solución a la parte (a).

3.81 Una célula solar tiene características de salida que se parecen a la Figura 3.69b. La célula tiene un área activa de 0,5 cm^2 y un rendimiento del 14%.

a) El fabricante especifica que la corriente cuando no hay luz de este dispositivo es 10 μA. Dibuje la curva correspondiente en estas condiciones y etiquete la corriente cuando no hay luz.

b) Dibuje y etiquete las curvas correspondientes a intensidades de luz de 100, 200 y 300 mW/cm^2.

Sugerencia Las células entregan la potencia máxima a la tensión máxima de salida.

c) Si la iluminación de la célula es de 250 mW/cm^2, ¿cuánta potencia entrega la célula solar a una fuente externa de tensión constante de +0,2 V conectada entre cátodo y ánodo?

d) Dibuje una matriz de células solares, cada una representada por el símbolo de un diodo, que sea capaz de entregar 1,5 amperios a 3 V. Indique qué terminal de la matriz es positivo y también la dirección positiva de la corriente.

Capítulo 4

TRANSISTORES BIPOLARES

4.1 PRINCIPIOS FÍSICOS

Los *transistores de unión bipolares*, o *bipolares*, son versátiles dispositivos de estado sólido de tres terminales, parte central de muchos circuitos de conmutación y procesado de señal. En aplicaciones analógicas, los bipolares desarrollan una gran variedad de funciones. Por ejemplo, un amplificador operacional puede contener 30 ó 40 transistores; se usan para amplificar señales, generar tensiones de referencia y corrientes continuas para polarizar, reducir la ganancia en modo común, proporcionar energía a cargas externas sin sobrecalentamiento y proteger los amplificadores operacionales de sobrecargas accidentales destructivas. En circuitos digitales, los bipolares desarrollan algunas de estas mismas funciones, pero son más importantes como interruptores controlados por corriente. Estos interruptores electrónicos hacen posible la toma de decisiones a alta velocidad y, en combinación con una capacidad, proporcionan memoria digital.

Los bipolares se llaman así porque su funcionamiento depende del flujo de electrones y huecos. Según su estructura física, los transistores bipolares se dividen en dos categorías, npn y pnp. La Figura 4.1a, muestra la estructura de un transistor npn. Un semiconductor *monocristalino* se dopa alternativamente n, p, y n, con una *base* tipo p, emparedada entre el material tipo n del *emisor* y del *colector*. Las dos uniones pn, base-emisor y base-colector, funcionan exactamente como las uniones aisladas que estudiamos en el Capítulo 3 y cumplen las mismas ecuaciones. Sin embargo, el transistor se caracteriza por un nuevo principio; como las uniones coexisten dentro de la misma red cristalina, las uniones pueden comunicarse.

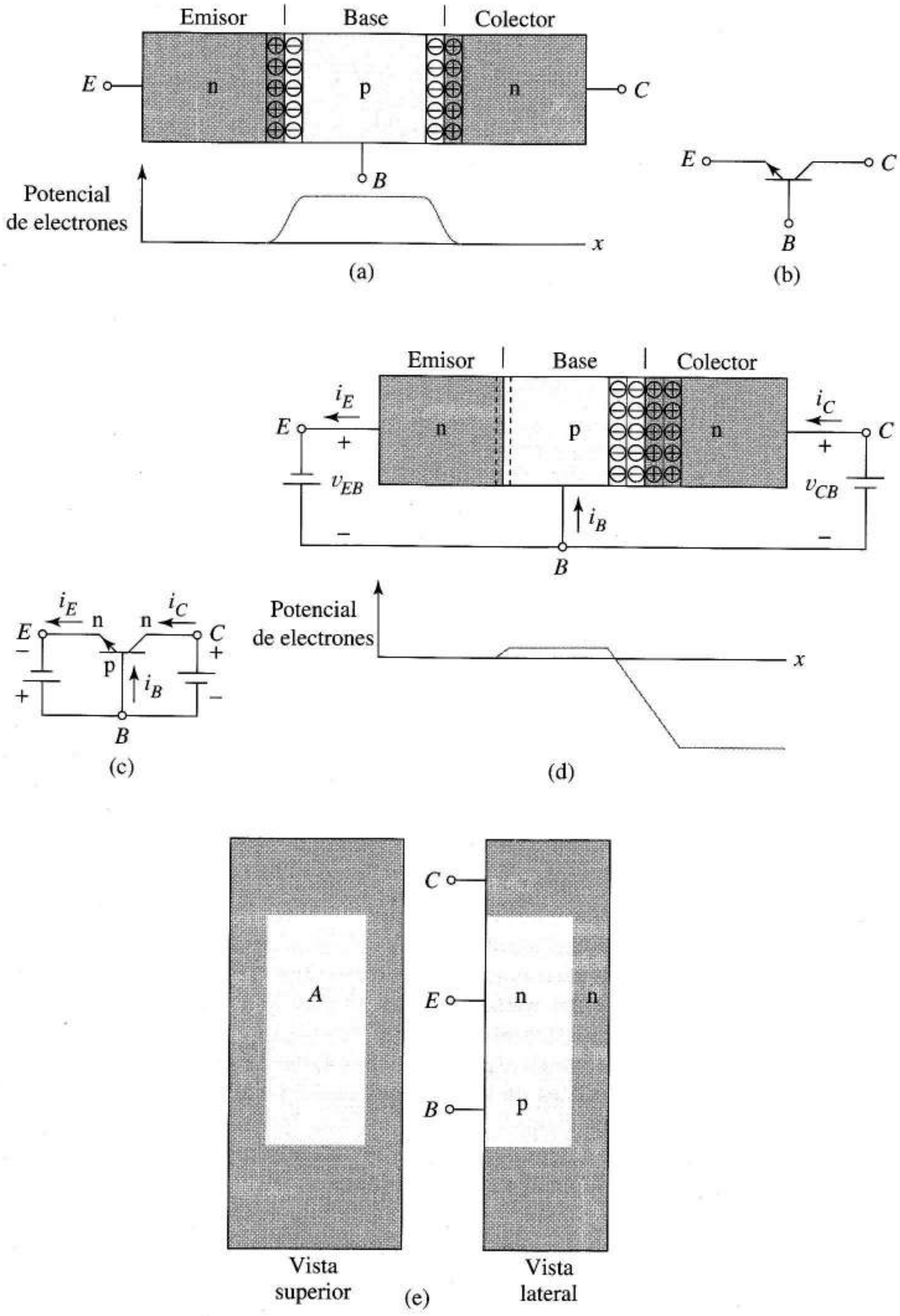


FIGURA 4.1 Transistor npn: a) estructura física esquematizada y diagrama del potencial de los electrones; (b) símbolo; (c) fuentes de polarización externas para el funcionamiento en zona activa; (d) anchos de las regiones de deplexión y potencial de los electrones durante el funcionamiento en zona activa; (e) geometría real.

La Figura 4.1a muestra las dos regiones de deplexión esperadas con sus iones asociados y también el diagrama del potencial de los electrones para el caso en que no se aplicase tensión externa. A los electrones del colector o del emisor les cuesta trabajo difundirse hacia la base en contra del campo eléctrico establecido por los iones de la red cristalina. Un potencial de barrera similar controla el movimiento de los huecos fuera de la región de base. Como en las uniones aisladas, estas barreras permiten pasar sólo a aquellos portadores de carga con energía cinética superior al potencial de barrera.

La Figura 4.1b, muestra el símbolo del transistor npn. La punta de flecha, siempre dirigida del material p al material n, identifica el emisor. Las aplicaciones de amplificación requieren *tensiones de polarización* externas como las mostradas en las Figuras 4.1c y d. (Estudiaremos las polaridades utilizadas para los interruptores de transistores más tarde). La batería en el circuito emisor-base se orienta para forzar corriente en la dirección de la cabeza de la flecha; la polarización base-colector es de polaridad opuesta. Cuando la unión base-emisor se polariza directamente y la unión base colector se polariza inversamente, como en el diagrama, decimos que el transistor está en *modo activo directo* o *modo de funcionamiento activo directo*.

Como muestra la Figura 4.1d, en estas condiciones de polarización directa se reduce el ancho de la región de deplexión base-emisor y aumenta el ancho de la región de deplexión base-colector respecto a los valores de la Figura 4.1a. El resultado de esta polarización es el cambio de potenciales de los electrones mostrados en las dos figuras. Bajar la barrera base-emisor provoca que los electrones sean continuamente *inyectados* desde el emisor hacia la base tipo p, donde se convierten en portadores minoritarios. Estos electrones minoritarios se difunden a través de la base, con una proporción alta α_t, el *factor de transporte*, que alcanza la región de deplexión base-colector y cayendo hacia el colector por la gran variación de potencial. Esta *colecta* de electrones inyectados es un suceso deseado, parte de la comunicación entre uniones que caracteriza al transistor.

Como los electrones inyectados son portadores minoritarios mientras están en la base, algunos se recombinan con los huecos de la región de base y, por lo tanto, no llegan a alcanzar el colector. Para minimizar esta recombinación y hacer α_t tan cercano a la unidad como sea posible, hacemos la base muy estrecha, sólo una fracción de la longitud de difusión. La vista lateral de la Figura 4.1a muestra cómo la geometría física de un transistor real tiene una base estrecha para ayudar a asegurar un α_t alto. Los electrones recolectados se suman directamente a la pequeña corriente de saturación inversa de la unión base-colector inversamente polarizada, las dos juntas forman la corriente de colector total.

La corriente de emisor externa i_E de las Figuras 4.1c y d proporciona continuamente electrones al emisor para reemplazar a aquéllos que son inyectados en la base, y la corriente de colector externa i_C elimina los electrones para hacer sitio a los que ha recolectado. Una pequeña corriente i_B elimina los electrones de la base, produciendo nuevos huecos para reemplazar a los que se pierden por recombinación con los electrones inyectados.

La Figura 4.2 muestra el flujo interno de electrones y su relación con las corrientes externas. También muestra un proceso de inyección secundario que tiene lugar simultaneámente en la unión emisor-base. El reducido potencial de barrera de esta unión también causa que los *huecos* sean inyectados desde la *base al emisor* como indica la flecha azul. Esta corriente de huecos es indeseable en el bipolar porque se suma a las corrientes convencionales de base y emisor sin contribuir a la comunicación entre uniones. Para hacer la fracción de electrones en los portadores inyectados, el *rendimiento de la inyección* γ, lo más cercana posible a la unidad, dopamos el emisor mucho más fuertemente que la base, esto es, $N_{d,emisor} >> N_{a,base}$. Esto da una ecuación del diodo base-emisor dominada por la corriente de electrones, el segundo término de la Ecuación (3.38). Como la unión base-colector está inversamente polarizada, la corriente de colector también contiene una componente de saturación inversa como indica la línea de trazos de la Figura 4.2. Esta, normalmente, es despreciable comparada con $\alpha_F i_E$.

En resumen, las componentes importantes de corriente de la Figura 4.2 se enumeran de la siguiente forma. De la corriente total de emisor, i_E, sólo una fracción, γi_E, es de electrones. Y de ésta, sólo una fracción α_t alcanza el colector y contribuye a la corriente de colector. Por lo tanto

$$i_C = \alpha_t \gamma i_E$$

o

$$i_C = \alpha_F i_E$$

donde $\alpha_F = \alpha_t \gamma$, la *alfa directa*, es un importante parámetro que describe la comunicación interna directa en el transistor. Valores de α_F dentro del margen 0,990 a 0,997 son comunes en transistores diseñados para aplicaciones analógicas de procesado de señal.

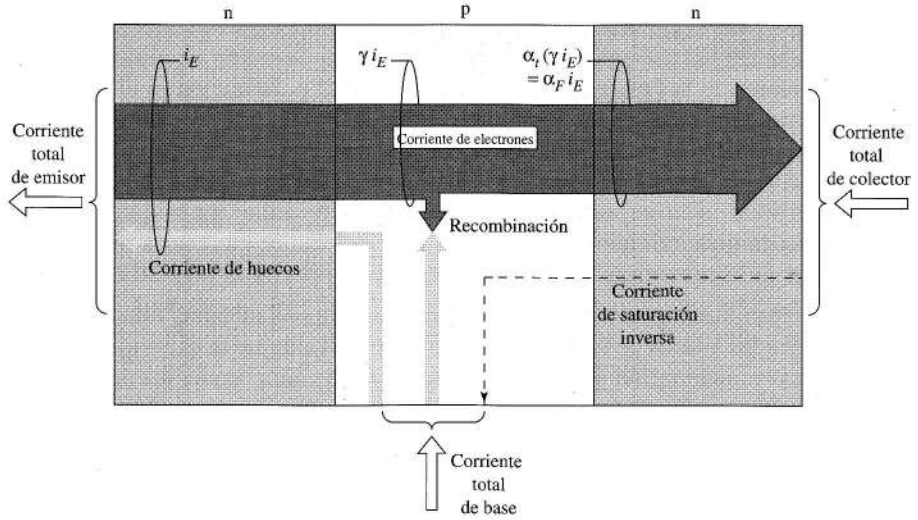


FIGURA 4.2 Flujo interno de cargas y corrientes externas de un transistor bipolar.

4.2 MODELO DE EBERS-MOLL

Hemos caracterizado el transistor como un par de uniones polarizadas opuestamente que poseen una conexión especial recogida en el parámetro α_F. Los investigadores Ebers y Moll introdujeron una descripción más general del transistor, el *modelo de Ebers-Moll*, que extiende estas ideas introductorias a cualquier *condición de polarización*. Mediante esta generalización vamos a entender los límites del funcionamiento en modo activo directo y, durante el proceso, descubrir cómo funciona el transistor como un interruptor.

El circuito equivalente de Ebers-Moll de la Figura 4.3 generaliza nuestra descripción introductoria, mostrando el transistor como un par de diodos conectados por los ánodos, con dos fuentes dependientes añadidas para tener en cuenta las interacciones especiales que pueden tener lugar en la configuración monocristal. Ambos diodos siguen la teoría y las ecuaciones que desarrollamos en el capítulo anterior, así que ya conocemos muchísimo acerca del transistor. Para generalizar nuestros conocimientos, sólo necesitamos justificar la fuente dependiente llamada α_R y explorar entonces las implicaciones de la interconexión.

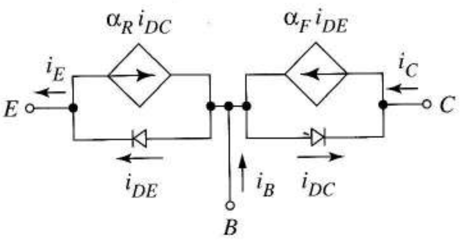


FIGURA 4.3 Circuito equivalente de Ebers-Moll.

Aplicando la ley de Kirchhoff de las corrientes al colector, da

$$i_C = \alpha_F i_{DE} - i_{DC}$$

donde i_{DC} es la corriente de diodo ordinaria en la unión colector-base y $\alpha_F i_{DE}$ representa la acción especial del transistor. Estas son exactamente las componentes de i_C que vemos en la Figura 4.2, donde supusimos que la unión base-colector estaba inversamente polarizada; sin embargo, la Figura 4.3 no supone nada sobre la polarización de las uniones. Después de sustituir las expresiones (3.32) por i_{DE} e i_{DC}, esta ecuación pasa a ser

$$i_C = \alpha_F I_{ES}\left(e^{v_{BE}/V_T} - 1\right) - I_{CS}\left(e^{v_{BC}/V_T} - 1\right) \tag{4.1}$$

donde I_{ES} e I_{CS} son las corrientes de saturación inversas de las respectivas uniones.

El modelo de Ebers-Moll es *tan* general que incluso describe el transistor funcionando inversamente, esto es, directamente polarizada la unión colector-base e inversamente polarizada la unión emisor-base. En este modo de funcionamiento *activo inverso*, los electrones inyectados desde el colector se difunden por la base y son colectados en el emisor; α_R es la *alfa inversa* del transistor. Igual que α_F, α_R es el producto de un rendimiento de la inyección por un factor de transporte, estando éstos definidos apropiadamente para el funcionamiento inverso.

La ley de Kirchhoff de la corriente en el emisor de la Figura 4.3 da

$$i_E = I_{ES}\left(e^{v_{BE}/V_T} - 1\right) - \alpha_R I_{CS}\left(e^{v_{BC}/V_T} - 1\right) \tag{4.2}$$

Como la geometría del transistor está optimizada para un factor de transporte directo grande (Figura 4.1e), el factor de transporte inverso es pequeño. El colector también está poco dopado respecto a la base para limitar la expansión de la región de deplexión dentro de la base. Esto da una proporción de inyección inversa pequeña. Por estas razones, la alfa inversa α_R, es considerablemente menor que uno, normalmente dentro del margen 0,05–0,5, al contrario que la alfa directa, α_F, que es casi uno.

Estudios de estado sólido más completos describen una *ley de reciprocidad*

$$\alpha_F I_{ES} = \alpha_R I_{CS} = I_S$$

que relaciona las dos corrientes de saturación inversas y define la magnitud I_S. Usando la reciprocidad para simplificar las Ecuaciones (4.1) y (4.2) da la forma final de las ecuaciones de Ebers-Moll

$$i_C = I_S\left(e^{v_{BE}/V_T} - 1\right) - \frac{I_S}{\alpha_R}\left(e^{v_{BC}/V_T} - 1\right) \tag{4.3}$$

$$i_E = \frac{I_S}{\alpha_F}\left(e^{v_{BE}/V_T} - 1\right) - I_S\left(e^{v_{BC}/V_T} - 1\right) \tag{4.4}$$

Como $\alpha_F \approx 1$, I_S es esencialmente la corriente de saturación inversa de la unión base-emisor, esto es, la misma que I_S en la Ecuación (3.39). Por lo tanto I_S es directamente proporcional al área A de la unión base-emisor, mostrada en la vista superior de la Figura 4.1e. En circuitos integrados, este área es un parámetro de diseño importante. Las Ecuaciones (4.3) y (4.4) muestran que los transistores con área grande, esto es, I_S grande, desarrollan corrientes altas para las mismas tensiones de unión. La proporcionalidad de I_S a n_i^2 en la Ecuación (3.39) y la aparición de V_T en los exponentes de las Ecuaciones (4.3) y (4.4) sugieren una fuerte dependencia de la temperatura de las ecuaciones del transistor.

El modelo, Figura 4.3 y las Ecuaciones (4.3) y (4.4) constituyen una descripción de gran señal no lineal y estática que explica muchos aspectos del funcionamiento del transistor en aplicaciones de comunicación y conmutación. Las ecuaciones son herramientas útiles de análisis cuando los computadores realizan los cálculos; sin embargo, no se prestan ni a cálculo manual ni a una comprensión clara del transistor. Para tratar con estos aspectos desarrollamos, a partir de las ecuaciones de Ebers-Moll, modelos simplificados del transistor que lo describen como un dispositivo de cuatro estados. Aunque algo artificial, este punto de vista es lógico, porque gran parte de la complejidad del transistor tiene su origen en los dispositivos internos de dos estados, las uniones pn.

TABLA 4.1 Definiciones de los estados del transistor

Estado del transistor o modo de funcionamiento	Polarización de las uniones: Base emisor	Polarización de las uniones: Base colector
Activo directo	Directa ($v_{BE} \geq V_\gamma$)	Inversa ($v_{BE} \leq V_\gamma$)
Transistor inverso	Inversa ($v_{BE} \leq V_\gamma$)	Directa ($v_{BE} \geq V_\gamma$)
Cortado	Inversa ($v_{BE} \leq V_\gamma$)	Directa ($v_{BE} \leq V_\gamma$)
Saturado	Directa ($v_{BE} \geq V_\gamma$)	Inversa ($v_{BE} \geq V_\gamma$)

Estados del transistor Los cuatro *estados* o *modos de funcionamiento* del bipolar corresponden a los cuatro posibles modos en que podemos polarizar las uniones del transistor. Utilizando fuentes externas podemos polarizar independientemente cada unión directa o inversamente, dando lugar a la definición de estados de la Tabla 4.1. Una característica crítica de estas aplicaciones es que polarización directa significa corriente apreciable que circula a través de la unión, y polarización inversa que circula corriente despreciable. Por lo tanto la tensión de codo $V_\gamma \approx 0{,}5$V en lugar de cero voltios es la tensión que mejor distingue la polarización directa de la inversa para transistores de silicio. La Figura 4.4 asocia las definiciones de los estados con cuatro regiones en un plano v_{BC}–v_{BE}, delimitados por líneas de trazos.

En el funcionamiento *activo directo*, el transistor se comporta como una CCCS, proporcionando la ganancia de potencia necesaria para los amplificadores y otras aplicaciones lineales. Los estados más importantes en circuitos de *interface* y computadores son los de *corte* y *saturación* en los que el transistor se aproxima, respectivamente, a un interruptor abierto y a un interruptor cerrado. El cuarto modo, *activo inverso*, se ve ocasionalmente pero no se usa mucho.

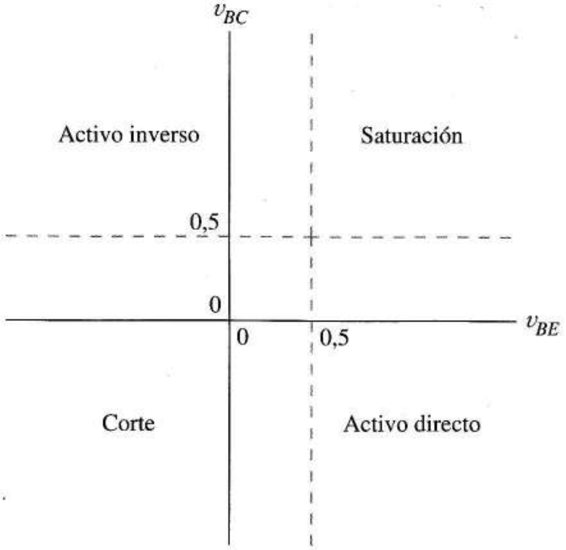


FIGURA 4.4 Estados del transistor definidos por la polarización de las uniones.

4.3 ESTADO ACTIVO DIRECTO

Al principio del capítulo supusimos funcionamiento activo directo para introducir una nueva idea: la interacción entre dos uniones pn. Ahora volvemos al funcionamiento activo directo, esta vez en un contexto más amplio. Comenzando por la descripción de Ebers-Moll, desarrollamos curvas características aproximadas y modelos para este modo de funcionamiento. Nuestro principal resultado será comprender que el bipolar funciona como una fuente de corriente controlada por corriente.

4.3.1 CONFIGURACIÓN DE EMISOR COMÚN

La mayoría de las veces el transistor funciona en la *configuración de emisor común*. Esto significa que el emisor es común a los circuitos de entrada y salida como en la Figura 4.5a. La fuente en el circuito de base polariza directamente la unión base-emisor. Una fuente de mayor tensión en el colector polariza inversamente la unión base-colector.

Ecuaciones Para tener funcionamiento activo directo fuerte, v_{BE} debería ser mucho mayor que la tensión de codo en las Ecuaciones (4.3) y (4.4) y entonces los términos que llevan v_{BE} son mucho mayores que uno. También suponemos que v_{BC} es mucho menor que la tensión de codo y por lo tanto las dos exponenciales que incluyen v_{BC} son mucho menores que uno. Estas suposiciones dan las ecuaciones aproximadas

$$i_C = I_S e^{v_{BE}/V_T} + \frac{I_S}{\alpha_R}$$

y

$$i_E = \frac{I_S}{\alpha_F} e^{v_{BE}/V_T} + I_S$$

Como en cada ecuación el segundo término es mucho menor que el primero, una aproximación excelente es

$$i_C = I_S e^{v_{BE}/V_T} \tag{4.5}$$

y

$$i_E = \frac{I_S}{\alpha_F} e^{v_{BE}/V_T} \tag{4.6}$$

Una implicación, ahora obvia, es

$$i_C = \alpha_F i_E \tag{4.7}$$

que describe el proceso físico de la Figura 4.2 excepto para pequeñas corrientes de saturación inversas en las uniones.

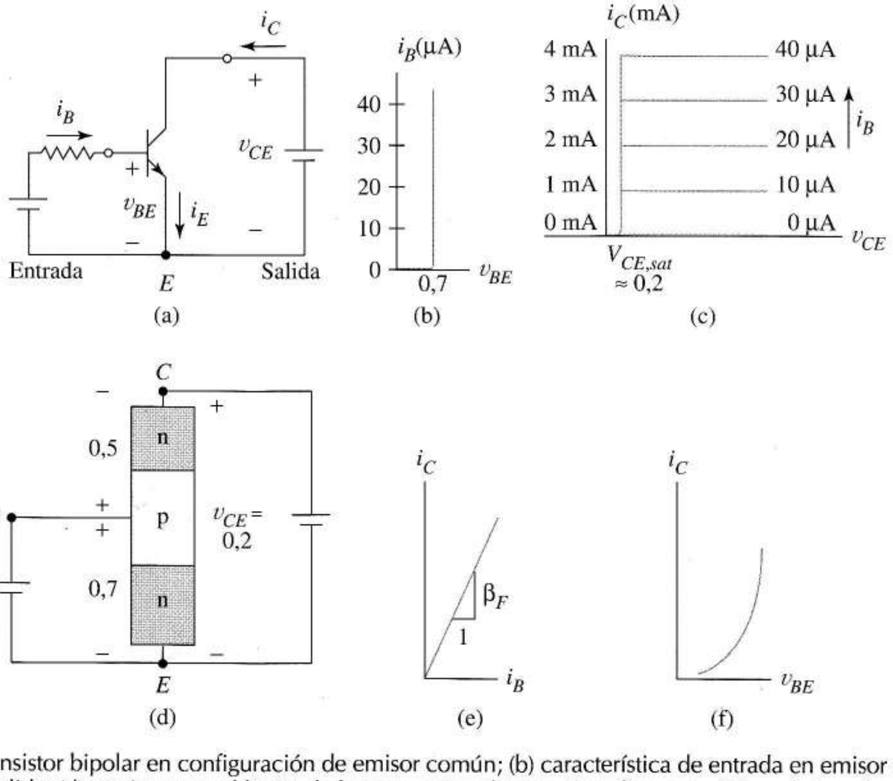


FIGURA 4.5 (a) Transistor bipolar en configuración de emisor común; (b) característica de entrada en emisor común; (c) característica de salida; (d) tensiones en el límite de la zona activa directa; (e) y (f) características de transferencia.

Aunque las Ecuaciones (4.5)-(4.7) son siempre válidas para el funcionamiento activo directo, las ecuaciones que incluyen sólo las variables de entrada y salida de la Figura 4.5a son más útiles. Para obtener tales ecuaciones, usamos la ley de Kirchhoff de la corriente

$$i_E = i_B + i_C \tag{4.8}$$

para eliminar la variable i_E en favor de la corriente de entrada i_B. Haciendo esto en la Ecuación (4.7) y despejando i_C da

$$i_C = \frac{\alpha_F}{1-\alpha_F} i_B$$

Después de definir la beta directa del transistor β_F, como

$$\beta_F = \frac{\alpha_F}{1-\alpha_F} \tag{4.9}$$

escribimos

$$i_C = \beta_F i_B \tag{4.10}$$

En contraste con α_F, un número cercano a uno y difícil de medir, β_F típicamente cae dentro del margen de 100 a 300 y es fácil de medir. Por tanto β_F es el parámetro que más a menudo se usa en el análisis y diseño de circuitos transistores.

El próximo desarrollo es una descripción de la entrada de esta configuración. Sustituyendo la Ecuación (4.10) en (4.8) da

$$i_E = i_B + \beta_F i_B$$

o

$$i_E = (\beta_F + 1) i_B \tag{4.11}$$

Ahora sustituimos i_E en la Ecuación (4.6) por (4.11) y resolvemos para i_B. Esto da una ecuación de entrada en emisor común

$$i_B = \frac{I_S}{\alpha_F(\beta_F + 1)} e^{v_{BE}/V_T} \tag{4.12}$$

Curvas características La característica de entrada del transistor en emisor común es una representación gráfica de la Ecuación (4.12). Para relacionar mejor esta curva con los modelos y márgenes de funcionamiento prácticos, a veces, dibujamos en forma aproximada, como en la Figura 4.5b.

Las características de salida del transistor, representaciones gráficas de la Ecuación (4.10) son la familia de curvas mostrada en su forma aproximada para $\beta_F = 100$ en la Figura 4.5c. Cuando se miden realmente, las curvas de corriente de base constante no continúan en el segundo cuadrante, pero en su lugar convergen en una sola línea vertical llamada *tensión de saturación colector-emisor*, $V_{CE,sat}$. La Figura 4.5d muestra que esto ocurre porque nuestra suposición de una unión base-colector inversamente polarizada pasa a ser inválida. Con v_{BE} a 0,7 V y con v_{BC} polarizada justo a la tensión de codo ($V\gamma \approx 0{,}5$V), v_{CE} es alrededor de +0,2 V. Por lo tanto, para $v_{CE} = V_{CE,sat} \approx 0{,}2$ V, la unión base colector no está totalmente polarizada en modo inverso y las ecuaciones de la zona activa alcanzan los límites de su validez, la zona de saturación, que examinaremos después.

El transistor bipolar activo tiene dos características de transferencia. Cuando la variable de entrada es la corriente de base, tenemos la Figura 4.5e, una representación de la Ecuación (4.10). A veces es útil usar tensiones como variables de entrada del transistor, por ejemplo cuando un transistor trabaja con corrientes bajas. Para este caso utilizamos la función de transferencia de la Figura 4.5f, una

representación de la Ecuación (4.5). Esta descripción exponencial nos permite visualizar y calcular más precisamente las tensiones de entrada para corrientes bajas en lugar de suponer simplemente $V_{BE} = 0{,}7$ como apunta la Figura 4.5b.

Circuito equivalente en gran señal Aprendimos en el Capítulo 1 que los modelos, o *circuitos equivalentes*, nos ayudan a entender cómo los dispositivos electrónicos interaccionan con otros elementos del circuito. Los *modelos de transistor de gran señal* desarrollados en esta sección se utilizan para estudiar circuitos de lógica digital y para analizar y diseñar circuitos de polarización de continua que son necesarios para los amplificadores.

Modelo de emisor común De la tensión casi constante de la Figura 4.5b y las curvas controladas por corriente de la Figura 4.5c, inferimos el *modelo de emisor común* de la Figura 4.6. Para transistores de silicio V_{BE} es 0,7 V. Cuando el símbolo del transistor bipolar aparece en el diagrama de un circuito, mentalmente visualizaremos este modelo. Esto nos ayuda a reconocer las restricciones del transistor: la base debe estar a V_{BE} voltios positivos respecto al emisor, y circula por el colector β_F veces la corriente de base independientemente de v_{CE} (debido a la fuente de corriente), siempre que $v_{CE} \geq V_{CE,sat}$. Observe en el diagrama que la ley de la corriente de Kirchhoff implica la Ecuación (4.11). A veces también es útil

$$i_E = \frac{(\beta_F + 1)}{\beta_F} i_C \tag{4.13}$$

que es fácil de obtener.

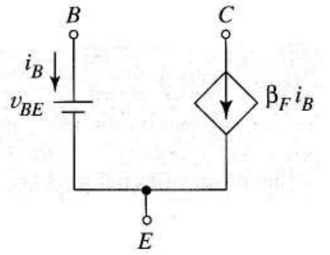


FIGURA 4.6 Modelo de gran señal para el transistor en emisor común.

4.3.2 ALMACENAMIENTO DE CARGAS MINORITARIAS

Podemos mejorar nuestro conocimiento general del funcionamiento activo directo examinando el almacenamiento de cargas minoritarias cerca de las uniones. Del estudio de la unión pn directamente polarizada, podemos esperar que la concentración de cargas minoritarias en la base sea una función exponencial como $n(x)$ en la Figura 3.60, en lugar de ser lineal como en la Figura 4.7. Esto es porque el ancho de base W es mucho menor que la longitud de difusión de los electrones, y porque el campo eléctrico en la unión de colector elimina los electrones tan rápido como llegan, obligando a ser cero a la concentración en el extremo de la base que limita con el colector.

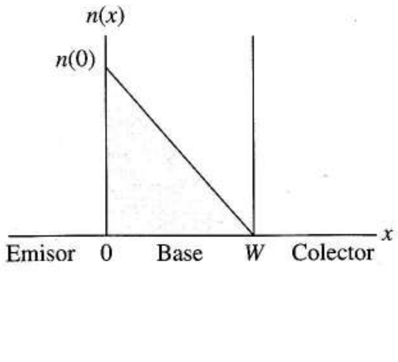


FIGURA 4.7 Exceso de carga de los minoritarios almacenada en la base de un transistor npn en zona activa.

La teoría de diodos, concretamente la Ecuación (3.34) para huecos inyectados nos dice que la concentración de electrones en el extremo de la base que limita con el emisor debe ser controlada por la tensión de la unión base-emisor $v_D = v_{BE}$; esto es

$$n(0) = \frac{n_i^2}{N_a} e^{v_{BE}/V_T} \tag{4.14}$$

donde n sustituye a p y N_a sustituye a N_d en la ecuación (3.34) porque estamos describiendo los electrones inyectados en lugar de los huecos. A continuación mostramos que la pendiente, −n(0) / W, de esta curva de concentración es proporcional a la corriente del colector.

Utilizando la Ecuación (4.14), la pendiente es

$$|\text{pendiente}| = \frac{n(0)}{W} = \frac{n_i^2}{WN_a} e^{v_{BE}/V_T} \tag{4.15}$$

A continuación sustituimos el factor exponencial de la Ecuación (4.5), dando

$$|\text{pendiente}| = \frac{n_i^2}{WN_a I_S} i_C \tag{4.16}$$

Este desarrollo está de acuerdo con considerar el transistor como un dispositivo controlado por tensión, por la siguiente razón. La tensión base-emisor en la Ecuación (4.15) es la variable independiente que controla $n(0)$ y por tanto, la pendiente de la distribución de carga de los minoritarios en la Figura 4.7. Como en la base los electrones circulan por difusión, cambiar esta pendiente controla la corriente de colector de acuerdo con la Ecuación (4.16). Como en el diodo, otra vez caracterizamos el funcionamiento esencial de un dispositivo importante en términos de una pequeña concentración de cargas de los minoritarios justo junto a la unión. Finalmente veremos que esta curva de concentración de carga de los minoritarios también tiene una gran relación con la dinámica del transistor.

4.4 ESTADOS DE CORTE, SATURACIÓN Y ACTIVO INVERSO

Hemos desarrrollado ecuaciones aproximadas, curvas características, y modelos para el estado activo directo aplicando nuestras definiciones de estado directamente a las ecuaciones de Ebers-Moll. También podríamos examinar los otros estados del transistor de esta forma; sin embargo dejamos esto para los problemas propuestos. En su lugar usamos las curvas características del transistor, el circuito de la Figura 4.3 y nuestra intuición para explorar los tres estados restantes, un enfoque que proporciona una buena perspectiva general del transistor.

4.4.1 ESTADOS DEL TRANSISTOR Y SUS ZONAS DE FUNCIONAMIENTO

La Figura 4.8b muestra en su forma simplificada las características de salida de un transistor en emisor común; cada modo de funcionamiento corresponde al funcionamiento en una zona particular.

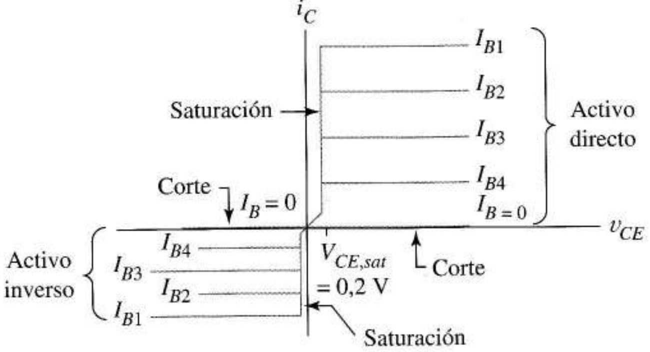


FIGURA 4.8 Zonas de funcionamiento para los cuatro estados del transistor sobre las curvas características de salida.

Primero debemos entender que cada valor de la corriente de base, por ejemplo, $i_B = I_{B1}$, determina una curva continua que se extiende desde el primer cuadrante hasta el tercer cuadrante. Las zonas del primer y tercer cuadrante donde las líneas de corriente de base constante parecen converger en una sola curva corresponden a la saturación. Si ampliamos la escala de v_{CE} en la zona de saturación, podemos distinguir curvas individuales; sin embargo, la escala de la Figura 4.8b es más apropiada para los fines del modelado simple. A esta escala, la zona de saturación del primer cuadrante se parece a una línea de tensión constante a la tensión de saturación $v_{CE,sat}$. Para un transistor de silicio, $V_{CE,sat} \approx 0.2$ V. El eje de tensión, marcado como $I_B = 0$, es la *zona de corte*. El funcionamiento activo directo ocurre en la zona del primer cuadrante limitada por la saturación y el corte. Como el funcionamiento activo directo es frecuente y el funcionamiento *activo* inverso bastante raro, a partir de aquí, el término activo implica funcionamiento activo directo. Tambien el simbolo b se llamara a partir de aqui bF, a no ser que se indique lo contrario.

4.4.2 CORTE

Cuando ambas uniones están inversamente polarizadas, los diodos de la Figura 4.3 se aproximan a circuitos abiertos. Como las corrientes de los diodos controlan las fuentes dependientes, estas fuentes también se apoyan en el apagado. El resultado es el modelo de corte de la Figura 4.9a, que es adecuado para la mayoría de los casos. Este circuito es coherente con el funcionamiento en la zona de corte de la Figura 4.8: $i_C = i_B = 0$.

La Figura 4.9b, un modelo para el corte de mayor precisión, es útil para estudiar transistores cortados a temperaturas altas. La corriente continua sensible a la temperatura, I_{CBO}, se mide abriendo el circuito de emisor y midiendo la corriente de colector a base que resulta de la polarización inversa de la unión colector-base. A menudo el fabricante da este valor en las hojas de características del transistor. I_{CBO} es bastante pequeña, típicamente del orden de picoamperios.

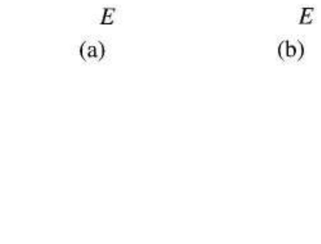


FIGURA 4.9 Modelos de corte de gran señal: (a) modelo simple; (b) modelo para temperaturas altas.

4.4.3 SATURACIÓN

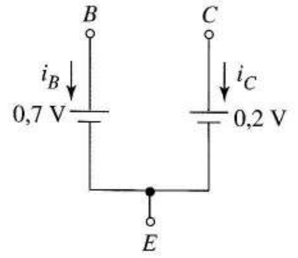


FIGURA 4.10 Modelo para un transistor saturado.

Ahora consideremos la zona de saturación del primer cuadrante en la Figura 4.8. Como las curvas convergen en una línea constante v_{CE}, una fuente de continua, $V_{CE,sat} \approx 0.2$ V conecta el colector y el emisor en el modelo para la saturación de la Figura 4.10. La unión base-emisor está polarizada directamente, así que el modelo de saturación emplea una fuente continua de entrada de $V_{BE} = 0{,}7$ V entre base y emisor. En saturación, el transistor *no funciona como una fuente de corriente controlada por corriente*, e $i_C = \beta_F \, i_B$ normalmente no se aplica. De hecho, estableceremos que una condición necesaria para que el transistor esté saturado es

$$\beta i_B \geq i_C \tag{4.17}$$

4.4.4 FUNCIONAMIENTO ACTIVO INVERSO

En funcionamiento activo inverso, los papeles de emisor y colector se invierten respecto al activo directo. Por tanto el equivalente de la Figura 4.11a muestra la fuente de 0,7 V conectada entre base y colector y la fuente dependiente dirigida del emisor al colector. La corriente de base es $\beta_R i_B$ donde

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

define la *beta inversa* del transistor. Comparando las Figuras 4.11a y b vemos que nuestro nuevo modelo redefine el sentido de referencia de la corriente de emisor. En términos de sentidos de referencia de corriente hemos estado usando, $\beta_R i_B = -i_E$. Por la ley de la corriente de Kirchhoff en la Figura 4.11b

$$i_C = i_E - i_B = -(\beta_R + 1) i_B$$

Esta ecuación describe las curvas del tercer cuadrante en la Figura 4.8. Como $\beta_R + 1 << \beta_F$, las curvas del tercer cuadrante están menos separadas que las curvas del primer cuadrante. La recta de carga, introducida en la próxima sección, nos ayuda a saber cómo polarizar el transistor para cualquiera de estos modos de funcionamiento utilizando resistencias y fuentes de tensión.

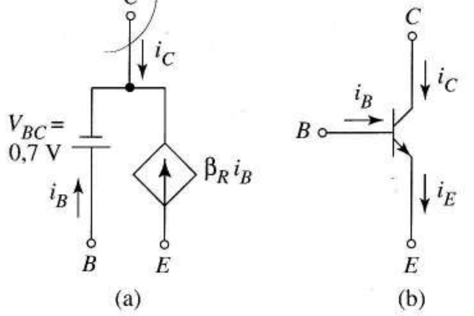


FIGURA 4.11 Modelo para un transistor bipolar en funcionamiento activo inverso.

4.5 LA RECTA DE CARGA

La *recta de carga* es una ayuda gráfica y la usamos para obtener las corrientes y tensiones de un dispositivo cuando está descrito por sus curvas características. Incluso cuando las curvas del dispositivo no están disponibles (a menudo), la recta de carga es todavía una ayuda conceptual utilísima para visualizar el funcionamiento del dispositivo.

4.5.1 RESTRICCIÓN DE LA RECTA DE CARGA

Considere el problema de obtener la tensión y corriente de entrada en la Figura 4.12a cuando V_{BB} y R_B son conocidas. Las variables de entrada deben cumplir simultáneamente dos restricciones. Como coordenadas de un punto de la característica de entrada del transistor, i_B y v_{BE} deben estar en algún sitio de esa curva no lineal. Deben cumplir también una condición lineal impuesta por el circuito externo. De la Figura 4.12 se obtiene esta ecuación

$$i_B = \frac{V_{BB} - v_{BE}}{R_B} \tag{4.18}$$

En el sistema de coordenadas v_{BE}–i_B que utilizamos para la característica de entrada, la Ecuación (4.18) describe una línea recta de pendiente $-1/R_B$ llamada la recta de carga de entrada. Es fácil construir esta línea porque siempre pasa por los puntos

$$(v_{BE}, i_B) = (V_{BB},\ 0)$$

y

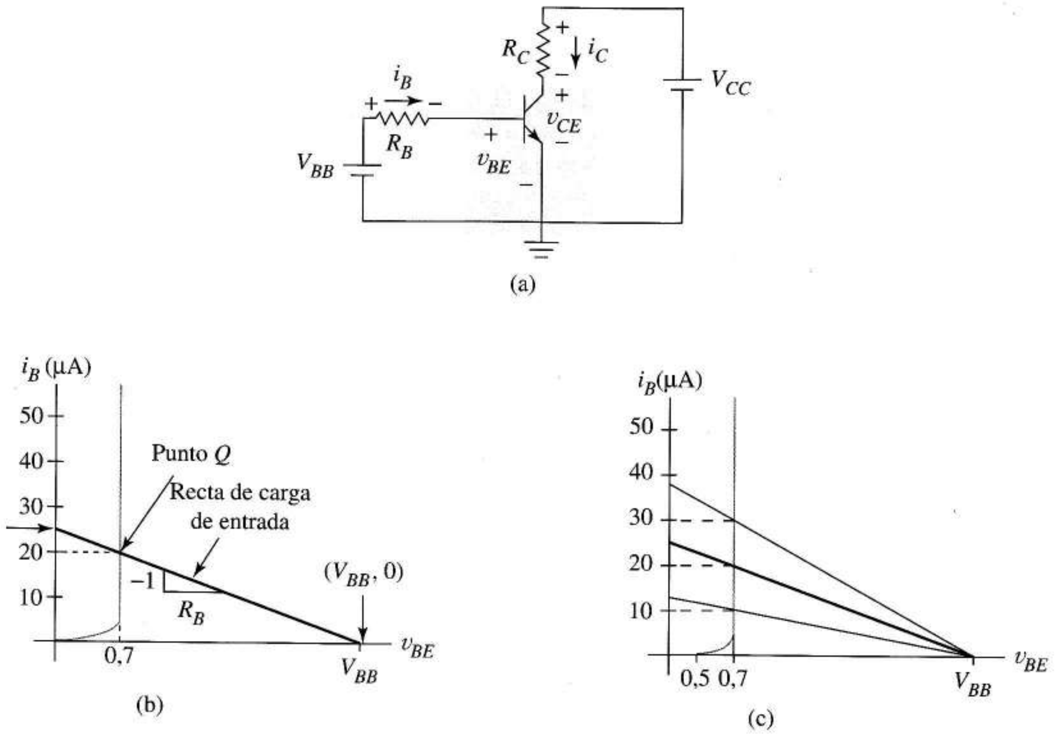
$$(v_{BE}, i_B) = (0, V_{BB}/R_B)$$

y tiene una pendiente de $-1/R_B$, como vemos en la Figura 4.12b. La intersección de la recta de carga y la característica de entrada del transistor representa la solución simultánea a las condiciones del circuito y el dispositivo. El punto de intersección se llama el *punto de funcionamiento estático, punto de funcionamiento*, o *punto Q*. Para la recta de carga de la figura, la corriente de base es 20 μA y la tensión base-emisor es 0,7 V.

Podemos cambiar el punto Q cambiando R_B. Si mantenemos V_{BB} constante, cambiamos la pendiente de la recta de carga pero no su intersección con el eje de tensión. En la Figura 4.12c vemos que una resistencia más pequeña puede incrementar la corriente de base a 30 μA; una resistencia mayor puede dar $i_B = 10$ μA. Para R_B suficientemente grande, v_{BE} cae por debajo de 0,7 V. Podemos mover también el punto Q cambiando V_{BB} y dejando fija la resistencia. Esto desplaza la recta de carga a la derecha o la izquierda sin cambiar la pendiente.

Consideremos ahora la obtención de las magnitudes de salida, i_C y v_{CE} en la Figura 4.12a. Una vez que la corriente de base está fijada a $i_B = I_B$, las variables de salida tienen que estar en algún lugar de la curva de salida del transistor marcada con I_B, por ejemplo, la curva en negrita $i_B = 20$ μA de la Figura 4.12d. La corriente y tensión de colector deben cumplir las condiciones del circuito de la Figura 4.12

$$i_C = \frac{V_{CC} - v_{CE}}{R_C}$$



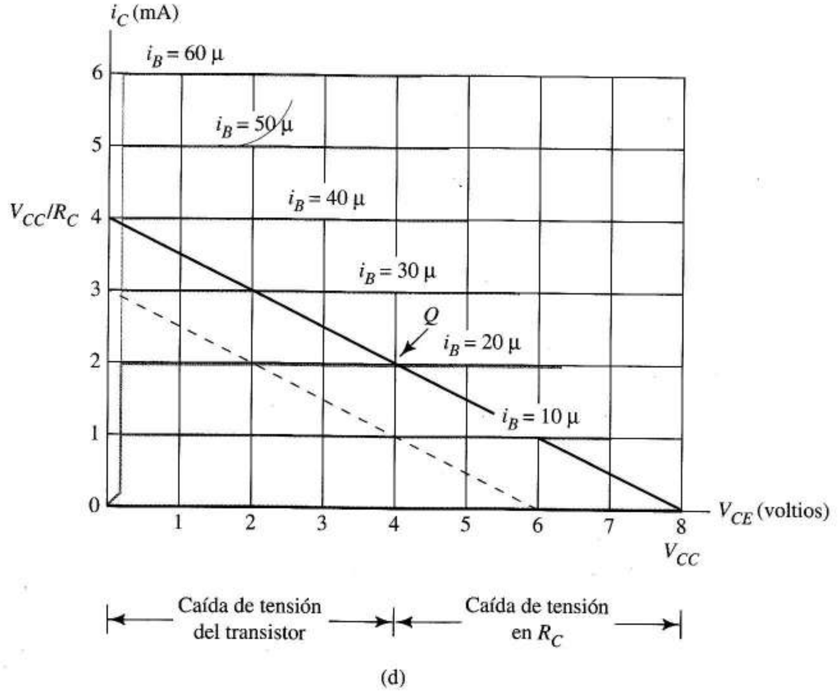


FIGURA 4.12
Obtención del punto de funcionamiento usando las rectas de carga: (a) circuito; (b) recta de carga del circuito de entrada; (c) cambios en el punto de funcionamiento al cambiar R_B; (d) recta de carga de salida y punto de funcionamiento.

Para hallar el punto que las cumpla simultánamente construimos la recta de carga sobre la característica de salida y obtenemos su intersección con la curva $i_B = I_B$. La recta de carga de salida pasa por los puntos $(v_{CE}, i_C) = (V_{CC}, 0)$ y $(v_{CE}, i_C) = (0, V_{CC} / R_C)$, y su pendiente es siempre $-1/ R_C$. La recta de carga del circuito de salida se muestra en la Figura 4.21d para $V_{CC} = 8$ V y $R_C = 2$ kΩ. Si el circuito polarizador de entrada fija la corriente de base a 20 μA, vemos que el punto de funcionamiento es $(v_{CE}, i_C) = (4$ V, 2 mA). Como la coordenada de tensión del punto Q del circuito de salida es $V_{CE} = 4$ V, también podemos obtener gráficamente la caída de tensión en R_C,$V_{CC} - v_{CE} = 8 - 4 = 4$ V.

Si ahora la corriente de base crece hasta 30 μA, reduciendo la resistencia en serie con la base, el punto Q se mueve a la intersección de la recta de carga y la curva $i_B = 30$ μA, $(V_{CE}, I_C) = (2$ V, 3 mA). En este nuevo punto Q, habría $8 - 2 = 6$ voltios de caída en R_C y 2 V en el transistor. Como R_C está en serie con el colector del transistor, la corriente en la resistencia es también $i_C = 3$ mA.

Podemos cambiar el punto Q del circuito de salida cambiando V_{CC} y/o R_C. Por ejemplo, la Figura 4.12d muestra que con i_B fija a 20 μA, bajando V_{CC} a 6 V se desplaza la recta de carga a la línea de trazos, haciendo $v_{CE} = 2$ V.

Ejercicio 4.1 a) Obtener la corriente de base para el transistor de la Figura 4.12a si $V_{BB} = 5$ V y $R_B = 430$kΩ.

Sugerencia Suponer que el transistor trabaja en la porción vertical de la Figura 4.12c para comprobar después la suposición.

b) Dada la polarización del circuito de base de la parte (a), utilizar una recta de carga y la Figura 4.12d para obtener el punto Q si $V_{CC} = 6$ V y $R_C = 1{,}2$ kΩ.

Respuesta $I_B = 10$ μA, $(V_{CE}, I_C) = (4{,}8$ V, 1 mA).

En la Sección 4.9 veremos que las características de salida del transistor no son siempre horizontales y uniformemente separadas como nos gusta suponer. El Problema 4.13 demuestra que las técnicas de recta de carga son útiles para estos casos más realistas.

A continuación usamos las rectas de carga para mostrar como el punto Q de salida puede ser posicionado en cualquier lugar que se desee del primer cuadrante. El desarrollo también contribuye fuertemente a nuestra comprensión de la saturación del transistor.

4.5.2 ESTUDIO DE LA RECTA DE CARGA DE SATURACIÓN

Para comprender como se saturan los transistores en cualquier circuito, consideremos el efecto producido al aumentar gradualmente V_{BB}, en la Figura 4.13a, de 0 a 8 V. Cuando $V_{BB} = 0$, la recta de carga 1 de la Figura 4.13b muestra $i_B = 0$. En la recta de carga de salida de la Figura 4.13c, para $i_B = 0$ el punto Q está en (8 V, 0 mA); el transitor está cortado. Como V_{BB} crece de 0 a V_γ en la Figura 4.13b, i_B permanece a cero, el transistor cortado y el punto Q en la Figura 4.13c no cambia.

Para $V_{BB} > V_\gamma$, la corriente de base crece con V_{BB} (ver 2 en la Figura 4.13b) y, por lo tanto, el punto Q se mueve hacia arriba sobre la recta de carga dentro de la zona activa en la Figura 4.13c. Una vez que la recta de carga se mueve más allá de la posición 2 en la Figura 4.13b, la corriente de base crece con V_{BB} de acuerdo con

$$i_B = \frac{V_{BB} - 0{,}7}{120\text{k}}$$

el valor que se obtendría utilizando nuestro circuito equivalente.

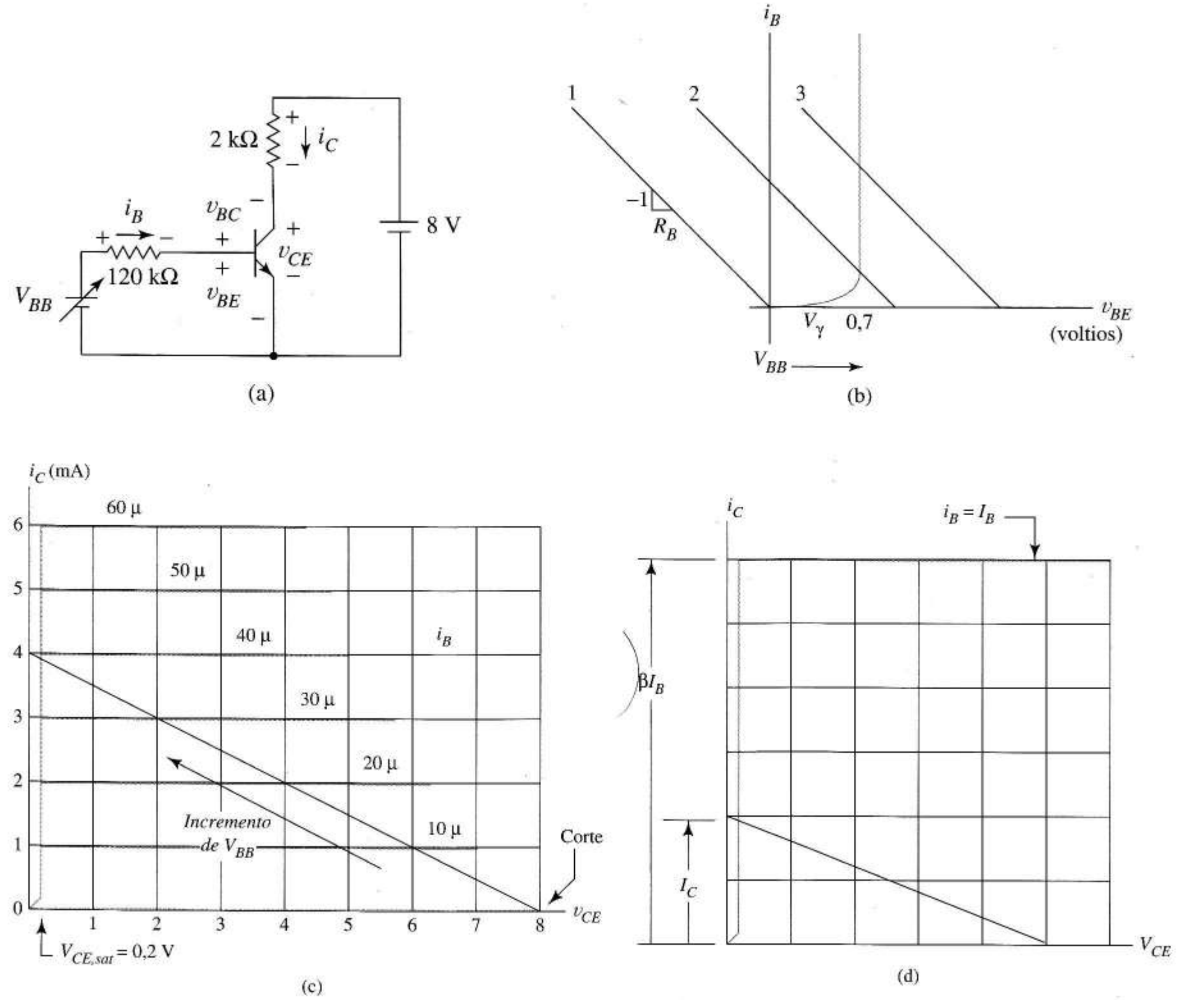


FIGURA 4.13 Uso de fuentes externas para establecer el punto de funcionamiento del transistor: (a) diagrama del circuito; (b) rectas de carga de entrada; (c) características de salida y recta de carga; (d) significado gráfico de un transistor saturado.

Cuando la corriente de base alcanza 39 μA en la Figura 4.13c, el transistor alcanza la saturación. Como la caída de tensión base-emisor es 0,7 V, a partir de la última ecuación predecimos que el valor límite de saturación de la corriente de base, $I_{B,EOS}$, ocurre cuando

$$i_{B,EOS} = 39\mu A = \frac{V_{BB,EOS} - 0{,}7}{120\text{k}}$$

o $V_{BB,EOS}$ = 5,38 V. *En este punto* ambos circuitos equivalentes, activo y de saturación, son correctos, es decir, $i_C = \beta_F i_B$ de la Figura 4.6 y v_{CE} = 0,2 V de la Figura 4.10, son ambos ciertos. Para incrementos posteriores de V_{BB}, *la corriente de base continua creciendo* (ver Figura 4.13b) pero la *corriente de colector permanece constante* a su valor límite de saturación, aproximadamente 3,9 mA

en la Figura 4.13c. Como las curvas para $i_B \geq 39$ μA descienden todas juntas a lo largo de la línea vertical de saturación, el punto Q permanece en la intersección de la recta de carga y la línea $v_{CE} = V_{CE,sat}$. Esta es la razón por la que (4.17) es necesaria para que un transistor esté saturado.

Cuando es necesario saturar un transistor, lo normal es saturarlo "profundamente" de forma que $\beta_F i_B >> i_C$. La Figura 4.13d muestra gráficamente la idea. Por ejemplo, cuando $V_{BB} = 8$ V en la Figura 4.13a

$$I_B = \frac{8-0{,}7}{120\text{k}} = 60{,}8\mu A$$

Para esta corriente de base, la Figura 4.13c muestra que $\beta_F I_B \approx 6{,}0$ mA mientras $I_C \approx 3{,}9$ m A. Una medida cuantitativa del grado de saturación de un transistor saturado es la *beta forzada*, definida para el *transistor saturado* por

$$\beta_{forzada} = \frac{i_C}{i_B}\bigg|_{\text{transistor saturado}}$$

La igualdad $\beta_{forzada} = \beta_F$ se aplica al transistor justo en el límite de saturación. $\beta_{forzada} < \beta_F$ implica un transistor dentro de la zona de saturación. Cuando la corriente de base en la Figura 4.13c es 60 μA, por ejemplo, $\beta_{forzada} = 3{,}9$ m A/ 60 μA = 65. De la separación de las curvas características vemos que $\beta_F = 100$, por tanto $\beta_{forzada} < \beta_F$ cuando $I_B = 60$ μA.

Como los transistores saturados trabajan con corrientes de base muy grandes, algunos autores usan un valor de 0,75 ó 0,8V para la tensión base-emisor en el modelo de saturación de la Figura 4.14. También, usan valores de $V_{CE,sat}$ menores que 0,2 para un transistor profundamente saturado. En este libro utilizaremos $V_{BE} = 0{,}7$ V y $V_{CE,sat} = 0{,}2$ V para un transistor saturado a menos que se indique lo contrario.

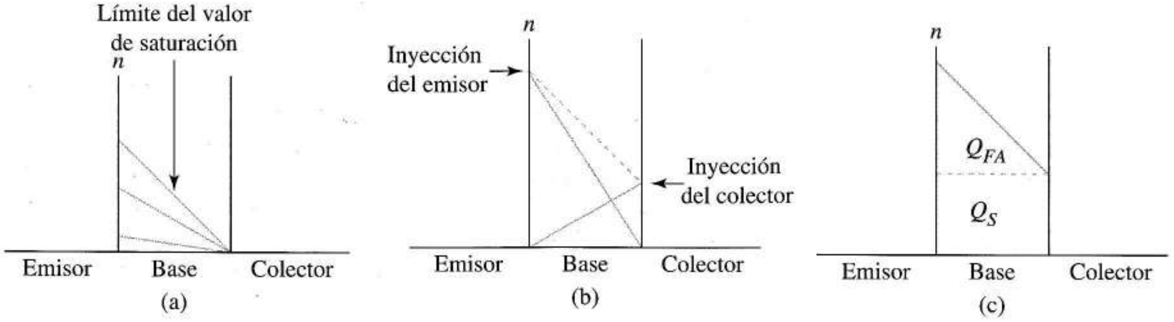


FIGURA 4.14 Concentración de electrones minoritarios en la base: (a) durante el funcionamiento en zona activa: (b) cuando se lleva el transistor a saturación; (c) para un transistor saturado.

Almacenamiento de carga de minoritarios para el transistor saturado La Figura 4.14 muestra que la concentración de carga de los minoritarios aumenta en la base a medida que V_{BB} aumenta en la Figura 4.13. Cuando el transistor esté activo, aumentos de v_{BE} causan una mayor concentración de electrones en el límite con el emisor, mayor pendiente y mayor corriente de colector como en la Figura 4.14a, hasta que se alcanza el valor límite de saturación. Una vez que el transistor entra en saturación, el perfil de la curva de exceso de carga almacenada de minoritarios cambia radicalmente. En saturación la tensión colector-emisor *pasa* a ser constante, 0,2 V aproximadamente. Como

$$v_{BE} = v_{BC} + v_{CE} = v_{BC} + 0{,}2$$

incrementos adiccionales de v_{BE} se traducen en incrementos *iguales* de v_{BC} en el transistor saturado, haciendo que se inyecten electrones en la base desde el colector y el emisor. La concentración de carga de los minoritarios resultante (línea de trazos) en la Figura 4.14b es la superposición de concentraciones individuales creadas porque los incrementos idénticos de v_{BE} y v_{BC} aumentan las alturas de los triángulos sólidos. Si saturamos más profundamente el transistor, la concentración de carga de los minoritarios crece con la pendiente de la concentración de carga y, por tanto, la corriente de colector permanece constante.

Para un transistor saturado, es útil ver la concentración de carga de los minoritarios como la superposición de perfiles rectangulares y triangulares como en la Figura 4.14c. Podemos calcular la carga total de los minoritarios Q_T, almacenada en la base a partir de

$$Q_T = qA\int n(x)dx = Q_{FA} + Q_S$$

donde q y A son la carga del electrón y el área de la unión. Esta ecuación expresa Q_T, como la suma de Q_{FA}, causada por el funcionamiento activo directo en el límite de la saturación, y Q_S, la carga extra añadida cuando el transistor es llevado a saturación. En la Figura 4.14c cada parte de la curva de concentración está marcada con la carga de los minoritarios que contiene en la base tridimensional del transistor. Para sacar al transistor de saturación, primero es necesario eliminar Q_S culombios de carga de la base. Sólo después de hacer esto podemos reestablecer el funcionamiento activo. Este importante efecto dinámico se estudia en la Sección 4.11.

4.6 TRANSISTOR pnp

Las Figuras 4.15a y b muestran la estructura física y el símbolo para un *transistor pnp*. Para el funcionamiento activo directo polarizamos directamente la unión emisor-base, inyectando huecos en la base. La fracción α_t que se difunde por la base sin recombinarse se recupera en la unión inversamente polarizada CB. De hecho, el funcionamiento es el mismo que para el transistor npn, excepto que los papeles de electrones y huecos se intercambian. Consecuentemente, todas las corrientes y tensiones tienen signos algebraicos opuestos a los del transistor npn. Las direcciones de referencia de la Figura 4.15a son las reales de las corrientes continuas convencionales. En el esquema del pnp de la Figura 4.15b las flechas del emisor apuntan en la dirección p-n relativo al transistor real. La batería, que polariza directamente la unión emisor-base, fuerza corrientes de emisor convencionales en la dirección de la flecha.

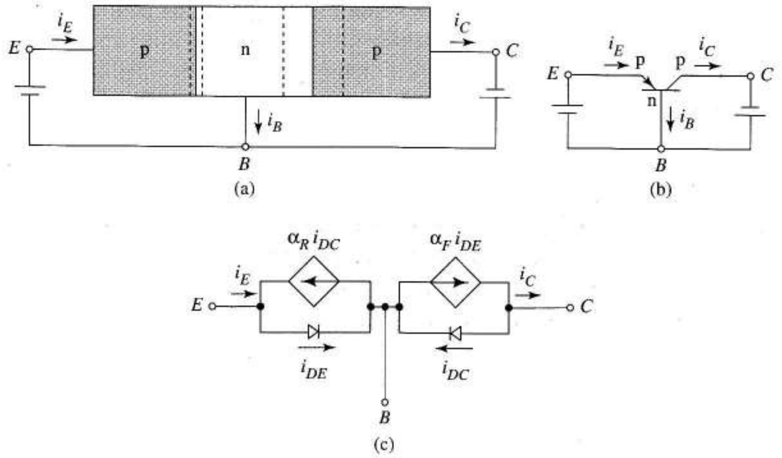


FIGURA 4.15 Transistor pnp: (a) estructura física polarizada para el funcionamiento en zona activa; (b) símbolo; (c) modelo de Ebers-Moll.

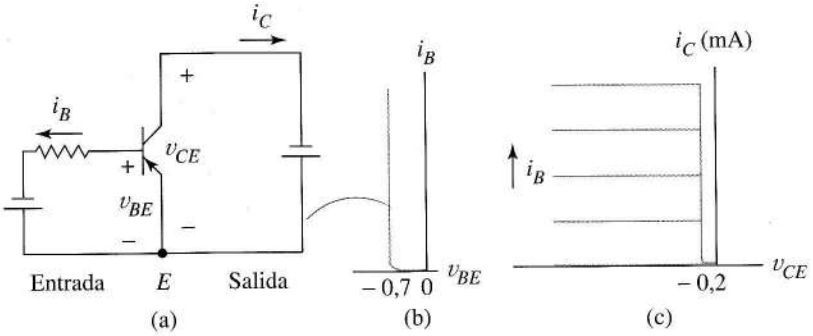


FIGURA 4.16 Transistor pnp en configuración de emisor común: (a) polarización y direcciones de las corrientes; (b) característica de entrada; (c) característica de salida.

Un desarrollo que refleje exactamente los detalles resueltos para el transistor npn muestra que el modelo de Ebers-Moll de la Figura 4.15c nos conduce a una descripción matemática, curvas características y modelos. Aquí sólo se recogen los resultados. La Figura 4.16a muestra la polaridad de las fuentes de polarización necesarias para el funcionamiento activo directo en emisor común. Las Figuras 4.16b y c muestran, respectivamente, las características de entrada y salida. En este texto, usamos las características del segundo cuadrante para dispositivos pnp con la idea de utilizar ecuacións idénticas dondequiera que sea posible para ambas clases de transistores. Otros prefieren reflejar cada curva en el primer cuadrante invirtiendo el orden de los subíndices, usando entonces v_{EB} y v_{EC} como variables independientes.

La Figura 4.17 muestra los circuitos equivalentes activo directo, de corte y saturación para el transistor pnp. Los equivalentes de corte para los transistores pnp y npn son idénticos; los modelos activo y de saturación difieren sólo en la orientación de las fuentes.

4.7 ANÁLISIS DEL PUNTO Q

"Análisis de un circuito" significa obtener sus tensiones y corrientes dado cuando los valores de los componentes son conocidos. La complicación en circuitos que contienen transistores bipolares es que cada transistor puede estar en cualquiera de los cuatro estados posibles. Cuando las curvas características del transistor están disponibles y el circuito es simple, podemos usar el método de la recta de carga de la Sección 4.5 para el análisis del circuito. Para circuitos más generales usamos los circuitos equivalentes del transistor. Primero aprenderemos a analizar un circuito cuando el estado del transistor bipolar es conocido. Después iremos a problemas de análisis más generales.

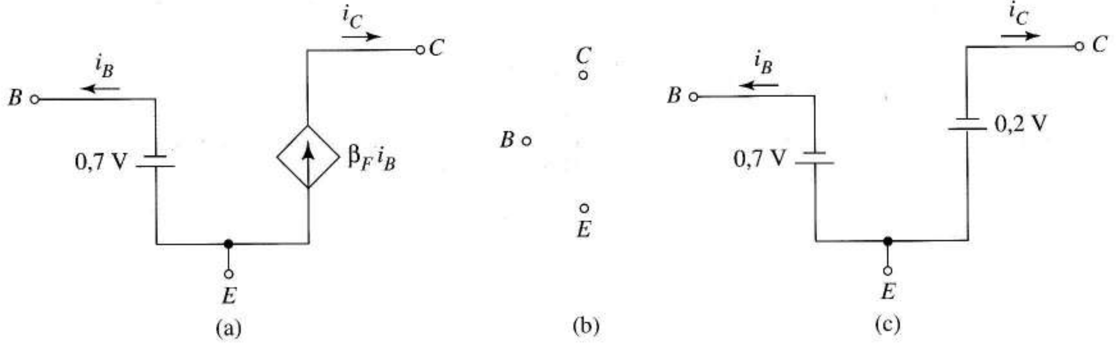


FIGURA 4.17 Modelos pnp de gran señal: (a) zona activa; (b) zona de corte; (c) zona de saturación.

4.7.1 ANÁLISIS CUANDO EL TRANSISTOR ESTÁ ACTIVO

En amplificadores y otros circuitos lineales, los transistores trabajan en su estado activo directo. Conociendo esto, podemos reeemplazar cada transistor por el modelo de la Figura 4.6 ó 4.17a, y analizar entonces el circuito equivalente resultante. Normalmente el objetivo del análisis del circuito incluye la obtención de las coordenadas del punto Q, (V_{CE}, I_C) para cada transistor. Otra técnica, el análisis de beta infinita, es menos fiable, pero útil en caso especiales.

Análisis usando modelos de gran señal Los siguientes ejemplos y ejercicios ilustran el análisis utilizando el modelo activo directo.

EJEMPLO 4.1 El transistor de la Figura 4.18a está polarizado en funcionamiento activo directo. Obtener el punto de funcionamiento en continua (V_{CE}, I_C) del transistor.

Solución Primero reemplazamos el transistor por su modelo activo directo, Figura 4.6, como en la Figura 4.18b. Aplicando la ley de la corriente de Kirchhoff en el nodo del emisor da

$$I_B + 20I_B = 2 \text{ m}A$$

Por lo tanto, $I_B = 0{,}0095$ mA e $I_C = 20\ I_B = 1{,}90$ mA, la primera coordenada del punto Q. En términos de tensiones de nodos, la segunda coordenada es

$$V_{CE} = V_C - V_E$$

Como la diferencia de tensión entre el nodo del colector y la alimentación de 10 V es la caída de tensión en la resistencia de 1,5kΩ.

$$V_C = 10 - 1{,}5\text{k}I_C = 7{,}15\text{V}$$

Para obtener V_E, comenzamos en la alimentación y restamos las caídas de tensión en el circuito de base. El resultado es

$$V_E = 10 - 56\text{k}I_B - 0{,}7 = 3{,}98\text{V}$$

(Cuando la suma de caídas de tensión entre nodos tenga dos posibilidades como en este caso, evite siempre el camino que contiene fuentes de corriente, porque las tensiones de las fuentes de corriente son desconocidas.) De V_C y V_E

$$V_{CE} = 7{,}15 - 3{,}98 = 3{,}17\text{V}$$

Visualizar nuestros resultados en términos de las características de salida como en la Figura 4.18c confirma que el punto de funcionamiento está bien dentro de la región activa como supusimos. ❑

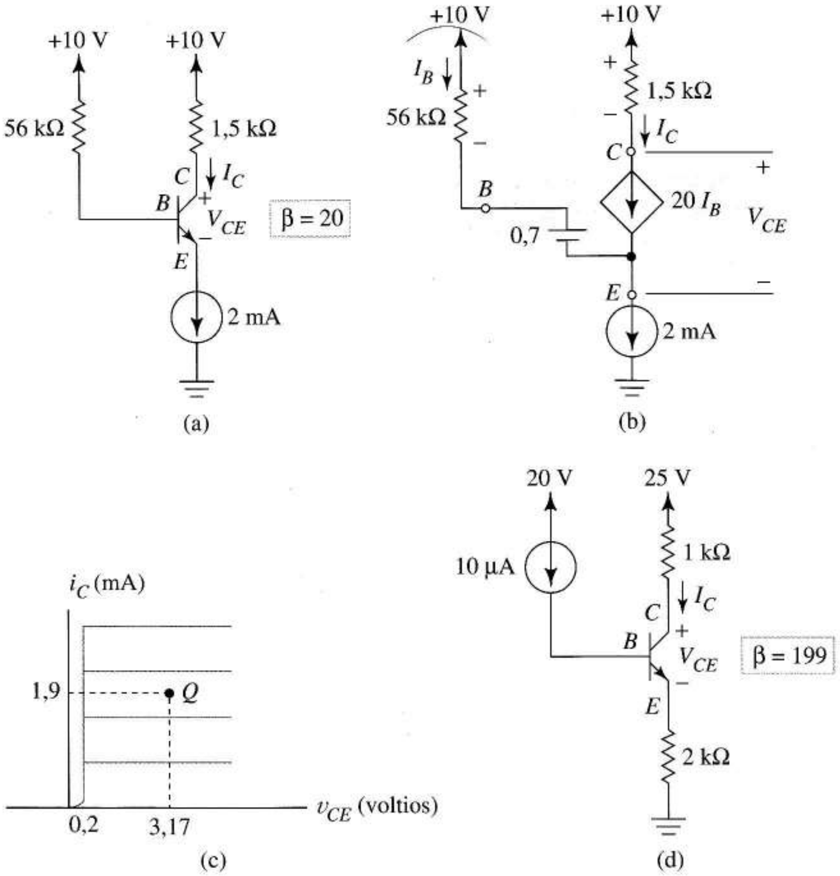


FIGURA 4.18 (a) Circuito de un amplificador sencillo; (b) circuito equivalente; (c) punto de funcionamiento del transistor; (d) circuito para el Ejercicio 4.2.

Ejercicio 4.2 Obtener las coordenadas del punto Q y la tensión de base para el transistor de la Figura 4.18d.
Respuesta $(V_{CE}, I_C) = (19\text{ V}, 1{,}99\text{ mA})$, $V_B = 4{,}7$ V.

EJEMPLO 4.2 Obtener el punto Q del transistor de la Figura 4.19a.

Solución La Figura 4.19b es equivalente a la Figura 4.19a porque las dos fuentes de tensión imponen exactamente las mismas condiciones en el circuito; esto es, mantienen las tensiones de los nodos de la parte superior de las resistencias de 47 kΩ y 39 kΩ a +15 V respecto a masa. Esta equivalencia debería recordarse.

Luego, dibujamos el equivalente Thevenin del circuito de entrada y sustituimos el transistor por su modelo de gran señal como en la Figura 4.19c. Aplicando la ley de tensión de Kirchhoff al bucle izquierdo da

$$8{,}87 - 27{,}8\text{ k} \times I_B - 0{,}7 - 68\text{k}\left(101 I_B\right) = 0$$

de la que

$I_B = 1{,}18\mu\text{A}$

y

$$I_C = 100 \times I_B = 0{,}118\text{ mA}$$

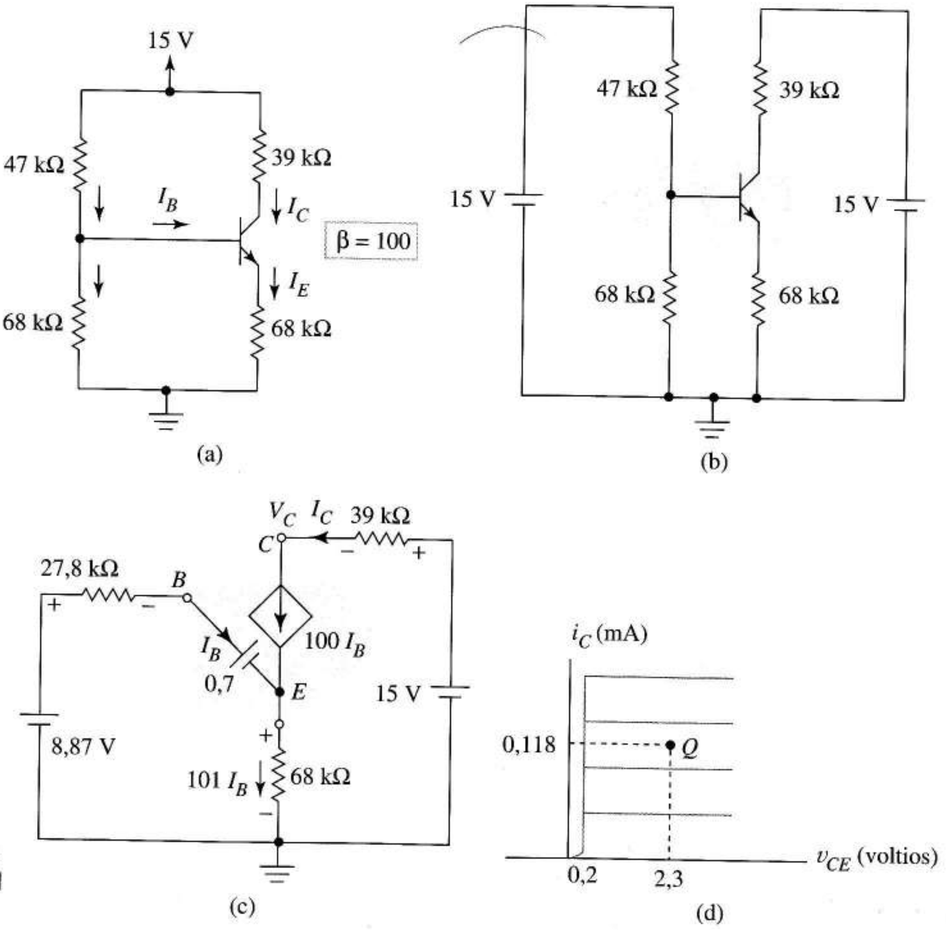


FIGURA 4.19
a) Un circuito de polarización de un amplificador;
(b) amplificador con fuentes de alimentación equivalentes;
(c) circuito equivalente; (d) punto de funcionamiento del transistor.

Para obtener la tensión del nodo del colector, sume las tensiones a lo largo del camino derecho. Esto da

$$V_C = 15 - 39\ \text{k}(0{,}118\ \text{mA}) = 10{,}4\ \text{V}$$

También

$$V_E = 68\ \text{k} \times 101(1{,}18\mu\text{A}) = 8{,}1\ \text{V}$$

dando

$$V_{CE} = 10{,}4 - 8{,}1 = 2{,}3\ \text{V}$$

Del esquema de la Figura 4.19d, el transistor está polarizado en activo. ❑

Ejercicio 4.3 ¿Permanece el transistor de la Figura 4.19a en zona activa si la resistencia de emisor de 68 kΩ cambia a 50 kΩ?

Respuesta Sí. El punto Q cambia a (0,59V, 0,161 mA) pero el transistor sigue activo.

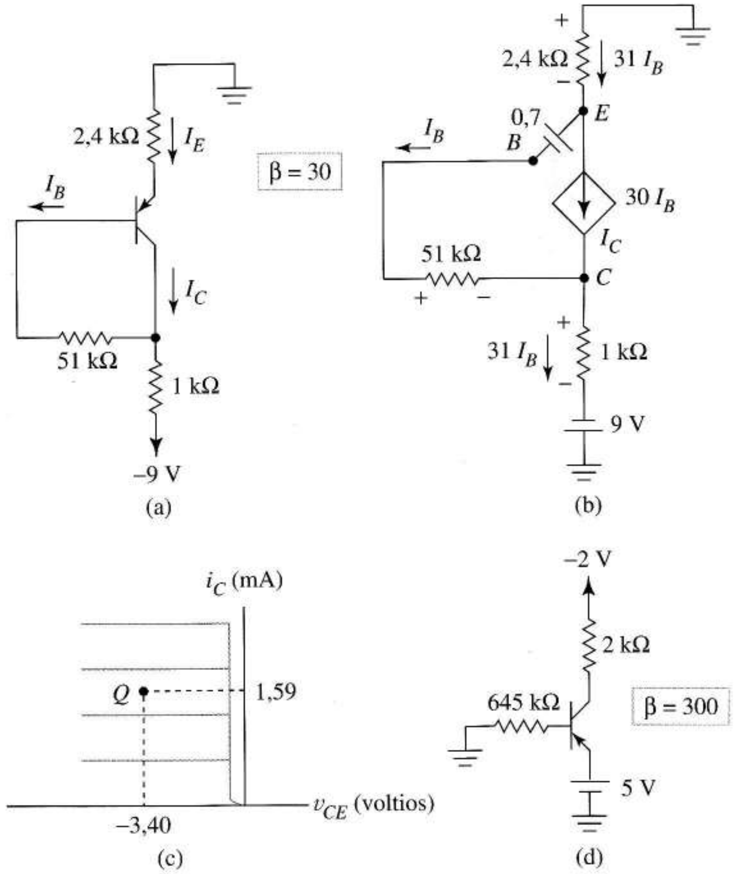


FIGURA 4.20 (a) Circuito de polarización del amplificador; (b) circuito lineal equivalente; (c) punto de funcionamiento del transistor; (d) circuito para el Ejercicio 4.4.

EJEMPLO 4.3 El amplificador de la Figura 4.20a contiene un transistor pnp. Obtener el punto Q.

Solución Usando el modelo pnp de la Figura 4.17a da la Figura 4.20b. Aplicando la ley de Kirchhoff a lo largo del camino que evita las fuentes de corriente da

$$-9 + 1\text{k}\left(31I_B\right) + 51\text{k}I_B + 0{,}7 + 2{,}4\text{k}\left(31I_B\right) = 0$$

Resolviendo da $I_B = 53{,}1\ \mu\text{A}$ e $I_C = 1{,}59$ mA. La tensión del nodo del emisor es

$$V_E = 0 - 2{,}4\text{k}\left(31I_B\right) = -3{,}95 \text{ V}$$

y la tensión del nodo del colector es

$$V_C = -9 + 1\text{k}\ (31)53{,}1 \times 10^{-6} = -7{,}35 \text{ V}$$

Por lo tanto, $V_{CE} = -7{,}35 - (-3{,}95) = -3{,}40$ V. La Figura 4.20c muestra el punto de funcionamiento sobre las características de salida y confirma el funcionamiento activo. ❑

Ejercicio 4.4 Obtener V_{CE} para el transistor de la Figura 4.20d.

Respuesta $V_{CE} = -3$ V.

Análisis de beta infinita En el Capítulo 2 utilizamos una suposición de ganancia infinita para analizar los circuitos que contienen amplificadores operacionales de ganancia alta. Una técnica similar nos ayuda a estimar los puntos de funcionamiento de los transistores bipolares, especialmente para aquellos circuitos integrados que también son difíciles de analizar a mano. Este método, el *análisis de beta infinita*, hace tres suposiciones para cada transistor:

1. $V_{BE} = 0{,}7$ V para transistores npn, –0,7 para pnp.
2. $I_B = 0$
3. $I_C = I_E$

Las suposiciones 2 y 3 implican que $\alpha_F = 1$ en la Ecuación (4.9), desde ahora análisis beta infinita. Lo más eficiente es trabajar directamente sobre el esquema dado, añadiendo al diagrama los valores de cada corriente y tensión de nodo cuando se obtenga.

El Ejemplo 4.4 muestra la técnica. También muestra el uso de variables de tensión de nodo y de rama y notación de subíndices simples y dobles de forma que sean útiles para entender el funcionamiento del circuito y eficientes en los cálculos manuales.

EJEMPLO 4.4 Analizar el circuito de la Figura 4.21a suponiendo transistores de beta infinita.

Solución Como la corriente de base de Q_1 es cero por la suposición 2, las resistencias de 18 y 27 kΩ forman un divisor de tensión. El resultado es una tensión de base de

$$V_{B1} = \frac{27\text{k}}{27\text{k} + 18\text{k}} 24 = 14{,}4\text{V}$$

para Q_1 como en la Figura 4.21b. En este diagrama, los caracteres en azul indican magnitudes añadidas al diagrama cuando se calculan.

El emisor de Q_1 está 0,7 V por debajo de la base por la suposición 1; por lo tanto $V_{E1} = 14{,}4 - 0{,}7 = 13{,}7$ V. Como la corriente de base de Q_2 es cero

$$I_{E1} = 1 \text{ mA}$$

Por la suposición 3, esta es también la corriente de colector de Q_1. En el colector de Q_1

$$V_{C1} = 24 - 5{,}6 \text{ k}I_{C1} = 18{,}4\text{V}$$

Utilizando las tensiones de nodo añadidas al diagrama da

$$V_{CE1} = V_{C1} - V_{E1} = 18{,}4 - 13{,}7 = 4{,}7 \text{ V}$$

Para resumir, el punto Q de Q_1 es

$$\left(V_{CE1},\ I_{C1}\right) = (4{,}7\ V,\ 1 \text{ mA})$$

Como el emisor de Q_2 está 0,7 V por debajo de V_{E1},

$$V_{E2} = V_{E1} - 0{,}7 = 13{,}7 - 0{,}7 = 13 \text{ V}$$

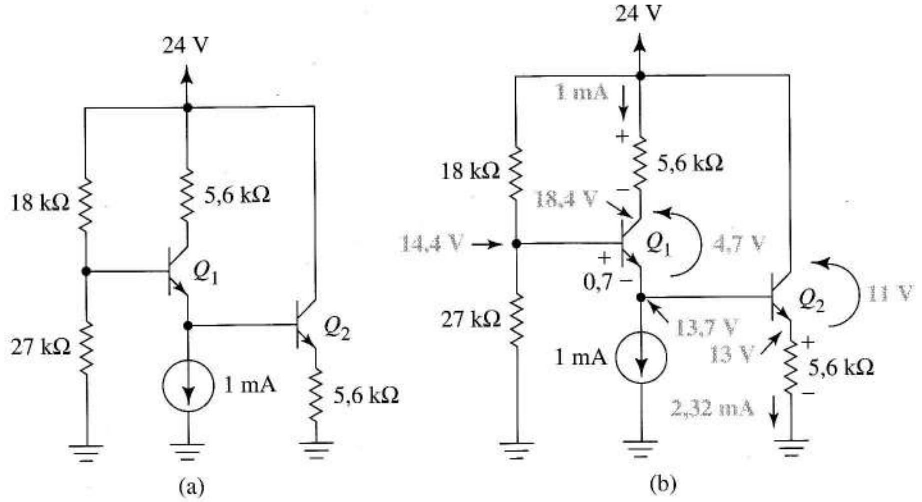


FIGURA 4.21 Análisis de beta infinita de un circuito polarizado; (a) esquema del circuito; (b) esquema mostrando los valores de las tensiones y corrientes añadidas durante el análisis.

La corriente de emisor de Q_2 circula por la resistencia de 5,6 kΩ; por tanto

$$I_{E2} = \frac{13{,}0}{5{,}6\text{ k}} = 2{,}32\text{ mA} = I_{C2}$$

Para Q_2,

$$V_{CE2} = V_{C2} - V_{E2} = 24 - 13 = 11\text{ V}$$

así que el punto Q es

$$(V_{CE2}, I_{C2}) = (11{,}0\text{ V},\ 2{,}32\text{ mA})$$

La simulación de SPICE utilizando $\beta = 100$ para ambos transistores da puntos de funcionamiento

$$Q_1\text{: } (5{,}05\ V,\ 1{,}05\text{ mA})$$

$$Q_2\text{: } (11{,}74\text{ V},\ 2{,}09\text{ mA})$$

Concluimos que nuestros resultados de beta infinita eran estimaciones razonables considerando la complejidad del circuito y el pequeño esfuerzo requerido. ❑

Ejercicio 4.5 Utilizar el análisis de beta infinita para estimar el punto Q del transistor de la Figura 4.19a.

Respuesta (V_{CE}, I_C) = (2,13 V, 0,120 mA) comparado con el resultado más preciso, (2,3 V, 0,118 mA), calculado en el ejemplo 4.2 utilizando el modelo de gran señal.

Precauciones acerca del análisis de beta infinita El análisis de beta infinita supone tácitamente un circuito que es diseñado para ser relativamente independiente de β. Si el circuito está pobremente diseñado o si es pequeño, estos resultados pueden ser bastante inexactos. Por estas razones, el análisis utilizando modelos será el método elegido; usaremos el análisis de beta infinita sólo para circuitos demasiado complejos para análisis manuales ordinarios, por ejemplo, grandes circuitos inte-

grados y después mantendremos un saludable escepticismo hasta que nuestras respuestas sean verificadas por la simulación.

La caída de tensión base-emisor de 0,7 V supuesta a veces no nos conduce a errores en el análisis de beta infinita así como en el análisis con circuitos equivalentes. A continuación lo estudiamos.

Análisis de circuitos con niveles de corriente bajos Siempre que aproximamos la característica exponencial de los transistores bipolares por la constante $V_{BE} = 0{,}7$ V, asumimos tácitamente una corriente de emisor del orden de miliamperios. Esta suposición es razonable en la mayoría de los circuitos, pero falla para los circuitos que trabajan con niveles bajos de corriente. Para corrientes bajas una mejor representación del transistor es la Ecuación (4.5), que presenta el transistor como *una fuente no lineal de corriente controlada por tensión.*

Hacer el análisis manual con la Ecuación (4.5) puede ser tedioso. Normalmente debemos estimar V_{BE}, obtener la correspondiente i_C mediante el análisis del circuito, usar entonces i_C y la Ecuación (4.5) para la actualización de V_{BE}, ..., continuar iterando de este modo hasta que los valores sucesivos de V_{BE} converjan a la solución correcta. Los circuitos que necesitamos para hacer esto son más apropiados para el análisis de SPICE, donde las iteraciones son transparentes para el usuario. Innecesario decir, que es importante reconocer tales problemas cuando surjan y no utilizar ciegamente $V_{BE} = 0{,}7$ V cuando sea inapropiado. Como los niveles bajos de corriente aparecen en algunas circunstancias especializadas, posponemos cualquier estudio acerca de este punto hasta que la ocasión surja más adelante en el libro.

Todos los Ejemplos de la Sección 4.7.1 incluyen transistores en estado activo directo; sin embargo, el procedimiento de sustituir cada transistor por un circuito equivalente también es útil para transistores en funcionamiento activo inverso, corte o saturación. La necesidad de analizar un circuito que contenga transistores que no están en estado activo directo surge normalmente en circuitos donde los estados del transistor son *desconocidos.* Esto añade un nuevo elemento de incertidumbre al problema del análisis, que estudiamos a continuación.

4.7.2 ANÁLISIS CUANDO EL ESTADO DE LOS TRANSISTORES ES DESCONOCIDO

En circuitos digitales, los transistores cambian de estado durante su funcionamiento normal. Manejamos estados inciertos en circuitos de diodos suponiendo cada diodo conduciendo o cortado, sustituyendo cada uno por un equivalente adecuado y verificando o desechando las hipótesis con un análisis lineal. Un procedimiento similar se aplica a los circuitos de transistores. Como el funcionamiento activo inverso es raro, destacamos los otros tres estados.

Análisis de circuitos con transistores de tres estados

1. Hacer una suposición razonada acerca del estado del transistor.
2. En el diagrama del circuito, sustituir cada transistor por el modelo para su supuesto estado.
3. Analizar el circuito resultante para obtener variables de *prueba* asociadas con cada modelo.
4. Examinar las variables de prueba, buscando contradicciones al estado supuesto.
5. Si hay una contradicción, hacer una nueva suposición basada en la información calculada y volver al paso 2.
6. Cuando no haya contradicciones, las tensiones y corrientes calculadas a partir del circuito equivalente se aproximan a las del circuito real.

No debemos preocuparnos de si los estados del transistor son o no correctos. Aunque el problema general sea muy complejo, normalmente la información disponible nos conduce a suposiciones iniciales válidas en los problemas prácticos. Como en el análisis de circuitos con diodos, las suposiciones incorrectas suponen simplemente un pequeño trabajo extra y las suposiciones correctas pasan a ser más frecuentes con la experiencia que da resolver problemas.

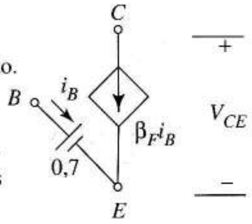
Prueba de validez para los estados del transistor supuestos Las ideas básicas de la Figura 4.22 nos ayudan en nuestra búsqueda de contradicciones. Como el estado activo inverso ocurre raramente, las pautas suponen primero funcionamiento en el primer cuadrante donde el funcionamiento activo inverso no puede ocurrir.

Funcionamiento activo directo Sustituimos cada transistor activo directo por el modelo de la Figura 4.22a, y hallamos la dirección de su corriente de base. La Figura 4.8 muestra que la corriente de base debe ser positiva para evitar el corte; para evitar la saturación, V_{CE} debe ser más positiva que $V_{CE,sat}$.

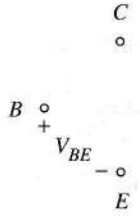
Funcionamiento en corte El modelo de corte de la Figura 4.22b fuerza a todas las corrientes del transistor a ser cero. Como en el uso del modelo de corte para el diodo, debemos comprobar la tensión de circuito abierto, en este caso V_{BE}, para buscar una contradicción.

Saturación Para estar saturado, como en la Figura 4.22c, el transistor primero debe estar conduciendo, esto es, su corriente de base debe ser no negativa. Si el transistor está conduciendo también debe verificar que la corriente de base es bastante grande para la saturación, como se ilustra en la Figura 4.13d. Como las fuentes de tensión en el modelo fuerzan al nodo de base a ser positivo respecto a los nodos de emisor y colector, debemos comprobar las corrientes para asegurar la validez del modelo.

(a) Suponemos funcionamiento activo directo.
- (i.) Sustituimos el transistor por el modelo activo directo.
- (ii.) Si $i_B \leq 0$, entonces suponemos corte.
- (iii.) Si $V_{CE} \leq 0{,}2$ V, entonces suponemos saturación.



(b) Suponemos corte.
- (i.) Sustituimos el transistor por el modelo de corte.
- (ii.) Si $V_{BE} \geq 0{,}5$, entonces suponemos funcionamiento activo directo o saturación.



(c) Suponemos saturación.
- (i.) Sustituimos el transistor por el modelo de saturación.
- (ii.) Si $i_B < 0$, entonces suponemos corte.
- (iii.) Si $i_C > \beta_F i_B$, entonces suponemos. funcionamiento activo directo.

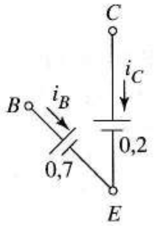


FIGURA 4.22 Estados del transistor, modelos, test de validación e hipótesis posteriores.

A los transistores pnp se aplican modelos, variables de prueba y pruebas similares. Algunos ejemplos demostrarán la aplicación de este procedimiento a los circuitos dados.

EJEMPLO 4.5 Obtener la corriente de colector en la Figura 4.23a.

Solución Como hay tensión positiva en serie con la base y tensión negativa en serie con el emisor, el transistor probablemente está conduciendo. Probamos el funcionamiento activo directo sustituyendo el transistor por su modelo activo directo de la Figura 4.23b. La ley de las tensiones de Kirchhoff aplicada al circuito de base da

$$1-(5\ \text{k})(I_B)-0{,}7=-10$$

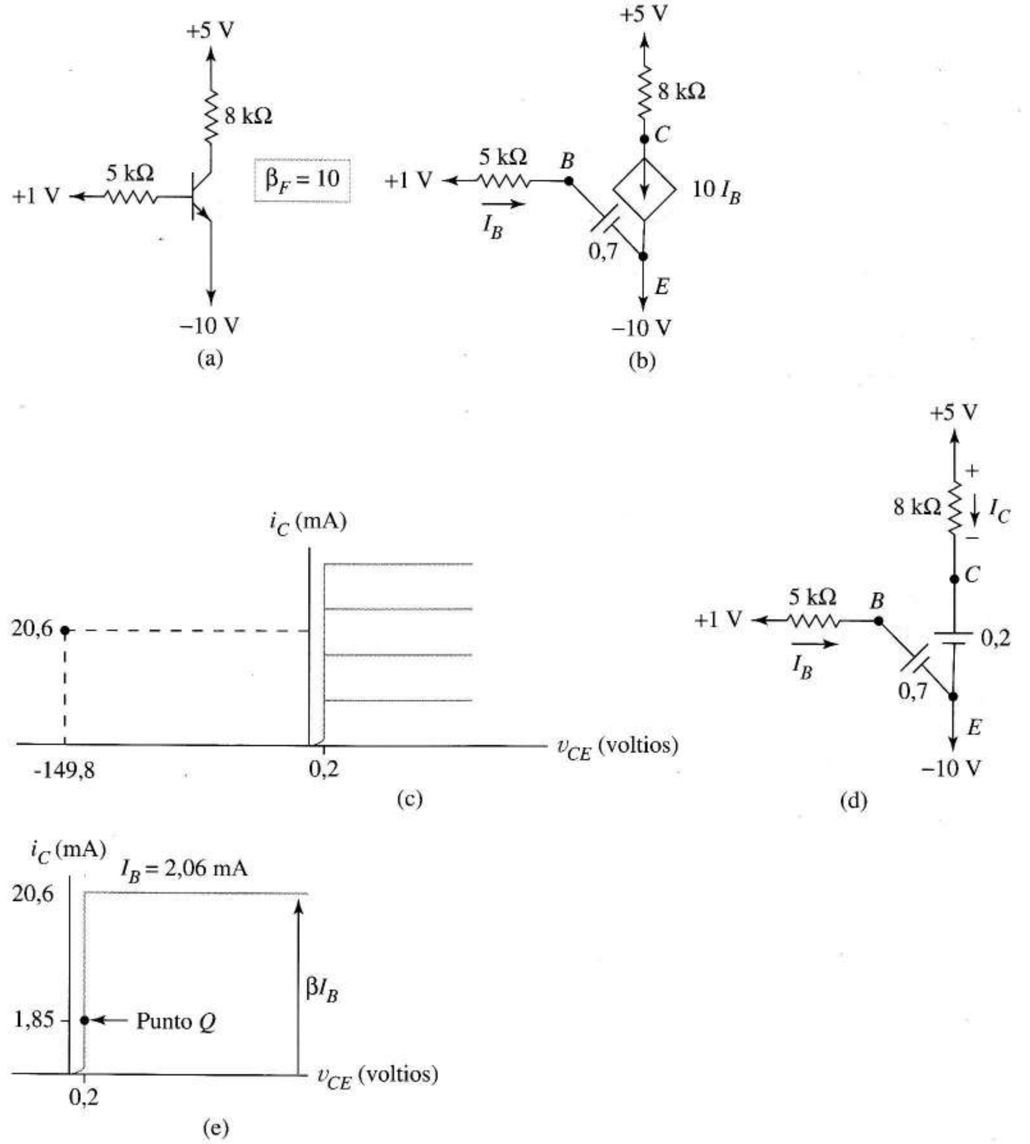


FIGURA 4.23 (a) Transistor en estado desconocido; (b) circuito equivalente suponiendo estado activo directo; (c) punto de funcionamiento incorrecto para la hipótesis funcionamiento activo directo; (d) circuito equivalente suponiendo saturación; (e) punto *Q* correcto.

Por lo tanto, I_B = 2,06 mA. Como la corriente de base es positiva, todo lo que resta es comprobar V_{CE}

$$V_C = 5 - (8\ \text{k})(10)(2{,}06\ \text{mA}) = -159{,}8\ \text{V}$$

Como V_{CE} = −10 V, esto da

$$V_{CE} = -159{,}8 - (-10) = -149{,}8\ \text{V}$$

Como V_{CE} es menor que 0,2 V, la suposición de estado activo directo no es válida.

El esquema de la Figura 4.23c muestra exactamente lo que ha sucedido. El modelo activo directo predijo incorrectamente una solución en el segundo cuadrante, donde el modelo de CCCS y las características verdaderas del transistor no coinciden. La posibilidad de soluciones incorrectas como ésta es el precio que pagamos por usar modelos lineales simples para representar dispositivos no lineales. Un buen modo de evitar errores de modelado es desarrollar el hábito de visualizar el punto de funcionamiento calculado relacionándolo con las curvas características. La Figura 4.23c y la pauta de la Figura 4.22a sugieren que la saturación debe ser nuestra siguiente suposición.

La Figura 4.23d es el circuito a que obliga la saturación. La corriente de base es todavía 2,06 mA. La corriente de colector es

$$I_C = \frac{5 - (-10 + 0{,}2)}{8\text{k}} = 1{,}85\ \text{mA}$$

La inecuación

$$\beta_F I_B = 20{,}6\ \text{mA} > 1{,}85\ \text{mA} = I_C$$

confirma que el transistor está saturado. La Figura 4.23e muestra el punto de funcionamiento correcto. ❑

Ejercicio 4.6 Probar que el transistor de la Figura 4.23a permanece saturado cuando la resistencia de base cambia a 50 kΩ. Obtener entonces la resistencia de base R_B que lleva el transistor al borde del funcionamiento activo.

Respuesta $\beta_F I_B$ = 2,06 mA > 1,85 mA = I_C; R_B = 55,7 kΩ.

EJEMPLO 4.6 Hallar el estado del transistor en la Figura 4.24a.

Solución Debido a la elevada tensión positiva en el circuito de base, suponemos que el transistor está saturado. Sin embargo, cuando sustituimos el transistor por su modelo de saturación y aplicamos el teorema de Thèvenin, obtenemos la Figura 4.24b. En este circuito es obvio que I_B es negativa, contradiciendo la hipótesis de saturación y sugiriendo el corte.

La Figura 4.24c muestra el circuito con el modelo de corte sustituyendo al transistor. Observemos que V_{BE} = 0,196 V, un valor considerablemente menor que la tensión de codo. Por lo tanto el transistor está en corte. ❑

Ejercicio 4.7 Si se incrementa lentamente V_{BB} en la Figura 4.24a a valores mayores que 11 V, el transistor comienza a dejar el corte. Obtener el valor de V_{BB} donde esto ocurre.

Respuesta V_{BB} = 28,1 V.

EJEMPLO 4.7 Obtener la temperatura a la que el transistor de la Figura 4.24a comenzará a salir de corte si su corriente I_{CB0} = 25 nA a 27°C y se duplica cada 10°C de incremento de la temperatura.

Solución Para este tipo de problema usamos el modelo de corte de la Figura 4.9b para sustituir al transistor como en la Figura 4.24d. Cuando incluimos la caida de tensión en la resistencia de base producida por I_{CBO} a 27°C obtenemos

$$V_{BE} = 0{,}196 + (9{,}82\ \text{k})\left(25 \times 10^{-9}\right) \approx 0{,}196$$

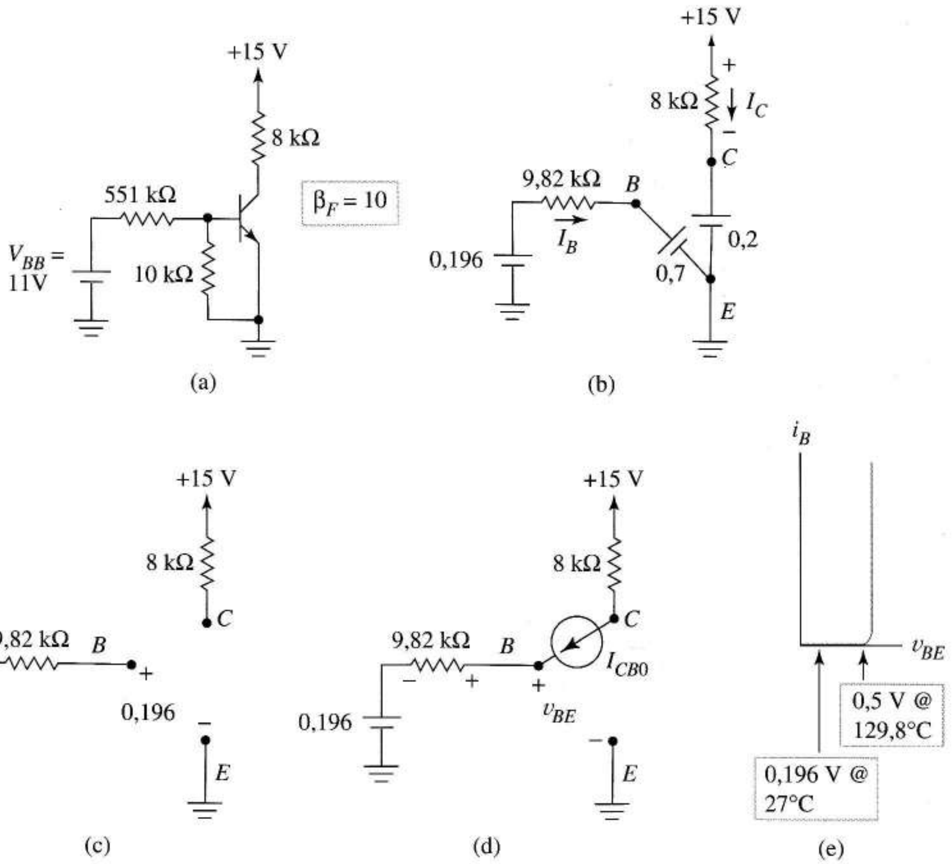


FIGURA 4.24 (a) Circuito original; (b) circuito suponiendo el transistor saturado; (c) circuito con el transistor cortado; (d) transistor cortado incluyendo la corriente I_{CB0}; (e) puntos de funcionamiento de la entrada a 27°C y a 129,8°C.

Para llevar V_{BE} al punto de corte, la temperatura debe crecer hasta que $I_{CB0}(T)$ cumple

$$0{,}196 + (9{,}82\ \text{k})I_{CB0}(T) = V_\gamma = 0{,}5\ \text{V}$$

Esto da $I_{CB0}(T) = 3{,}1 \times 10^{-5}$A. Como este valor resulta de duplicar el valor de I_{CB0} a 27°C para cada incremento de temperatura

$$3{,}1 \times 10^{-5} = (25 \times 10^{-9})(2)^{(T-27)/10}$$

Cuando dividimos por 25×10^{-9} y tomamos luego logaritmos decimales, obtenemos

$$\log\left(\frac{3{,}1 \times 10^{-5}}{25 \times 10^{-9}}\right) = \frac{T-27}{10}\log(2)$$

Resolviendo da T = 129,8°C.

La Figura 4.24e muestra cómo se desplaza V_{BE} a medida que la temperatura crece. Por simplicidad, este Ejemplo supone que la característica de entrada no cambia con la temperatura. (De hecho, la característica de entrada de un transistor bipolar, como la característica de un diodo, se desplaza a la izquierda cuando la temperatura crece.) ❑

EJEMPLO 4.8 Uno de los transistores de la Figura 4.25 está cortado y el otro activo directo. Verificar el corte del primero y obtener el punto Q para el último.

Solución Excepto por las fuentes de tensión aplicadas a las bases, el circuito es simétrico respecto a un eje que pase por el centro del diagrama. Como la tensión de base de Q_1 es más positiva que la de Q_2, suponemos que Q_1 está activo y Q_2 cortado y dibujamos la Figura 4.25b. La tensión del nodo de emisor en este diagrama es −1,7 V. Como las tensiones en extremos de la resistencia de 1,2 kΩ son conocidas

$$I_{E1} = \frac{-1{,}7-(-5{,}2)}{1{,}2\text{ k}} = 2{,}92 \text{ mA}$$

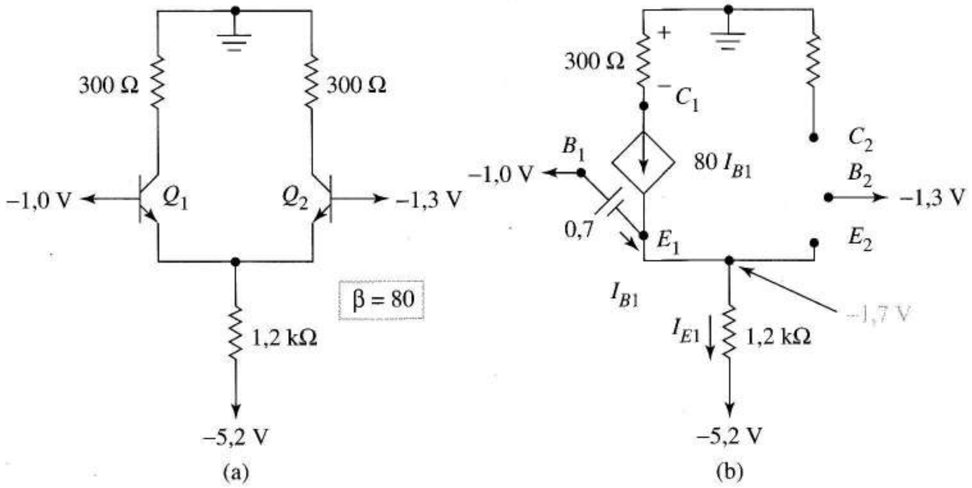


FIGURA 4.25 (a) Circuito original; (b) circuito equivalente suponiendo Q_1 activo y Q_2 cortado.

El diagrama muestra que $I_{E1} = (80 + 1)\ I_{B1}$, por lo tanto $I_{B1} = 36$ μA. Como la corriente de base es positiva, establecemos que Q_1 conduce; sin embargo podría estar saturado. Como

$$I_{C1} = 80 I_{B1} = 2{,}88 \text{ mA}$$

$$V_{C1} = 0 - (300)\left(2{,}88 \times 10^{-3}\right) = -0{,}864 \text{ V}$$

por lo tanto

$$V_{CE1} = -0{,}864 - (-1{,}7) = 0{,}836$$

Como $V_{CE} > 0{,}2$ V, Q_1 está activo, no saturado.

Para verificar que Q_2 está cortado, observemos en la Figura 4.25b que

$$V_{BE2} = -1{,}3 - (-1{,}7) = 0{,}4 \text{ V, que es menor que } V_\gamma = 0{,}5 \text{ V, mientras}$$

$$V_{CE2} = -1{,}3 - 0 = -1{,}3 \text{ V}$$

Como ambas uniones están inversamente polarizadas, el transistor está cortado. ❑

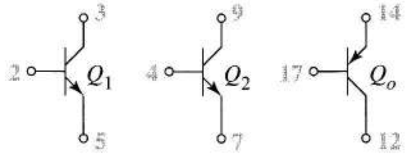
Los modelos que hemos estado estudiando proporcionan un buen conocimiento general del trabajo de los circuitos en continua y nos permite hacer razonadamente buenas estimaciones sin mucho esfuerzo. El análisis de SPICE que se estudiará en la próxima sección nos capacita para obtener resultados numéricos mucho más precisos e investigar los efectos de las no linealidades que ignoramos cuando usamos nuestros modelos lineales, por ejemplo, la curvatura de la característica de entrada de un transistor bipolar.

4.8 MODELO ESTÁTICO SPICE DEL TRANSISTOR BIPOLAR

Para el SPICE, el transistor es un circuito no lineal, activo como el de la Figura 4.3 que cumple la forma generalizada de las Ecuaciones (4.3) y (4.4). El análisis en continua del SPICE emplea cálculos numéricos iterativos para obtener los puntos de funcionamiento del transistor en lugar de suponer estados de funcionamiento y usar análisis de circuitos lineales como hacemos nosotros. No es necesaria una suposición inicial acerca de los estados del transistor en el análisis SPICE y la salida del SPICE nunca se refiere directamente al estado del transistor.

La Figura 4.26a muestra el código SPICE necesario para los transistores bipolares por *defecto*. Usamos una sentencia para asignar a cada transistor un nombre que comience por Q y enumeramos sus nodos en el orden colector-base-emisor. En la línea del elemento también asignamos un nombre de clase. Este nombre asocia el transistor con una línea .MODEL que proporciona los valores de los parámetros para todos los transistores pertenecientes a la clase. Para un transistor por defecto la línea .MODEL especifica sólo si el transistor es npn o pnp.

En cualquier simulación de un circuito que contenga transistores bipolares, el SPICE hace un análisis de continua para hallar el punto de funcionamiento de cada transistor y calcula valores numéricos para todas las tensiones de nodo. Si deseamos estudiar los datos de salida en términos de estados del transistor, debemos determinar las tensiones de las uniones a partir del SPICE y aplicar entonces las definiciones de la Tabla 4.1.




```
Q1 3 2 5 SAM
Q2 9 4 7 SAM
QOUT 12 17 14 JANE
.MODEL SAM NPN
.MODEL JANE PNP
```

(a)

Notación		Valores por defecto
Texto	SPICE	
β_F	BF	100
β_R	BR	1
I_S	IS	1.0E – 16

(b)

FIGURA 4.26 (a) Código SPICE por defecto para transistores; (b) notación SPICE y valores por defecto de los parámetros.

La Figura 4.26 muestra los valores por defecto del SPICE para los parámetros del transistor bipolar que hemos estudiado previamente. Se usan los valores de β en lugar de los de α en el código SPICE de entrada porque suelen estar más disponibles. Para ignorar cualquier valor por defecto de los parámetros, añadimos una sentencia apropiada en la línea de código .MODEL como ilustra el ejemplo que sigue.

EJEMPLO 4.9 Los parámetros del transistor para la Figura 4.27 son $\beta_F = 20$, $\beta_R = 5$, $I_S = 2{,}0 \times 10^{-14}$A Determinar con SPICE el estado de cada transistor para a) $VS = 0{,}2$ V, b) $VS = 3{,}6$ V.

Solución La Figura 4.27b, muestra el código SPICE para el circuito. El valor de VS para la parte (b), precedida por un asterisco para indicar que es un comentario, es ignorada en la primera simulación SPICE. Para ignorar los valores por defecto simplemente indicamos en la línea .MODEL los valores de los parámetros que deseamos usar. El signo "+" indica la continuación del código .MODEL en una segunda línea. La sentencia .OP pide un listado de los puntos de funcionamiento en el fichero de salida. Para circuitos de transistores, este listado incluye las tensiones de las uniones, corrientes de colector y una gran cantidad de información útil que nos ayuda a detectar errores y verificar el funcionamiento correcto de una simulación. En este ejemplo usamos las tensiones de unión para determinar el estado del transistor. En ausencia de una petición específica para análisis de continua, alterna o transitorio, el SPICE realiza automáticamente un análisis de continua.

a) El fichero de salida del SPICE contenía la siguiente información después de la primera simulación

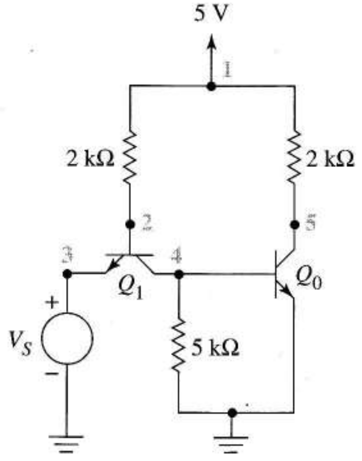
	V_{BE}	V_{BC}
Q_1	0,695 V	0,691 V
Q_0	0,205 V	–4,8 V

De las definiciones de estado de la Tabla 4.1, concluimos que Q_1 está saturado, y Q_0 cortado.

b) Después de cambiar la tensión de entrada a 3,6 V moviendo el asterisco a la sentencia precedente, las tensiones de unión eran

	V_{BE}	V_{BC}
Q_1	–2,17 V	0,694 V
Q_0	0,739 V	0,733 V

Concluimos que Q_1 está en estado activo inverso y Q_0 saturado.




```
EXAMPLE 4.9
Q1 4 2 3 SUE
Q0 5 4 0 SUE
VCC 1 0 DC 5
RC 1 5 2K
RB 4 0 5K
RS 1 2 2K
.MODEL SUE NPN BF=20
+ BR=5 IS=2.0E-14
VS 3 0 DC 0.2
*VS 3 0 DC 3.6
.OP
.END
```

(b)

FIGURA 4.27
(a) Circuito con transistores bipolares dado; (b) código SPICE.

El lector observador es posible que haya notado que en la parte b) los resultados del SPICE para Q_0 daban

$$V_{CE,sat} = V_{CB} + V_{BE} = -0{,}733 + 0{,}739 = 0{,}006 \text{ V}$$

un valor considerablemente menor que el valor de 0,2 V que normalmente suponemos para un transistor saturado. Esto es en parte un resultado de los algoritmos de modelado del SPICE inexactos y en parte el resultado de efectos de segundo orden en transistores reales que no estaban incluidos en esta simulación. El artículo de J.R. Hines, citado en las referencias del final del capítulo, estudia el problema de los cálculos de saturación con SPICE. ❑

Como el escalado del área de la unión base-emisor del transistor, *A*, en la Ecuación (3.39), es tan importante en el diseño de circuitos integrados, el SPICE facilita la asignación de diferentes áreas relativas a otros transistores por otra parte idénticos. Un factor de área relativa, opcional, puesto al final de la línea del transistor, especifica el área de unión de este transistor en particular relativa al área del transistor de referencia descrito en la línea .MODEL. Esta es la misma técnica que usamos para áreas de diodos, por ejemplo, D_1 en la Figura 3.34. Cuando indicamos explícitamente un área en la línea de elemento, el SPICE escala apropiadamente todos los parámetros del transistor que dependen del área.

Ejercicio 4.8 Obtener los nuevos valores para V_{BE} y V_{BC} en el Ejemplo 4.9b si el área de Q_0 es cinco veces el área de Q_1.

Respuesta Q_1: $V_{BE} = -2{,}2$ V; $V_{BC} = 0{,}694$ V; Q_0: $V_{BE} = 0{,}697$ V, $V_{BC} = 0{,}691$ V.

El Ejemplo 4.9 mostraba que los estados de ambos transistores en la Figura 4.27a dependen de la tensión de entrada V_S. El SPICE permite seguir con un interesante problema como éste con mucho más detalle y poco esfuerzo adicional. Por ejemplo, podríamos usar el SPICE para obtener las corrientes del transistor o dibujar la característica de transferencia para este circuito altamente no lineal.

EJEMPLO 4.10 Tomando el nodo 5 como salida y el nodo 3 como entrada, dibujar con SPICE la función de transferencia v_I–v_O para la Figura 4.27a.

Solución El código SPICE es la Figura 4.28a. Describimos la fuente *VS*, la variable independiente en nuestro dibujo, como una fuente de continua de cero voltios. La línea .DC especifica que *VS* varía de 0,2 V a 3,6 V en intervalos de tensión de 0,17 V. La línea .PLOT ordena un dibujo de salida, *V*(5), en función de la tensión de entrada *VS*.

El dibujo inicial mostraba que la mayor variación de la salida ocurría en el intervalo de entrada 0.5 V ≤ *VS* ≤ 0,7V. Para explorar esta región más cuidadosamente, la sentencia .DC era reemplazada por la línea marcada con un asterisco en el código. Esta segunda simulación del SPICE daba la Figura 4.28b. ❑

El cambio suave de la tensión de salida de valores altos a bajos es un detalle que nuestros modelos de transistor lineal idealizado no revelan, porque los transistores reales hacen transiciones suaves entre estados que nuestros modelos no pueden describir. Por otro lado, el estudio de este mismo circuito con modelos simplificados en el Capítulo 13 dará una aproximación lineal a esta curva que posibilita un entendimiento que el SPICE no proporciona. Aprendemos de nuestros modelos que para tensiones de entrada bajas, la salida es 5 V porque Q_0 está cortado. Cuando la entrada crece, una fracción creciente de la corriente de base de Q_1 se desvía hacia la base de Q_0 y circula por la resistencia de 5 k, incrementando la v_{BE} de Q_0. Finalmente Q_1 cambia a funcionamiento activo inverso necesitando a V_S para entregar corriente al circuito.

Después de estudiar algunos efectos importantes de segundo orden del transistor en la próxima sección, introduciremos características adicionales en los modelos SPICE.

```
EXAMPLE 4.10
QI 4 2 3 SUE
Q0 5 4 0 SUE
VCC 1 0 DC 5
RC 1 5 2K
RB 4 0 5K
RS 1 2 2K
.MODEL SUE NPN BF=20 BR=5
IS=2.0E-14
VS 3 0 DC 0
.DC VS 0.2 3.6 0.17
*.DC VS 0.5 0.7 0.01
.PLOT DC V(5)
.END
```

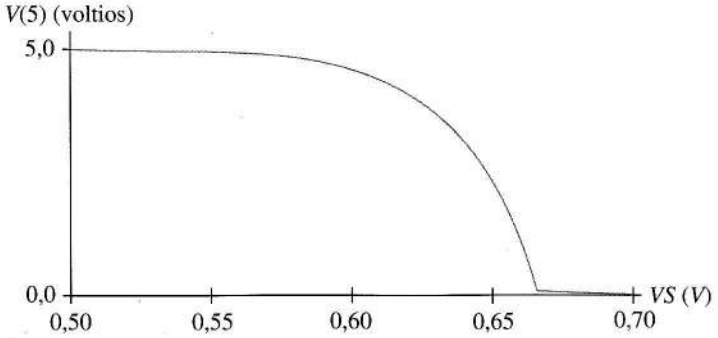


FIGURA 4.28 Código para dibujar $V(5)$ en función de $V(3)$ para el Ejemplo 4.10; (b) característica de transferencia.

4.9
EFECTOS DE SEGUNDO ORDEN

En esta sección estudiamos los efectos estáticos de segundo orden más importantes en los transistores bipolares. Este nuevo conocimiento revela algunas limitaciones de los transistores y algunos de los defectos de nuestros modelos idealizados. Continuamos centrándonos en los modelos simplificados y curvas características.

4.9.1 VARIACIONES DE LOS PARÁMETROS CON LA TEMPERATURA Y EL PUNTO Q

Las características de entrada y salida del transistor bipolar cambian con la temperatura así como los parámetros del circuito equivalente que los describe. La característica de entrada en emisor común se traslada a la izquierda con incrementos de temperatura como se indica en la Figura 4.29a. Como en el diodo, $V_T = kT/q$ en el exponente de la Ecuación (4.12) provoca que la curva se desplace –2 mV/ °C. Por supuesto, esto significa que V_{BE} en la Figura 4.6 decrece 2 mV por cada incremento de un grado centígrado de la temperatura.

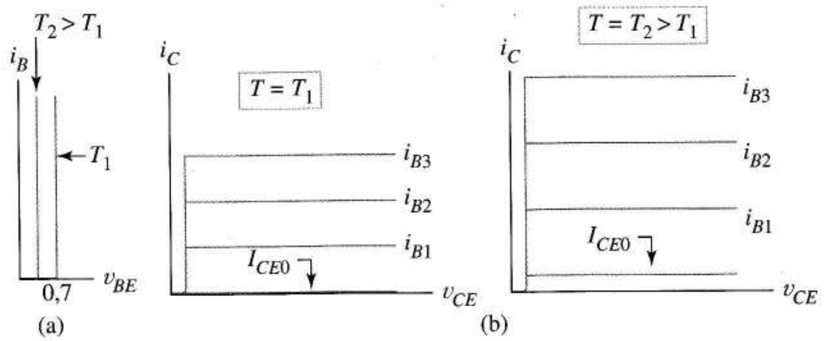


FIGURA 4.29 Características del transistor a dos temperaturas: (a) entrada; (b) salida.

Las características de salida aumentan su separación y se trasladan hacia arriba con temperatura creciente como en la Figura 4.29b. Como estas características de salida vienen de la Ecuación (4.10), vemos que el incremento en la separación de las curvas refleja los incrementos de β con la temperatura. La vida de los portadores minoritarios en la base crece con la temperatura, creciendo el factor de transporte α_τ, y llegando α muy cerca de uno. Como β es función de α, el resultado es un gran incremento de β, del orden de 7.000 ppm, cuando la temperatura aumenta. Una relación que predice las variaciones de β dentro de un margen de temperaturas es

$$\beta(T) = \beta(T_R)\left(\frac{T}{T_R}\right)^{XTB} \tag{4.19}$$

donde T y T_R son temperaturas en grados Kelvin y XTB una constante elegida apropiadamente llamada *exponente de temperatura*. Eligiendo XTB = 1,7, por ejemplo, predice que β se duplica aproximadamente de 27°C a 175°C.

Para explicar la traslación hacia arriba, necesitamos observar los dos términos que eliminamos justo antes de escribir la Ecuación (4.5). Si no hubiéramos hecho la aproximación, la Ecuación (4.10) tendría la forma

$$i_C = \beta_F i_B + I_{CE0}$$

donde I_{CE0} es una pequeña corriente de saturación continua que se duplica con cada incremento de 5° C de la temperatura.

De los tres parámetros del transistor sensibles a la temperatura, V_{BE}, con su bastante modesta y lineal variación de 2.900 ppm/°C, en realidad resulta ser el más molesto en circuitos prácticos. Incluso a temperaturas elevadas I_{CE0} es normalmente demasiado pequeña para jugar un papel principal en los transistores de silicio, y es relativamente fácil diseñar circuitos que trabajan bien para cualquier valor alto de β, igual que podemos diseñar circuitos de amplificadores operacionales que trabajen bien para cualquier valor alto de la ganancia del amplificador operacional. Muchos diseños de circuitos integrados usan las caídas de tensión de V_{BE} de transistores emparejados para compensarse el uno al otro dentro de un margen amplio de temperatura.

La Figura 4.30 muestra que β es también función de la corriente continua de colector. Para valores bajos de I_C, la recombinación dentro de la región de deplexión base-emisor pasa a ser importante, bajando el valor de beta. A valores altos de I_C, no es muy válido suponer que las concentraciones de electrones en el emisor no se ven afectadas por el proceso de inyección, resultando una reducción

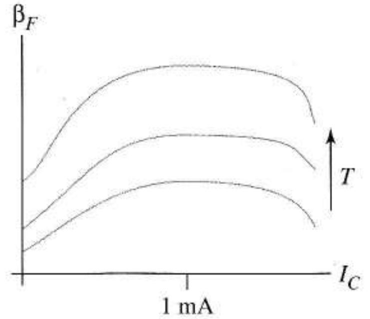


FIGURA 4.30 Variación de β con la temperatura y punto Q.

de β. Como las curvas generalmente son anchas y planas para valores moderados de I_C, *normalmente suponemos que es independiente del punto de funcionamiento* como primera aproximación.

4.9.2 TENSIONES DE RUPTURA

En el Capítulo 3 vimos que la ruptura ocurre aplicando polarización inversa grande a una unión pn. La polaridad de la tensión colector-base en la Figura 4.1d sugiere que la ruptura de la unión colector-base es posible que ocurra durante el funcionamiento activo directo. Esto, en efecto, ocurre a la tensión de *ruptura colector-base* BV_{CB0}. Como sugieren los subíndices, medimos BV_{CB0} entre colector y base con el emisor en circuito abierto.

La ruptura colector-base está clara cuando hacemos funcionar el transistor en *base común*, Figura 4.1d. Para esta configuración, la corriente de salida es i_C, la tensión de salida es v_{CB}, y la corriente de entrada es i_E. Las características de salida en base común medidas se parecen a la Figura 4.31a; el transistor funciona como una CCCS con ganancia de corriente α_F, como sugiere la Ecuación (4.7). Cuando v_{CB} se aproxima a BV_{CB0}, la corriente de colector para cada valor de la corriente de emisor es alta, y el transistor deja de funcionar como una CCCS. Por lo tanto, la ruptura colector-base tiene lugar por encima de la zona de funcionamiento útil en base común.

La ruptura colector-base también ocurre en la configuración de emisor común. Debido a la naturaleza activa del transistor, sucede a una tensión colector-emisor, BV_{CE0}, significativamente menor que BV_{CB0}. Hay también algo de deformación de las curvas características para tensiones justo por debajo de la ruptura, como se muestra en la Figura 4.31b. Es BV_{CE0} quien establece el límite superior de la tensión de salida útil para el transistor bipolar. BV_{CE0} se mide entre colector y emisor con la base en circuito abierto. Valores de 40 ó 50 V para BV_{CE0} son típicos para transistores diseñados para aplicaciones de amplificación. Esto da curvas de corriente constante que permanecen razonablemente planas para tensiones que normalmente encontramos usando alimentaciones de 15 V o más.

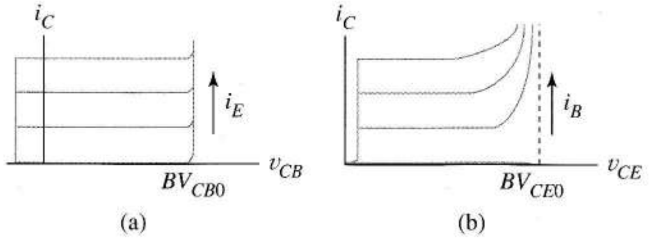


FIGURA 4.31 Tensión de ruptura del colector: (a) en base común; (b) en emisor común.

4.9.3 MODULACIÓN DEL ANCHO DE BASE

Cuando la unión colector-base está inversamente polarizada en funcionamiento activo directo, la anchura efectiva de la base se estrecha. Esta *modulación del ancho de base* hace que las curvas características reales de entrada y salida difieran de las generadas por las ecuaciones de Ebers-Moll.

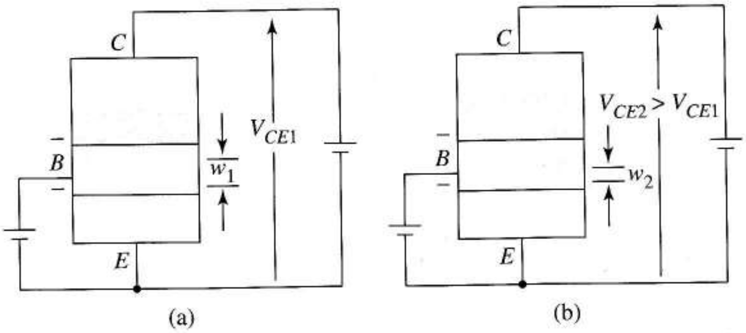


FIGURA 4.32 Modulación del ancho de base: (a) ancho efectivo de la base, w_1, con polarización colector-base moderada; (b) ancho efectivo de la base con fuerte polarización colector-base.

El sombreado de la Figura 4.32a sugiere que las dos regiones de deplexión se extienden hacia la base de material p durante el funcionamiento activo directo. La región de deplexión base-emisor es estrecha, la unión base-colector inversamente polarizada tiene una región de deplexión más ancha. Para tensiones colector-emisor mayores, Figura 4.32b, la región de deplexión base-colector se extiende todavía más por la base. Como los portadores minoritarios inyectados necesitan difundirse sólo hasta el borde de la región de deplexión colector-base antes de ser recolectados (ver Figura 4.1d), *la anchura efectiva de base* disminuye de w_1 a w_2 cuando v_{CE} crece hasta V_{CE2}. Es posible para v_{CE} llegar a ser tan grande que la región de deplexión base-colector se expanda a lo largo de toda la base, produciéndose corrientes altas que pueden dañar el transistor. Esta ruptura irreversible es diferente de la *ruptura de avalancha* estudiada en la Sección 4.9.2.

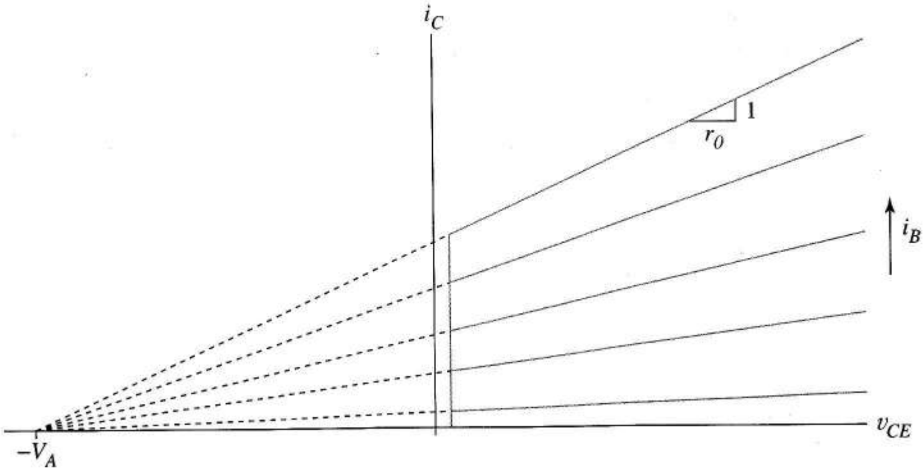


FIGURA 4.33 Efecto Early y resistencia de salida.

La consecuencia práctica más importante de la modulación del ancho de base es el cambio en las características de salida en emisor común. Con una distancia más corta que recorrer por los portadores inyectados, el factor de transporte crece, llevando $\alpha = \alpha_F$ muy cerca de uno cuando v_{CE} crece. El cambio en las características de base común, con separaciones determinadas por α, es difícilmente apreciable porque el cambio porcentual de α es pequeño. Sin embargo, como β en la Ecuación (4.9) es una función que depende de α, la separación de las características en emisor común aumenta notablemente con v_{CE} cuando la modulación del ancho de base es grande, como en la Figura 4.33. Fue Early quien observó que todas las curvas de salida medidas en emisor común parecen irse todas al punto $-V_A$, sobre el eje de tensiones. La V_A es conocida como la *tensión Early*. En la Figura 4.33, las líneas de trazos muestran este efecto.

Podemos generalizar la idea de ganancia de corriente del transistor para incluir la dependencia de la tensión colector-emisor mediante la adición de un *factor de corrección del efecto Early* a la beta del transistor. La Ecuación (4.10), modificada así, pasa a ser

$$i_C = \mathrm{f}(v_{CE}, i_B) = \left[\left(1 + \frac{v_{CE}}{V_A}\right)\beta\right] i_B \tag{4.20}$$

que describe i_C como una función de dos variables. Los transistores npn integrados de alta calidad tienen tensiones Early del orden de 100 a 120 V; así que para valores típicos de v_{CE} de unos 15 V, la corrección del efecto Early es pequeña, y las características de salida parecen ser casi horizontales. Por otro lado, los transistores pnp integrados pueden tener una tensión Early tan baja como 50 V, que da una pendiente muy pronunciada a las características de salida. Por simplicidad, a menudo ignoramos el efecto Early en las estimaciones manuales del punto Q, pero incluimos la corrección del efecto Early en las simulaciones de computador para aumentar la precisión.

Resistencia de salida Produciendo pendientes distintas de cero en las característica de salida, *el efecto Early aumenta la resistencia de salida del transistor r_O* definida por

$$\frac{1}{r_o} = \frac{\partial i_C}{\partial v_{CE}}\bigg|_{\text{punto } Q}$$

Tomando derivadas de la Ecuación (4.20) y evaluándola en el punto de funcionamiento de continua da

$$\frac{1}{r_o} = \frac{1}{V_A}\beta I_B$$

donde I_B es la corriente continua de base en el punto Q. Cuando $V_{CE} << V_A$ en la Ecuación (4.20)

$$I_C = \left(1 + \frac{V_{CE}}{V_A}\right)\beta I_B \approx \beta I_B$$

sustituyendo esto en la ecuación precedente y tomando la inversa da el importante resultado

$$r_o = \frac{V_A}{I_C} \tag{4.21}$$

Usando la Ecuación (4.21) para calcular el valor numérico de r_o, podemos incluir la pendiente distinta de cero de las características de salida en nuestro circuito equivalente del transistor. Simplemente añadimos una resistencia r_o entre los nodos de colector y emisor.

La mayoría de las veces r_o es tan grande que contribuye poco a la exactitud numérica. Los cálculos suelen generar expresiones teóricas demasiado complicadas. Por otro lado, observamos que ciertos circuitos (por ejemplo aquellos con cargas activas) y ciertos análisis (por ejemplo cálculos de la resistencia de salida) dependen de r_o. Lo mejor es excluir r_o en los cálculos manuales excepto cuando sirva de forma obvia a algún fin. Observaremos esta regla en el resto del texto.

Realimentación interna Otra consecuencia de la modulación del ancho de base es la *realimentación interna*, en la que una parte de la señal de tensión de salida se realimenta a través del transistor al circuito de entrada. Si en la Figura 4.32 mantenemos constante la polarización base-emisor mientras aumentamos v_{CE} de V_{CE1} a V_{CE2}, la corriente de base se hace más pequeña porque la recombinación en la base se reduce y es necesario sustituir menos huecos en la base. Debido a esto, la característica de entrada de un transistor real es un *familia* de características de entrada con v_{CE} como parámetro, como en las Figuras 4.34a y b. Las curvas de entrada aproximadas de la Figura 4.34b sugieren que podemos modificar el circuito de la Figura 4.6 para incluir la realimentación interna añadiendo una fuente dependiente controlada por v_{CE} en serie con la fuente en el circuito de entrada. Esto se hace en la Figura 4.34c, donde γ_F es el parámetro de *ganancia de tensión inversa* determinado a partir de la separación entre las curvas de entrada. En la teoría lineal general de cuadripolos del Apéndice B, hay siempre un parámetro con subíndice 12 que está asociado con la realimentación interna de este tipo. Como la resistencia de salida finita y la realimentación interna son indeseables, el diseñador de transistores minimizará la modulación del ancho de base dopando el colector mucho más ligeramente que la base para que la expansión de la región de deplexión tenga lugar en su mayor parte en el colector. Una consecuencia es que las curvas de entrada están tan poco espaciadas (γ_F es tan pequeña) que normalmente la representamos por una sola línea vertical a 0,7 V. Esto da un pequeño error para la mayoría de las aplicaciones; sin embargo, para el funcionamiento a alta frecuencia la realimentación interna es bastante importante y no puede ignorarse.

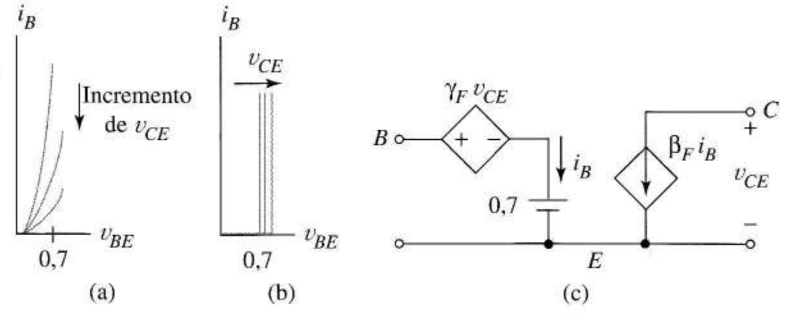


FIGURA 4.34 Efecto de la modulación del ancho de base sobre las características de entrada: (a) la reducción de la recombinación, al incrementar v_{CE}, reduce las corrientes de base; (b) representación esquemática de las características de entrada; (c) modelo del circuito de realimentación interna.

4.9.4 RESISTENCIA DE BASE Y COLECTOR

Todos los componentes de un circuito integrado están fabricados en una sola pieza de material semiconductor llamado *sustrato*. La consecuencia es que las conexiones externas a la base, emisor y colector están localizadas en la parte superior del circuito integrado como se muestra en la Figura 4.35. El transistor de esta figura es un *transistor vertical* porque la corriente circula verticalmente bajo el material del emisor. Tres resistencias parásitas son importantes en el transistor bipolar; llamamos a la primera *resistencia de difusión de base* r_b. La resistencia óhmica del camino de la corriente de base desde la unión a la superficie es alta porque la anchura de la base, muy estrecha como en la Figura 4.1e para dar α_F alta, da como resultado una sección de área muy pequeña para que circule la corriente. Un valor típico para r_b es 100 Ω. Este parámetro es importante en transistores de corriente alta y, suele influir significativamente en la respuesta en frecuencia de un amplificador. La siguiente en importancia es la resistencia óhmica del colector, r_c en la Figura 4.35. Como N_d en el colector es relativamente baja para reducir la modulación del ancho de base, la Ecuación (3.18) muestra que el conductor tiene una conductividad baja. El resultado es una resistencia de colector r_c del orden de 10 – 100 Ω que causa una caída de tensión *IR* cuando la corriente deja el colector. La capa enterrada especial altamente conductora, mencionada en la Sección 4.13, ayuda a reducir r_c. Para un transistor saturado, las ecuaciones de Ebers-Moll predicen un valor numérico de $V_{CE,sat}$ menor que los 0,2 V que usamos en nuestro modelo lineal. La desviación de 0.2V es un valor real para las corrientes altas típicas de colector que circulan por los transistores saturados cuando el efecto de r_c se incluye. De menor importancia que las otras dos es r_e, la resistencia óhmica del material de emisor altamente dopado. Un valor típico es 1 Ω.

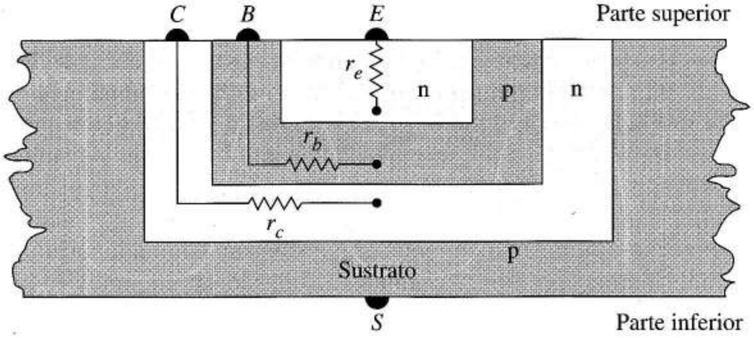


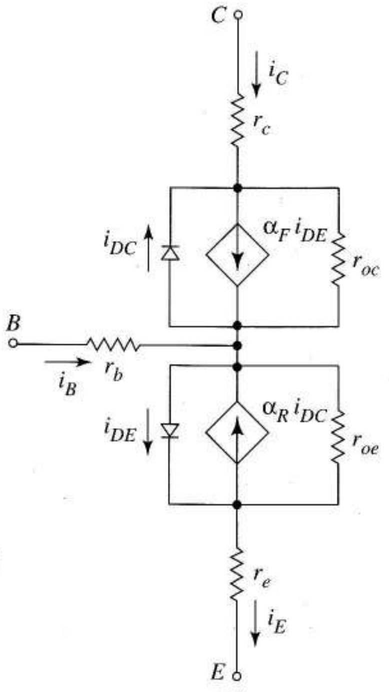
FIGURA 4.35
Resistencias en un transistor integrado.

4.9.5 MODELO ESTÁTICO SPICE INCLUYENDO EFECTOS SECUNDARIOS

El modelo estático SPICE del transistor bipolar de la Figura 4.36a incluye la mayoría de los efectos de segundo orden estudiados. Los parámetros r_c, r_b y r_e modelan las resistencias parásitas. La Figura 4.36b muestra el conjunto ampliado de parámetros SPICE y sus valores por defecto.

El SPICE por defecto incluye variaciones de temperatura en I_S y V_{BE}, igual que para los diodos. Si queremos ignorar el valor por defecto de cero para el exponente de temperatura, XTB, el SPICE también modela cambios de la beta directa con la temperatura de acuerdo con la Ecuación (4.19). El SPICE supone que todos los valores de las parámetros son correctos a una temperatura ambiente de 27ºC y hace las correcciones apropiadas cuando se ordenan análisis a otras temperaturas usando la sentencia .TEMP.

Los valores finitos para las tensiones Early directa y/o inversa, VAF y VAR, en la línea .MODEL llevan a simulaciones de SPICE que incluyen las resistencias de salida r_{oc} y r_{oe}, respectivamente. Estas son calculadas automáticamente por el SPICE en el punto *Q* determinado por el análisis en continua.



(a)

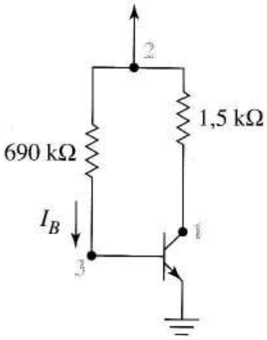
Notación		Valores por defecto
Texto	SPICE	
I_S	IS	1E – 16 A
β_F	BF	100
β_R	BR	1
r_c	RC	0
r_b	RB	0
r_e	RE	0
V_A	VAF	∞
–	VAR	∞
XTB	XTB	0

(b)

FIGURA 4.36 Modelo estático SPICE para el BJT: (a) modelo; (b) nombres de los parámetros y valores por defecto.

EJEMPLO 4.11 El circuito de la Figura 4.37a fue diseñado usando el modelo de gran señal de la Figura 4.6 con V_{BE} = 0,7 V y β = 300. Por simplicidad, la tensión Early se ignoró. El objeto del diseño fue establecer el punto de funcionamiento (V_{CE}, I_C) = (1,5 V, 1 mA) para que el transistor pudiera trabajar como CCCS. Comprobar con SPICE el diseño a las temperaturas centígradas: –40, –20, 0, 27, 50, 70, 100 y 125.

Solución Para comprobar el diseño escribimos el código SPICE de la Figura 4.37b. El modelo SPICE determina iterativamente valores más precisos de V_{BE} que los que podríamos alcanzar mediante un simple cálculo manual. Debido a la sentencia *VA* = 90 en la línea .MODEL, la simulación también incorpora la corrección del efecto Early en los cálculos del punto *Q*. Finalmente, la línea .TEMP ordena al SPICE calcular el punto *Q* a las temperaturas especificadas. Los cálculos del punto *Q* del SPICE incluyen variaciones inducidas de temperatura en β, V_{BE} e I_S.



(a)

```
EXAMPLE 4.11
VCC 2 0 DC 3
RB 2 3 690K
RC 2 1 1.5K
Q1 1 3 0 NTRAN
.MODEL NTRAN NPN BF=300 VA=90 XTB=1.7
.TEMP -40 -20 0 27 50 70 100 125
.OP
.END
```

(b)

FIGURA 4.37 (a) Circuito diseñado para obtener un punto *Q* dado; (b) simulación SPICE del funcionamiento del circuito en un margen de temperaturas.

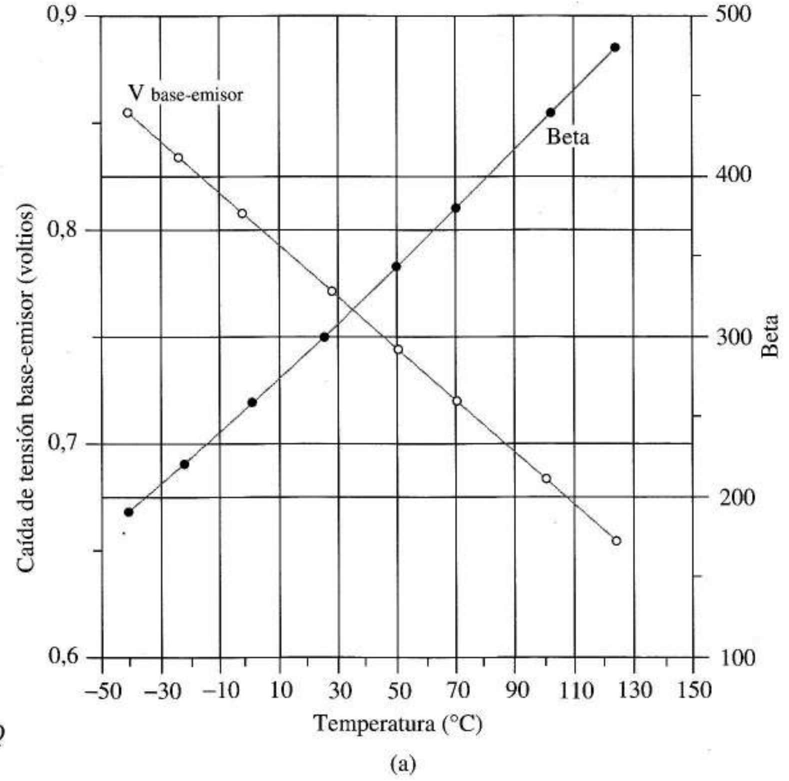


FIGURA 4.38 Simulación SPICE del circuito de la Figura 4.37a: (a) simulación de la variación de V_{BE} y β con la temperatura; (b) variación del punto Q con la temperatura.

La Figura 4.38a muestra los valores de salida de V_{BE} y β, y la Figura 4.38b muestra las variaciones del punto Q. Primero, examinaremos los resultados a temperatura ambiente a 27ºC, el listado del SPICE indicó β = 302,5 en lugar de 300 en el código SPICE. Este ligero incremento es resultado de la separación entre curvas debidas al efecto Early (ver Figura 4.33). El SPICE calculó también iterativamente el valor de V_{BE} de 0,77 V a 27ºC. Como este valor supera los 0,7 V utilizados en el diseño, esperamos de la Figura 4.37a un valor de simulación de la corriente de base menor que el valor de diseño. Esto explica por qué la corriente de colector en la Figura 4.38b es ligeramente menor que el valor de diseño de 1 mA a 27ºC incluso aunque β >300.

Para temperaturas menores, β disminuyó y V_{BE} aumentó como se esperaba de la Figura 4.29, y el punto Q se desplazó a lo largo de la recta de carga hacia la zona de corte. Estos datos demuestran qué puede suceder con el punto Q en circuitos pobremente diseñados. En los primeros años de los transistores, variaciones de temperatura como éstas eran un problema; sin embargo, los transistores perfeccionados y las técnicas de diseño modernas producen hoy un funcionamiento excelente de los circuitos dentro de un margen amplio de temperatura. En el Capítulo 6 aprenderemos a diseñar circuitos que minimicen la tendencia del punto Q a desplazarse con los cambios de temperatura. ❑

Nuestros modelos simples juegan un papel vital, incluso después de las más precisas simulaciones del SPICE, ayudándonos a confirmar rápidamente que los resultados tienen sentido.

Ejercicio 4.9 Utilizar el análisis manual y los valores de los parámetros a T = 125ºC de la Figura 4.38a para estimar el punto Q.

Respuesta I_C = 1,67 mA, V_{CE} = 0,497 V.

Este estudio introductorio omitió muchas características del SPICE relativas al modelado de transistores bipolares. Por ejemplo, el SPICE incluye las variaciones de con I_C de la Figura 4.30 y la realimentación interna de la Figura 4.34, sin embargo, los valores por defecto de los parámetros hacen que estas características no estén disponibles para el principiante. Dejamos una exploración avanzada para la curiosidad del lector u otro curso más avanzado.

4.9.6 CAPACIDADES PARÁSITAS

Sabemos que los diodos poseen capacidades parásitas internas, relaciones no lineales de Q en función de V que son transparentes para señales lentas pero importantes cuando se imponen al dispositivo cambios rápidos de tensión o corriente. Como el transistor bipolar contiene dos uniones pn, es de esperar que tenga limitaciones dinámicas similares. Las *capacidades de deplexión y difusión* están asociadas con cada unión y limitan el funcionamiento a alta frecuencia. En transistores en estado activo directo, la capacidad de deplexión es dominante en la unión colector-base inversamente polarizada. En la unión base-emisor directamente polarizada, son importantes tanto la capacidad de difusión como la de deplexión. En transistores integrados, fabricados sobre sustrato como en la Figura 4.35, también hay capacidad de deplexión entre colector y sustrato.

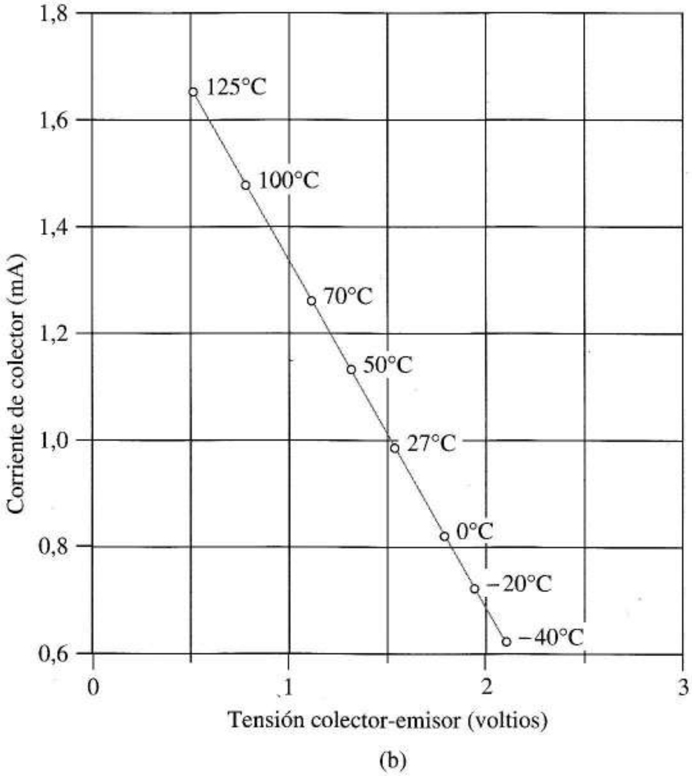


FIGURA 4.38
(Continuación)

Las capacidades de deplexión del transistor son exactamente las mismas que describimos en la teoria de diodos. Por lo tanto, los valores de los parámetros en la Ecuación (3.62) y la característica

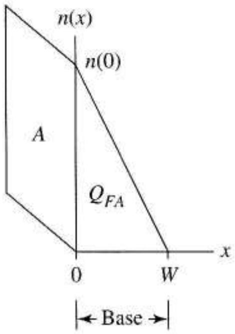


FIGURA 4.39 Exceso de carga de los minoritarios almacenada en un transistor activo.

de capacidad de la Figura 3.62, dentro del transistor, dependen de los coeficientes de gradiente de la unión individual y de la geometría de unión. La capacidad de difusión para un transistor difiere ligeramente de la de un diodo aislado debido a la estrecha base. Para el transistor activo directo vemos que la curva de concentración de carga de los minoritarios en la base es triangular como en la Figura 4.7. Para una unión base-emisor con una sección de área A, usamos la Figura 4.39 para calcular que la cantidad de carga de los minoritarios, Q_{FA}, almacenada en la base en culombios es

$$Q_{FA} = qA\frac{1}{2}n(0)W$$

Sustituyendo $n(0)$ de la Ecuación (4.14) da la curva carga-tensión que caracteriza la capacidad de difusión del transistor activo directo.

$$Q_{FA}\left(v_{BE}\right) = \frac{qAW}{2}\frac{n_i^2}{N_a}e^{v_{BE}/V_T} \tag{4.22}$$

Esta recolección particular de carga almacenada representa electrones en tránsito desde el emisor al colector. Por término medio, estos electrones inyectados tardan τ_T segundos en atravesar la base, donde τ_T se llama el *tiempo de tránsito*. Para transistores npn integrados, el tiempo de tránsito es del orden de 1ns, para transistores integrados pnp $\tau_T \approx 30$ ns. Como este flujo de electrones constituye la corriente de colector tenemos

$$I_C = \frac{Q_{FA}}{\tau_T} \text{ culombios/s} \tag{4.23}$$

Este estudio revisa brevemente las capacidades más importantes para el modo de funcionamiento activo directo. En la próxima sección tendremos una visión más general que se aplica a los cuatro estados del transistor.

4.10 MODELO DINÁMICO DEL TRANSISTOR

La Figura 4.40 introduce un *modelo dinámico del transistor bipolar*. Lo reconocemos como el modelo de Ebers-Moll de la Figura 4.3 con las capacidades de difusión no lineal (subíndice *dif*) y de deplexión (subíndice *dep*) explicadas en la Sección 3.12 e introducidas en la Figura 3.64a. Las resistencias representan las caídas de tensión dinámicas en el material semiconductor. También hay una capacidad de deplexión colector-sustrato para los transistores integrados. Cada capacidad de difusión es una relación no lineal de Q en función de V de la forma expuesta en la Figura 3.61 causada por el almacenamiento de cargas de los minoritarios en la vecindad de esa unión en particular. Cada capacidad de deplexión es una relación no lineal de Q en función de V de la forma expuesta en la Figura 3.62, causada por la separación de iones positivos y negativos en la región de deplexión de esa unión. Como en el diodo, la capacidad de difusión es dominante para una unión directamente polarizada y la capacidad de deplexión es más importante para una unión inversamente polarizada, aunque ambas

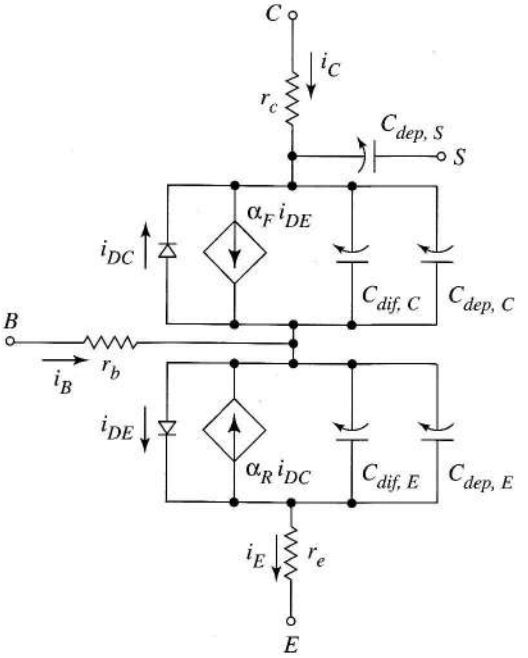


FIGURA 4.40 Modelo dinámico de un transistor bipolar incluyendo las capacidades no lineales de difusión y deplexión.

están presentes independientemente de la polarización de la unión. Las simulaciones dinámicas pueden incluir las cinco capacidades no lineales. Para cálculos manuales, normalmente sólo se consideran las capacidades dominantes y, a veces, están contenidas en un solo condensador lineal para simplificar los cálculos.

En amplificadores, estas capacidades internas reducen la ganancia a alta frecuencia como se estudió en la Sección 1.6.4. El Capítulo 8 estudiará esta consecuencia en detalle. En circuitos digitales las capacidades introducen retardos en las conmutaciones similares a los retardos vistos en los diodos en la Sección 3.12.4. El siguiente desarrollo introduce los retardos de conmutación del transistor.

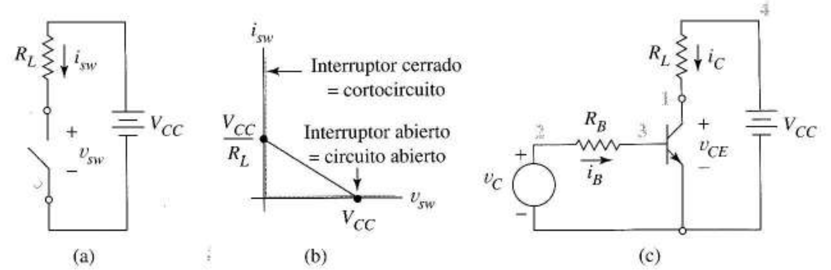
4.11 LA CONMUTACIÓN DEL TRANSISTOR

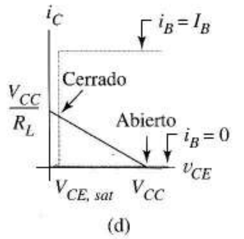
La mayoría de las aplicaciones de transistores como puertas lógicas digitales, circuitos de *interface,* fuentes de alimentación y circuitos de comunicaciones usan el transistor bipolar como un interruptor gobernado por una señal de control. En tales aplicaciones el transistor funciona como un dispositivo de dos estados, con la saturación correpondiendo a un interruptor cerrado y el corte, a un interruptor abierto. Las ventajas del transistor son la velocidad, versatilidad y la comodidad.

En esta sección estudiamos los principios estáticos y dinámicos de los interruptores hechos con transistores bipolares. El Capítulo 5 introduce los transistores de efecto campo que también se usan como interruptores. Los Capítulos 10 y 12 muestran el uso de los interruptores en fuentes de alimentación y filtros respectivamente. Estudiaremos aplicaciones detalladas de interruptores en puertas lógicas, elementos de memoria digital y circuitos de *interface* en los Capítulos 13 y 14.

4.11.1 FUNCIONAMIENTO DEL INTERRUPTOR ESTÁTICO

La Figura 4.41a muestra un interruptor conectado en serie con una resistencia de carga y una fuente de alimentación. La Figura 4.41b muestra las curvas características correspondientes, cortocircuito y circuito abierto, con una recta de carga superpuesta. En la Figura 4.41c el transistor sustituye al interruptor, siendo la corriente de colector la corriente del interruptor y la tensión colector-emisor la tensión del interruptor; v_C es una señal que controla el interruptor. La Figura 4.41d es el equivalente de la Figura 4.41b con el transistor como interruptor. La tensión de control v_C determina el estado del interruptor tomando dos valores, un valor alto que produce corriente de base $i_B = I_B$ suficientemente grande para saturar el transistor y un valor menor que la tensión de codo que hace $i_B = 0$. De todas las posibles curvas de salida del transistor, sólo las dos mostradas en la Figura 4.41d son relevantes para el funcionamiento como interruptor. La comparación de las Figuras 4.41b y d muestra que para R_L suficientemente grande y para $V_{CE,sat}$ suficientemente pequeña, la conmutación del transistor se parece mucho a la conmutación ideal. Cuando v_C es baja, la corriente de carga es cero y toda la tensión V_{CC} cae en el transistor. Cuando v_C es alta, una corriente de aproximadamente V_{CC} / R_L circula a través de R_L y casi toda la tensión V_{CC} cae en R_L. La pequeña caída de tensión en el interruptor, $V_{CE,sat}$, normalmente no es un problema. En el próximo capítulo estudiaremos un transistor de efecto campo como interruptor que no tiene este *offset*.






```
EXAMPLE4.12
VCC 4 0 DC 9
RL 4 1 800
RB 2 3 1K
QSW 1 3 0 SWITCH
.MODEL SWITCH NPN BF=25
VC 2 0 PULSE(0 5 0.5E-6 0 0 0.5E-6 2E-6)
.TRAN 0.02E-6 2E-6
.PLOT TRAN V(1)
.END
```

(e)

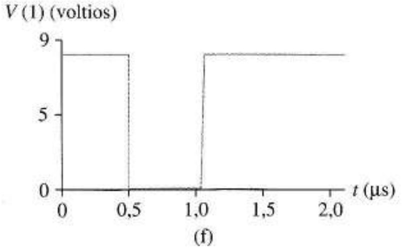


FIGURA 4.41 (a) Interruptor ideal; (b) curvas *vi* para un interruptor ideal; (c) Interuptor del transistor y tensión de control v_c; (d) curvas *vi* por un interruptor con transistor, con la recta de carga superpuesta; (e) código SPICE para el Ejemplo 4.12; (f) tensión del interruptor simulada.

Ejercicio 4.10 En la Figura 4.41c obtenga la tensión de control mínima necesaria para cerrar el interruptor si $V_{CC} = 9$ V, $R_L = 800\ \Omega$, $R_B = 1\ k\Omega$, $V_{CE,sat} = 0{,}2$ V, y $\beta = 25$. Obtenga también la corriente de carga cuando el interruptor está cerrado.

Respuesta 1,14 V, 11 mA.

EJEMPLO 4.12 Simular con SPICE el circuito de conmutación de la Figura 4.41c para $V_{CC} = 9$ V, $R_L = 800\ \Omega$, $R_B = 1\ k\Omega$ y $\beta = 25$. La tensión de control, $v_C(t)$, es un pulso de 5 V de 0,5 μs de duración. Hacer una gráfica de SPICE de la tensión de conmutación.

Solución La Figura 4.41e muestra el código, y la Figura 4.41f la onda de salida. En la última el interruptor se abre y cierra en respuesta a su tensión de control. Observemos que un pulso de 5 V conmuta una alimentación de 9 V. Comparada con la tensión de control mínima de 1,14 V que obtuvimos en el Ejercicio 4.10, este circuito usa 5 V para llevar el transistor a saturación profunda por cuestiones de fiabilidad. Este diseño conmuta adecuadamente a pesar de variaciones razonables de resistencia, beta y tensión de alimentación, como el lector puede verificar fácilmente en el SPICE. ❑

La simulación del Ejemplo 4.12 ignoró algunos aspectos dinámicos del transistor muy importantes. En la conmutación del transistor, como en la conmutación del diodo, debemos ser conscientes no sólo de las condiciones del interruptor en equilibrio, sino también de la naturaleza, duración y causa de los retrasos asociados con los cambios de estado del interruptor, nuestro próximo tema.

4.11.2 CONMUTACIÓN DINÁMICA

Los retrasos de conmutación del transistor están causados por las capacidades no lineales de las uniones. Quizas el mejor modo para apreciar la compleja interacción entre las cuatro capacidades no lineales y los estados del transistor es examinar un ejemplo de conmutación en detalle.

La Figura 4.42a muestra un interruptor de un solo transistor. El diagrama superior de la Figura 4.42b muestra que v_C es un pulso de 14 V superpuesto sobre un nivel de continua de –5 V. Del estudio estático del interruptor de la última sección, sabemos que la intención es cerrar el interruptor a $t = 0$ durante un intervalo de T segundos, conectando la alimentación de 9 V a la resistencia de 2 kΩ mediante la saturación del transistor, y después reabrir el interruptor en $t = T$ cortando el transistor. La tensión de salida real, v_o en la Figura 4.42b, sin embargo, no cambia instantáneamente entre los valores de corte y saturación, cambia gradualmente, y sólo después de un cierto tiempo de retraso. Los diagramas de la Figura 4.43 usan modelos simplificados para describir la secuencia de eventos internos del transistor. Ignoramos la capacidad de sustrato suponiendo que el transistor es discreto.

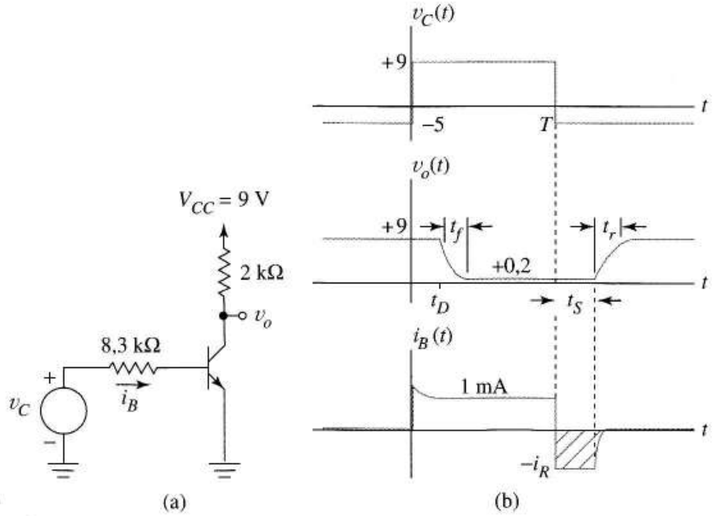


FIGURA 4.42 Formas de onda para un transistor bipolar trabajando como interruptor: (a) circuito de conmutación; (b) formas de onda.

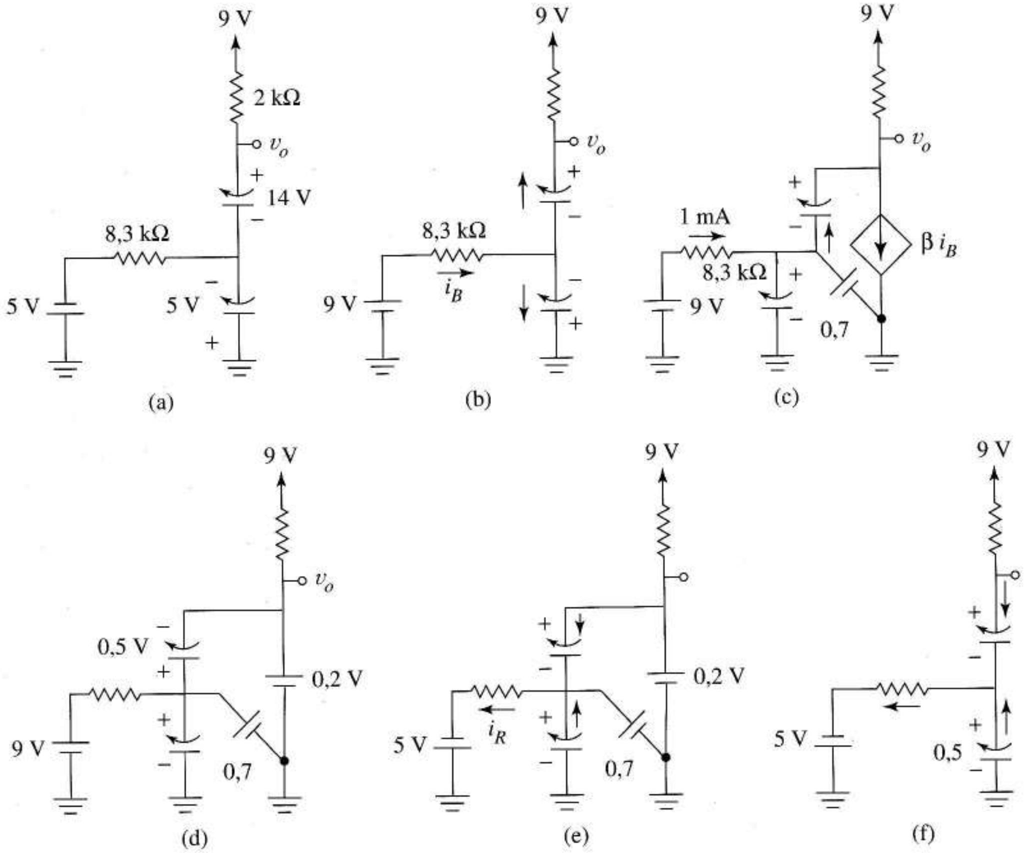


FIGURA 4.43 Modelos del transistor que se aplican durante la conmutación: (a) estado inicial de corte; (b) estado de corte transitorio después de que la tensión de entrada cambie; (c) estado transitorio activo; (d) estado de saturación en equilibrio; (e) estado de saturación antes que el transistor se corte; (f) transistor cortado con condensadores preparados para alcanzar el equilibrio de corte.

La Figura 4.43a muestra la condición de equilibrio antes de $t = 0$. Las capacidades de deplexión asociadas con sus dos uniones inversamente polarizadas representan el transistor cortado. Cada condensador está cargado a la tensión de su unión y todas las corrientes son cero.

A $t = 0$, la tensión de control cambia a 9 V como en la Figura 4.43b. Las tensiones de los condensadores no pueden cambiar instantáneamente. Inicialmente el transistor está cortado, mientras los condesadores se cargan hacia nuevos valores de equilibrio con las direcciones de corrientes mostradas en la figura. Hay un *tiempo de retardo*, t_D, mostrado en la Figura 4.42b, antes que la capacidad base-emisor se cargue al valor de la tensión de codo y el transistor conduzca.

Cuando el transistor comienza el funcionamiento activo, la Figura 4.43c, la corriente de base varía gradualmente hasta alcanzar su valor final de

$$I_B = \frac{9 - 0{,}7}{8{,}3\ \text{k}} = 1\ \text{mA}$$

mostrado en la Figura 4.42b. Debido a la alta corriente entregada por la fuente de corriente dependiente, la capacidad base-colector se descarga rápidamente, la tensión de salida cae a 0,2 V y el transistor entra en saturación como en la Figura 4.43d. Este es el equilibrio correspondiente a un interruptor cerrado, y todas las corrientes asumen los valores que predecimos con el análisis del circuito estático usando el modelo de saturación. Ahora es el momento de recordar que la carga almacenada en la base del transistor es como se muestra en la Figura 4.14c.

A $t = T$, la tensión de control cambia bruscamente a –5 V como en la Figura 4.42b y 4.43e. Como la capacidad de difusión base-emisor está cargada a +0,7 V, v_{BE} no puede cambiar instantáneamente y el transistor no puede cortarse. En su lugar permanece saturado hasta que la carga de los minoritarios en exceso de la base, Q_S en la Figura 4.14c, es eliminada. Hay dos procesos simultáneos eliminando esta carga, la recombinación dentro del transistor y la corriente de base, $-i_R$, mostrada en las Figuras 4.42b y 4.43e. (Cuando la corriente externa es el proceso de eliminación de carga dominante, el área rayada bajo la curva de corriente inversa en la Figura 4.42b se aproxima a Q_S.) El resultado es un retraso llamado el *tiempo de almacenamiento*, t_s, mostrado en la Figura 4.42b. Durante este intervalo la corriente de base es negativa y v_{BE} y v_O cambian poco. Sólo después que la carga Q_S es eliminada el tránsito pasa del estado activo directo a corte, Figura 4.43f. Ahora las capacidades de deplexión se cargan a sus valores de equilibrio originales. Como el transitorio de conmutación del diodo de la Figura 3.65, el tiempo de almacenamiento, t_s, normalmente es el retraso de conmutación dominante. Podemos reducir el tiempo de almacenamiento generando una corriente inversa grande que elimine rápidamente el exceso de carga.

La tensión de salida también muestra el tiempo de subida 10–90% t_r, que definimos usando la Figura 1.40. Esta parte del transitorio es la más relacionada con la carga de las capacidades de deplexión del transistor cortado a sus valores de equilibrio finales. Hay también un tiempo de bajada 90–10%, t_f. Como estos tiempos de subida y bajada involucran a *los condensadores no lineales*, no son simples funciones exponenciales *RC*.

Las Figuras 4.42 y 4.43 del estudio precedente proporcionan un entedimiento cualitativo importante del proceso de conmutación. Sin embargo, como los transistores hacen cambios de estado graduales en lugar de abruptos y como las capacidades son en realidad no lineales y cuatro en número, necesitamos simulaciones para predecir con fiabilidad los retrasos que de verdad se esperan de un dispositivo dado. El modelo dinámico SPICE del transistor bipolar descrito en la próxima sección sirve a este propósito.

4.12 MODELO DINÁMICO SPICE DEL TRANSISTOR BIPOLAR

Los parámetros SPICE de la Figura 4.36 cuentan para la mayoría de las características estáticas importantes del transistor. Para simular el comportamiento dinámico, necesitamos también parámetros para caracterizar las capacidades de difusión y deplexión de la Figura 4.40. Para describir las capacidades de deplexión no lineales controladas por tensión, $C_{dep,E}$ y $C_{dep,C}$, debemos especificar las capacidades a tensión cero, CJE y CJC, potenciales de barrera, VJC y VJE, y coeficientes de gradiente, MJC y MJE. Todos ellos tienen el mismo significado que para el diodo en la Sección 3.12. Para transistores integrados también necesitamos dar parámetros para la capacidad colector-sustrato, $C_{dep,S}$–CJS, VJS y MJS.

Para las capacidades de difusión, $C_{dif,E}$ y $C_{dif,C}$, tenemos tiempos de vida directos e inversos: TF para la capacidad emisor-base y TR para la capacidad colector-base. La tabla de la Figura 4.44a actualiza nuestra lista de parámetros SPICE del transistor bipolar, incluyendo los valores por

defecto. Todos los parámetros dinámicos clave tienen valores por defecto de 0; por lo tanto, *el modelo de transistor por defecto es un modelo estático*. La Figura 4.44b muestra valores representativos para un transistor npn integrado de baja potencia diseñado para aplicaciones lineales como la amplificación.

El SPICE usa el modelo de la Figura 4.40 para todos los tipos de análisis. Durante una primera simulación se calcula el punto de funcionamiento en continua de cada transistor. A partir de esta información, se calculan los valores en el punto Q de las capacidades de deplexión y difusión y los factores de corrección de la tensión Early. Para el análisis senoidal, el SPICE usa análisis lineal, tratando las capacidades de deplexión y difusión como constantes. Para el análisis de transitorios, el SPICE actualiza los valores de las capacidades como requiere siempre la simulación cuando el punto de funcionamiento cambia.

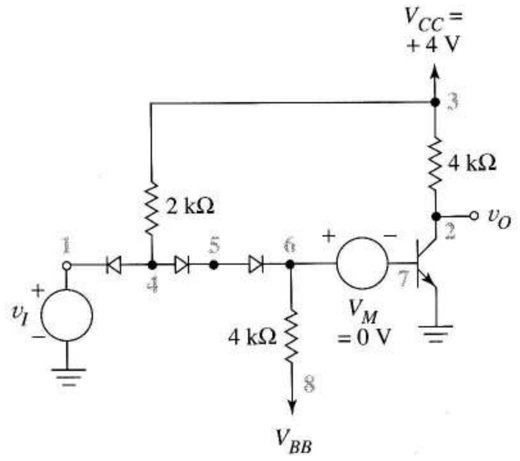
Parámetros SPICE			
Estáticos		Dinámicos	
	Valor por defecto		Valor por defecto
IS	1E–16A	CJE	0
BF	100	VJE	0.785 V
BR	1	MJE	0.33
RC	0	CJC	0
RB	0	VJC	0.75 V
RE	0	MJC	0.33
VAF	∞	CJS	0
VAR	∞	VJS	0.75 V
XTB	0	MJS	0
		TF	0
		TR	0

(a)

Valores típicos de circuitos integrados			
IS	1E–16A	CJE	1.0 pF
BF	200	VJE	0.7 V
BR	2	MJE	0.33
RC	200 Ω	CJC	0.3 pF
RB	200 Ω	VJC	0.55 V
RE	2 Ω	MJC	0.5
VAF	130 V	CJS	3 pF
VAR	50 V	VJS	0.52 V
XTB	1.7	MJS	0.5 V
		TF	0.35 ns
		TR	10 ns

(b)

FIGURA 4.44 Parámetros SPICE para el modelo dinámico del transistor: (a) parámetros y valores por defecto; (b) valores representativos para un transistor integrado.



(a)

```
EXAMPLE 4.13
VCC 3 0 DC 4
RC 3 2 4K
RB1 6 8 4K
RB2 3 4 2K
D1 4 1 DI
D2 4 5 DI
D3 5 6 DI
Q1 2 7 0 NTRAN
VM 6 7 DC 0
VBB 8 0 DC -0.0
VIN 1.0 PULSE(0 4 10N 0 0 60N)
.MODEL DI D TT=1.0E-10 RS=10
+CJO=2.0E-12 VJ=0.8
.MODEL NTRAN NPN RC=100 CJC=0.3E-12
+CJE=0.15E-12 TF=14E-9 BF=20 BR=1
.TRAN 2N 200N
.PLOT TRAN V(2) I(VM)
.END
```

(b)

FIGURA 4.45 Ejemplo de puerta lógica: (a) esquema con los nodos numerados para el análisis del SPICE; (b) código SPICE para la simulación cuando VBB = 0.

La Figura 4.45a, muestra un circuito lógico digital en el que el transistor es un interruptor. Conceptualmente, el funcionamiento es simple. Cuando la entrada VIN está cerca de cero, el transistor se corta, llevando v_o casi a VCC; cuando VIN está cerca de 4V, el transistor se satura y v_o está próxima a 0,2 V. Sin embargo, las capacidades internas del transistor y los diodos causan retrasos y formas de onda que son difíciles de calcular con análisis manual. En el siguiente ejemplo utilizamos el SPICE para examinar los detalles.

EJEMPLO 4.13 Dibujar con SPICE la tensión de entrada, corriente de base, y tensión de salida para la Figura 4.45a cuando VIN es un pulso de 4 V de 60 ns de duración.

Solución La Figura 4.45 muestra el código para obtener las formas de onda de la tensión de salida y la corriente de base cuando VBB = 0 V. VIN es un pulso de 4 V de 60 ns de duración retrasado 10 ns, así que el transitorio asociado con flanco del pulso es fácil de ver. La fuente VM es un amperímetro que nos permite observar la corriente de base, un artificio necesario porque el SPICE dibuja las corrientes sólo cuando están asociadas con fuentes de tensión. Mediante las líneas .MODEL se incluyen tres capacidades internas del transitor y seis capacidades internas de los diodos, todas ellas no lineales.

La Figura 4.46a, compara las ondas de entrada y salida. Vemos que los retrasos esperados en la tensión de salida cuando ésta cambia entre los valores de corte y saturación. El retraso asociado con la salida de saturación es claramente dominante. Desde luego, las curvas por sí mismas nos dan poca información acerca de las *causas* de los retrasos o de *cómo* reducirlos. Teóricamente, sin embargo, esperaríamos un valor negativo de VBB para acelerar la salida de saturación eliminando la carga almacenada.

La Figura 4.46b, muestra los resultados de una segunda simulación SPICE que usa VBB = −2 V para verificar esta conjetura. Como esperábamos, el transitorio de corriente de base negativa al final del pulso de entrada es grande en magnitud pero de corta duración. ❑

Un cambio menos deseable en la segunda ejecución era que la bajada de la tensión de salida parece más larga para VBB = −2 V. Después de algunas reflexiones es posible explicar esto mediante los

cambios asociados con la capacidad de deplexión base-emisor del transistor cortado. Esta capacidad está cargada a una tensión más negativa antes del pulso de entrada cuando VBB = –2 V que para 0 V. Observemos también en la Figura 4.45a que la corriente que circula por la resistencia de 2 kΩ para cargar la capacidad de deplexión y hacer conducir el transistor es reducida por la corriente que fluye hacia VBB. Esto es coherente con la corriente de base positiva reducida en la Figura 4.46b cuando el transistor conduce. El objetivo es mostrar que el razonamiento teórico cualitativo complementa las simulaciones cuantitativas.

Ejercicio 4.11 A partir de las curvas de la Figura 4.46, hacer una estimación del tiempo de retraso, tiempo de almacenamiento, tiempo de subida, y tiempo de bajada para el circuito de la puerta del Ejemplo anterior. Como los datos son tan imprecisos, usar 0–100% para los tiempos de subida y bajada en lugar del usual 10–90%.

Respuesta Cuando $V_{BB} = 0$, $t_D = 0$, $t_S \approx 35$ ns, $t_r = 75$ ns, $t_f = 15$ ns. Cuando $V_{BB} = -2$ V, $t_D = 0$, $t_S \approx 5$ ns, $t_r = 34$ ns, $t_f = 28$ ns.

4.13 FABRICACIÓN DE CIRCUITOS INTEGRADOS

Como la fabricación y diseño de circuitos integrados están estrechamente relacionados, la comprensión de la electrónica moderna necesita un conocimiento básico de la forma en que se hace un circuito integrado. Los circuitos integrados favorecen estructuras de circuitos y dispositivos determinados sobre otros y los diseños de circuitos integrados explotan características especiales estrechamente ligadas a la fabricación como disponibilidad de parámetros del circuito que funcionen en un margen de temperatura amplio. Además las técnicas de fabricación provocan interrelaciones entre los valores de los parámetros de los componentes en todas las partes del chip. Esta sección simplifica estas ideas describiendo un proceso sencillo para producir circuitos integrados bipolares. Por claridad y brevedad presentamos sólo los fundamentos necesarios para obtener un conocimiento básico. Hay cursos específicos de diseño de VLSI[1], muchos libros de texto excelentes y revistas disponibles para los interesados en aprender las últimas técnicas en este área continuamente en evolución.

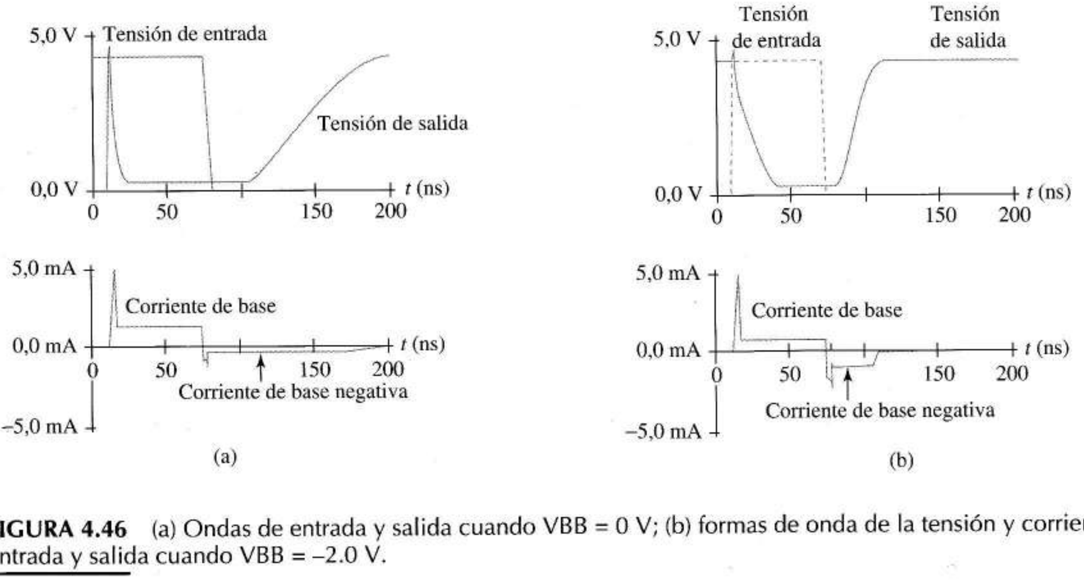


FIGURA 4.46 (a) Ondas de entrada y salida cuando VBB = 0 V; (b) formas de onda de la tensión y corriente de entrada y salida cuando VBB = –2.0 V.

[1]N. del T.: VLSI son las iniciales de "Very Large Scale of Integration" o Muy Alta Escala de Integración. Cuando la escala de integración no es tan grande se habla de LSI.

Perspectiva histórica El número de dispositivos de un circuito en un solo circuito integrado ha crecido rápidamente a través de los años. El primer hito histórico, la *integración a baja escala* o SSI[2], produjo circuitos integrados que contenían de 1 a 10 puertas lógicas, cada una del tamaño de la Figura 4.45a. Mejoras en los procesos de fabricación llevaron después a la *integración de media escala*, MSI[3], conteniendo 10–100 puertas/chip y a la *integración a gran escala*, LSI, produciendo 100–10.000 puertas/chip. Hoy con la *integración a muy alta escala*, VLSI, los circuitos incluyen más de 10^5 puertas/chip. A medida que la tecnología de los circuitos integrados fue mejorando, el tamaño de los componentes del circuito disminuyó hasta ahora que la dimensión del componente más pequeño de un chip es menor que una micra[4]. Para comparar, un glóbulo rojo tiene un diámetro aproximado de 7 micras.

Cada etapa del desarrollo de los circuitos integrados lleva a una mayor sofisticación de las unidades funcionales básicas disponibles para los diseñadores de circuitos. Antes de los circuitos integrados, el diseño de circuitos consistía en la interconexión de transistores individuales, resistencias y diodos. SSI ofreció las puertas lógicas de alta calidad como un elemento de diseño. Con MSI vinieron circuitos todavía mayores como registros y contadores para diseño digital y amplificadores operacionales para diseño analógico. Con LSI llega un problema de márketing nuevo. Estaba disponible una tecnología capaz de hacer productos altamente sofisticados tales como relojes de pulsera y calculadoras; sin embargo, el proceso era caro en sí mismo y confiaba en ventas a gran escala para obtener precios por unidad razonables. El problema era identificar los productos capaces de generar los volúmenes de venta necesarios. El circuito integrado del microprocesador proporcionó la solución ideal, para diseños básicos podía producirse en masa a bajo coste y adaptarlo individualmente después por el usuario para aplicaciones específicas haciendo el software a medida. VLSI está extendiendo ahora esta tendencia hacia elementos funcionales más complejos, haciendo realidades ideas hasta ahora impracticables como el procesado en paralelo, detección y corrección automática de errores y funcionamiento tolerante a los fallos. Las matrices lógicas programables (PLAs) y los circuitos integrados de aplicación específica (ASICs)[5] son métodos recientes de adaptación de sistemas estándar integrados y baratos a aplicaciones específicas, reduciendo los gastos de desarrollo de software mediante la programación en la factoría.

Las ventajas de los circuitos integrados son:

1. Peso y tamaño pequeños.
2. Disminución del coste por unidad con la miniaturización, mayor a más unidades por serie.
3. La reducción de tamaño origina dispositivos con capacidades bajas y velocidades más altas.
4. Es posible una mayor complejidad del circuito porque se pueden usar más componentes por circuito.
5. La fiabilidad es mayor porque las conexiones entre dispositivos se hacen durante el proceso de fabricación en lugar de con soldaduras individuales como en los tiempos previos a los circuitos integrados.
6. La disponibilidad de parámetros de circuitos con poca dispersión hace posible estructuras de circuitos que antes no eran prácticos.
7. Los dispositivos físicamente cercanos en el chip tienen casi idéntica temperatura; por lo tanto los parámetros varían todos igual con la temperatura.

---

[2] N. del T.: SSI son las iniciales de "Small Scale of Integration"

[3] N. del T.: MSI son las iniciales de "Medium Scale of Integration"

[4] N. del T.: Estos valores numéricos se van modificando con el tiempo. En el instante de la traducción al castellano, las tecnologías de 0,7μ son algo habitual.

[5] N. del T.: ASIC son las siglas de Application Specific Integrated Circuit

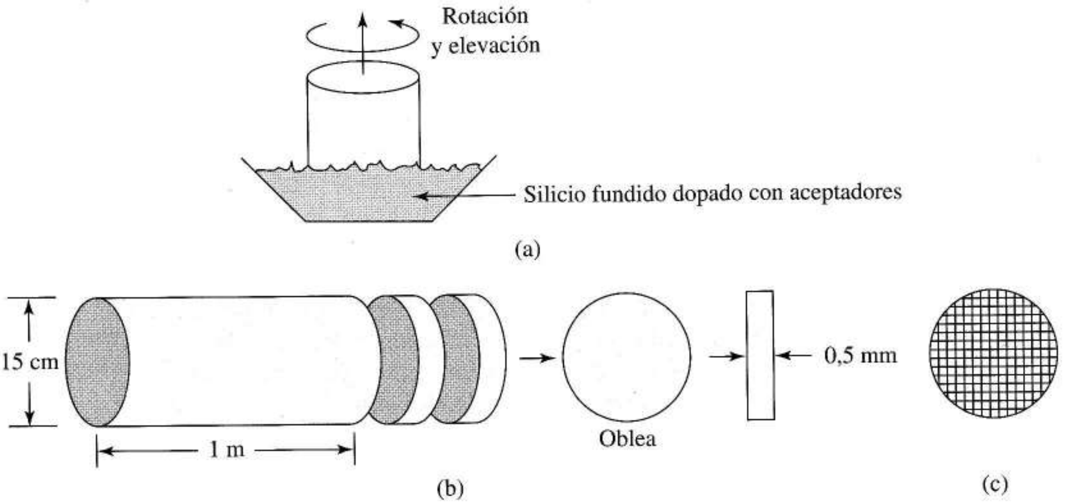


FIGURA 4.47 Silicio monocristalino: (a) fabricación inicial; (b) cilindro cortado en obleas; (c) oblea para muchos circuitos integrados.

Los circuitos integrados tienen también algunas desventajas:

1. El test del circuito es difícil porque el número limitado de conexiones externas proporciona acceso limitado a los nodos del circuito. Como el test completo es muy difícil a veces no se detectan fallos en los componentes.
2. El incremento de la complejidad del circuito va contra la fiabilidad de los procesos de fabricación. Un sistema con muchos componentes tiene más posibilidades de tener fallos, lo que reduce el rendimiento de fabricación.
3. Con miles de dispositivos trabajando en un solo chip a veces hay problemas de sobrecalentamiento.

Fundamentos de la fabricación de circuitos integrados Describimos ahora un proceso de fabricación de circuitos integrados simple. Las escalas de los diagramas simplificados muestran conceptos en lugar de pintar exactamente los tamaños relativos.

Un circuito integrado se llama a veces *monolítico* para enfatizar que todos los elementos del circuito se fabrican juntos *al mismo tiempo* en un solo cristal de semiconductor. La Figura 4.47a muestra el primer paso en la fabricación de circuitos integrados. El *cristal semilla* de silicio se pone en silicio tipo p fundido y se gira y extrae lentamente. El resultado es un cilindro *monocristalino* de silicio sólido de tipo aceptador, alrededor de 1m de largo y 15cm de diámetro. Este es cortado en *obleas* de 0,5 mm de grosor como muestra la Figura 4.47b, que después son pulidas y limpiadas con una solución de aguafuerte para producir una superficie muy lisa. Cada oblea es el futuro hogar de 1.000 o más circuitos integrados idénticos, o *chips,* cada uno de 1 a 5 mm de lado como en la Figura 4.47c. El silicio tipo p de la oblea, llamado *sustrato* o *body,* proporciona una base estructural rígida para los componentes del circuito integrado. Cada serie de obleas está sujeta a una secuencia de pasos de fabricación que *forman simultáneamente cada componente en cada circuito integrado de cada oblea.*

Las obleas se calientan primero a 1.000°C en una cámara de vacío en presencia de oxígeno. Esto cubre la parte superior de cada oblea con una capa de dióxido de silicio, SiO_2, que protege al silicio

de la contaminación por impurezas. El dióxido de silicio es también un aislante eléctrico y un dieléctrico, dos características de probada utilidad durante la fabricación del circuito integrado.

Fotolitografía El *proceso fotolitográfico* es una sucesión de enmascarado fotográfico, revelado y grabado al agua fuerte que hace algunas regiones de silicio seleccionadas accesibles para el procesado. Para estudiar la fotolitografía describimos su uso para crear la capa enterrada, el primer paso en la fabricación de un transistor npn integrado. Esta capa enterrada de material altamente conductor es necesaria para conseguir transistores con resistencia de colector baja, r_c. (Ver Figuras 4.35a y 4.40.)

Formación de la capa enterrada El óxido sobre el sustrato está recubierto con material fotosensible y luego cubierto con una máscara fotográfica. La última establece la localización de cada transistor mediante una región opaca como en la Figura 4.48a. Después la luz ultravioleta endurecerá el material fotosensible en aquellas áreas no protegidas por la máscara. Después se elimina la máscara, el material fotosensible no endurecido se disuelve y el óxido expuesto se elimina mediante ataque ácido, dando la Figura 4.48b. Cada región seleccionada es ahora accesible desde arriba. La *capa enterrada* se forma ahora introduciendo una gran concentración de impurezas donadoras como fósforo o antimonio en el sustrato, en aquellas regiones seleccionadas por el enmascarado. Por lo tanto el material p se convierte en material n^+ por compensación. (Material tipo n con concentración de impurezas $>10^{18}$ átomos/cm^2 se denomina n^+.)

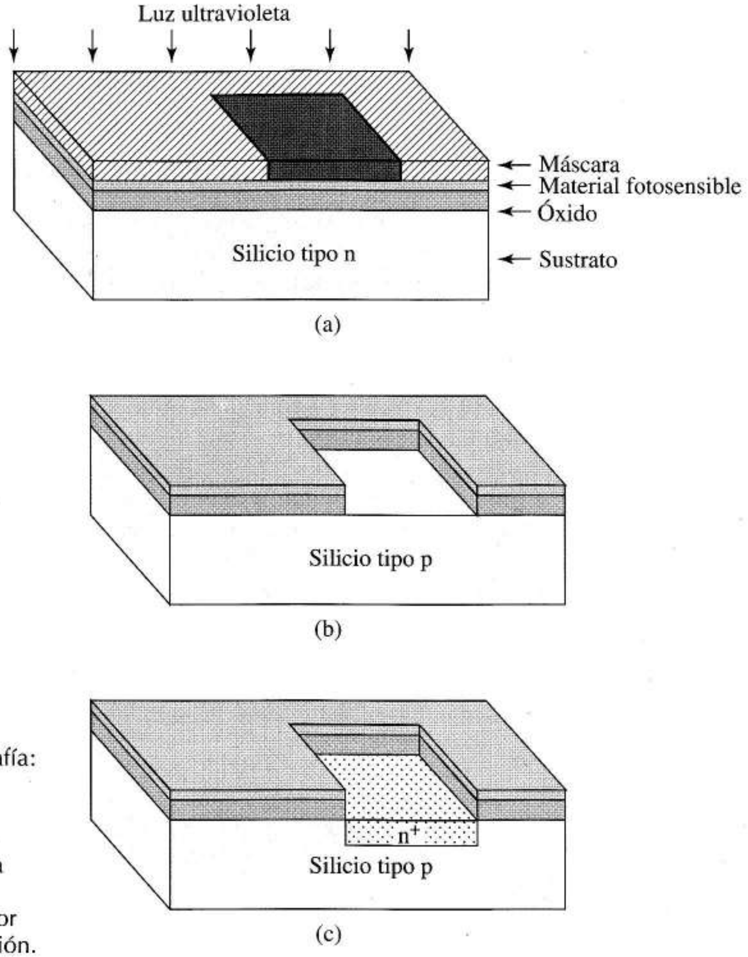


FIGURA 4.48 Fotolitografía: (a) la máscara define la posición del objetivo; (b) material fotosensible y óxidos eliminados sobre la región no protegida; (c) impurezas insertadas por implatación iónica o difusión.

Hay dos técnicas disponibles para introducir impurezas: difusión e implantación iónica. La difusión implica calentar la oblea a 1.000ºC en una atmósfera que contiene impurezas y permitir que esas impurezas se difundan en el cristal. La implantación iónica es un proceso a temperatura ambiente en el que un campo eléctrico acelera y concentra las impurezas en un estrecho haz. El haz barre la superficie de la oblea bombardeándola con impurezas que penetran en la superficie hasta una profundidad controlada por el campo acelerador. La temperatura es elevada brevemente y los átomos de impurezas sustituyen a los átomo de silicio en la red cristalina. La implantación iónica se usa muchísimo para la capa enterrada. Después de crear la capa enterrada, resultando la Figura 4.48c, el material fotosensible y el óxido restantes se eliminan en la preparación para el siguiente paso del proceso, el crecimiento epitaxial del cristal.

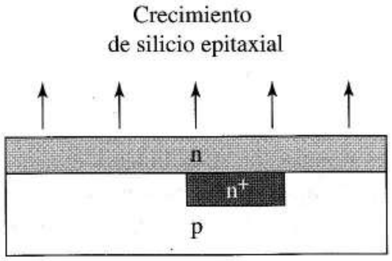


FIGURA 4.49 Crecimiento epitaxial de silicio tipo n monocristalino.

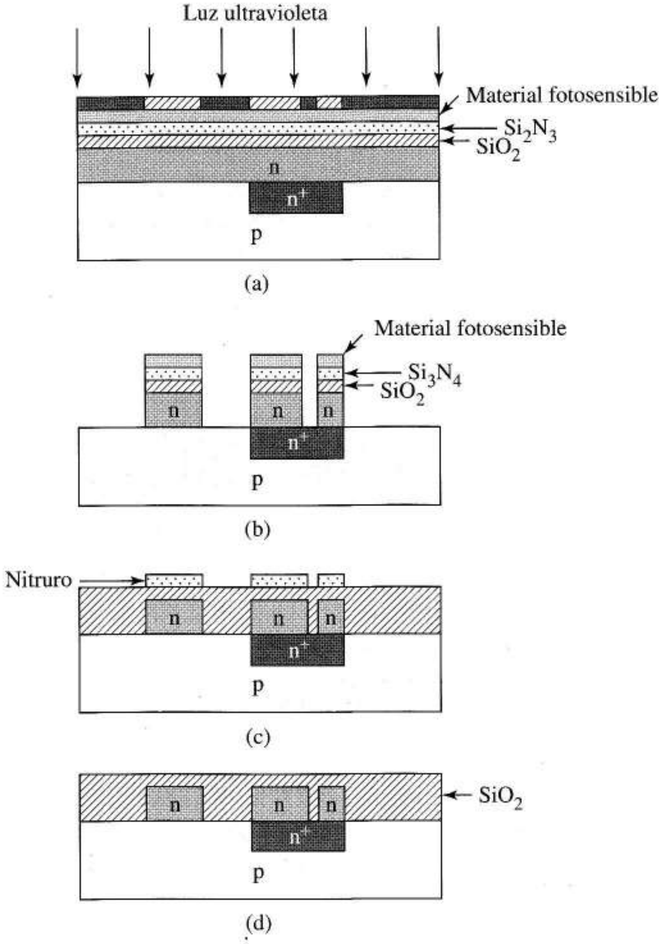


FIGURA 4.50 Aislamiento de óxido: (a) endurecimiento del material fotorresistivo sobre las áreas protegidas; (b) eliminación del silicio epitaxial seleccionado; (c) formación del óxido aislante; (d) resultado final del proceso de aislamiento.

Crecimiento epitaxial La oblea se calienta a 1.200°C en una atmósfera de cloruro de silicio y fosfina para proporcionar átomos de silicio e impurezas donadoras respectivamente. Durante el proceso de *crecimiento epitaxial*, se forma una capa de silicio dopado tipo n sobre el sustrato tipo p, extendiendo la estructura *monocristalina* como en la Figura 4.49. El crecimiento del cristal continúa hasta que la capa epitaxial tiene un grosor de alrededor de 1 micra. Se forma luego en la superficie una capa protectora de SiO_2, completando la primera etapa de fabricación. La capa epitaxial proporciona el material del colector para cada transistor npn en *cada* circuito integrado. Es posible también que la usen los transistores pnp para sus bases. Observe que la concentración del dopante, N_d, establecida en este paso es *común a todos los dispositivos* fabricados a partir del material.

Aislamiento por óxido El propósito de la próxima secuencia de pasos en la fabricación es localizar el sitio de cada componente y aislarlo eléctricamente rodeándolo por los cuatro lados con dióxido de silicio aislante. Antes de aplicar la máscara el óxido de la superficie se recubre con nitruro de silicio, Si_3N_4 (un inhibidor del crecimiento del óxido) como en la Figura 4.50a. La segunda máscara sombrea todas las regiones entre las localizaciones de los futuros componentes. En esta figura las dos partes no protegidas sobre la capa enterrada son dos partes de un futuro transistor npn; la otra área no protegida es un sitio reservado para una resistencia. Después de endurecer el material fotosensible expuesto a la luz se elimina éste, el nitruro, el óxido y el silicio tipo n. Esto produce salientes aislados del silicio protegido en las localizaciones de los componentes como en la Figura 4.50b. Se elimina entonces el material fotosensible y se forma un *óxido grueso*. Como el nitruro de silicio inhibe el crecimiento del óxido en las localizaciones de los componentes, el resultado se parece a la Figura 4.50c, que después de eliminar el nitruro da la Figura 4.50d. Ahora todos los componentes están aislados por todos los lados excepto por abajo, donde comparten un sustrato común. Cuando usamos circuitos integrados, conectamos el sustrato tipo p al punto más negativo del circuito, de ese modo se aíslan eléctricamente los componentes del sustrato por polarización inversa de las uniones pn.

Difusión de base y emisor Los dos próximos pasos se llaman difusión de base y emisor incluso aunque a veces se hace por implantación iónica. Una nueva máscara identifica las localizaciones de las bases de los transistores, así como los lugares para resistencias y otros componentes. Después de eliminar el óxido protector mediante ataque ácido, las impurezas tipo p se difunden desde arriba en el material n expuesto y un óxido protector nuevo se deposita sobre la superficie. La Figura 4.51a muestra el resultado final. El material tipo p en ambos lugares tiene la conductividad apropiada para la base de un transistor npn de alta calidad. El material tipo p en el sitio de la resistencia también tiene las dimensiones físicas de la resistencia acabada. La dimensión final de la base, su ancho de base o grosor, depende del próximo paso de fabricación.La siguiente operación de enmascarado define los emisores de los transistores npn. La difusión de la zona n^+ completa el transistor npn como vemos en la Figura 4.51b. Como los colectores, las bases y los emisores de *todos los transistores de todos los chips* de la oblea se fabrican simultáneamente. Por lo tanto, las concentraciones de impurezas y profundidades de penetración son idénticas para *todos los chips y obleas de la misma serie*. De una serie a otra, sin embargo, es difícil reproducir exactamente las mismas condiciones. Las dimensiones de las máscaras, por otra parte, están estrechamente controladas. Las máscaras grandes originales, construidas por computador, se reducen fotográficamente al tamaño real del circuito integrado. Por lo tanto las dimensiones de las superficies son bastante iguales incluso de una serie a otra.

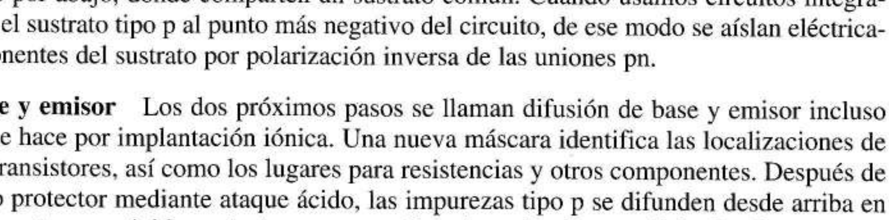
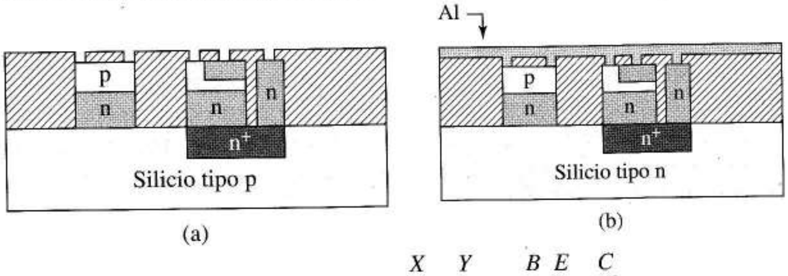


FIGURA 4.51 Pasos de la difusión de emisor y base: (a) resultado de la difusión de la base; (b) resultado de la difusión del emisor.

Metalización Una vez que se fabrican los componentes, se interconectan usando dos pasos de *metalización.* Otra máscara define los lugares donde se van a hacer las conexiones de dispositivos y se elimina selectivamente el óxido mediante ataque ácido como muestra la Figura 4.52a. Se genera una capa fina de impurezas n^+ (no mostrada en los diagramas) en las regiones de contacto expuestas para asegurar contactos óhmicos en lugar de rectificadores. Después se deposita aluminio al vacío sobre toda la superficie de la oblea, enmascarando todos los contactos con el silicio necesarios, como en la Figura 4.52b. Un paso final de enmascarado protege el metal de interconexión y el aluminio no deseado se elimina con una solución ácida. Al eliminar el material fotosensible se completa el proceso básico de fabricación de circuitos integrados, resultando la Figura 4.52c. Esta descripción omite los pasos de fabricación asociados a la generación de los contactos externos a los circuitos integrados y a la separación de los chips individuales porque estas importantes tareas no están relacionadas con la comprensión y el diseño del circuito.

Fabricación de resistencias, diodos y condensadores La resistencia entre los terminales X e Y de la Figura 4.52c se llama *resistencia difundida en base* porque se forma durante el paso de fabricación de la base. Es simplemente un segmento de material semiconductor tipo p de resistencia dada por la Ecuación (3.23). En esta ecuación, L y W se establecen mediante una máscara fotolitográfica; sin embargo, el valor de la resistencia pelicular no puede ser especificada independientemente para la resistencia. Esto es porque el grosor t del material y la concentración de impurezas (un factor de σ), deben ser apropiados para formar las bases de los transistores npn. Esto limita la resistencia pelicular disponible alrededor de 200 Ω/ cuadrado, un valor bastante bajo que la hace inadecuada para fabricar resistencias mucho mayores que 50 kΩ mediante este proceso. La *resistencia difundida en emisor* puede ser fabricada durante la formación del emisor; sin embargo, como el emisor está más fuertemente dopado que la base, las resistencias peliculares son incluso menores que las de las resistencias difundidas en base. A veces se usan otras combinaciones para hacer resistencias integradas, pero éstas requieren pasos de fabricación extra que incrementan el coste. La conclusión general es que los valores de resistencia grandes no están aún disponibles en diseños de circuitos integrados.

Como la resistencia pelicular depende de la concentración de dopantes en la atmósfera durante la fabricación, los *valor*es de las resistencias están sujetos a variaciones bastante amplias. Esto significa que los diseños que necesitan un control preciso de los *valores* de las resistencias no son adecuados para circuitos integrados. Sin embargo, en la Ecuación (3.23) vemos que las relaciones *entre resistencias* del mismo chip se determinan por los valores relativos W / L, y éstos están precisamente controlados por las máscaras fotográficas. Una consecuencia práctica es que las relaciones entre resistencias pueden limitarse a tolerancias del 1%. Por esta razón, los diseños de circuitos integrados favorecen a los circuitos cuyo funcionamiento está determinado por relaciones entre resistencias.



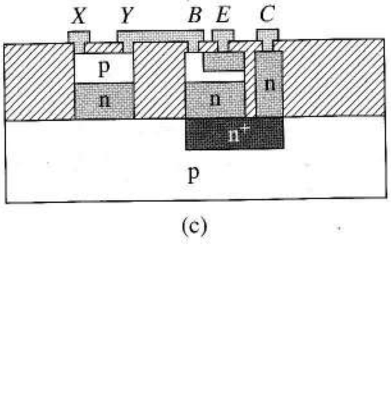


FIGURA 4.52 Metalización: (a) depués del proceso de enmascarado; (b) después de la deposición de aluminio; (c) después de eliminar el Al indeseado.

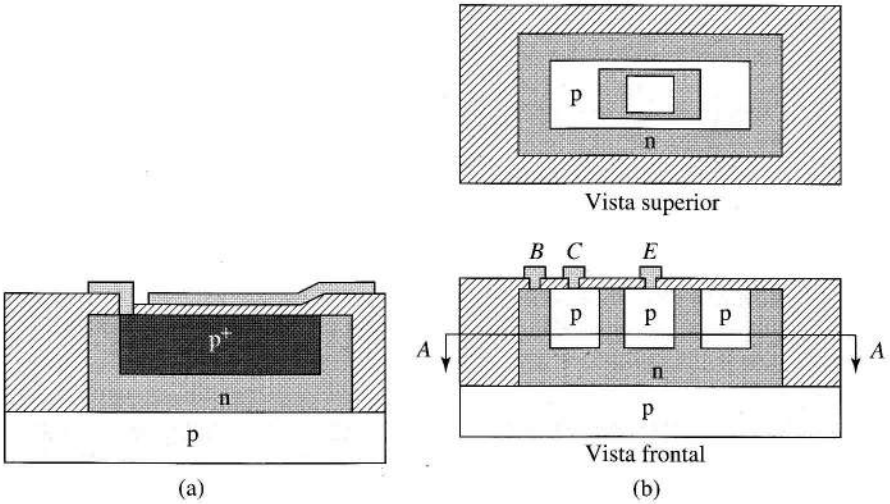


FIGURA 4.53 (a) Condensador integrado; (b) transistor lateral pnp.

Los diodos en los circuitos integrados normalmente son uniones base-colector de transistores, dejando el emisor abierto o conectado a la base durante el paso de metalización.

La Figura 4.53a muestra una forma de hacer un condensador integrado. La fina capa de SiO_2 es el dieléctrico de un condensador de láminas paralelas, con una lámina hecha durante la metalización, y con material altamente dopado p^+ formando el otro conductor. La difusión de las impurezas p^+ y la fabricación de un dieléctrico delgado introduce pasos de fabricación extra, que se añaden al coste. La capacidad de deplexión de un diodo inversamente polarizado es un condensador menos caro porque no necesita pasos de fabricación extra.

Transistores pnp Un transistor pnp lateral, Figura 4.53b, puede ser incluido en el circuito integrado sin pasos de fabricación especiales. Se llama *transistor lateral* porque los huecos inyectados desde el emisor tipo p fluyen lateralmente a través de la base tipo n hasta el colector en forma de anillo. Emisor y colector se fabrican durante el paso de difusión de la base y la base está hecha de material tipo n epitaxial. Como la geometría no es particularmente favorable para recolectar eficientemente los huecos emitidos y prevenir la recombinación en la base, el factor de transporte es menor que en los transistores npn. Como las concentraciones de dopante se seleccionan para optimizar los transistores npn, los transistores pnp laterales tienen concentraciones de dopante en el colector mayores que en la base, causando que la mayor parte de la región de deplexión se extienda por la base. Esto da bases bastantes grandes, con efectos adversos en el rendimiento de la inyección, modulación del ancho de base y capacidad de deplexión. Debido a esos factores, los transistores pnp laterales tienden a tener baja β, resistencia de salida baja, tensión de ruptura baja y capacidades internas grandes comparadas con dispositivos npn. Los transistores pnp de alta calidad se pueden producir en circuitos integrados usando pasos de difusión extra que optimizan las concentraciones de dopante para estos transistores.

También es de interés la fabricación integrada de otros dispositivos como transistores pnp verticales, diodos zener, resistencias de película delgada. Muchos autores como Gray y Meyer (mencionados en las referencias al final del capítulo) estudian estos temas.

4.14
SUMARIO

El transistor de unión bipolar es un dispositivo de estado sólido que consta de dos uniones pn fabricadas muy juntas en un semiconductor monocristal. El modelo no lineal de gran señal de Ebers-Moll estático expresado por un circuito equivalente y un par de ecuaciones, nos ayuda a entender el transistor en términos de teoría de uniones pn.

Para aplicaciones lineales de pequeña señal usamos fuentes externas para polarizar el transistor en su estado activo directo. Para este estado, el modelo de Ebers-Moll predice las curvas características y las ecuaciones lineales de una fuente de corriente controlada por corriente. Esto conduce a un circuito equivalente lineal simple que usamos para predecir cómo interaccionan entre sí los transistores elementos del circuito. Para hacer análisis de circuitos sustituimos el transistor por su circuito equivalente.

El transistor tiene otros dos estados de gran importancia: saturación, en el que el transistor se parece a un interruptor cerrado y corte, donde el transistor representa un interruptor abierto. El otro estado, activo inverso, tiene poca importancia en la práctica. Cada uno de los cuatro estados se corresponde al funcionamiento en una zona particular de las características de salida del transistor y cada uno tiene su modelo, referido de forma obvia a las curvas características.

En algunos problemas el estado del transistor es desconocido. En estos casos primero debemos suponer un estado para cada transistor y después usar su circuito equivalente para comprobar nuestra suposición. Una parte esencial del uso de cualquier circuito equivalente es aprender a buscar y reconocer una contradicción que deseche el equivalente no válido.

La recta de carga es un herramienta gráfica que ayuda al desarrollo de nuestra comprensión e intuición. Esta es una simple gráfica tensión-corriente que muestra las restricciones impuestas por el circuito en el que está incluido el transistor a las variables de entrada y salida del transistor.

En uno de los ejemplos se usó la recta de carga para mostrar intuitivamente la forma en que se satura un transistor y el significado de la inecuación $\beta I_B \geq I_C$, que describe parcialmente el transistor saturado.

Los efectos estáticos secundarios describen las diferencias entre los transistores reales y los dispositivos idealizados que incluyen variaciones de temperatura de parámetros, resistencia de salida, ruptura de uniones, realimentación interna y resistencias parásitas. Hay también limitaciones dinámicas del transistor incluidas en las capacidades de deplexión y difusión de las uniones y entre el colector y el sustrato. Excepto diferencias menores, estas son las mismas capacidades no lineales que previamente encontramos en los diodos.

Los sofisticados modelos SPICE nos permiten simular el comportamiento estático y dinámico de los transistores, incluyendo todas las principales no linealidades. Generalmente usamos los más simples conceptos del transistor para diseñar y, a continuación, comprobamos con simulaciones en computador, que incluyen los efectos secundarios que ignoramos conscientemente, para hacer más fácil nuestro trabajo inicial. Examinamos y evaluamos los resultados de simulación en función de nuestras ideas conceptuales simples para analizar qué ha debido suceder y luego rediseñar, si es necesario, volviendo otra vez a los modelos simples pero bajo la guía de los resultados de simulación.

El estudio de un proceso básico de fabricación de circuitos integrados nos da algunas nociones de las oportunidades y restricciones del diseño de circuitos impuestas por el proceso de fabricación. En diseño de circuitos integrados podemos emplear transistores con parámetros que varían al unísono con la temperatura. Añadir transistores adicionales en un circuito, para alguna cosa, incrementa poco el coste. Las relaciones entre resistencias que no varían con la temperatura y realizadas con una precisión del 1% están ya disponibles. Por otro lado, los valores de los parámetros de todos los compo-

nentes del circuito en un chip son interdependientes para todos los componentes que se fabriquen al mismo tiempo. Algunos parámetros, como los valores absolutos de las resistencias, no pueden ser controlados con precisión; los transistores pnp tienen valores de parámetros inferiores a los parámetros npn. Los componentes especiales que necesitan pasos de fabricación adicionales, por ejemplo resistencias de valor óhmico grande o transistores pnp de alta calidad, añaden un coste significativo al circuito.

REFERENCIAS

1. ANTOGNETTI, D.A., y G. MASOBRIO (ed.). *Semiconductor Device Modeling with SPICE*, McGraw-Hill, New York, 1988.
2. BANZHAF, W. *Computer-Aided Circuit Analysis Using SPICE*, Prentice Hall, Englewood Cliffs, NJ, 1989.
3. BURNS, S.G., y P.R. BOND. *Principles of Electronic Circuits*, West Publishing, St. Paul, MN, 1987, p. 134.
4. GRAY, P.R., y R.G. MEYER. *Analysis and Design of Analog Integrated Circuits*, John Wiley, New York, 1984.
5. HINES, J.R. "A SPICE model for saturating NPNs", *Design Automation*, pp. 57-59, Abril 1992.
6. HODGES, D.A., y H.G. JACKSON· *Analysis and Design of Digital Integrated Circuits*, 2ªed., Mc Graw-Hill, New York, 1988, p. 166.
7. HORENSTEIN, M. N. *Microelectronic Circuits and Devices*, Prentice Hall, Englewood Cliffs, NJ, 1990.
8. SEDRA, A.S., y K.C. SMITH. *Microelectronic Circuits*, 3ª ed., Saunders, Philadelphia, 1991.
9. STREERMAN, B.G. *Solid State Electronic Devices*, 2ª ed., Prentice Hall, Englewood Cliffs, NJ, 1980. p. 271.
10. TUINENGA, P.W. *SPICE A Guide to Circuit Simulation & Analysis Using PSpice*, Prentice Hall, Englewood Cliffs, NJ, 1988.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 4.1

4.1 En la Figura 4.1c, $i_C = \alpha_F i_E$. Usando esta ecuación y la ley de las corrientes de Kirchhoff

a) exprese i_C en función de i_B y α_F.

b) exprese i_E en función de i_B y α_F.

c) escriba expresiones numéricas para las partes a) y b) usando $\alpha_F = 0{,}995$.

4.2 Un diseño de transistor bipolar se modifica disminuyendo el ancho de base. ¿Cambiaría esto el factor de transporte o el rendimiento de la inyección? ¿De qué forma?

4.3 En la Figura 4.2 la corriente de emisor se aproxima por la curva de un diodo directamente polarizado que tiene una componente de electrones y una componente de huecos; esto es, $i_E = i_{En} + i_{Ep}$. Utilice la ecuación de la corriente del diodo de la Ecuación (3.38) para obtener las expresiones separadas de i_{En} e i_{Ep}.

Sección 4.2

4.4 En la Figura 4.3 suponga que el diodo base-emisor está directamente polarizado y el diodo base-colector inversamente polarizado. Dibuje el circuito equivalente simplificado que resulta de usar los modelos del diodo con tensión de codo. Si hace esto razonadamente, su circuito equivalente tendrá solo dos componentes y será capaz de explicar por qué.

4.5 Un transistor pnp tiene impurezas p y n intercambiadas, resultando la Figura 4.15c en lugar de la Figura 4.3. Use la

ley de las corrientes de Kirchhoff en los nodos del emisor y colector de la Figura 4.15c para obtener las equivalentes pnp de las Ecuaciones (4.1) y (4.2). En sus ecuaciones utilice v_{EB} y v_{CB} para representar las tensiones aplicadas a las uniones.

Sección 4.3

4.6 Las curvas de las Figuras 4.5b y c describen el transistor en la Figura P4.6. Obtenga los valores numéricos de i_B, i_C y v_{CB}.

Sugerencia Sustituya el transistor en el diagrama del circuito por el modelo de la Figura 4.6.

4.7 Utilice la ecuación de emisor Común (4.10) y la ley de las corrientes de Kirchhoff para despejar

a) i_C como una función de i_E y β_F.

b) i_B como una función de i_E y β_F.

Sección 4.4

4.8 a) Reduzca las ecuaciones de Ebers-Moll, ecuaciones (4.3) y (4.4), a expresiones simplificadas que representen un transistor cortado suponiendo que v_{BE} y v_{BC} son mucho menores que V_τ. A partir de las ecuaciones simplificadas desarrolle una ecuación para la corriente de base.

b) Reescriba sus ecuaciones para el caso $\alpha_F = 1$.

c) Dibuje un modelo de sus ecuaciones de la parte (b) y compárelo con la Figura 4.9b. Dé una ecuación teórica para I_{CB0}.

4.9 Reduzca las ecuaciones de Ebers-Moll, (4.3) y (4.4), a expresiones simplificadas para un transistor activo inverso suponiendo $v_{BE} << V_\gamma$ y $v_{BC} >> V_\tau$.

4.10 Reduzca las ecuaciones (4.3) y (4.4) a formas más simples adecuadas para un transistor saturado suponiendo que v_{BE} y v_{BC} son $>>V_\gamma$.

4.11 Dibuje las características de salida en emisor común del primer y tercer cuadrante para un transistor que tenga los parámetros $\beta_F = 10$, $\beta_R = 1$, $V_{CE,sat} = 0,1$ V. Use incrementos de 1mA para la corriente de base para las curvas.

4.12 La Figura P4.12 muestra las características de entrada y salida de un transistor bipolar. A partir de las curvas dibuje cuatro circuitos equivalentes, uno para cada modo de funcionamiento.

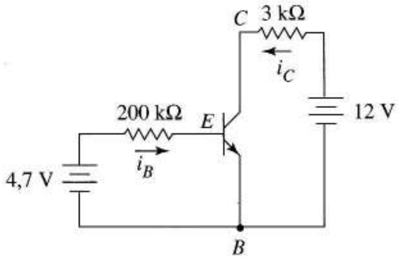


FIGURA P4.6

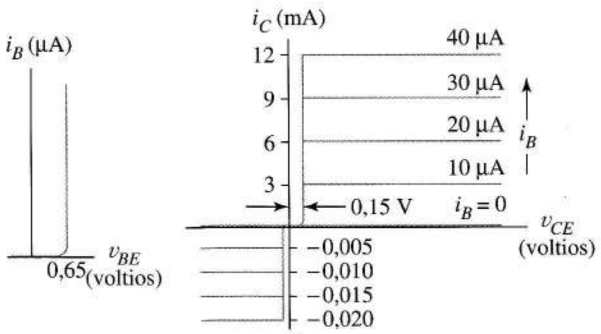


FIGURA P4.12

Sección 4.5

4.13 Suponga que el transistor de la Figura 4.13a tiene las características de salida de la Figura P4.13. Use la recta de carga para obtener la corriente de colector y la tensión colector-emisor si la corriente de base es

a) $i_B = 0,04$ mA.

b) $i_B = 0,1$ mA.

c) $i_B = 0,085$ mA.

4.14 La Figura P4.14 muestra un circuito con transistores y la característica de salida del transistor. Suponiendo que $V_{BE} = 0,7$ V

a) utilice la recta de carga para obtener valores para I_C y V_{CE}.

b) obtenga gráficamente el nuevo valor de V_{CE} si cambiamos V_{CC} a +2 V.

c) obtenga gráficamente el nuevo valor de V_{CE} si cambiamos V_{CC} a −3 V.

4.15 Las Figuras P4.15 a-c muestran un dispositivo, su característica de entrada, y sus características de salida. Utilice rec-

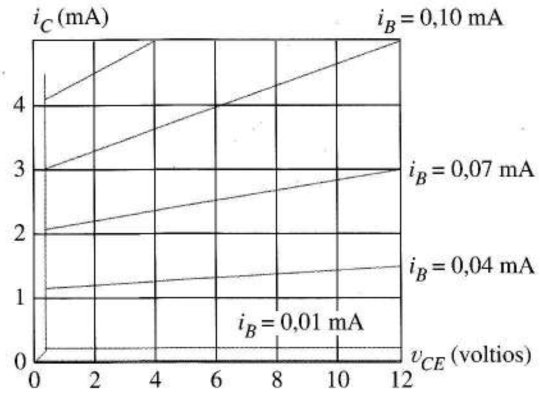


FIGURA P4.13

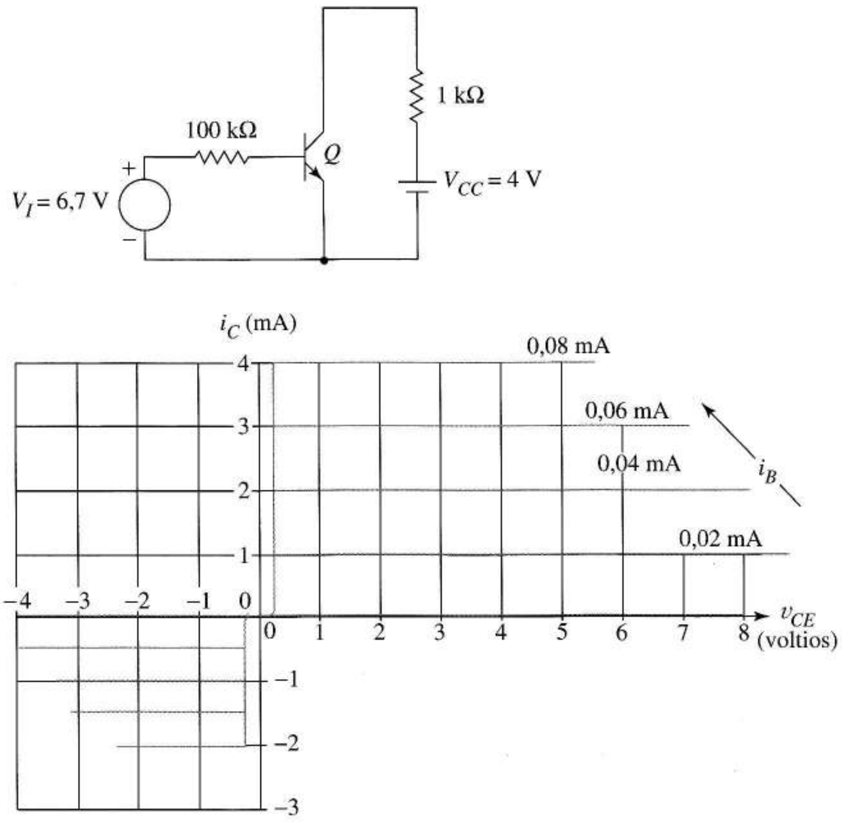


FIGURA P4.14

tas de carga para obtener el valor de R que hace $i_2 = 20$ mA en la Figura P4.15d si $R_1 = 1,6$ kΩ, $V_{XX} = 4$ V y $V_{YY} = 48$ V.

4.16 Las Figuras 4.15 a-c muestran un dispositivo, sus característica de entrada y sus características de salida. Deseamos poner el circuito de salida en el punto de funcionamiento $v_2 = 12$ V e $i_2 = 20$ mA.

a) Si $R = 1,2$ kΩ ¿qué valor de V_{YY} necesitamos?

b) Si $V_{XX} = 2$ V, utilice la característica de entrada para estimar R_1 para los valores de la parte a).

4.17 a) En el circuito de la Figura P4.17, obtenga el mínimo valor de V_S necesario para saturar el transistor.

b) ¿Qué valor debe tomar V_S para saturar el transistor con beta forzada de 50?

4.18 El transistor de la Figura P4.18 tiene $\beta = 10$.

a) Dibuje sus características de salida.

b) Sobre las características de salida dibuje la recta de carga para la fuente de 5 V y la bobina.

Sugerencia Una bobina es un cortocircuito en continua.

c) Sobre la recta de carga de la parte b) indique el punto Q cuando $v_I = 5$ V.

Sección 4.6

4.19 En la Figura P4.19 suponga $V_{BE} = -0,7$ V. Utilice la recta de carga del circuito de salida como ayuda para obtener el valor de V_S que

a) polariza el transistor a $V_{CE} = -4$ V.

b) ponga el transistor al borde de saturación.

c) dé el punto Q con beta forzada = 100.

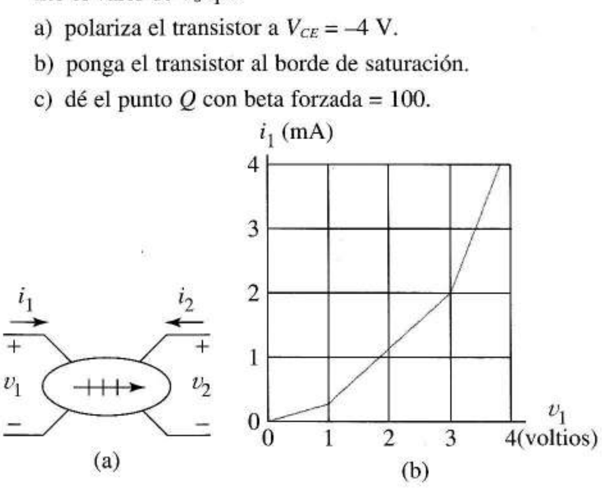
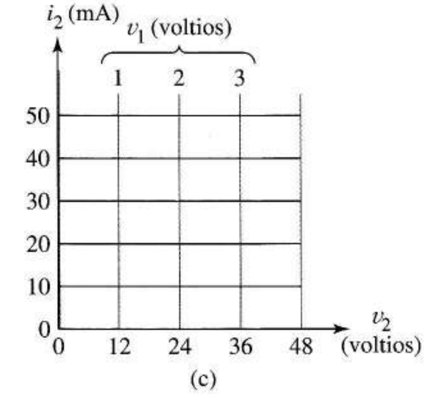
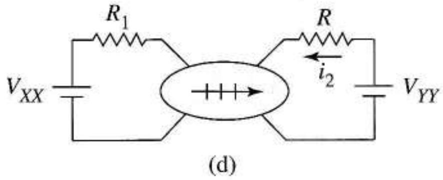


FIGURA P4.15



(c)



(d)

FIGURA P4.15 (Continuación)

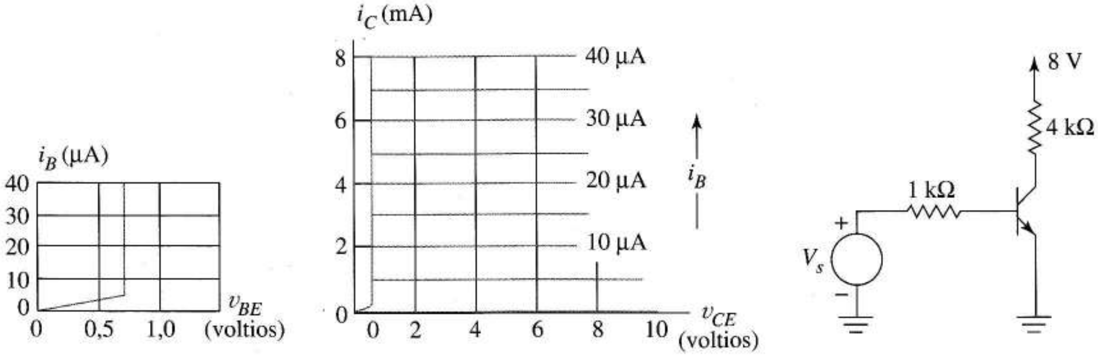


FIGURA P4.17

4.20 Para el transistor de la Figura P4.19.

a) dibuje el modelo activo directo de gran señal suponiendo que el transistor está hecho de silicio.

b) Sustituya el transistor por el modelo del apartado a); ponga V_S a un valor que dé una corriente de base de 5 μA. Después utilice el circuito para obtener el valor de V_{CE}.

Sección 4.7

4.21 Para los transistores de la Figura P4.21, $\beta = 99$.

a) Utilice el modelo activo directo para obtener la corriente de colector y la tensión de colector, emisor y base de cada transistor.

b) Muestre cada punto Q en un sistema de coordenadas v_{CE}–i_C.

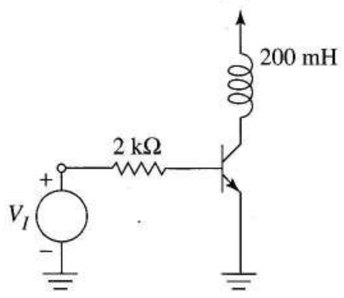


FIGURA P4.18

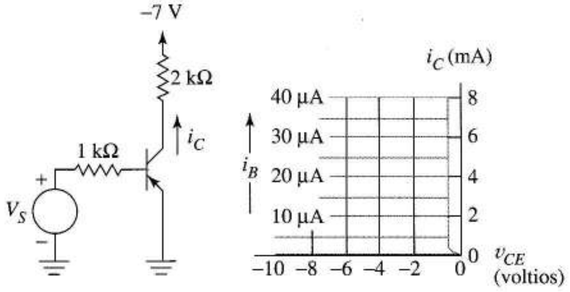


FIGURA P4.19

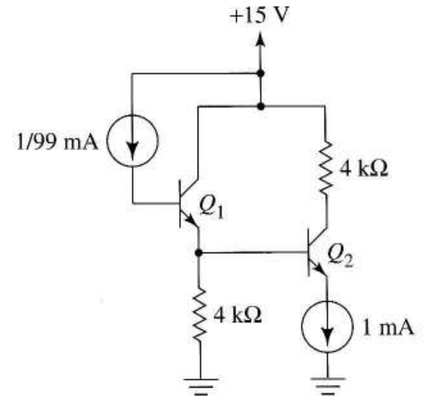


FIGURA P4.21

c) Obtenga la tensión de cada fuente de corriente independiente.

4.22 El transistor de silicio de la Figura P4.22 tiene $\beta = 20$ y está en modo activo directo.

a) Utilice el modelo de gran señal para obtener las tensiones en base y colector.

b) Obtenga punto de funcionamiento del transistor (V_{CE}, I_C).

c) Muestre la situación del punto Q en un sistema de coordenadas v_{CE}..

d) Para el sistema de coordenadas utilizado en la parte c), añada el nuevo punto Q si cambia a 100.

4.23 Redibuje la Figura 4.19d. Añada a este esquema el nuevo punto Q del transistor de la Figura 4.19a si cambiamos la fuente de alimentación a 12 V y sustituimos simultáneamente el transistor por otro con $\beta = 20$. Suponga estado activo directo.

4.24 Redibuje la Figura P4.24 añadiendo las direcciones de referencia para cada corriente del transistor. Utilice el modelo de gran señal del transistor para obtenr el punto Q del transistor y muéstrelo sobre un sistema de coordenadas v_{CE}–i_C. El transistor es de silicio con $\beta = 40$.

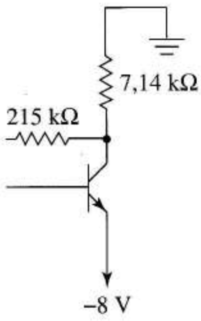


FIGURA P4.22

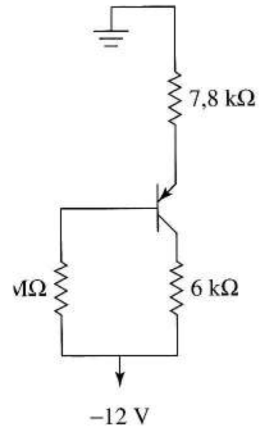


FIGURA P4.24

4.25 Para el circuito de la Figura P4.25 use el análisis de infinita para obtener:

a) La tensión en la base de Q_1.

b) V_{CE} para Q_1.

c) I_C para Q_1.

d) El punto Q de Q_2.

4.26 Utilice el análisis de beta infinita para obtener el punto de funcionamiento de cada transistor en la Figura P4.26. Muestre cada punto Q sobre un sistema de coordenadas con la característica de salida.

4.27 Suponga que Q_1 y Q_2 en la Figura P4.27 están polarizados en la zona activa directa. Utilice el análisis de beta infinita para comprobar esta suposición obteniendo I_C y V_{CE} para cada transistor.

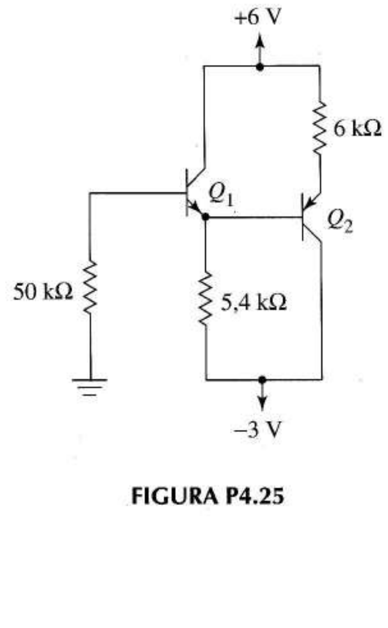


FIGURA P4.25

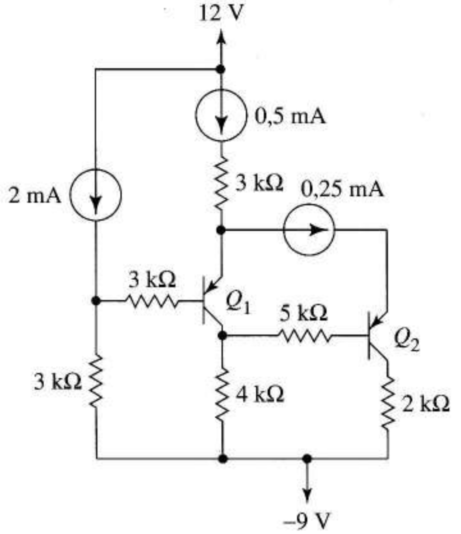


FIGURA P4.26

4.28 Utilice el análisis de beta infinita para estimar las tensiones de los nodos 6–10 en la Figura P4.28 cuando los nodos 3 y 4 están a tierra.

4.29 a) Utilizando el análisis de beta infinita desarrolle una ecuación para v_O en función de v_i para la Figura P4.29.

b) Cuando v_i toma valores mayores y la tensión de colector disminuye, la tensión de emisor aumenta y el transistor al final se satura. Escriba una ecuación que relacione v_i y v_o cuando el transistor alcanza justo la saturación.

c) Simultáneamente resuelva las ecuaciones de las parte a) y b) para obtener los valores de v_i que saturarán el transistor.

4.30 Suponga que el transistor de la Figura P4.30 está activo directo. Utilice un modelo para comprobar esta suposición y, si es incorrecta, exponga precisamente la contradicción.

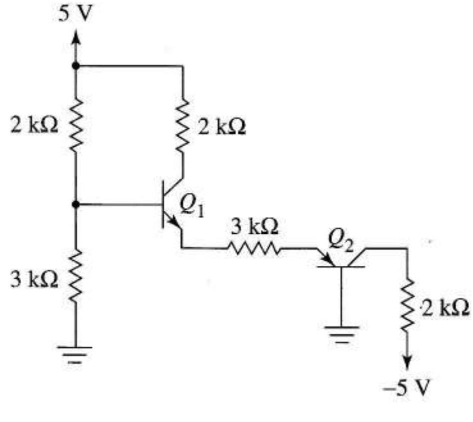


FIGURA P4.27

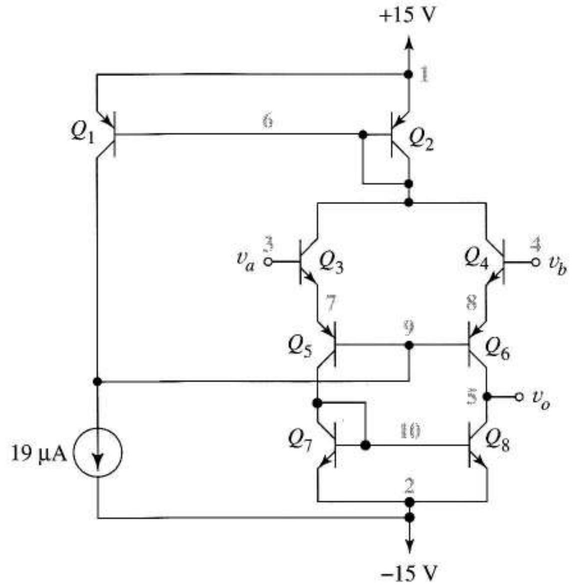


FIGURA P4.28

4.31 Suponga que el transistor de la Figura P4.30 está en corte. Utilice un modelo para comprobar esta suposición y, si es incorrecta, exponga precisamente la contradicción.

4.32 Suponga que el transistor de la Figura P4.30 está saturado.

a) Utilice el modelo de saturación para obtener los valores de la corriente de colector y la de base.

b) Utilice los resultados de la parte a) para confirmar que el transistor está saturado.

c) ¿Para qué valor de la tensión de entrada el transistor justo saldrá de saturación?

4.33 Suponga que el transistor de la Figura P4.33 está cortado y el diodo conduce. Utilice modelos para comprobar ambas suposiciones. Exponga claramente cualquier contradicción que encuentre.

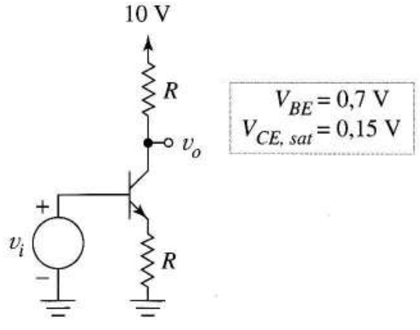


FIGURA P4.29

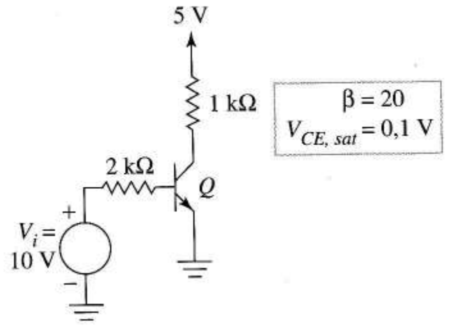


FIGURA P4.30

4.34 Suponga que el transistor de la Figura P4.33 está activo directo y el diodo conduciendo. Utilice modelos para comprobar ambas suposiciones. Exponga claramente cualquier contradicción que encuentre.

4.35 En la Figura P4.33 suponga que el transistor está saturado y el diodo conduciendo con una caída de tensión de 0,7 V.

a) Calcule el valor de la corriente de colector.

b) Verifique la suposición del transistor saturado.

4.36 En la Figura P4.36, tome V_i = 10 V. Suponga los siguientes estados aplicados para esta condición: D_1 cortado, D_2 y D_3 conduciendo, el transistor saturado. Si los diodos que conducen tienen una tensión de codo de 0,7 V

a) Dibuje un modelo mostrando estas suposiciones. Use su modelo para verificar el estado supuesto de cada dispositivo.

b) Ahora tome V_i = 0,2 V. Suponga que D_1 conduce, D_2 y D_3 están cortados y el transistor también. Verifique el estado supuesto de cada dispositivo.

4.37 En la Figura P4.37 suponga Q_1 y Q_2 saturados y Q_3 cortado

a) Estime la corriente del diodo.

b) Verifique que Q_1 está saturado

4.38 Cuando V_i = 5 V en la Figura P4.38, suponga que Q_1 está activo inverso y Q_2 saturado. Verifique estas suposiciones y calcule la β forzada para Q_2.

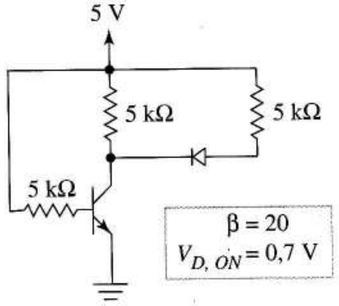


FIGURA P4.33

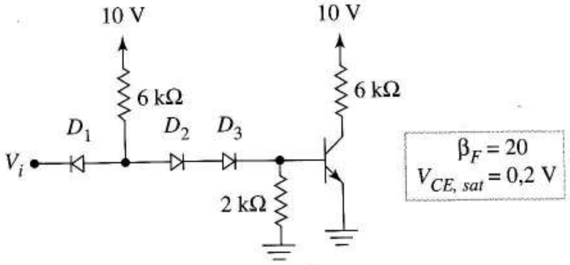


FIGURA P4.36

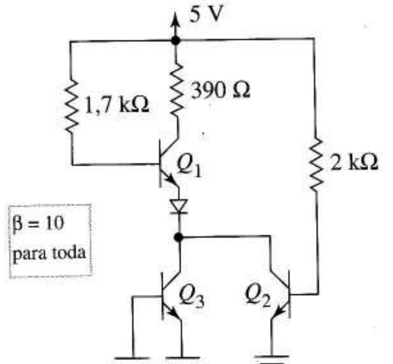


FIGURA P4.37

4.39 En la Figura P4.38 verifique que Q_1 está saturado y Q_2 cortado cuando V_i = 0,2 V.

Sección 4.8

4.40 Utilice el SPICE para obtener el punto Q en el amplificador analizado en el Ejemplo 4.3. Repita para β = 150 y β = 300.

4.41 a) Utilice el SPICE para dibujar la tensión de colector de Q_2 como una función de V_i para el circuito de la Figura P4.38 cuando V_i varía de 0 a 5 V.

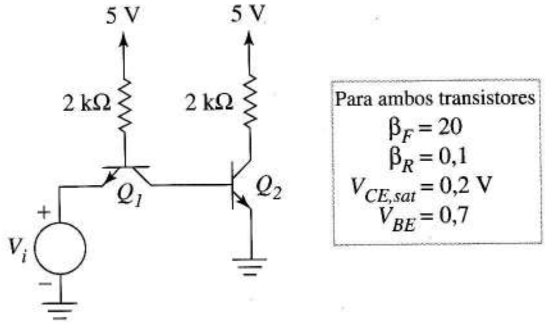


FIGURA P4.38

b) A partir de los datos del SPICE estime los valores de V_i a los que Q_2 cambia del modo de corte al activo y del activo a saturación.

4.42 En la Figura P4.42 cuando v_i = 0, Q se corta, dirigiendo la corriente de 10 mA al diodo D y produciendo v_o = 0,7 V = una caída de tensión del diodo. Si v_i es suficientemente positivo, Q conduce e, incluso para v_i mayores, se satura. Esto desvía la corriente de 10 mA al colector de Q y v_o cae a la $V_{CE,sat}$ del transistor.

a) Obtenga con SPICE la función de transferencia en continua para el circuito cuando β_F = 35, β_R = 0,3 e $I_S = 3 \times 10^{-15}$ para el transistor y el diodo.

b) Repita la parte a) con fuente de corriente de 40 mA.

4.43 Dibuje las características de salida del transistor de forma que muestren cómo β_F varía con I_C. (Ver Figura 4.30.) Suponga temperatura constante.

Sección 4.9

4.44 La Figura P4.44 da los valores para β y V_{BE} a T = 27°C. Suponga que el transistor está activo directo.

a) Utilice el circuito equivalente del transistor para obtener el punto Q a 27°C.

b) Utilice las reglas de variación de temperatura del Sección 4.9.1 para calcular los nuevos parámetros del modelo para 60°C. Utilice estos nuevos valores para obtener el punto Q a 60°C. ¿Permanece activo el transistor?

c) Ahora calcule los parámetros del modelo para –25°C y utilice estos para obtener el punto Q a –25°C. ¿Permanece el transistor activo?

4.45 La tensión de codo para el transistor de la Figura P4.45 es 0,5 V e $I_{CB0} = 2{,}5 \times 10^{-8}$A a 27°C.

a) Utilice el modelo de la Figura 4.9b para verificar que el transistor está cortado a 27°C.

b) Si I_{CB0} se duplica cada 5°C de incremento de la temperatura, obtenga la temperatura a la que el transistor empieza a conducir.

4.46 Habitualmente la resistencia de salida del transistor tiene poco que ver con la determinación del punto Q y se

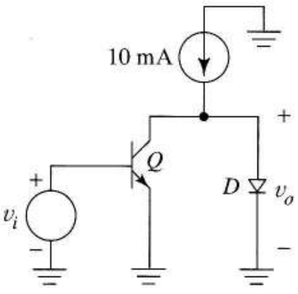


FIGURA P4.42

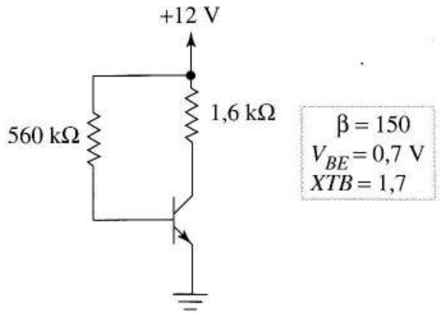


FIGURA P4.44

ignora por simplicidad; sin embargo si la tensión Early es pequeña y la corriente de colector alta, la resistencia de salida puede afectar al punto Q.

a) Ignorando la resistencia de salida, obtenga el punto Q del transistor en la Figura P4.46.

b) Utilice la I_o de la parte (a) para estimar r_o. Luego repita el análisis del punto Q con r_o añadida al modelo del transistor. (Como la corriente de colector depende de r_O y r_O depende de la corriente de colector, este es otro caso donde es necesario iterar hasta converger a una solución. No pierda el tiempo con cálculos iterativos adicionales en este problema.)

4.47 Las características de entrada y salida de las Figura P4.47a y b describen el transistor de la Figura P4.47c.

a) Dibuje el modelo de gran señal del transistor que se aplica al primer cuadrante (donde la información gráfica es válida).

b) Utilice su modelo para determinar el punto Q del transistor.

4.48 Haga un modelo de SPICE del circuito de la Figura P4.48. Utilice los resultados de simulación para obtener el estado de cada transistor para

a) v_i = 0 V

b) v_i = 0,5 V

c) v_i = 0,8 V

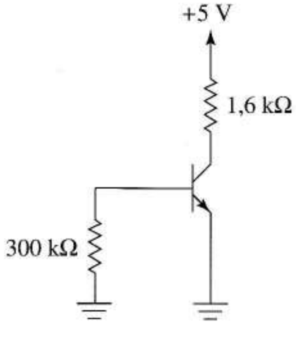


FIGURA P4.45

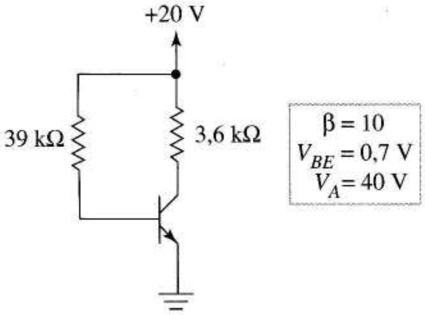


FIGURA P4.46

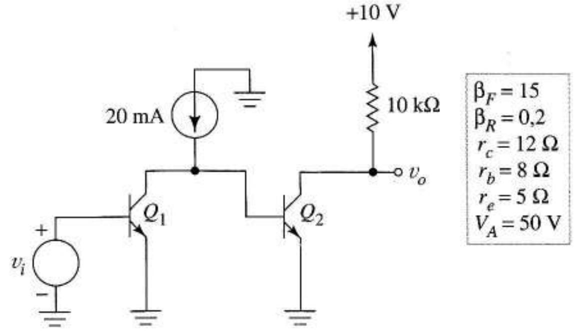


FIGURA P4.48

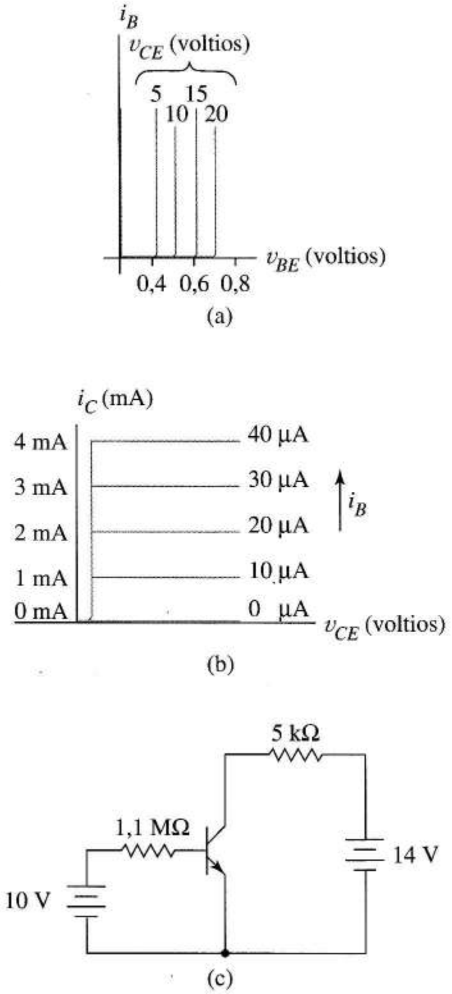


FIGURA P4.47

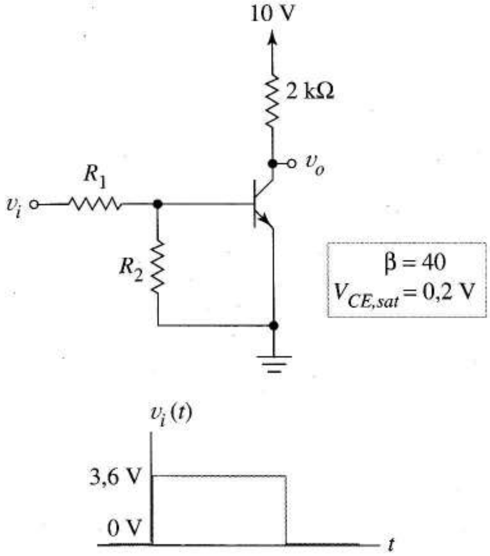


FIGURA P4.52

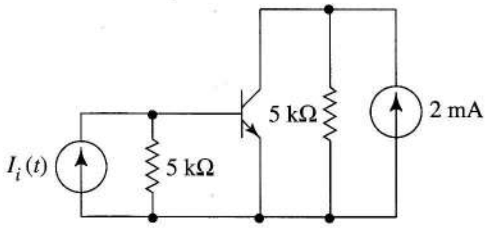


FIGURA P4.53

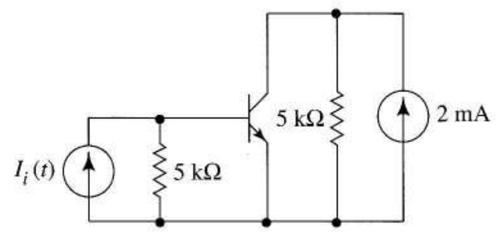


FIGURA P4.54

4.49 Dibuje con SPICE la función de transferencia para el circuito de la Figura P4.48 para temperaturas de –45°C, 27°C y +75°C. Use XTB = 1,5 para el exponente de temperatura de β.

Secciones 4.10-4.12

4.50 La Figura 4.40 modela la dinámica del transistor para todos los modos de funcionamiento.

a) Dibuje un modelo simplificado para el transistor cortado. La naturaleza de la polarización elimina algunos componentes estáticos y dinámicos.

Sugerencia Examinamos las componentes estáticas cuando especializamos el modelo de Ebers-Moll para nuestro circuito equivalente original de corte, la importancia relativa de las capacidades de deplexión y difusión cuando introducimos los parásitos del diodo.

b) Dibuje un modelo dinámico simplificado para el transistor activo directo.

c) Dibuje un modelo dinámico simplificado para el transistor saturado.

4.51 En la Figura 4.41c, R_L = 200 Ω. Cuando el interruptor con transistores está cerrado, la corriente mínima de colector permisible es 2mA. Si R_B = 20 kΩ, $V_{CE,sat}$ = 0,2 V, y β = 20. Obtenga los valores nominales para V_{CC} y para v_C de modo que la corriente exceda el mínimo en un 20%, incluso si v_C debe ser un 20% menor.

4.52 El transistor de la Figura P4.52 está saturado cuando v_i = 3,6 V y cortado cuando v_i = 0 V.

a) Dibuje la forma general de la onda de salida comparada con la onda de entrada, cuando se aplica a la entrada un pulso ideal de 3,6 V. Suponga que el pulso es bastante largo para que se hayan extinguido los transitorios.

b) Dibuje el circuito equivalente que se aplica cuando v_i = 0 V. Luego escriba una inecuación que contenga v_i, R_1 y R_2 que debe ser satisfecha para que el transistor siga cortado.

c) Dibuje un circuito equivalente que se aplique cuando v_i = 3,6 V. Luego escriba una inecuación que contenga v_i, R_1 y R_2 que debe ser cumplida por el circuito para ser válido. Observe que v_i es una tensión de nodo.

4.53 En la Figura P4.53, $I_i(t)$ es inicialmente cero.

a) Sustituya el transistor por un sencillo modelo de corte como el utilizado en la Figura 4.43a. Indique los dos condensadores como C_E y C_C. Obtenga la tensión de equilibrio en cada condensador.

b) En t = 0, $I_i(t)$ conmuta a su valor de conducción de 1 mA. Calcule el valor de la corriente de base en el instante después de que la fuente de corriente conmute.

c) Redibuje el circuito con el transistor sustituido por un modelo simple activo directo como el utilizado en la Figura 4.43c. Suponga que éste es el estado final del circuito, donde las tensiones de los condensadores no sufren cambios. Calcule las tensiones de los condensadores y la tensión colector-emisor. ¿Hay algún problema con esta respuesta?.

d) Redibuje el circuito con el transistor sustituido por un modelo simple de saturación como el utilizado en la Figura 4.43d. Obtenga las corrientes de base y colector.

4.54 En la Figura P4.54 el interruptor con transistor está cerrado para v_i = 0 y abierto para v_i = 5 V. Para el transistor β_F = 30 y $V_{CE,sat}$ = –0,2 V. Obtenga el valor de R_B de forma que cuando el interruptor está cerrado, la beta forzada es 10.

4.55 Haga un modelo SPICE del circuito de la Figura P4.48 usando los parámetros del transistor y el diodo de la Figura 4.45b.

a) Cambie v_i instantáneamente de 0 a 0,8 V en t = 0. Dibuje $v_o(t)$ y las corrientes de base de Q_1 y Q_2. Determine cuánto tiempo tarda el circuito en alcanzar el equilibrio.

b) Haga de $v_i(t)$ un pulso de 0,8 V con anchura suficiente para que el transistor alcance el equilibrio. Compare las formas de onda de Q_1 y Q_2 y $v_o(t)$ con $v_i(t)$.

4.56 Simule con SPICE el circuito de la Figura P4.48 con R_B = 4 kΩ en serie con la base y la fuente de señal. Los parámetros del transitor son BF = 35, BR = 0,5, CJC = 3E-12, CJE = 0,3E-12, TF = 40E-9 y RC = 250.

a) Haga que v_i cambie instantáneamente de 0 a 5 V en t = 0. Dibuje $v_O(t)$ y la corriente de base. Determine cuánto tiempo tarda el circuito en alcanzar el equilibrio.

b) Haga de $v_i(t)$ un pulso de 5 V, con ancho de pulso suficiente para que el transistor alcance el equilibrio. Dibuje v_o y la corriente de base.

Capítulo 5

TRANSISTORES DE EFECTO DE CAMPO

Este capítulo introduce el *transistor de efecto de campo* (FET), un dispositivo de estado sólido en el que un campo eléctrico controla el flujo de los portadores en un canal de conducción. Como los bipolares, los transistores de efecto de campo pueden funcionar, bien como fuentes dependientes de corriente, bien como interruptores controlados. Los FET tienen menos ruido que los bipolares y suelen dar lugar a circuitos más sencillos, ya que tienen resistencia de entrada infinita. Además, ocupan menos espacio en un circuito integrado.

Una desventaja importante del FET en comparación con el bipolar es su menor transconductancia, g_m. A diferencia de los transistores bipolares, los FET son *unipolares,* ya que utilizan sólo un tipo de carga para transportar la corriente.

La Figura 5.1 clasifica los transistores utilizados más habitualmente. Los transistores de efecto de campo se dividen en dos clases según su estructura física: dispositivos de puerta aislada y dispositivos de puerta de unión. Los primeros, denominados habitualmente *FETs de metal-óxido semiconductor* (MOSFET) se subdividen en los tipos *enriquecimiento* y *deplexión.* A la categoría de puerta de unión pertenecen los FET metal-semiconductor (MESFET) y de unión (JFET). Además, la mayoría de los FET están disponibles tanto en canal n como en canal p.

Afortunadamente, las fuertes semejanzas entre las ecuaciones y las curvas características de los distintos FET hacen que sea más fácil aprenderlos de lo que pueda parecer en un principio.

5.1 EL MOSFET DE CANAL n

La Figura 5.2a muestra la estructura física del MOSFET de canal n de enriquecimiento.

Se difunden o implantan pozos fuertemente dopados de tipo n, llamados *fuente* y *drenador* o drenaje[1], sobre un *sustrato* de tipo p. Una puerta conductora se aísla del silicio mediante una fina capa

[1]N. del T.: Existen ciertas discrepancias en la nomenclatura de los terminales de un FET; así, en alguna literatura se encuentra el incorrecto nombre de "surtidor" para la fuente, mientras que, en otros casos se emplea el término "drenaje" en lugar de drenador. Este último no es lingüísticamente correcto pero, debido a su extendido uso, lo hemos preferido en esta obra. Finalmente, es posible encontrar nombres como "gatillo" para el terminal de puerta aunque no se ajusta en nada a su funcionamiento real.

de SiO_2. Siempre conectaremos el sustrato ("*body*" o cuerpo del dispositivo), al punto más negativo del circuito, para asegurar que el drenador y la fuente se mantienen polarizados en sentido inverso. El MOSFET es simétrico físicamente con la fuente y el drenador definidos por la dirección de la corriente.

Durante el funcionamiento, la fuente envía cargas positivas a la puerta. Esta fuente atrae los electrones de los pozos a la región que está exactamente debajo del óxido, creando un *canal* de conducción entre la fuente y el drenador. Este *enriquecimiento* de carga negativa en el canal le da su nombre al dispositivo. En todos los dispositivos de canal n la corriente física del canal consiste en un *flujo de electrones*; de esta forma, vemos un terminal como la *fuente de electrones* que circulan entre canal y drenador cuando se aplica tensión externa.

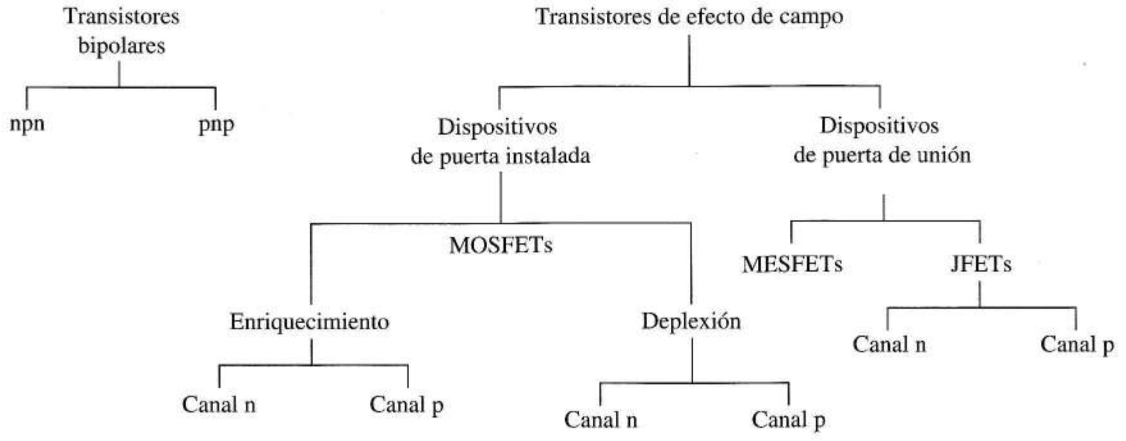
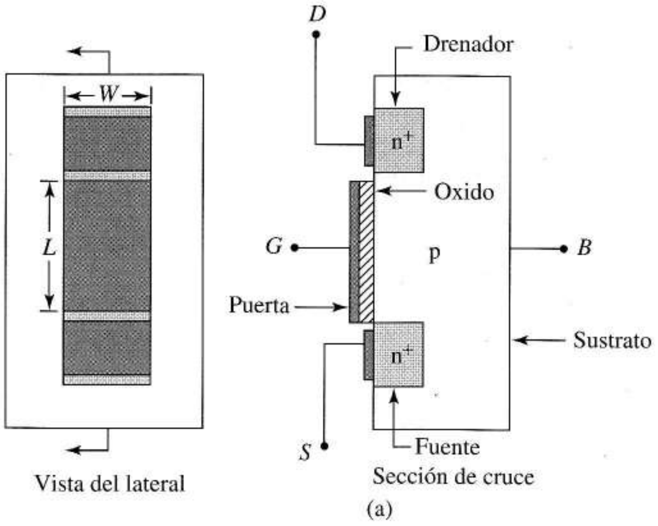


FIGURA 5.1 Clases básicas de transistores

En los primeros MOSFET la puerta siempre se hacía de metal, depositado en el paso de metalización del proceso de fabricación de C.I.; de ahí proviene el nombre de **metal óxido semiconductor**, haciendo referencia a las capas de material. Actualmente, las puertas se suelen construir con silicio fuertemente dopado que se deposita mediante vacío sobre el óxido. Esto crea el término más general FET (IGFET) de *puerta aislada*, un nombre genérico más apropiado. Sin embargo, amoldándonos al uso más habitual, emplearemos el término MOSFET, sin tener en cuenta el material de la puerta.

La Figura 5.2b muestra dos símbolos esquemáticos del MOSFET de canal n. Ambos sugieren simbólicamente el aislamiento eléctrico de la puerta. En el primero, la fuente (de electrones) la marca una flecha, pero muestra la dirección convencional de la corriente. El segundo símbolo muestra de forma explícita cómo se conecta el sustrato en un circuito y refleja mejor la simetría del drenador y la fuente. La punta de la flecha que se refiere al sustrato tiene orientación p a n, sugiriendo el canal de electrones que existe durante el funcionamiento próximo al óxido.

La Figura 5.2c muestra las polaridades y direcciones de referencia de los MOSFET de canal n en su configuración en fuente común. La fuente de continua en el circuito de drenador establece la corriente de drenador i_D, que circula en la dirección de la flecha de la fuente. La tensión positiva aplicada a la puerta con respecto a la fuente controla esta corriente de un modo que explicaremos a continuación.



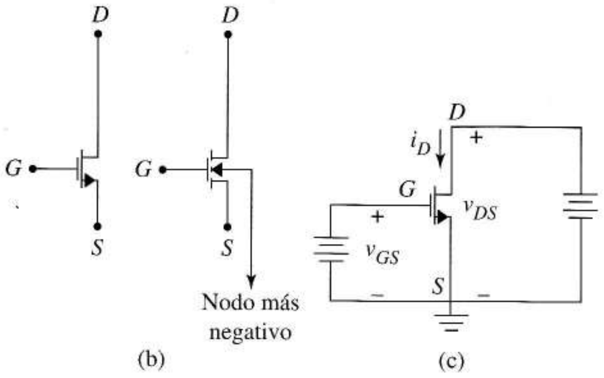


FIGURA 5.2 MOSFET de enriquecimiento de canal n: (a) estructura física; (b) símbolos; (c) polaridad en funcionamiento activo.

5.1.1 PRINCIPIOS DE FUNCIONAMIENTO DE LOS MOSFET

Formación del canal Como el drenador y la fuente de tipo n están separados del sustrato p mediante regiones de deplexión, cualquier electrón que intente abandonar el pozo, por un lado es repelido por los iones negativos del material p, y por otro lado se ve retrasado por los iones positivos del material n. Esto significa que *se requiere bastante esfuerzo para que un electrón salga.* La Figura 5.3 muestra esta barrera de energía para $v_{GS} = 0$ como una energía potencial "umbral" que separa los pozos de electrones. Para llegar al material p, los electrones de la fuente o del drenador deben tener una energía del tamaño de la profundidad del pozo, pero como el material del pozo está fuertemente dopado, el número de electrones que tienen esta energía es insignificante. Tengamos en cuenta que un electrón de la parte plana del diagrama de energía puede moverse libremente ya que el material tipo p de la parte inferior al óxido está libre de campos eléctricos; de esta forma, un electrón en esta zona no experimenta fuerzas eléctricas.

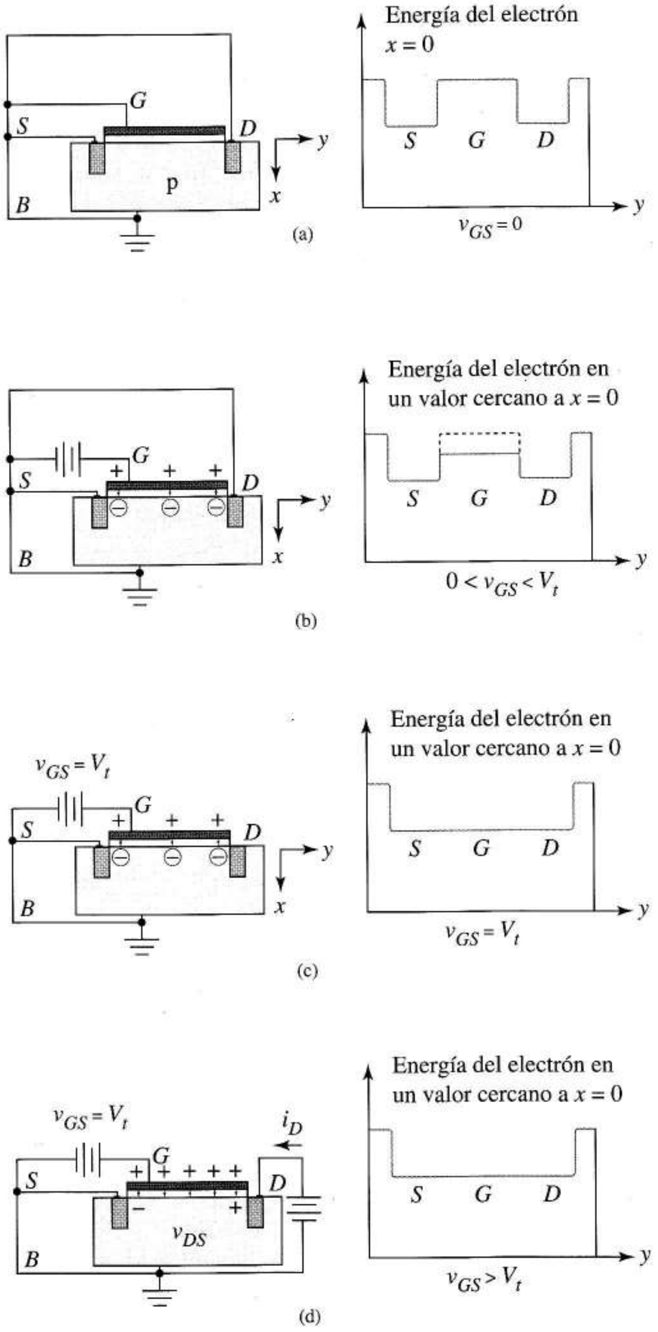


FIGURA 5.3 Formación del MOSFET de canal n: (a) transistor y energía del electrón cuando $v_{GS} = 0$; (b) potencial de superficie reducida bajo la puerta para v_{GS} positivos; (c) energía del electrón cuando se crea el canal; (d) rampa de energía con v_{DS} con un valor positivo pequeño.

La puerta y el sustrato del MOSFET son un condensador de placas paralelas con óxido como dieléctrico. Si ponemos una tensión positiva ($v_{GS} > 0$) puerta-sustrato como en la Figura 5.3b, cargaremos dicho condensador. La carga positiva de la puerta repele así los huecos que salen de la región

inferior al óxido y la fuerza eléctrica anula las impurezas negativas de los iones rezagados. El campo eléctrico crea así una estrecha *región de deplexión* relativamente libre de cargas en movimiento, que se extiende desde la fuente hasta la zona de drenador más cercana a $x = 0$. Un electrón de prueba en esta región, se ve atraído hacia el óxido por la carga positiva de la puerta. Alejarlo del óxido en la dirección $+x$ requiere, por tanto, energía. Esto indica que el hacer v_{GS} positivo disminuye la energía potencial del electrón por debajo del punto $x = 0$, como en la Figura 5.3b En términos técnicos, disminuimos el potencial de la superficie del material p justo hasta llegar a un punto más abajo del óxido, haciendo $v_{GS} > 0$.

Valores aún mayores de v_{GS} disminuyen más el potencial de la superficie hasta que v_{GS} llega a un valor especial llamado *tensión umbral*, V_t. La figura 5.3c sugiere que V_t es precisamente la tensión que disminuye el potencial de la superficie al nivel de los pozos de electrones. Una vez que $v_{GS} = V_t$, los electrones son libres para moverse en la dirección y entre fuente y drenador sin ningún gasto de energía.

Hacer v_{GS} más grande que V_t no disminuye más el potencial de la superficie, sin embargo atrae algunos electrones adicionales en conducción al canal. Esto incrementa la conductividad del canal. Una vez que el material p de la parte inferior del óxido se llena de electrones libres en el lugar de sus huecos iniciales, decimos que ha tenido lugar una *inversión*, indicando que el material p se ha convertido localmente en material n, ¡alquimia electrostática! La Figura 5.3d muestra también que hacer positivo el drenador en relación con la fuente crea una tensión longitudinal a lo largo del canal, que disminuye el potencial del electrón al final del drenador. Esto ocasiona que los electrones se muevan a través del canal de fuente a drenador, base fundamental de la corriente externa del drenador i_D.

Control de la corriente del canal La familia de curvas *vi* lineales de la Figura 5.4a describe con el circuito de la Figura 5.4b el funcionamiento del canal con tensiones drenador-fuente pequeñas. El hacer v_{GS} más positivo que la tensión umbral del transistor proporciona electrones adicionales al canal, reduciendo la resistencia del mismo y aumentando la pendiente de la curva *vi*. El resultado es una resistencia lineal controlada por tensión. Tengamos en cuenta que cada curva de resistencia pasa por el origen y dentro del tercer cuadrante.

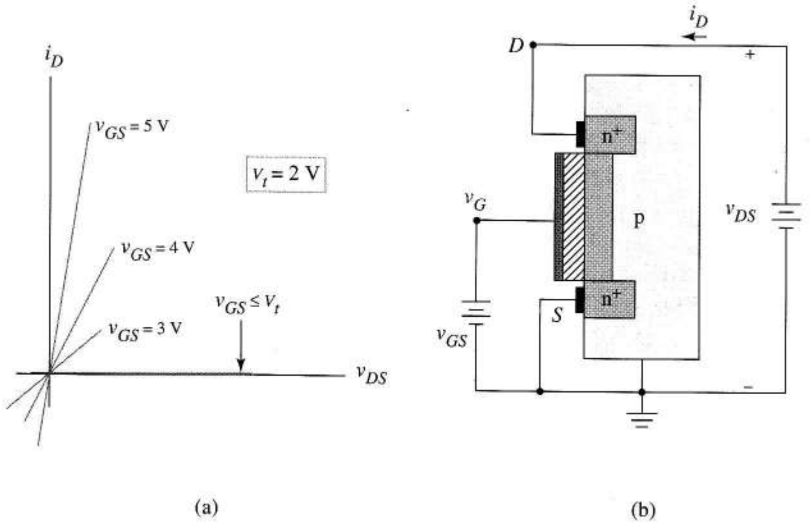


FIGURA 5.4 FET de canal n: (a) funcionamiento de la resistencia controlada por tensión para v_{DS} pequeños; (b) geometría del canal si $|v_{DS}|$ es pequeño.

Para v_{DS} grandes, la tensión al extremo D del canal se hace tan grande que el canal se estrangula como en la Figura 5.5a. Ya hemos visto en la Figura 5.3c que la tensión de puerta a canal debería ser al menos de V_t voltios para que exista el canal. En la Figura 5.5a esta condición sigue cumpliéndose en el extremo S del canal sin tener en cuenta a v_D, sin embargo, como

$$v_{GD} = v_{GS} - v_{DS}$$

los valores más altos de v_{DS} reducen la tensión puerta-canal en el extremo del drenador. En primer lugar, la densidad de los electrones de la zona del canal cercana al drenador comienza a disminuir con los incrementos de v_{DS}. Esto reduce la conductividad media del canal, haciendo que la pendiente de cada curva característica de la Figura 5.5b comience a decrecer a la vez que v_{DS}.

Es decir, los incrementos sucesivos de tensión Δv_{DS} van acompañados de incrementos más pequeños de corriente Δi_D. Lo que ocurre es que las grandes tensiones positivas drenador-fuente "deshacen" la inversión al extremo D del canal. Finalmente, se alcanza un valor crítico de v_{DS} por lo que la disminución de la región del canal desaparece al extremo D y decimos que el canal está *estrangulado*. En términos de tensiones de nodos, ése es el valor de v_{DS} que satisface

$$v_{GS} - v_{DS} = V_t \tag{5.1}$$

Reescribimos esto de forma más reducida en

$$v_{DG} = -V_t$$

Para valores aún mayores de $v_{DG} = v_{DS} - v_{GS}$, es decir, para

$$v_{DG} \geq -V_t \tag{5.2}$$

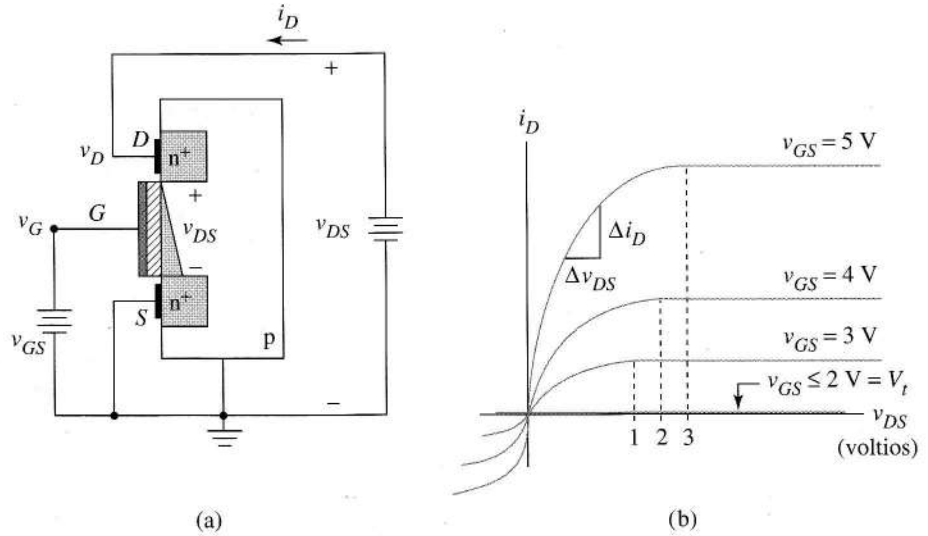
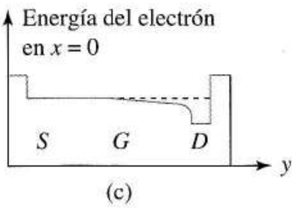


FIGURA 5.5
Estrangulamiento del canal para v_{DS} grandes:
(a) geometría del canal;
(b) curvas cacterísticas de salida; (c) diagonal de energía cuando se estrangula el canal.



el canal sigue estando estrangulado. Una vez que el canal llega a este estado, la caída de tensión que hay en el canal se mantiene aproximadamente constante y da las curvas de corriente de la Figura 5.5b. Más incrementos de v_{DS} (y por tanto de v_{DG}) vacían la región entre drenador y canal en vez de incrementar el movimiento de cargas en el canal. En otras palabras, el diagrama de potencial de los electrones empieza a parecerse a la Figura 5.5c para v_{DS} grandes. Los incrementos de v_{DS} incrementan la profundidad del pozo de potencial en vez de incrementar la pendiente de la curva de energía en el canal. La Ecuación (5.2) nos da la condición para la que todas las curvas de salida de la Figura 5.5b sean horizontales. La Ecuación (5.2) puede escribirse como

$$v_{DS} \geq v_{DG} - V_t$$

Al sustituir los valores v_{GS} que señalan cada curva de la Figura 5.5b, en esta ecuación da el margen de v_{DS} para el que la curva de salida es horizontal. La Figura 5.5b es, pues, la familia de características de salida de los MOSFET de canal n. Debido a la presencia del aislante entre la puerta y el resto del dispositivo, la corriente de puerta siempre es cero y la característica de entrada es la misma de un circuito abierto.

5.1.2 EL MOSFET COMO DISPOSITIVO DE TRES ESTADOS

Es útil considerar al MOSFET como un *dispositivo de tres estados* que tiene una ecuación, un modelo de circuito y una región concreta de las características de salida asociados a cada estado.

El FET se utiliza en estado *activo* en amplificadores y otras aplicaciones lineales, como una VCCS. También hay estados de *corte* y *resistivos* que se utilizan en circuitos lineales y de conmutación, en los que los FET actúan como interruptores controlados por tensión. En su estado óhmico el FET funciona a veces como una resistencia controlada por tensión, aplicación que no posee su oponente bipolar.

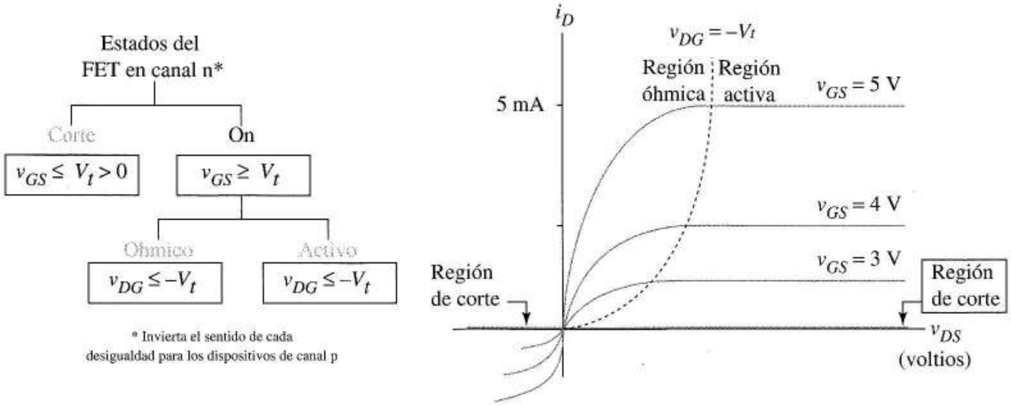
El diagrama de la Figura 5.6a utiliza desigualdades para definir los tres estados, estando cada nombre de estado indicado con caracteres azules. La primera posibilidad es que el MOSFET esté en corte. Esto significa que v_{GS} sea tan pequeña que no haya canal. En la Figura 5.6b el estado de corte corresponde a la curva $i_D = 0$, que recuerda al estado de corte del transistor bipolar.

Cuando el MOSFET no está en corte, existe un canal y decimos que el dispositivo está en conducción. Una segunda desigualdad determina el estado de este transistor en conducción. Si el MOSFET está en conducción y $v_{DG} \geq -V_t$, el dispositivo está en su *estado activo*. El funcionamiento activo corresponde a la región superior derecha de la curva a trazos de la Figura 5.6b en la que el MOSFET se aproxima a una fuente de corriente controlada por tensión. Si el MOSFET está en conducción pero $v_{DG} \leq -V_t$, el transistor está en *su estado óhmico*, la región superior izquierda de la curva a trazos. Aquí el MOSFET funciona como una resistencia no lineal controlada por v_{GS}.

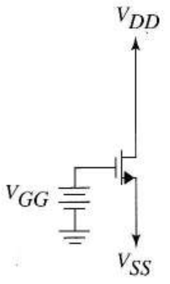
En la región cercana al origen, con v_{DS} suficientemente pequeña, esta resistencia no lineal se reduce a una resistencia lineal y controlada. Como en los transistores bipolares, hay una suave transición entre estados que se ve reflejada en las desigualdades utilizadas para definirlos. Esto quiere decir que en el transistor se describen perfectamente fronteras entre los distintos estados, tanto mediante las ecuaciones como mediante los modelos de ambos estados.

El lector debería saber que hay algunas variaciones en los nombres que se le asignan a los estados del transistor.

Algunos autores llaman a la región en estado activo de las características de salida, la región de *saturación*; otros la llaman la *región de estrangulamiento* (*pinch-off* en terminología anglosajona). La región óhmica se llama a veces región de triodo. Por comodidad se muestran en la contraportada las definiciones de los estados de los bipolares y FET. Los siguientes ejemplos y ejercicios llevan asociada la realización de deducciones sobre los estados del transistor.



(a) (b)



(c)

FIGURA 5.6 Modelo de tres estados del FET de canal n: (a) definiciones de estados; (b) regiones de funcionamiento que corresponden a los estados; (c) circuito ejemplo que determina los estados MOSFET.

EJEMPLO 5.1 El transistor de la Figura 5.6c tiene $V_t = +1$ V.

a) Si $V_{GG} = 7$ V, hallar los valores de V_{SS} y V_{DD} en los que el transistor está en estado activo.

b) Si el $V_{GG} = 7$ V, hallar los valores de V_{SS} y V_{DD} en los que el transistor está en estado óhmico

Solución a) Para que el transistor esté activo, primero debe estar en conducción. A partir de la Figura 5.6, debe cumplirse $V_{GS} = V_{GG} - V_{SS} \geq V_t = 1$ V. Por tanto, $7 - V_{SS} \geq 1$ o $V_{SS} \leq 6$V.
Para que esté en estado activo, también es necesario que $V_{DG} = V_{DD} - V_{GG} \geq -V_t$; en consecuencia,

$$V_{DD} \geq 7 - 1 = 6 \text{ V}$$

b) Para que esté en conducción, hemos hallado en el apartado a) que $V_{SS} \leq 6$ V. Para que esté en estado óhmico, también se requiere que:

$$V_{DG} = V_{DD} - V_{GG} \leq -V_t$$

es decir, $V_{DD} \leq 6$ V. ❑

Ejercicio 5.1 En la Figura 5.6c, $V_t = 1$ V, $V_{SS} = -8$ V, y $V_{DD} = 3$V. Hallar el conjunto de valores de V_{GG} para los que el transistor está en forma activa.

Respuesta $-7 \text{ V} \leq V_{GG} \leq 4$ V.

A continuación daremos las ecuaciones y los modelos de gran señal de cada estado y mostraremos cómo se relacionan las ecuaciones con las curvas características del MOSFET.

Estado de corte En corte el transistor no tiene canal. Por tanto, cuando $v_{GS} \leq V_t$

$$i_D = 0 \tag{5.3}$$

y el circuito abierto de la Figura 5.7a es un buen modelo. Observemos que la Ecuación (5.3) describe matemáticamente la región de corte de la Figura 5.6b.

Estado óhmico Cuando

$$v_{GS} \geq V_t$$

y

$$v_{DG} \leq -V_t$$

la ecuación de salida es

$$i_D = \frac{k}{2}\left[2\left(v_{GS} - V_t\right)v_{DS} - v_{DS}^2\right] \tag{5.4}$$

donde la tensión umbral V_t y el *parámetro de transconductancia k* son dos constantes que caracterizan un MOSFET determinado. Para comprender esta ecuación, pensemos en v_{DS} como la variable independiente, i_D como la variable dependiente y v_{GS} como un parámetro de control. Los términos v_{DS} muestran que (5.4) es la ecuación de una parábola invertida que está desplazada del origen. Distintos valores del parámetro v_{GS} crean una *familia* de parábolas con distintos desplazamientos. Es exactamente la familia de características de salida en la región óhmica de la Figura 5.6b. En problemas a resolver más adelante, será importante comprender que sólo la rama izquierda de cada parábola tiene significado físico para el transistor.

La Figura 5.7b es el modelo de un circuito para el MOSFET óhmico, una resistencia controlada por tensión, no lineal, en la que la función f_0 (v_{GS}, v_{DS}) es la Ecuación (5.4).

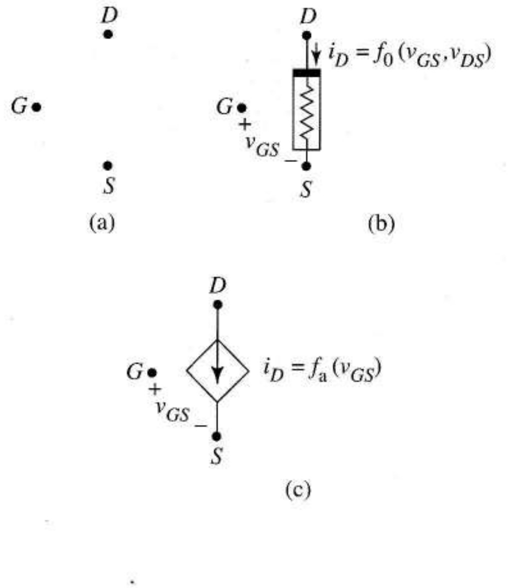


FIGURA 5.7 Modelos en gran señal de los FETs: (a) corte; (b) óhmico; (c) activo

Resistencia lineal controlada por tensión Si v_{DS} en (5.4) se mantiene tan pequeña que el término al cuadrado es despreciable, la corriente de drenador y la tensión de drenador-fuente cumplen

$$i_D = \frac{k}{2}\left[2\left(v_{GS} - V_t\right)\right] v_{DS} = \frac{1}{R_{NMOS}} v_{DS}$$

que describe las curvas lineales vi del tipo de las de la Figura 5.4a. El valor de esta resistencia controlada es

$$R_{NMOS} = \frac{1}{k\left(v_{GS} - V_t\right)} \tag{5.5}$$

A continuación llegaremos a una condición necesaria para que la Ecuación (5.5) sea válida.

En términos de ingeniería, decir que el término al cuadrado de la Ecuación (5.4) es "despreciable" indica que es, al menos, un orden de magnitud menor que el otro término de la suma. Indicado matemáticamente

$$\left|v_{DS}^2\right| << \left|2\left(v_{GS} - V_t\right)v_{DS}\right|$$

significa

$$\left|v_{DS}^2\right| \le (1/10)\left|2\left(v_{GS} - V_t\right)v_{DS}\right|$$

o

$$\left|v_{DS}\right| \le 0{,}2\ \left|v_{GS} - V_t\right| \tag{5.6}$$

Esta restricción de las magnitudes de la tensión de control v_{GS} y la tensión de la resistencia v_{DS} se aplican siempre que usemos la Ecuación (5.5).

Estado activo Como el canal está estrangulado debido al funcionamiento en activa, reemplazaremos v_{DS} en la Ecuación (5.4) con la condición de estrangulamiento

$$v_{DS} = v_{GS} - V_t$$

de la Ecuación (5.1). Esto nos da la ecuación de la región activa

$$i_D = \frac{k}{2}\left(v_{GS} - V_t\right)^2 \tag{5.7}$$

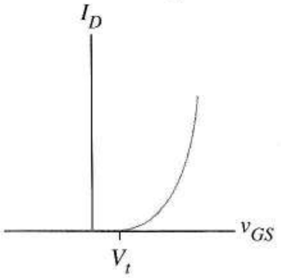


FIGURA 5.8 Característica de transferencia del MOSFET en canal n.

El modelo del circuito en estado activo es entonces la fuente VCCS no lineal de la Figura 5.7c en la que la función f_a (v_{GS}) es la Ecuación (5.7). En su estado activo el MOSFET es una fuente de corriente controlada por tensión, pero para las señales en general, esta fuente dependiente es no lineal.

Una curva importante en los MOSFET activos es su función de transferencia. La Figura 5.8 muestra la función de transferencia del MOSFET de canal n.

Para $v_{GS} \le V_t$ el transistor está cortado y cumple la Ecuación (5.3).

Para $v_{GS} \le V_t$ la función de transferencia es una representación de la Ecuación (5.7), que muestra gráficamente la no linealidad de la VCCS de la Figura 5.7c. Esta curva también predice el espaciado no uniforme de las curvas de la región activa de la Figura 5.6b para incrementos iguales de v_{GS}.

La teoría de estado sólido aplicada al MOSFET indica que el parámetro k de las Ecuaciones (5.4), (5.5) y (5.7) se puede escribir como

$$k = \frac{W}{L}\mu_n C_{ox} \tag{5.8}$$

en la que C_{ox} es la capacidad por unidad de area del óxido que hay bajo la puerta y μ_n es la movilidad de los electrones. Todos los MOSFET de un CI tienen μ_n C_{ox} idéntico y, en consecuencia, se diferencian sólo en W y L, la anchura y la longitud de canal que hay bajo el óxido en la Figura 5.2a. Como W/L se define con las máscaras fotográficas, este valor se controla de forma fácil y precisa durante la fabricación del CI y se convierte en un parámetro clave del diseño. Dado que la corriente de drenador en cada estado del transistor es proporcional a k, podemos fabricar dispositivos, idénticos en otro caso, que tienen distintas corrientes para las mismas tensiones, asignando distintos valores de W/L durante el diseño de la máscara.

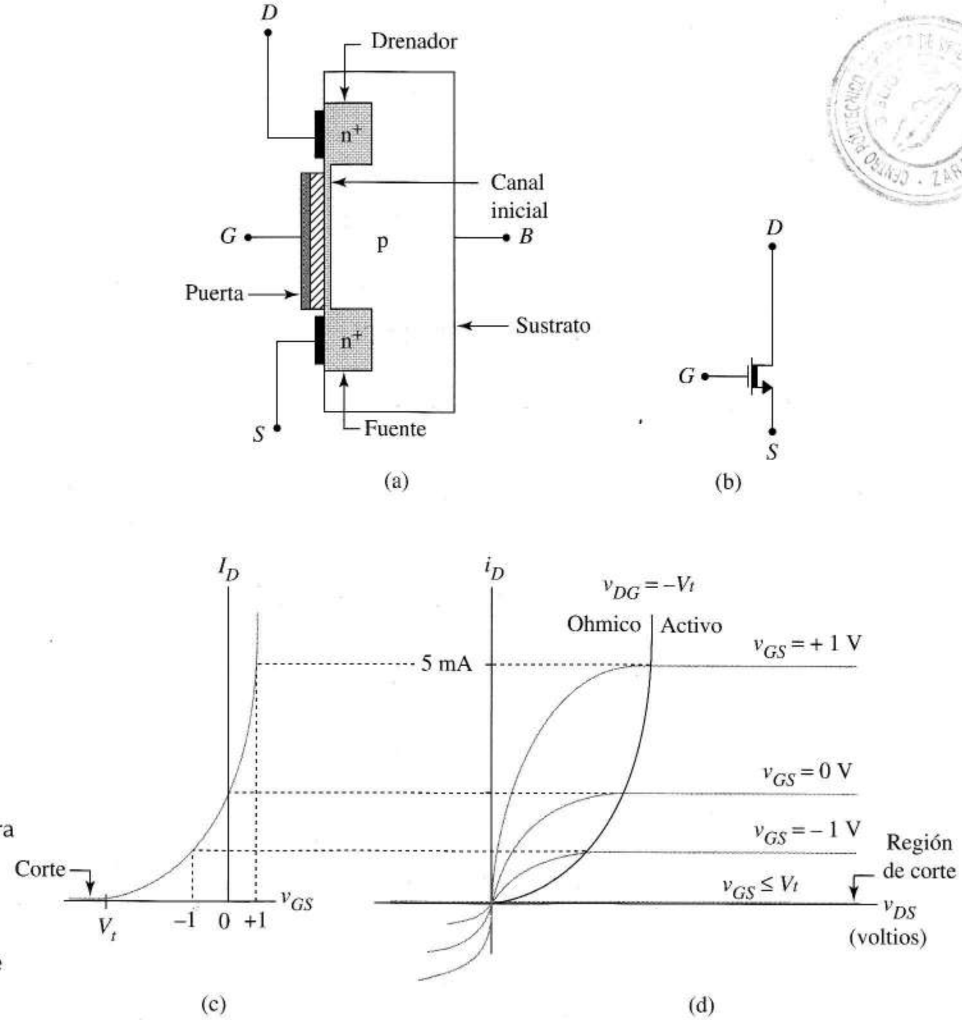


FIGURA 5.9 FET de deplexión de canal n: (a) estructura física; (b) esquema; (c) característica de transferencia; (d) características de salida

CENTRO POLITÉCNICO SUPERIOR · ZARAGOZA

5.1.3 MOSFET DE DEPLEXIÓN

La Figura 5.9a muestra otro tipo de transistor, el MOSFET de *deplexión* de canal n. La diferencia entre un MOSFET de deplexión y uno de enriquecimiento es el fino canal de impurezas de tipo n depositadas exactamente bajo la puerta de óxido durante la fabricación, generalmente por implantación iónica. Debido a esto ya existe un canal para $v_{GS} = 0$. Los valores v_{GS} positivos incrementan aún más la conductividad del canal, extrayendo electrones de los pozos para reducir la resistencia del canal. Los valores negativos de v_{GS} provocan la *deplexión* de la concentración de cargas en el canal, incrementando así su resistencia. Si hacemos v_{GS} lo suficientemente negativo, es decir, $v_{GS} \leq V_t$, siendo V_t una tensión umbral *negativa*, todos los electrones del canal se quedan en los pozos y el canal de conducción deja de existir.

Para v_{DS} pequeños, el dispositivo funciona como una resistencia lineal controlada por tensión. Para v_{DS} grandes, el canal se estrangula en el extremo del drenador, produciendo curvas controladas por tensión de corriente constante. El efecto fundamental del canal preformado es que el MOSFET de deplexión se comporta exactamente como un MOSFET de enriquecimiento con una tensión umbral negativa. *Las ecuaciones, definiciones de estado y modelos de los dos dispositivos son idénticos en lo demás.* La Figura 5.9b muestra el símbolo para el MOSFET de deplexión. La barra negra que conecta el drenador y la fuente sugiere el canal creado.

La Figura 5.9d muestra las características de salida del transistor de deplexión. Se diferencian de las curvas del MOSFET de enriquecimiento sólo en las etiquetas v_{GS}. La función de transferencia de la Figura 5.9c es un dibujo de la Ecuación 5.7. Como la principal diferencia entre los MOSFETS de deplexión y enriquecimiento es el signo de V_t, se deduce que la Figura 5.9c es una versión desplazada a la izquierda de la curva de transferencia del MOSFET de la Figura 5.8. Las curvas de transferencia y salida están yuxtapuestas en las Figuras 5.9c y d para mostrar cómo se relacionan los ejes de corriente de las dos curvas.

5.2 ANÁLISIS DEL PUNTO DE TRABAJO DE LOS MOSFET

Hay dos problemas de análisis de gran señal que se relacionan en los MOSFET: hallar el punto Q cuando se conoce el estado del transistor, y hallar el punto Q cuando el estado es desconocido. Como en el análisis de los transistores bipolares, reemplazaremos los transistores con modelos de circuitos y después los analizaremos. Hay ciertos detalles que diferencian los transistores MOS y los bipolares. Como en los circuitos bipolares, el problema con el estado conocido lleva asociado un circuito en el que el transistor está en estado activo.

5.2.1 ANÁLISIS DE TRANSISTORES EN ESTADO ACTIVO

Tanto los MOSFET de deplexión como los de enriquecimiento cumplen la Ecuación (5.7) cuando están activos; en consecuencia, las soluciones se diferencian sólo en los signos de v_{GS} y V_t. Los principiantes deberían dibujar un circuito equivalente, ya que los modelos del transistor hacen más obvias las características del circuito. Con más experiencia en solucionar problemas, llegaremos gradualmente a ver las restricciones en el esquema original y al final aprenderemos a resolver problemas sencillos sin dibujar esquemas equivalentes. Otra costumbre interesante es marcar cada tensión y corriente en el diagrama según se va encontrando, para así obtener indicaciones visuales sobre lo que se debe hacer a continuación. También es bueno practicar en la realización de sencillos dibujos de la salida o función de transferencia al final del análisis para verificar que la solución tiene sentido.

Los problemas de análisis de MOSFET activos llevan asociado el resolver dos ecuaciones simultáneas, una cuadrática con dos incógnitas. Obtendremos invariablemente dos soluciones matemáticas de la función de transferencia representada en la Ecuación (5.7), pero sólo una de ellas, correspondiente a una de las ramas de su parábola, tiene sentido físico. Si formulamos nuestras ecuaciones para que la incógnita sea V_{GS} (no I_D), podremos reconocer fácilmente tanto la solución correcta como aquélla que pone al transistor en conducción. Los siguientes casos ayudan a clarificar estos puntos.

EJEMPLO 5.2 Hallar el punto Q del transistor activo de la Figura 5.10a y mostrarlo en un dibujo.

Solución Como el transistor está en estado activo, dibujamos la Figura 5.10b. Para determinar el punto Q necesitamos determinar las incógnitas I_D y V_{DS} en las que utilizaremos mayúsculas ya que es un problema de análisis en continua. Como el transistor está en activa

$$I_D = \frac{0{,}5\times 10^{-4}}{2}\left(V_{GS}-2\right)^2$$

Como la ecuación tiene dos incógnitas, buscaremos una segunda expresión para V_{GS}. El diagrama muestra que $V_S = -10$ V. Además

$$V_G = V_D = 10 - 160kI_D$$

Por tanto

$$V_{GS=} = V_G - V_S = \left(10-160kI_D\right)-\left(-10\right) = 20-160kI_D$$

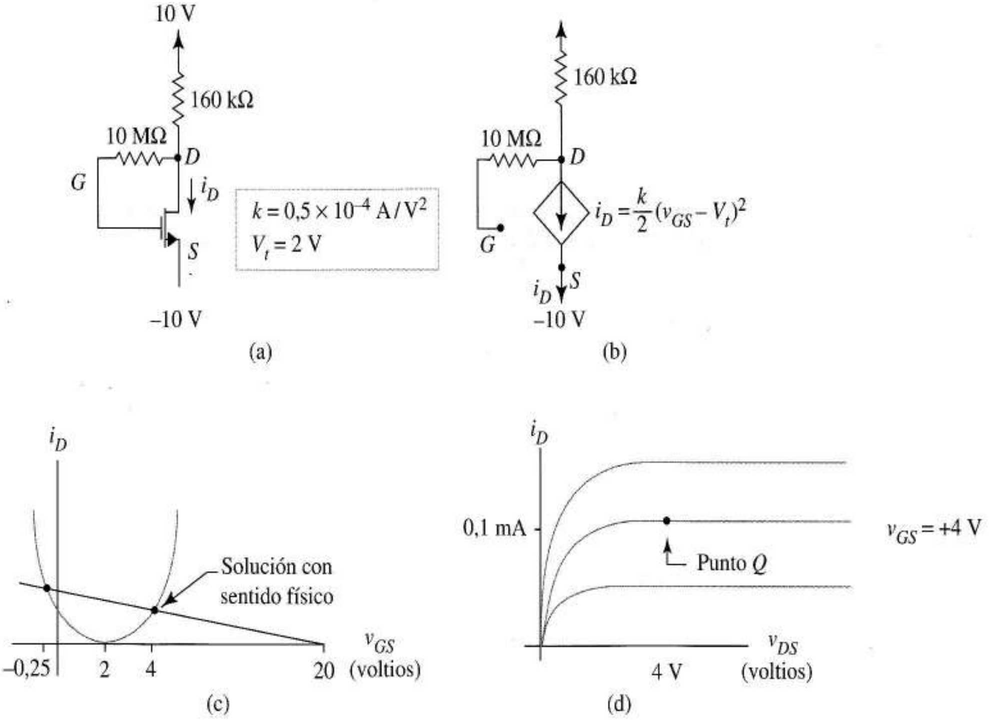


FIGURA 5.10 Ejemplo 5.3: (a) circuito dado; (b) circuito equivalente en gran señal; (c) significado de dos soluciones a las ecuaciones del circuito; (d) posición del punto Q.

una segunda ecuación con las mismas incógnitas. La estrategia más simple es despejar I_D en la segunda ecuación, luego utilizar la primera. Así obtenemos

$$\frac{20 - V_{GS}}{160k} = \frac{0,5 \times 10^{-4}}{2}(V_{GS} - 2)^2$$

Simplificando nos da

$$V_{GS}^2 - 3,75V_{GS} - 1 = 0$$

que tiene como soluciones V_{GS} = +4 V y –0,25 V.

La Figura 5.10c muestra gráficamente las dos expresiones corriente de drenador que teníamos en las ecuaciones anteriores: una línea de carga y la función de transferencia del MOSFET. Sólo la solución V_{GS} = 4 V es consistente con el funcionamiento de un transistor activo. La intersección con la rama a trazos de las parábolas es una solución matemáticamente correcta, pero sin sentido físico, ya que el transistor no tiene canal para $V_{GS} < 2$ V.

A partir de la Figura 5.10b una coordenada del punto Q es $V_{DS} = V_{GS}$ = +4 V. Al sustituir V_{GS} = 4 V en la otra ecuación de drenador-fuente, obtenemos I_D = 0,1 mA. La Figura 5.10d muestra el punto Q en la característica de salida. ❑

Ejercicio 5.2 Hallar el nuevo punto Q en la Figura 5.10a si reemplazamos el transistor con uno de $k = 2 \times 10^{-4}$ A / V^2 y V_t = 2 V.

Respuesta $(V_{DS}, I_D) = (3,03 \text{ V}, 106\mu A)$

El siguiente ejemplo lleva asociado un *circuito de polarización con cuatro resistencias*, un circuito popular para el amplificador porque establece un punto Q que depende poco de los parámetros del transistor. Aprenderemos a *diseñar* ese tipo de circuitos en el Capítulo 6.

EJEMPLO 5.3 Hallar el punto Q del transistor de la Figura 5.11a.

Solución Como el transistor está activo, dibujamos la Figura 5.11b, en la que

$$I_D = \frac{0,5 \times 10^{-3}}{2}(V_{GS} - 2)^2$$

Dado que las resistencias de 0,8 MΩ y 1,2 MΩ forman un divisor de tensión, la tensión de puerta es

$$V_G = \frac{0,8 \text{ M}}{0,8 \text{ M} + 1,2 \text{ M}} 20 = 8 \text{ V}$$

Ya que $V_S = 4 \text{ k} \times I_D$, la tensión puerta-fuente es

$$V_{GS} = 8 - 4\ k \times I_D$$

Al igualar las dos expresiones de I_D, obtenemos

$$\frac{8 - V_{GS}}{4 \text{ k}} = \frac{0,5 \times 10^{-3}}{2}(V_{GS} - 2)^2$$

o

$$V_{GS}^2 - 3V_{GS} - 4 = 0$$

que tiene las soluciones V_{GS} = –1 V y +4 V. De ellas, sólo la segunda cumple la condición de que el transistor esté en conducción, $v_{GS} \geq V_t$ = 2 V. Al sustituir V_{GS} = 4 V obtenemos I_D = 1 mA.

Para hallar V_{DS} utilizaremos la ley de Kirchhoff de la tensión, con la tensión de la fuente de corriente V_{DS} como incógnita.

$$4\text{ k}(1\text{ mA}) + V_{DS} + 10\text{ k}(1\text{ mA}) = 20\text{ V}$$

Esto nos da $V_{DS} = 6{,}0$ V. Concluyendo, el punto Q es

$$(V_{DS},\ I_D) = (6\text{ V},\ 1\text{ mA})$$ ❑

Ejercicio 5.3 Hallar el nuevo punto Q si la resistencia de 10 kΩ del Ejemplo 5.3 se reemplaza por una resistencia de 5 kΩ.

Respuesta $(V_{DS}, I_D) = (11\text{ V}, 1\text{ mA})$.

Ejercicio 5.4 Hallar el nuevo punto Q del MOSFET de deplexión de la Figura 5.12a.

Respuesta $(V_{DS}, I_D) = (3\text{ V}, 2\text{ mA})$.

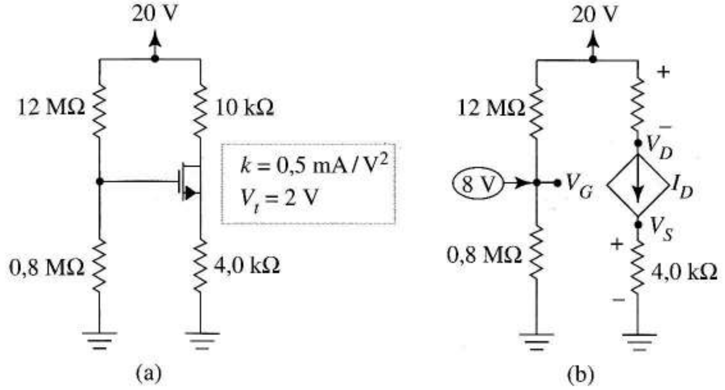


FIGURA 5.11 Circuito de polarización amplificador con cuatro resistencias del Ejemplo 5.13; (a) circuito original; (b) circuito equivalente de la resistencia en estado activo.

EJEMPLO 5.4 Hallar el valor de continua en la resistencia y también el punto de funcionamiento del transistor en estado activo en la Figura 5.12b.

Solución El circuito equivalente es la Figura 5.12c. Como $v_{GS} = 0$, la Ecuación (5.7) da

$$I_D = \frac{22 \times 10^{-6}}{2}(0+3)^2 = 99\ \mu A$$

El valor de continua en la resistencia es

$$51\text{ k}(99 \times 10^{-6}) = 5{,}05\text{ V}$$

Esto significa que la tensión del nodo en el drenador es de 5,05 V menos que la alimentación de 9 V, o $V_D = 3{,}95$ V. Así

$$V_{DS} = 3{,}95 - (-3) = 6{,}95\text{ V}$$

La Figura 5.12d muestra el punto Q (6,95 V, 99 μA). ❑

El transistor de deplexión crea una sencilla fuente constante de corriente al conectarse a la fuente como en la Figura 5.12b; la característica de salida que le corresponde a $V_{GS} = 0$ (Figura 5.12d) es una curva de corriente constante siempre que v_{DS} sea lo suficientemente grande como para prevenir el funcionamiento de la región óhmica. A veces el punto clave en un análisis es reconocer esta conexión con la fuente de corriente, como muestra el siguiente ejemplo. Este ejemplo también ilustra algunas nuevas ideas sobre circuitos que serán útiles en capítulos posteriores.

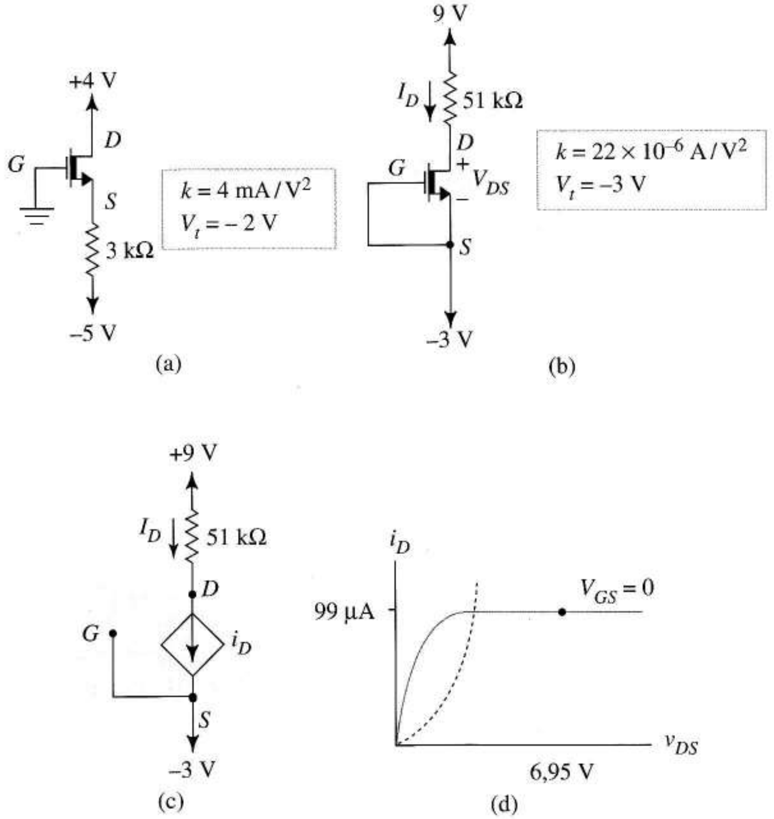


FIGURA 5.12 (a) circuito del Ejercicio 5.4; (b) circuito del Ejemplo 5.4; (c) equivalente del Ejemplo 5.4; (d) punto Q del Ejemplo 5.4.

EJEMPLO 5.5 En la Figura 5.13a los transistores de enriquecimiento son idénticos, con $k = 0{,}5 \times 10^{-4}$A/V^2 y $V_t = 3$ V. El MOSFET de deplexión tiene $k = 0{,}1$ mA/V^2 y $V_t = -2$ V. Hallar el punto Q de cada transistor, suponiendo que todos los transistores están en estado activo.

Solución Como M_3 está en funcionamiento activo, la Ecuación (5.7) nos da

$$I_{D3} = \frac{10^{-4}}{2}\left[0-(-2)\right]^2 = 0{,}2 \text{ mA}$$

A continuación, utilizaremos estas ecuaciones en el circuito de la Figura 5.13b donde la ley de Kirchhoff de la corriente exige que $I_{D1} + I_{D2} = 0{,}2$ mA. Como M_1 y M_2 son idénticos y el circuito es simétrico, $I_{D1} = I_{D2} = 0{,}1$ mA. Si M_1 y M_2 están activos, sus corrientes de drenador cumplen la Ecuación (5.7). Por lo tanto, para cada una de ellas

$$0{,}1 \times 10^{-3} = 0{,}25 \times 10^{-4}\left(V_{GS1} - 3\right)^2$$

Las soluciones son $V_{GS1} = 1$ V y 5 V. Para que M_1 y M_2 tengan canales, V_{GS1} debe superar a $V_t = 3$ V, en consecuencia, sólo $V_{GS1} = 5$ V tiene significado físico.

En la Figura 5.13b $V_{GS1} = 5$ V lleva asociado que los nodos de fuente M_1 y M_2 tengan 5 V por debajo del valor de tierra, ya que sus puertas están a cero voltios. A continuación añadiremos el valor $V_S = -5$ V a la Figura 5.13b (indicado por un círculo) para utilizarlo más adelante. Como los drenadores de M_1 y M_2 están a 10 V, V_{DS} vale para cada uno de ellos 10–(–5) = 15 V.

Por ello, los transistores de enriquecimiento se polarizan en (15 V, 0,1 mA). ❑

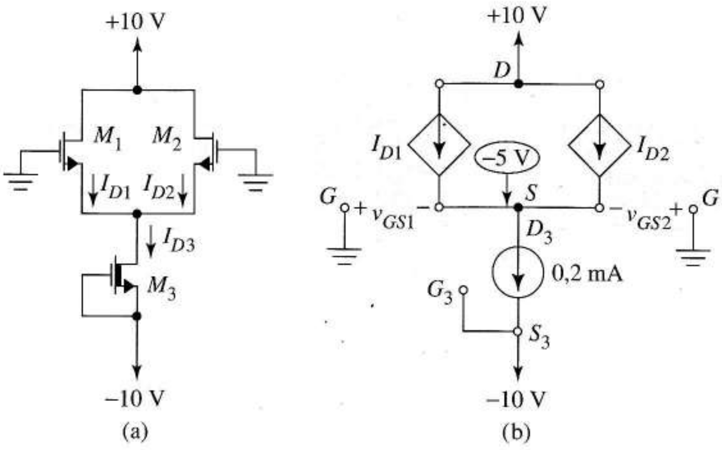


FIGURA 5.13 Circuito que utiliza una corriente constante de polarización: (a) circuito original; (b) equivalente utilizado en los análisis si los transistores están activos.

Ejercicio 5.5 Utilizar los resultados del Ejemplo 5.5 y las definiciones de estados de la Figura 5.6a para verificar que los tres transistores funcionan en el estado activo tal y como se supuso.

Respuesta $V_{DG1} = V_{DG2} = 10$ V cumple que $V_{DG} \geq -3$ V, $V_{DG3} = +5$ V cumple que $V_{DG3} \geq -(-2)$ V.

5.2.2 ANÁLISIS DE TRANSISTORES EN ESTADO DESCONOCIDO

Para analizar un circuito con MOSFET cuando los estados del transistor son desconocidos, debemos hallar las tensiones del transistor y utilizar después las definiciones de estados de la Figura 5.6a para determinar los estados del transistor. Una vez que conocemos los estados, podemos calcular las corrientes del transistor. En todos los problemas, menos en los más sencillos, utilizaremos el procedimiento general aplicado previamente a los diodos y transistores bipolares.

1. Hacer una suposición sobre el estado de cada transistor.
2. Reemplazar cada transistor con el modelo apropiado de la Figura 5.7; después analizar el circuito resultante.
3. Utilizar los resultados del análisis y las definiciones de estados para confirmar cada estado del transistor.
4. Si hay alguna contradicción, hacer una nueva suposición y repetir el análisis.

A continuación aplicaremos estas ideas a varios circuitos.

EJEMPLO 5.6 Hallar el punto Q (V_{DS}, I_D) del transistor de la Figura 5.14a si $V_t = 1$ V y $k = 2 \times 10^{-3}$ A/V^2.

Solución Como se conocen V_G y V_S, podemos solucionar este problema sin ningún modelo del circuito. Como $V_{GS} = 2$ V, el transistor está en conducción; por lo tanto, Q es algún punto en la característica de salida de la Figura 5.14b. Dado que la ecuación de estado activo es más sencilla, suponemos este estado. Esto nos da

$$I_D = 10^{-3}(2-1)^2 = 1 \text{ mA}$$

Ahora probaremos nuestra suposición comparando V_{DG} con $-V_t$. A partir de la Figura 5.14a, si $I_D = 1$ mA entonces $V_D = -5$ V y $V_{DG} = -5-(-3) = -2$ V. Ya que esto es menor que $-V_t = -1$ V, el transistor está en estado óhmico.

Volviendo a calcular la corriente con la Ecuación (5.4) obtenemos

$$I_D = 10^{-3}\left[2(2-1)V_{DS} - V_{DS}^2\right]$$

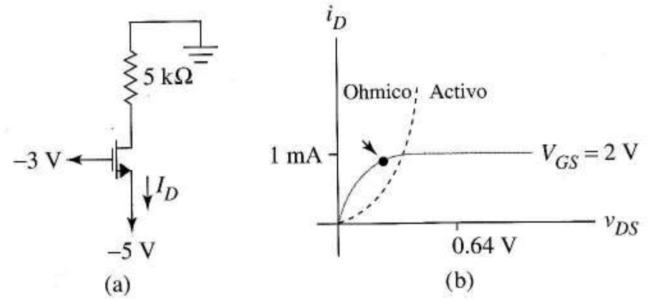


FIGURA 5.14 (a) circuito del Ejemplo 5.6; (b) punto *Q*

A partir del esquema, $V_D = -5\ \mathrm{k}I_D$ y $V_S = -5$; así

$$V_{DS} = -5\ \mathrm{k}I_D + 5$$

Al despejar I_D e igualar las expresiones de corriente nos da

$$\frac{5 - V_{DS}}{5\ \mathrm{k}} = 10^{-3}\left(2V_{DS} - V_{DS}^2\right)$$

Al resolver la ecuación polinómica obtenemos las soluciones: $V_{DS} = 1{,}56$ V y 0,64 V.

El estado del transistor no ofrece duda; sin embargo debemos comprobar la desigualdad $V_{DG} \leq -1$ para ver qué valor de V_{DS} tiene sentido físico. Como

$$V_{DG} = V_{DS} - V_{GS} = V_{DS} - 2$$

las dos soluciones son, respectivamente, $V_{DG} = -0{,}44$ V y −1,36 V. Como sólo la segunda es consistente con el funcionamiento óhmico, llegamos a la conclusión de que $V_{DS} = 0{,}64$ V. Ahora sustituimos V_{DS} en la ecuación corriente de drenador, por ejemplo

$$\frac{5 - 0{,}64}{5\ \mathrm{k}} = I_D = 0{,}872\ \mathrm{mA}$$

Llegamos a que el punto *Q* es (0,64 V, 0,872 mA) como indica la flecha de la Figura 5.14b. ❑

Ejercicio 5.6 Queremos cambiar la resistencia de 5 kΩ de la Figura 5.14a por un valor que lleve al transistor al límite de la región activa de la Figura 5.14b. Hallar un nuevo valor para esta resistencia.

Respuesta $R_D = 4$ kΩ.

EJEMPLO 5.7 Hallar V_X en la Figura 5.15a. Los parámetros del transistor son $k_1 = 0{,}5$ mA/V², $V_{t1} = -2$ V, $k_2 = 2/9$ mA / V² y $V_{t2} = 3$ V.

Solución Suponer que los dos transistores están en zona activa y dibujar la Figura 5.15b. Como $V_{GS1} = 0$ para M_1,

$$I_{D1} = 0{,}25[0-(-2)]^2\ \mathrm{mA} = 1\ \mathrm{mA}$$

Los transistores están en serie, así que $I_{D2} = I_{D1}$. Pero esto implica que

$$I_{D2} = 1\ \mathrm{mA} = (1/9)(V_{GS2} - 3)^2\ \mathrm{mA}$$

que da las soluciones $V_{GS2} = 0$, +6 V. Sólo la última supera $V_{t2} = 3$ V y es, por tanto, consistente con M_2 pasando a estar en conducción.

Para verificar que M_2 está activo, observemos que

$$V_{DG2} = 5 - 0 = 5\ \mathrm{V}$$

que satisface $V_{DG2} \geq -V_{t2} = -3$ V.

Ahora comprobaremos la suposición de que M_1 está activo. Como ya hemos hallado que $V_{GS2} = 6$ V, veremos a partir de la Figura 5.15b que $V_X = -6$ V. Para M_1 esto significa

$$V_{DG1} = -6-(-9) = 3 \text{ V}$$

Esto cumple que $V_{DG1} - V_{t1} = 2$ V. Llegamos a que ambos transistores están en zona activa como suponíamos y $V_X = -6$ V.

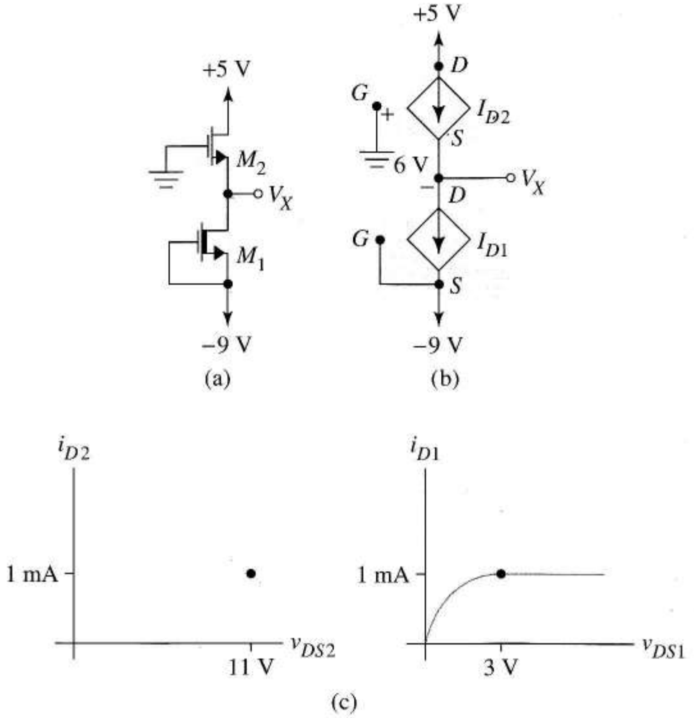


FIGURA 5.15 Ejemplo 5.7: (a) circuito dado; (b) equivalentes si ambos transistores están activos; (c) coordenadas del punto Q de la solución del problema.

Resumiendo, M_2 está polarizado en $(V_{DS}, I_D) = (11 \text{ V}, 1 \text{ mA})$ y M_1 está polarizado en (3 V, 1 mA), como ilustra la Figura 5.15c. ❑

Ejercicio 5.7 Hallar cómo cambia V_X en el Ejemplo 5.7 si k_2 se incrementa a 8/9 mA/V^2 mientras los demás parámetros se mantienen iguales.

Respuesta −4,5 V.

Ejercicio 5.8 Hallar cuánta potencia disipa cada transistor de la Figura 5.15 y cuánta entrega cada generador cuando los puntos Q son los de la Figura 5.15c.

Respuesta M_1 disipa 3 mW, M_2 disipa 11 mW, la fuente de 5 V entrega 5 mW, el de −9 V entrega 9 mW.

EJEMPLO 5.8 Hallar el punto Q y disipación de potencia de cada transistor de la Figura 5.16a.

Solución Algunos circuitos limitan las tensiones de los nodos del transistor de modo que nos ayudan a determinar su estado. Este es uno de esos circuitos. Como $V_{GS1} > V_{t1}$, está claro que M_1 está en conducción. Para M_2, vemos que $V_{DG2} = 0$, que cumple que $V_{DG2} \geq -V_{t2}$. En consecuencia, M_2 o no está en conducción ($V_{GS2} \leq V_{t2}$) o está activo. Supondremos que los transistores están activos y dibujaremos la Figura 5.16b.

Si M_1 está activo, entonces

$$I_{D1} = \frac{9 \times 10^{-3}}{2}(2-1)^2 = 4{,}5 \text{ mA}$$

Como $I_{D2} = I_{D1}$ y M_2 se supone activo

$$I_{D2} = \frac{4 \times 10^{-3}}{2}\left(V_{GS2} - 2\right)^2 = 4{,}5 \text{ mA}$$

Al resolver obtenemos V_{GS2} = 3,5 V y 0,5 V de los que V_{GS2} = 3,5 V supera a V_{t2}. Con nuevas tentativas llegamos a que M_2 está en conducción, activo y polarizado en (3,5 V, 4,5 mA).

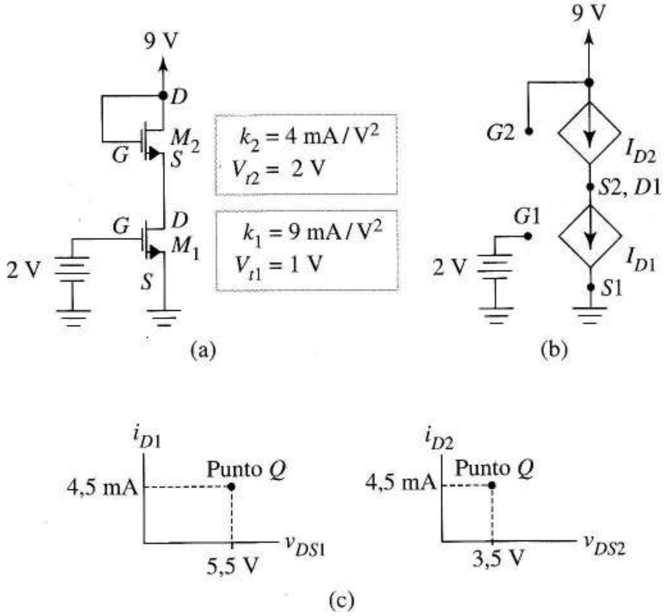


FIGURA 5.16 Ejemplo 5.8: (a) circuito dado; (b) circuito equivalente para ambos transistores n activa; (c) punto Q de cada transistor.

A continuación comprobaremos el estado de M_1. Del diagrama, obtenemos $V_{DS1} + V_{DS2}$ = 9 V; en consecuencia

$$V_{DS1} = 9 - 3{,}5 = 5{,}5 \text{ V}$$

Así,

$$V_{DG1} = V_{DS1} - V_{GS1} = 5{,}5 - 2 = 3{,}5 \text{ V}$$

Como esto cumple $V_{DG1} \geq V_{t1} = -1$ V, llegamos a que ambos transistores están activos y que M_1 está polarizado en (5,5 V, 4,5 mA). La Figura 5.16c muestra los dos puntos Q.

En M_1, la disipación de potencia es $I_{D1} \times V_{DS1}$ = 5,5 (4,5 × 10^{-3}) = 24,8 mW; en M_2 la potencia es 3,5 (4,5 × 10^{-3}) = 15,8 mW. ❑

EJEMPLO 5.9 Repetir el último ejemplo tras sustituir la fuente de 2 V en la puerta de M_1 por una de 8 V.

Solución Como en el último ejemplo, sabemos que M_1 está en conducción y M_2, o no está en conducción o está activo. Con un valor de 8 V en V_{GS1},

$$I_{D1} = \frac{9 \times 10^{-3}}{2}(8 - 1)^2 = 220{,}5 \text{ mA}$$

Como las corrientes de drenador son idénticas

$$I_{D2} = 220{,}5 \text{ mA} = \frac{4 \times 10^{-3}}{2}\left(V_{GS} - 2\right)^2$$

Esto nos da $V_{GS2} = 12{,}5$, y $-8{,}5$ V. Dado que $V_{GS2} = V_{DS2} = 12{,}5$ V, es consistente con nuestras suposiciones, llegamos a que el drenador de M_1 vale 12,5 V, menos que la fuente de 9 V o

$$V_{D1} = 9 - 12{,}5 \text{ V} = -3{,}5 \text{ V}$$

Pero esto nos da $V_{DG1} = V_{D1} - V_{G1} = -3{,}5 - 8 = -11{,}5$ V, que contradice la suposición de que M_1 está activo.

Como M_2 no está en conducción o está activo, supondremos ahora que M_2 está activo y M_1 en estado óhmico. Igualando las corrientes de drenador y utilizando las Ecuaciones (5.4) para M_1 y (5.7) para M_2 nos da

$$I_D = \frac{4\times 10^{-3}}{2}\left(V_{GS2} - 2\right)^2 = \frac{9\times 10^{-3}}{2}\left[2(8-1)V_{DS1} - V_{DS1}^2\right] \tag{5.9}$$

A partir del diagrama $V_{GS2} = 9 - V_{DS1}$. Al realizar esta sustitución nos da

$$I_D = \frac{4\times 10^{-3}}{2}(9 - V_{DS1} - 2)^2 = \frac{9\times 10^{-3}}{2}\left[2(8-1)V_{DS1} - V_{DS1}^2\right]$$

o

$$13V_{DS1}^2 - 182V_{DS1} + 196 = 0$$

Al despejar, obtenemos $V_{DS1} = 1{,}18$ V y 12,8 V. Los valores de V_{DG1} son, respectivamente

$$1{,}18 - 8 = -6{,}82 \text{ V}$$

y

$$12{,}8 - 8 = 4{,}8 \text{ V}$$

Sólo el primero cumple

$$V_{DG1} \le -V_{t1} = -1 \text{ V}$$

como exigía nuestra suposición del funcionamiento óhmico de M_1. Así, $V_{DS1} = 1{,}18$ V.

Para hallar la corriente, sustituiremos $V_{DS1} = 1{,}18$ V en la Ecuación (5.9). Esto nos da $I_D = 67{,}7$ mA. Para M_2

$$V_{DS2} = 9 - 1{,}18 = 7{,}82 \text{ V}$$

Así, M_1 está polarizado en (1,18 V, 67,7 mA) y M_2 en (7,82 V, 67,7 mA). La disipación de potencia en M_1 es $67{,}7 \times 1{,}18 = 79{,}9$ mW. La potencia en M_2 es $67{,}7 \times 7{,}82 = 529{,}4$ mW. ❑

Ejercicio 5.9 En la Figura 5.16, cambiar la fuente de 2 V por 0 V y suponer que M_2 está activo. Con estas suposiciones, hallar V_{DS1}.

Respuesta $V_{DS1} = 7$ V.

5.3 RESISTENCIAS FET Y LÍNEAS DE CARGA NO LINEALES

Vimos en el Capítulo 4 que las resistencias difundidas de gran valor ocupan excesivo espacio en los circuitos integrados. Una forma práctica para obtener grandes resistencias sin etapas adicionales de fabricación es usar transistores de efecto de campo como resistencias no lineales, para lo que sirven tanto los transistores de enriquecimiento como los de deplexión. Las líneas de carga que usamos para analizar transistores bipolares en la Sección 4.5 son también útiles para los FET. Aquí llevamos la idea de las líneas de carga más allá, generalizándola para incluir resistencias no lineales.

5.3.1 RESISTENCIAS NO LINEALES DE ENRIQUECIMIENTO

La conexión puerta-drenador de la Figura 5.17a hace que el transistor de enriquecimiento sea una resistencia no lineal; deducimos su descripción *vi* a partir del siguiente razonamiento: para $v_R = v_{GS} \leq V_t$, el transistor no está en conducción, y por tanto no tiene canal; así $i_R = 0$. Cuando $v_R \geq V_t$ el transistor no sólo está en conducción, sino activo, ya que "$v_{DG} = 0$" cumple la desigualdad $v_{DG} \geq V_t$, así

$$i_R = 0, \quad \text{para } v_R \leq V_t$$

e

$$i_R = \frac{k}{2}\left(v_R - V_t\right)^2, \text{ para } v_R \geq V_t$$

La Figura 5.17b muestra la curva *vi* correspondiente. Aunque es más cuadrática que exponencial, la curva sugiere la propiedad de rectificación del diodo; por tanto, llamamos a la Figura 5.17a *transistor conectado como diodo.*

La Figura 5.17c muestra una variación que precisa una fuente externa. Como $v_{GS} = v_R + V_t$ voltios, cuando $v_R \leq 0$ el transistor no está en conducción; si $v_R \geq 0$, el transistor está en conducción. Además, como $v_{DG} = -V_t$ sí está en conducción, está activo. Al sustituir $v_{GS} = v_R + V_t$ en la Ecuación (5.7) nos da la ecuación de la resistencia

$$i_R = \frac{k}{2} v_R^2$$

y la curva *vi* de la Figura 5.17d. Vemos que la fuente externa desplaza la Figura 5.17 V_t voltios a la izquierda.

Utilizando otros valores de fuente podemos obtener cualquier curva de una familia de curvas vi del tipo de las de las Figuras 5.17b y d; sin embargo las dos mostradas en la figura se utilizan más frecuentemente.

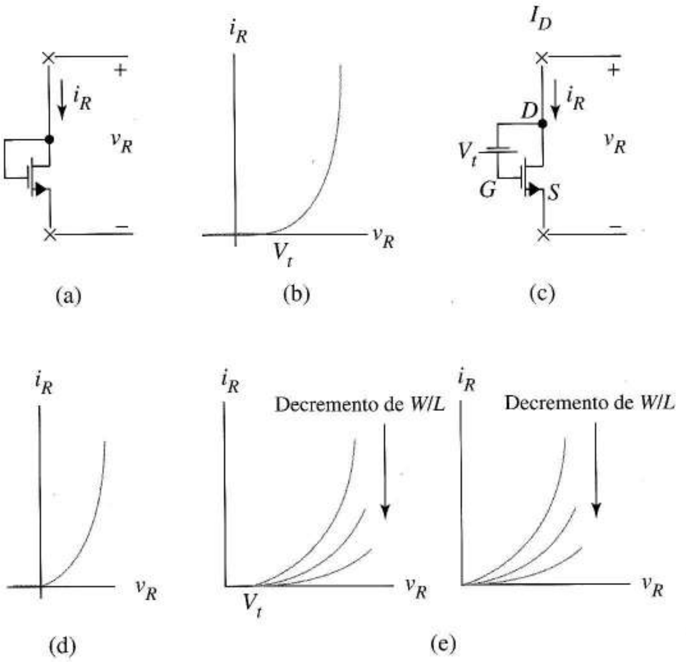


FIGURA 5.17
Resistencias MOS de enriquecimiento: (a) conexión básica; (b) curva *vi* de la conexión básica; (c) conexión modificada de la resistencia; (d) curva *vi* de la conexión modificada; (e) cómo se modifica la geometría *W/L*

La Ecuación (5.8) muestra que la curvatura de las líneas de resistencia se puede controlar por W/L como en la Figura 5.17e, con canales largos y estrechos que dan corrientes más pequeñas para las tensiones dadas, es decir, resistencias más grandes.

5.3.2 RESISTENCIAS NO LINEALES DE DEPLEXIÓN

La Figura 5.18a muestra una resistencia de deplexión. Su característica *vi* es la "componente $v_{GS} = 0$" de la familia de características de salida, mostrada en la Figura 5.18b. Cuando $v_R = v_{DG} \leq -V_t$ (un valor positivo de un transistor de deplexión) el dispositivo es óhmico; para v_R mayores, el dispositivo está activo. (En el Ejemplo 5.5 veíamos la Figura 5.18a como una fuente de corriente independiente, una interpretación alternativa que es correcta para el funcionamiento en la región activa).

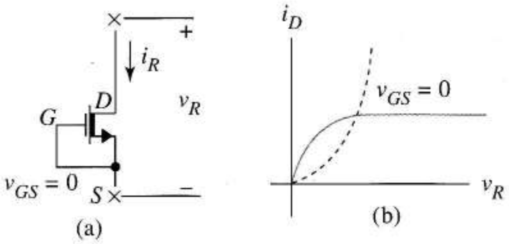


FIGURA 5.18. Resistencia no lineal MOS de deplexión: (a) conexión; (b) característica *vi*

5.3.3 LÍNEAS DE CARGA DE RESISTENCIAS NO LINEALES

Al mostrar gráficamente las restricciones impuestas por el circuito externo en la tensión y la corriente del transistor, una recta de carga nos ayuda a ver de forma muy general cómo funciona el transistor así limitado. A continuación aprenderemos a representar la recta de carga de *cualquier* resistencia, lineal o no lineal. El primer paso es examinar la idea general de la construcción de la línea de carga.

La Figura 5.19a muestra el entorno común de una línea de carga. La resistencia descrita por la función $i_R = f(v_R)$ está en serie con la salida del transistor y el generador V_{DD}. La restricción impuesta por los componentes externos del transistor, la línea de carga, es superponerse a las características de salida del transistor, representadas las dos en un sistema de coordenadas de i_D y v_{DS}.

El diagrama muestra que hay otras dos restricciones que aparecen a partir de la conexión en serie, $i_D = i_R$ y $v_R = V_{DD} - v_{DS}$.

Esto constituye un sencillo cambio de variables desde las variables de la resistencia (v_R, i_R) hasta las del transistor (v_{DS}, i_{DS}). En las resistencias *lineales* R, el cambio en variables nos da la ecuación de la línea de carga a través del proceso

$$i_D = i_R = f(v_R) = \frac{v_R}{R} = \frac{(V_{DD} - v_{DS})}{R} \tag{5.10}$$

La sustitución $v_R = V_{DD} - v_{DS}$ en la Ecuación (5.10) consiste en dos transformaciones elementales de variables. Primero, $i_D = f(-V_{DS})$ refleja la curva vi de la resistencia sobre el eje de la corriente según muestra el dibujo de una resistencia lineal en la Figura 5.14b. La segunda transformación, que reemplaza $-v_{DS}$ por $V_{DD} - v_{DS}$ traslada la curva reflejada a la derecha V_{DD} voltios, como en la Figura 5.19c.

Para las resistencias no lineales, $i_D = f(v_R)$ no es una línea recta; sin embargo, como el cambio de variables es el mismo, la función está aún reflejada en el eje de las corrientes y trasladada a la derecha V_{DD} voltios.

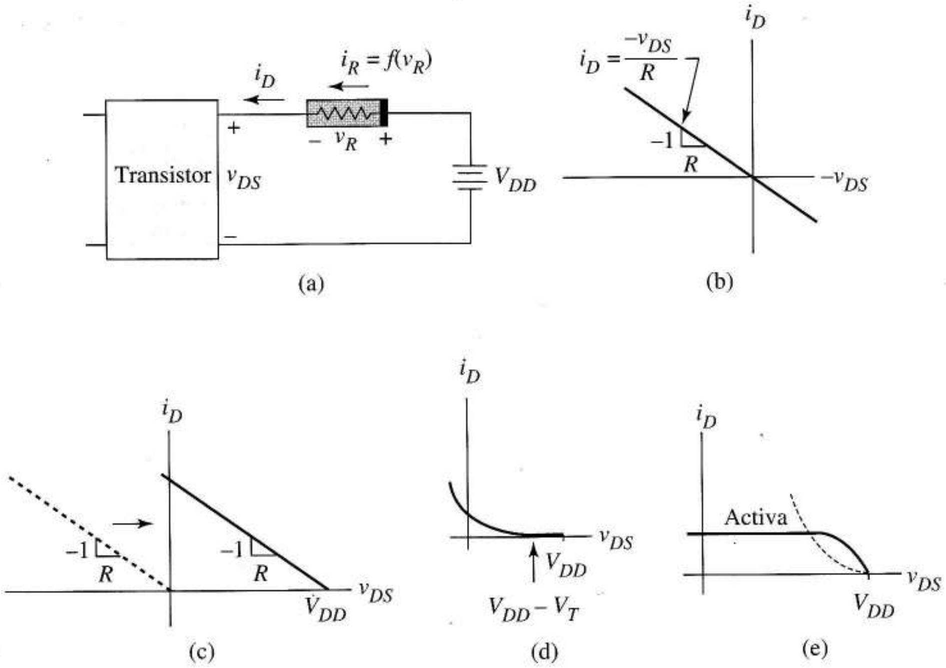


FIGURA 5.19 Líneas de carga: (a) entorno de línea de carga; (b) $i_D = f(-v_{DS})$ en la resistencia lineal; (c) segundo funcionamiento al cambiar las variables de la resistencia lineal; (d) línea de carga de la resistencia MOS de enriquecimiento; (e) línea de carga del transistor de deplexión

Las Figuras 5.19d y e muestran las líneas de carga resultantes para las resistencias de las Figuras 5.17b y 5.18b. Raramente es necesario representar con precisión las líneas de carga no lineales. Se usan principalmente en la realización de dibujos que mejoran nuestra comprensión del dispositivo y del funcionamiento del circuito. Veremos esto en el próximo ejemplo.

EJEMPLO 5.10 En los Ejemplos 5.8 y 5.9 utilizábamos las definiciones de estados y el análisis de circuitos para determinar los puntos Q en la Figura 5.20a (denominada Figura 5.16a en el ejemplo) para $V_{GS} = 2$ V y 8 V, respectivamente. Utilizar una línea de carga que ayude a mostrar el significado del análisis usado en los ejemplos.

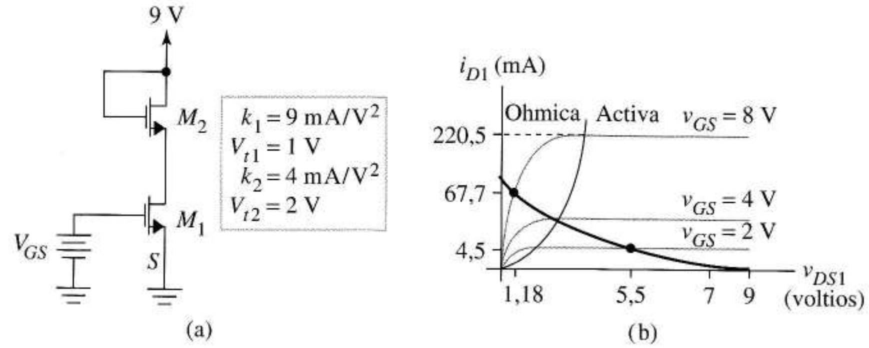
Solución A continuación reconoceremos M_2 como una resistencia de carga no lineal con la curva vi de la Figura 5.17b. La Figura 5.20b muestra la línea de carga no lineal correspondiente superpuesta a las características de salida de M_1.

En el primer ejemplo, M_1 se describía mediante la curva $V_{GS} = 2$ V de la Figura 5.20b, que corta la línea de carga en $v_{DS} = 5{,}5$ V e $i_D = 4{,}5$ mA. En este punto Q, $9 - 5{,}5 = 3{,}5$ V es la tensión en M_2. Claramente M_1 y M_2 están en estado activo. Según incrementamos V_{GS}, el punto de funcionamiento va ascendiendo por la línea de carga no lineal, pasando M_1 a estar en estado óhmico cuando $V_{GS} \approx 3{,}8$ V. Para $V_{GS} = 8$ V, M_1 está lejos de la zona óhmica con el punto Q en la intersección entre $V_{GS} = 8$ V y la línea de carga, es decir, en 1,18 V, 67,7 mA. La Figura 5.20b también indica cómo obtenemos inicialmente el valor incorrecto $I_D = 220{,}5$ mA del Ejemplo 5.9 por suponer que M_1 sigue activo con $V_{GS} = 8$ V. ❑

Incluso un boceto de la línea de carga no lineal nos da una perspectiva de la que carecemos cuando sólo utilizamos ecuaciones y modelos de estados. La línea de carga también puede ahorrarnos tiempo ayudándonos a hacer suposiciones iniciales correctas sobre los estados de los transistores.

Ejercicio 5.10 Cuando en la Figura 5.20a reemplazamos M_2 por una resistencia no lineal de deplexión, la nueva línea de carga es la de la Figura 5.20c. A partir de la línea de carga, determinar los estados de ambos transistores cuando $V_{GS} = 0$, cuando $V_{GS} = 2$ V y cuando $V_{GS} = 5$ V.

Respuesta M_1 en corte y M_2 óhmico, M_1 activo y M_2 óhmico, M_1 óhmico y M_2 activo.



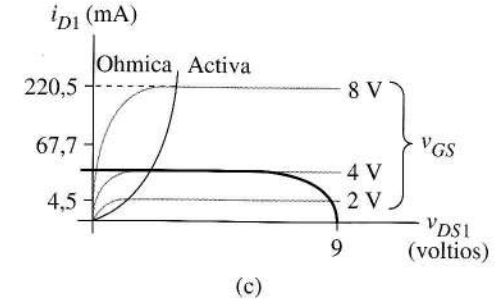


FIGURA 5.20 Líneas de carga no lineal: (a) circuito; (b) línea de carga no lineal de la Figura 5.20a; (c) línea de carga no lineal si M_2 es un transistor de deplexión.

5.3.4 DIVISOR DE TENSIÓN MOS

Las resistencias de enriquecimiento crean divisores de tensión que ocupan poco espacio en el chip y manejan bajas corrientes, por ejemplo, el divisor de la Figura 5.21a que establece la tensión del nodo V_X. La tensión total aplicada a la combinación en serie, en este caso 16 V, debe ser suficiente para mantener en conducción a ambos transistores. Así, debido a las conexiones puerta-drenador, ambos transistores están en estado activo; sus corrientes son idénticas ya que están en serie. Al igualar las corrientes de M_1 y M_2 y al expresar V_{GS} para cada uno de ellos en términos de tensiones de nodos nos da:

$$\frac{k_1}{2}\left[9 - V_X - V_{t1}\right]^2 = \frac{k_2}{2}\left[\left(V_X + 7\right) - V_{t2}\right]^2$$

Si se conocen las tensiones umbrales, $V_{t1} = 2$ V y $V_{t2} = 1$ V, V_X se establece por medio de los valores de los parámetros de la transconductancia; es decir

$$k_1\left(7 - V_X\right)^2 = k_2\left(V_X + 6\right)^2$$

Con la raíz cuadrada de ambos lados de la ecuación y despejando V_X obtenemos

$$V_X = \frac{7\sqrt{k_1/k_2} - 6}{\sqrt{k_1/k} + 1} = \frac{7\lambda - 6}{\lambda + 1} \tag{5.11}$$

Esta expresión tiene dos interesantes características. Primero, V_X es una función de la relación k_1/k_2 que, según la Ecuación (5.8) viene determinada en un circuito integrado a través de la geometría de las máscaras; es decir

$$\frac{k_1}{k_2} = \frac{W_1 L_2}{L_1 W_2}$$

Después, V_X es una función continua de λ que varía desde $V_X = -6$ V para $\lambda = 0$ hasta $V_X = +7$ para $\lambda = \infty$. Concluiremos que V_X puede tener cualquier valor (razonable) prefijado en este margen al fijar las dimensiones relativas de los dos transistores. Una observación final es que como V_X depende del *cociente* de k_1 y k_2, podemos utilizar uno de estos parámetros para fijar la corriente que circula por el divisor y, en consecuencia, la potencia total disipada por el divisor. Supongamos, por ejemplo, que seleccionamos $\lambda = 6/7$ para que la tensión de salida sea cercana al potencial de masa. Esta condición exige que $k_2 = 1{,}361k_1$. Al elegir $k_1 = 10^{-6}$ A/V^2 siguiendo la Ecuación (5.7) obtenemos la corriente del divisor:

$$i_D = 0{,}5 \times 10^{-6}(9 - 0 - 2)^2 = 25{,}5\ \mu\text{A}$$

y la disipación total de potencia

$$P_D = 25{,}5 \times 10^{-6} \times [9 - (-7)] = 408\ \mu\text{W}$$

Un divisor de tensión comparable que use resistencias lineales precisaría una resistencia equivalente en serie con un valor total de 16 V/25,5 μA = 627 kΩ, un valor que ocuparía considerablemente más espacio en el chip. Para diseñar un divisor de tensión, aplicaremos estos principios a las especificaciones dadas, como en el siguiente ejemplo.

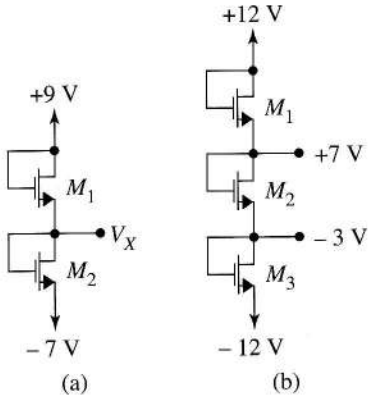


FIGURA 5.21 Divisor de tensión de los MOS: (a) circuito general; (b) circuito del Ejemplo 5.11.

Ejercicio 5.11 Hallar k_1 y k_2 para el divisor de la Figura 5.21a para que $V_X = -3$ V y que la disipación de potencia del circuito sea 200 μW. Utilizar las tensiones umbrales $V_{t1} = 2$ V y $V_{t2} = 1$ V.

Respuesta $k_1 = 2{,}5 \times 10^{-7}$ A/V^2, $k_2 = 2{,}78 \times 10^{-6}$ A/V^2.

EJEMPLO 5.11 Diseñar un divisor de tensión MOS que utilice fuentes de ±12 V que establezcan tensiones de nodos de +7 V y −3 V. La disipación de potencia del divisor no debe superar 1,2 mW.

Solución La Figura 5.21b muestra el circuito. Para limitar el número de variables que satisfagan las especificaciones, tomaremos $V_t = 2$ V para todos los transistores. Como una corriente continua I_D circula entre los +12 y los −12 V de la fuente, la potencia disipada es $24 \times I_D$ W; por lo tanto, 1,2 mW de disipación precisan una

corriente $I_D = 0{,}05$ mA en cada transistor. Como las tensiones en M_1, M_2 y M_3 son 5 V, 10 V y 9 V, M_2 tiene la resistencia más grande y M_1 la más pequeña. Utilizaremos la corriente dada para fijar el valor de k_3, es decir, el transistor de tamaño medio, una elección arbitraria en cierta medida.

Al utilizar la Ecuación (5.7)

$$0{,}05 \times 10^{-3} = \frac{k_3}{2}\left[-3-(-12)-2\right]^2$$

que nos da $k_3 = 2{,}04 \times 10^{-6}$ A/V^2.

Al igualar las corrientes en los tres dispositivos obtenemos

$$\frac{2{,}04 \times 10^{-6}}{2}(9-2)^2 = \frac{k_1}{2}(5-2)^2 = \frac{k_2}{2}(10-2)^2$$

Al despejar nos da $k_1 = (49/9)k_3$ y $k_2 = (49/64)k_3$, expresiones que se traducen en especificaciones W/L en el diseño de máscaras de circuitos integrados. ❑

No olvidemos el efecto del sustrato (*body-effect* en terminología anglosajona), efecto secundario del transistor (sección 5.11) que hace algo más complicado el diseño del divisor de lo que parece en este desarrollo; sin embargo, se mantienen la baja disipación de potencia y la reducida área del chip como características destacadas.

5.4 MOSFET DE CANAL p

Los MOSFET de canal p de enriquecimiento y deplexión son semejantes físicamente a los dispositivos de canal n correspondientes de las Figuras 5.2a y 5.9a, salvo que se intercambian los materiales de dopado n y p. En consecuencia, las direcciones de corriente, polaridades de tensiones y signos algebraicos de las tensiones umbrales se ven invertidos. Además, en los dispositivos de canal p, el sustrato de tipo n *debe estar siempre conectado al nodo más positivo del circuito.*

Para que exista el canal, la puerta del transistor MOSFET de enriquecimiento de tipo p debe ser lo suficientemente negativa como para disminuir el potencial del hueco y crear un canal. Es decir, la puerta debe ser negativa en relación con la fuente en una cantidad que sea como mínimo la tensión umbral V_t, que ya en sí es negativa. El dispositivo de deplexión de canal p tiene una tensión umbral positiva. Como ambos dispositivos tienen las puertas aisladas, las características de entrada son circuitos abiertos.

La Figura 5.22 muestra los símbolos, polaridades y direcciones de referencia de los dispositivos de enriquecimiento y deplexión. Tengamos en cuenta que las flechas de ambos esquemas son consistentes con que los portadores son huecos y las orientaciones de las fuentes drenador-fuente hacen que la corriente convencional circule en las direcciones de las flechas del esquema.

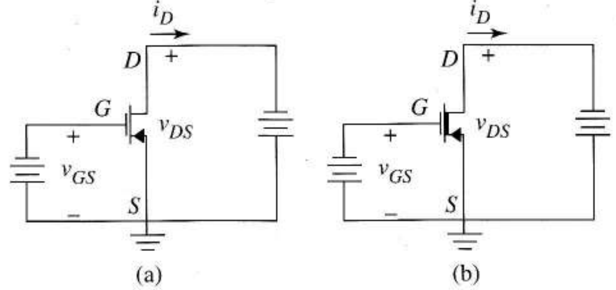


FIGURA 5.22 Esquemas de PMOS, circuitos de polarización y direcciones de referencia de tensión y corriente: (a) enriquecimiento; (b) deplexión.

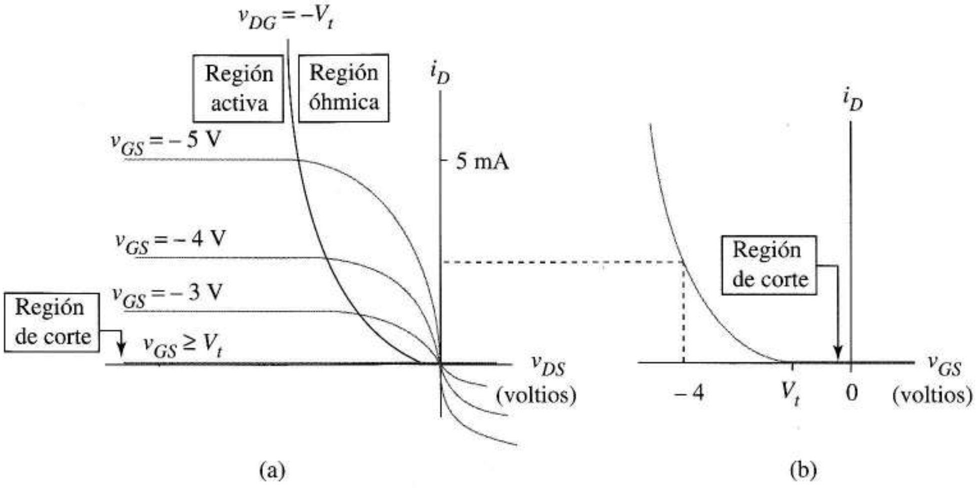


FIGURA 5.23 Curvas características de los MOSFET de enriquecimiento de canal p: (a) salida; (b) transferencia.

Las Ecuaciones (5.3), (5.4) y (5.7) se *aplican a los dispositivos de canal p sin ninguna modificación, siempre que tengamos en cuenta las convenciones de las corrientes de referencia de la Figura 5.22*. La característica de salida y la función de transferencia de los dispositivos se sitúan en el segundo cuadrante como en las Figuras 5.23 y 5.24. (Hay quien prefiere invertir el orden en las variables para que las características de salida se representen en el primer cuadrante.)

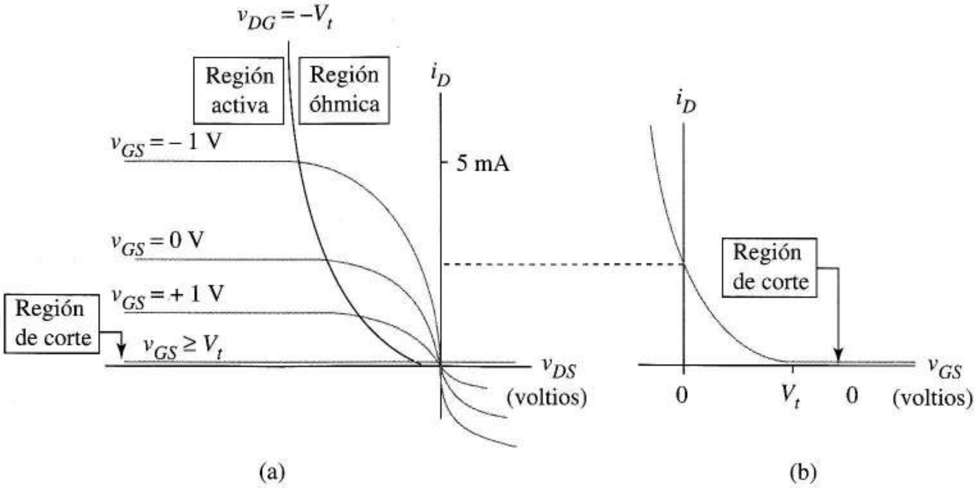


FIGURA 5.24 Curvas características de los MOSFET de deplexión de canal p: (a) salida; (b) transferencia.

Las definiciones de estados de los MOSFET de canal p son las de la Figura 5.6a, salvo que el sentido de todas las desigualdades se vea invertido, una afirmación consistente con las Figuras 5.23 y 5.24.

Los circuitos equivalentes en gran señal para los tres estados, Figura 5.25, tienen *las corrientes de drenador invertidas* con respecto a los dispositivos de canal n; sin embargo, las funciones $f_0(\ )$ y $f_a(\ )$ siguen siendo las Ecuaciones (5.4) y (5.7) respectivamente.

Las dos clases de problemas de análisis del punto de funcionamiento, conociendo el estado del transistor y desconociéndolo, respectivamente, también se aplican a los circuitos que tienen MOSFETs de canal p y se resuelven del mismo modo.

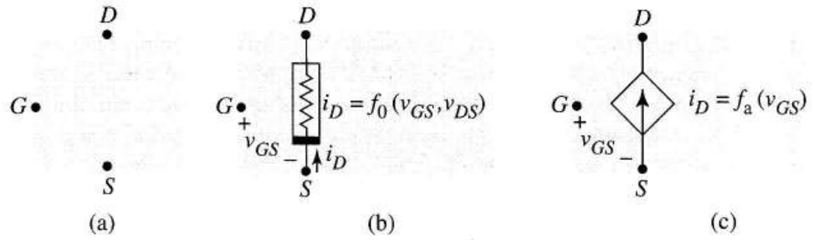


FIGURA 5.25 Circuitos equivalentes de los MOSFET de canal p en gran señal: (a) corte; (b) óhmico; (c) activo

EJEMPLO 5.12 Hallar el punto Q del transistor de la Figura 5.26. Suponer que está en estado activo y verificar después que la suposición es correcta.

Solución Como el transistor se supone activo

$$I_D = \frac{8\times 10^{-3}}{2}\left[V_{GS} - (-1)\right]^2$$

El circuito equivalente de la Figura 5.26b hace obvio que

$$V_{GS} = V_G - V_S = -7{,}5 - \left(-10 \text{ k}I_D\right)$$

Al despejar I_D en esta ecuación e igualar las corrientes de drenador, nos da

$$\frac{V_{GS} + 7{,}5}{10 \text{ k}} = \frac{8\times 10^{-3}}{2}\left[V_{GS} + 1\right]^2$$

Esto es equivalente a

$$40V_{GS}^2 + 79V_{GS} + 32{,}5 = 0$$

que tiene las soluciones $V_{GS} = -0{,}584$ V y $-1{,}39$ V respectivamente. Como $V_t = -1$ V, sólo la última es lo suficientemente negativa como para que se establezca un canal. Al sustituir $V_{GS} = -1{,}39$ en la ecuación de la corriente nos da $I_D = 0{,}611$ mA. La Figura 5.26b muestra que con esa corriente

$$V_D = -10 + 3{,}3 \text{ k}(0{,}611 \text{ mA}) = -7{,}98 \text{ V}$$

y

$$V_S = -10 \text{ k}(0{,}611 \text{ mA}) = -6{,}11 \text{ V}$$

dando $V_{DS} = -1{,}87$ V.

Para verificar el funcionamiento en activa

$$V_{DG} = V_D - V_G = -7{,}98 - (-7{,}50) = -0{,}48$$

Al resolver la inecuación $V_{DG} \le -V_t$ obtenemos $-0{,}48 \le -(-1)$. Claramente se satisface la inecuación.

La Figura 5.26c muestra la localización del punto Q. ❑

Ejercicio 5.12 Hallar la corriente de drenador del transistor de la Figura 5.26d, teniendo $V_t = -1{,}8$ V y $k = 4 \times 10^{-5}$ A/V^2.

Respuesta $I_D = -1$ μA.

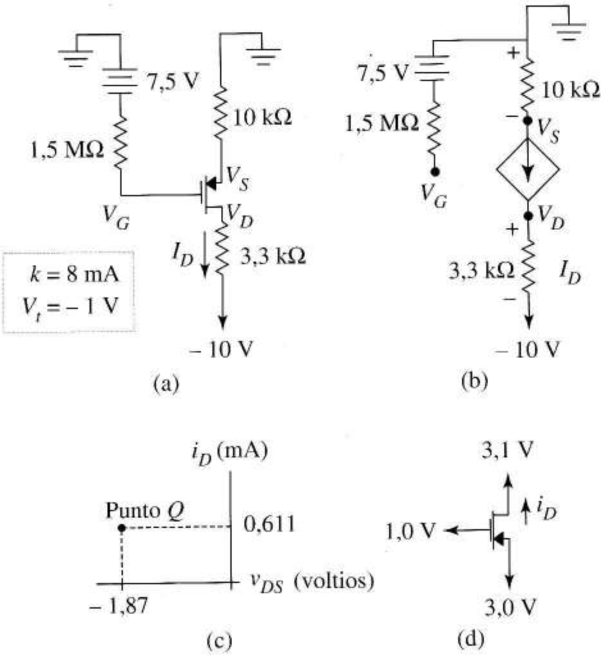


FIGURA 5.26 (a) esquema del Ejemplo 5.12; (b) circuito equivalente del circuito 5.12; (c) punto Q del transistor; (d) esquema del Ejercicio 5.12.

Cuando utilizamos el MOSFET de canal p como una resistencia lineal controlada por tensión, nuestra elección de la dirección de referencia para i_D nos da la expresión para la resistencia

$$R_{PMOS} = \frac{1}{k|v_{GS} - V_t|} \tag{5.12}$$

que supone la condición de linealidad

$$|v_{DS}| \leq 0{,}2|v_{GS} - V_t|$$

Familias de circuitos integrados MOS Solemos encontrarnos a los transistores MOS siendo miembros de *familias de circuitos integrados* (CI). Una familia de CI representa una clase específica de tecnología de fabricación, que dicta los tipos de componentes que se pueden utilizar en un circuito y también limita atributos fundamentales, como la densidad de integración, disipación de potencia y velocidad.

Históricamente, la primera familia importante de CI MOS fue el de MOS de canal p (PMOS). El elemento clave es el transistor de la Figura 5.27a, con la fuente y el drenador fabricados por difusión de impurezas aceptadoras en un sustrato de tipo n. La puerta consiste en aluminio depositado sobre un dieléctrico de SiO_2. Su simplicidad estructural ofrecía bajos costes de fabricación, altas densidades de integración y un alto porcentaje de circuitos utilizables.

Los primeros circuitos LSI y la primera generación de microprocesadores se construyeron en la tecnología PMOS. Las resistencias de difusión y las resistencias de carga MOS se utilizan en PMOS.

A finales de los años setenta, la tecnología MOS de canal n (NMOS) se convirtió en la dominante para los circuitos LSI. El transistor NMOS en la Figura 5.27b es más rápido que la de su predecesor PMOS porque la movilidad de los electrones es mayor que la de los huecos. En esta época también se hizo factible su mejora utilizando *polisilicio* para fabricar la puerta del transistor, silicio policristalino

formado por deposición química de vapor (CVD)[2] en el aislante SiO_2. Durante las difusiones de fuente y drenador, también se difundía la puerta con una gran concentración de impurezas que la convertían en conductora. El fino aislante que hay bajo la puerta se ha formado mediante enmascaramiento selectivo, utilizando nitruro de silicio para inhibir el crecimiento del óxido como se explicó en el Capítulo 4. Otras ventajas de la NMOS son la baja disipación de potencia, los menores márgenes de ruido en los circuitos digitales y las resistencias con valores entre 50 Ω y 50 MΩ son posibles utilizando polisilicio ligeramente dopado. NMOS y PMOS tienen su mayor aplicación en lógica digital y memorias.

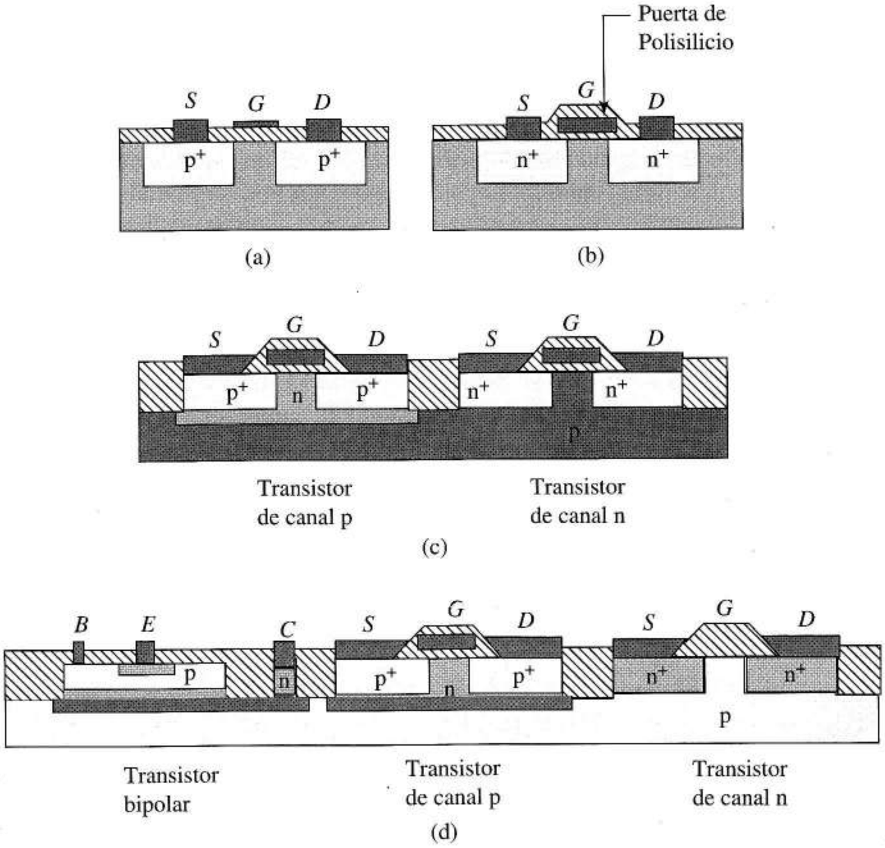


FIGURA 5.27
Dispositivos básicos en cuatro familias de circuitos integrados: (a) PMOS; (b) NMOS; (c) CMOS; (d) BiCMOS

A finales de los años setenta, la simetría complementaria MOS (CMOS) se hizo muy popular en SSI y MSI y en los años ochenta, se convirtió en la tecnología dominante MOS en LSI y VLSI. La base de CMOS es el par complementario de transistores de canal n y canal p de la Figura 5.27c. Los transistores de canal n comparten el mismo sustrato de tipo p, mientras que los transistores de canal p se fabrican en un pozo individual de tipo n, con todos los pozos de canal n conectados al punto más positivo del circuito para mantener polarizaciones inversas. Una fina capa de óxido aísla los transistores. CMOS es comparable en densidad a NMOS pero se caracteriza por tener menos disipación de potencia. No sólo es adecuada para los circuitos digitales, sino que también se usa a menudo en muchos circuitos analógicos importantes como amplificadores operacionales, multiplexadores analógicos, convertidores digital-analógicos y analógico-digitales y filtros.

[2]N. del T.: CVD son las iniciales de *Chemical Vapor Deposition*.

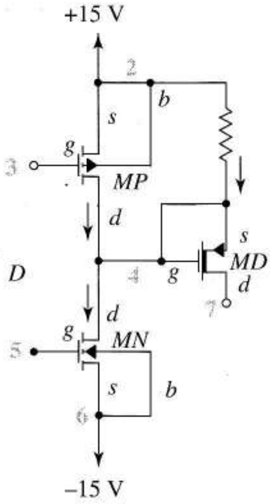
En los ochenta, otra nueva tecnología atrajo la atención general. Una combinación de la bipolar y la CMOS, llamada BiCMOS, ofrece alta densidad de integración y velocidad, además de mejorar en gran medida la flexibilidad del diseño.

La Figura 5.27d muestra la estructura BiCMOS más sencilla, constituida al añadir un transistor npn a los elementos básicos de fabricación de la tecnología CMOS. Habitualmente se utilizan procesos más complejos que incluyen una capa enterrada en el colector y otras mejoras. Con BiCMOS es factible combinar el procesado de señales analógicas y digitales en el mismo circuito integrado.

5.5 MODELO ESTÁTICO SPICE PARA EL MOSFET

Los modelos estáticos SPICE para el MOSFET nos ayudan a hallar los puntos de funcionamiento sin tener que hacer suposiciones y comprobaciones de los estados del transistor ni tratar las soluciones que no tienen significado físico. Además SPICE nos permite hacer tareas que serían demasiado tediosas en un análisis manual, como calcular y representar las funciones de transferencia del circuito MOSFET. Sin embargo, las soluciones SPICE se limitan a los valores numéricos, y esto proporciona poca visión del resultado a menos que tenga el soporte del conocimiento teórico del usuario.

Sus modelos matemáticos determinan las corrientes y tensiones correctas mediante cálculos numéricos iterativos y no mediante suposiciones sobre los estados. La Figura 5.28a muestra el formato de codificación SPICE. Los nombres MOSFET empiezan por M y los números de los nodos se listan en orden drenador-puerta-fuente-sustrato. En el diagrama, el símbolo del transistor de deplexión no muestra explícitamente la conexión del sustrato; sin embargo la línea MD indica correctamente que el sustrato de tipo n se conecta con el nodo más positivo del circuito.




```
MN 4 5 6 6 NTR
.MODEL NTR NMOS VTO=2
MD 7 4 4 2 DEPL
.MODEL DEPL PMOS VTO=3 KP=9.0E-5
MP 4 3 2 2 PTR W=2U L=3U
.MODEL PTR PMOS VTO=-3 KP=4.0E-4
```

(a)

Parámetro	Nombre SPICE	Valor por defecto
V_t	VTO	0,0 V
k	KP	2,0E–5 A/V^2

(b)

FIGURA 5.28 Código SPICE para los MOSFET: (a) ejemplos; (b) notación de parámetros.

Siguiendo inmediatamente al nombre de clase en la línea .MODEL, está la palabra reservada "NMOS" o "PMOS" que identifica al MOSFET como de canal n o p. La tensión umbral denotada por VTO, como se indica en la Figura 5.28b, tiene el signo algebraico apropiado al tipo de transistor. Tengamos en cuenta que las tensiones umbral son positivas en los transistores de enriquecimiento de canal n y en los transistores de deplexión de canal p. En los transistores de enriquecimiento de canal p, V_t es negativa.

El *parámetro de transconductancia* KP (y otros parámetros que podrían aparecer en la línea .MODEL) se aplica a un dispositivo con $W/L = 1$. Podemos añadir de forma opcional dimensiones de anchura y longitud por separado al final de la línea del elemento como en la descripción de MP de la Figura 5.28a. Esto es similar a escalar el área disponible para los diodos y transistores bipolares (SPICE toma de forma apropiada todos los parámetros del transistor en concordancia con los valores especificados de W y L).

Los siguientes casos muestran cómo una simulación SPICE puede ampliar nuestra comprensión de un circuito no lineal e, incluso, darnos ideas para mejorar su realización.

EJEMPLO 5.13 La Figura 5.29a muestra un sencillo amplificador que utiliza un transistor de deplexión MOS con $k = 6 \times 10^{-4}$ A/V^2 y $V_t = -2$ V.

a) Utilizar el análisis transitorio SPICE para hallar la forma y tamaño de la forma de onda de salida cuando la entrada es $v_i(t) = 10^{-3}$ sen$(2\pi 1000t)$ V.

b) A partir de los resultados del apartado a) determinar la ganancia del amplificador.

c) Repetir el apartado a) usando $v_i(t) = 2$ sen$(2\pi 1000t)$ V.

d) Examinar el origen de la distorsión que aparece en el apartado c) representando la función de transferencia del amplificador y utilizando el análisis de continua SPICE.

Solución a) La Figura 5.29b es el código de entrada. La línea VIN sin asterisco describe $v_i(t)$ para el apartado a). La salida SPICE para la onda senoidal de 1 mV, Figura 5.29 se asemeja a la entrada, salvo que está invertida, tiene más amplitud y una desviación continua de 2,28 voltios.

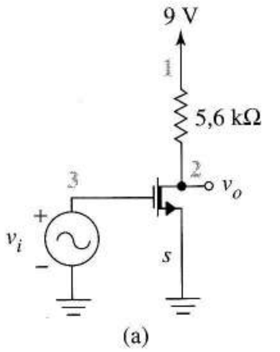
b) La salida *gráfica* SPICE muestra que la amplitud de la onda senoidal es de 7 mV. Por lo tanto, el circuito amplifica la señal 7 veces.

c) Al reemplazar la línea VIN original por la marcada con el asterisco, obtenemos la salida mostrada en la Figura 5.29d. La forma de onda es claramente no senoidal y periódica con el mismo período de la onda senoidal de entrada. En la Sección 1.6.2 hemos visto que una función de transferencia puede producir ese mismo resultado añadiendo armónicos de la frecuencia de entrada a la entrada amplificada. Nos referiremos a una salida de este tipo como onda senoidal *distorsionada*.

d) Al utilizar un análisis en continua para representar la función de transferencia del margen de tensiones de entrada entre -2 V y +2 V (la Figura 3.57 muestra el método) nos da la Figura 5.29e. La pendiente negativa de esta curva explica la inversión de la señal de salida. Además hay una tensión de desviación de salida de 2,28 V ya que la función de transferencia no pasa por el origen.

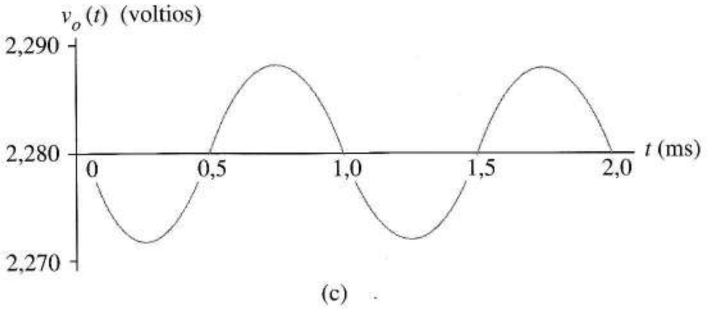
Imaginemos la proyección de la onda senoidal de entrada de 1 mV sobre la Figura 5.29e. La pequeña amplitud de la señal la restringe a una región en la que la curva se aproxima a la línea recta. De hecho, la curva sugiere que podemos esperar un funcionamiento bastante lineal para las ondas senoidales con valores de pico hasta 100 mV, observación fácilmente comprobable por medio de SPICE. Sin embargo, la entrada con un pico de 2 V en el apartado c) atraviesa una zona tan amplia de la función de transferencia que la tensión de salida se ve fuertemente distorsionada, como vemos en la Figura 5.29d. Esto es particularmente cierto para $v_i(t)$ positivos (v_o más negativos) en los que un cambio de 2 V en la entrada produce un cambio en la salida de menos de 1 V. En el Capítulo 9 aprenderemos a cuantificar esta distorsión. ❑

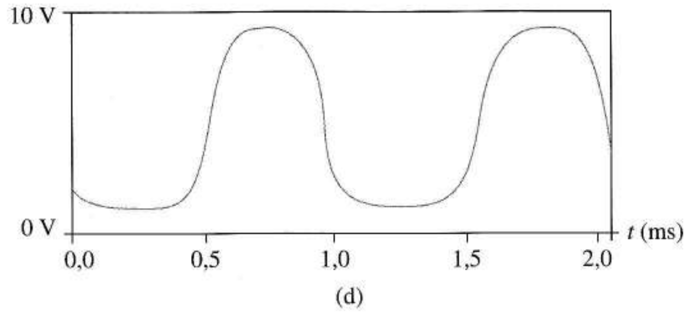
Ejercicio 5.13 La función de transferencia de la Figura 5.29e tiene algo de pendiente y lineal para los márgenes de tensión de entrada $-0{,}75 < v_i < 0$. Esto sugiere que si añadimos una tensión continua constante (es decir, una fuente de polarización) de un valor $\approx -0{,}75 / 2 = -0{,}375$ V en serie con $v_i(t)$, el amplificador será capaz de




```
EXAMPLE 5.13
VDD 1 0 CDC 9
RL 1 2 5.BK
VIN 3 0 SIN(0 1E-3 1000 0.0 0.0)
*VIN 3 0 SIN(0 2 10000 0.0 .0)
M1 2 3 0 0 SUE
.MODEL SUE NMOS VTO=-2 KP=6E-4
.TRAN 2E-5 2E-3
*RUN FOR 2 CYCLES, PLOT 100 POINTS
.PLOT TRAN V(2)
.PRINT TRAN V(2)
.END
```

(b)





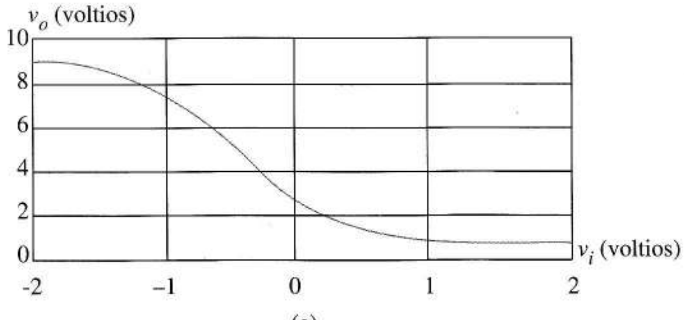


FIGURA 5.29 Ejemplo 5.13: (a) circuito del amplificador; (b) código SPICE; (c) forma de onda de una pequeña entrada senoidal; (d) forma de onda de salida de una entrada senoidal grande; (e) función de transferencia que muestra no linealidad.

manejar señales de pico de 350 mV o similares con poca distorsión. Modificar el código de entrada para probar esta idea, y utilizar la salida SPICE para hallar la ganancia de tensión.

Respuesta Ganancia de tensión ≈ 10,8. Hay algo de distorsión pero mucha menos que en la Figura 5.29d. Profundizaremos en las ideas de polarización en los Capítulos 6 y 7.

Los MOSFET se usan muy frecuentemente en los circuitos LSI y VLSI pero generalmente no están disponibles de forma discreta[3]. Los transistores que se comentarán en la próxima sección están disponibles de forma discreta y además se utilizan también en circuitos integrados.

5.6 TRANSISTORES DE EFECTO DE CAMPO CON PUERTA DE UNIÓN

Los transistores de los que hablaremos en esta sección controlan la conductividad del canal con puertas que están en contacto eléctrico con el canal, no aisladas de él. En los FET metal-semiconductor (MESFET) el canal es un semiconductor compuesto, como arseniuro de galio, la puerta, un metal y el interfase puerta-canal, una unión Schottky. En las estructuras de unión FET más tradicionales, la puerta y el canal consisten en silicio dopado de forma inversa y una unión pn polarizada inversamente forma el interfase puerta-canal. Por costumbre, sólo se llaman JFET los últimos.

5.6.1 MESFET

Los MESFETs aprovechan la alta movilidad del electrón en el arseniuro de galio utilizando una nueva tecnología de fabricación en vez de usar la más conocida tecnología del silicio. El resultado es un dispositivo muy superior en velocidad pero inferior en densidad de integración y, actualmente, mucho más caro que los transistores basados en silicio. Sin embargo, según la tecnología GaAs va mejorando, los MESFETs van encontrando más aplicaciones, tanto en circuitos lineales que funcionan en frecuencias de microondas, como en circuitos lógicos digitales de alta velocidad.

La Figura 5.30a muestra la estructura MESFET. Los pozos de tipo n formados por la implantación iónica, que están fuertemente dopados, forman el drenador y la fuente. Con la implantación de iones en un sustrato de GaAs intrínseco se forma un canal dopado por partículas n y la puerta de aleación de metal forma una unión rectificadora Schottky con el canal GaAs. Salvo por el material de su sustrato y por la ausencia de un aislante entre puerta y canal, el MESFET se asemeja al MOSFET de deplexión de la Figura 5.9a. Como el arseniuro de galio tiene poca conductividad, en virtud de su baja concentración de cargas intrínsecas (Tabla 3.1), el aislamiento eléctrico entre los transistores se realiza con el propio sustrato a través de una separación física de una micra aproximadamente. A veces se utiliza una implantación iónica de impurezas entre los dispositivos para aumentar el aislamiento.

La Figura 5.30b muestra el esquema del MESFET, en el que la banda oscura representa el canal existente; la flecha en la puerta apunta en la dirección de la unión Schottky. Debido a los electrones de las fuentes de estos elementos, la dirección de referencia de la corriente del drenador es la mostrada en la Figura. Las polaridades de las fuentes externas son consistentes con las polaridades inversas de la unión puerta-fuente y con la corriente positiva de drenador.

[3]N. del T.: Los MOSFETs están actualmente extendidos en la electrónica de potencia, constituyendo el dispositivo más rápido en conmutación.

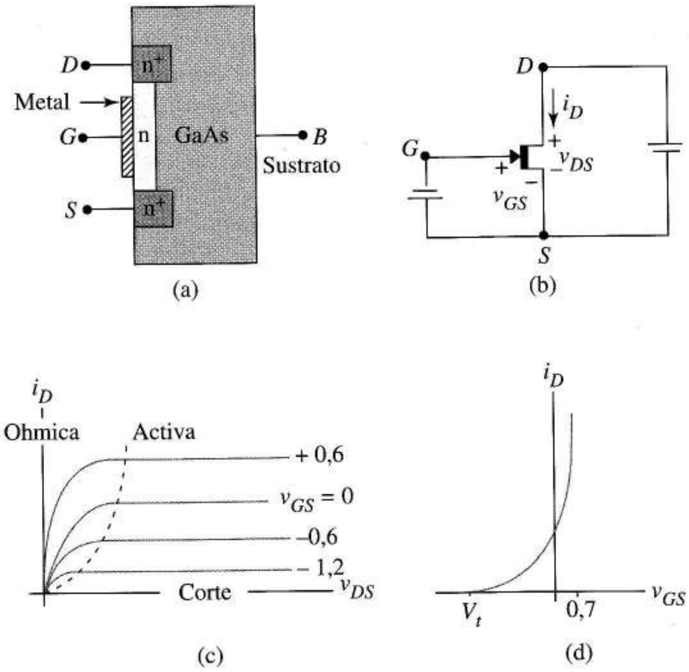


FIGURA 5.30 MESFET:
(a) estructura física;
(b) esquema y polaridades;
(c) características de salida;
(d) función de transferencia

La salida de las funciones de transferencia del MESFET, Figuras 5.30c y d, se parecen mucho a las curvas del MOSFET de deplexión de las Figuras 5.9b y c. Cuando hacemos la puerta más negativa que la fuente, como en el MOSFET de deplexión, el número de electrones del canal se reduce y la conductividad del canal disminuye. En el MESFET esto sucede porque la región de deplexión se expande en el canal como indica el sombreado negro de la Figura 5.31a. Para v_{DS}, esta expansión es simétrica, dando como resultado una resistencia lineal controlada por tensión entre fuente y drenador. Cuando v_{GS} llega a V_t, la tensión umbral (negativa) del transistor, la región de deplexión se ha expandido completamente por el canal. La conductividad del canal es entonces cero, dando el transistor en corte descrito por

$$i_D = 0 \tag{5.13}$$

La Ecuación (5.13) se cumple para todos los $v_{GS} \leq V_t$.

Cuando hay un canal, y v_{DS} se va haciendo cada vez más positivo, se acaba distorsionando su forma debido a una mayor polarización inversa al final del drenador, como en la Figura 5.31b. La resistencia creciente del canal implica que los sucesivos incrementos en Δi_D provoquen incrementos cada vez menores en la corriente de drenador Δv_{DS}, como se muestra en la Figura 5.30c, creando una familia de resistencias no lineales en funcionamiento óhmico controladas por tensión.

En la región óhmica, la corriente del transistor es

$$i_D = \beta\left[2\left(v_{GS} - V_t\right)v_{DS} - v_{DS}^2\right] \tanh\left(\alpha v_{DS}\right) \tag{5.14}$$

en la que β es el parámetro MESFET de transconductancia, distinto al β del transistor bipolar. Para los MESFET, V_t toma valores desde –3 V hasta –0,3 V. La Ecuación (5.14) tiene la forma general de la ecuación del MOSFET en región óhmica, la Ecuación (5.4), salvo para el factor $\tanh(\alpha v_{DS})$ que es un corrector de la *saturación de la velocidad*. En los MESFET, los electrones se ven acelerados hasta velocidades tan altas, que la proporcionalidad de la velocidad de arrastre a la intensidad del campo, indicada por μ_n, deja de ser válida. En vez de esto, para un campo

lo suficientemente grande, la velocidad de los electrones alcanza valores del orden de 2×10^7 cm/s aproximadamente, y a partir de ese momento no se vuelve a ver incrementado con la fuerza del campo.

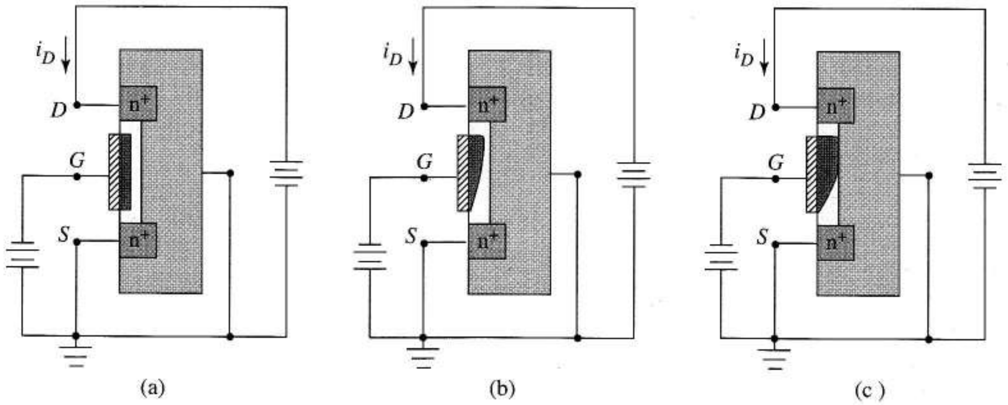
En la corrección de la saturación de la velocidad, α (distinta a la α de los bipolares) es una constante determinada mediante medidas físicas. Habitualmente, α está entre $0{,}3 \leq \alpha \leq 2$.

Para v_{DS} lo suficientemente grandes, a saber,

$$v_{DS} - v_{GS} \geq -V_t$$

o de forma equivalente

$$v_{DG} \geq -V_t$$



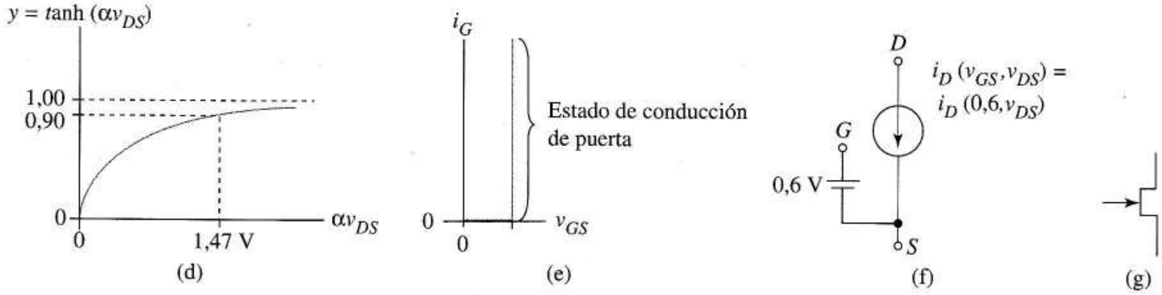


FIGURA 5.31 MESFET: (a)-(c) control de canal de tensiones externas; (d) dirección de la saturación de la velocidad; (e) características de entrada; (f) modelo cuando conduce la puerta; (g) esquema del dispositivo de enriquecimiento.

la polarización inversa de drenador es tan grande que el canal aparece estrangulado como en la Figura 5.13c. Una vez que el canal se estrangula, la región de deplexión del drenador se expande con incrementos adicionales de v_{DS} sin que afecte demasiado a la corriente de drenador. Esto describe la región activa en la que el dispositivo se parece a una VCCS no lineal descrita por

$$i_D = \beta\left[\left(v_{GS} - V_t\right)^2\right] \tanh\left(\alpha v_{DS}\right) \tag{5.15}$$

En las Ecuaciones (5.14) y (5.15) es posible expresar β de la forma

$$\beta = W\beta'$$

en la que W, la anchura del canal, se puede usar como factor de escala. Como los MESFET son dispositivos de alta velocidad, el parámetro que indica la longitud del canal siempre toma el menor valor posible (habitualmente media micra) para minimizar la capacitancia y maximizar la velocidad.

La Figura 5.31d nos ayuda a comprender el significado de la saturación de la velocidad en el MESFET. Para valores grandes del argumento, $\alpha\, v_{DS}$, el factor de corrección se aproxima a $\tanh(\infty) = 1$ y las Ecuaciones (5.14) y (5.15) son las ecuaciones habituales del MOSFET con β reemplazando a $k/2$. Observemos en la Figura 5.31d que la corrección es cercana a 1 (dentro del 10 %) cuando

$$\alpha v_{Ds} \leq \tanh^{-1}(0{,}9) = 1{,}47$$

Para $\propto = 2$, esto indica que la corrección es despreciable para tensiones drenador-fuente con los valores $v_{DS} \geq 1{,}47/2 = 0{,}735$ V; para $\alpha = 0{,}3$, la corrección es pequeña cuando $v_{DS} \geq 4{,}9$ V. Llegamos a que la saturación de la velocidad comprime suavemente las curvas, es decir, da valores más pequeños a i_D para valores bajos de v_{DS} comparados con los valores que habría si no hubiera saturación de velocidad. El efecto es más significativo en la región óhmica en la que v_{DS} es más pequeño, pero las ecuaciones en activa también pueden variar de forma apreciable para valores más grandes de v_{DS}, especialmente cuando α es pequeña. Como la corrección de la saturación de la velocidad es difícil de aplicar en un análisis manual, podemos *estimar* los puntos Q del transistor suponiendo que la corrección es uno y confiando después en las herramientas de simulación que incluyen esta corrección (por ejemplo, PSPICE) para determinar de forma precisa los puntos Q.

La Figura 5.31e muestra que el MESFET tiene una característica de entrada en circuito abierto como el MOSFET sólo si la unión puerta-fuente (Schottky) no conduce. Las uniones GaAs Schottky tienen tensiones mayores ($\approx 0{,}6$ V) que las uniones Schottky de silicio ($\approx 0{,}4$ V). En las aplicaciones lineales se evita la conducción de la puerta y la resistencia de entrada es prácticamente infinita.

En este caso, los MESFET tienen tres estados de funcionamiento con definiciones idénticas a las definiciones de los MOSFET de la Figura 5.6a (cuando ignoramos la saturación de la velocidad). Los circuitos equivalentes son los que dan los MOSFET en la Figura 5.7, con $f_0(v_{GS}, v_{DS})$ dado por la Ecuación (5.14) y $f_0(v_{GS})$ por la Ecuación (5.15), utilizando ambos $\alpha = \infty$ para el análisis manual y las estimaciones necesarias.

A veces, los circuitos digitales emplean la conducción puerta-canal a través de la unión Schottky de forma intencionada. El circuito equivalente de la Figura

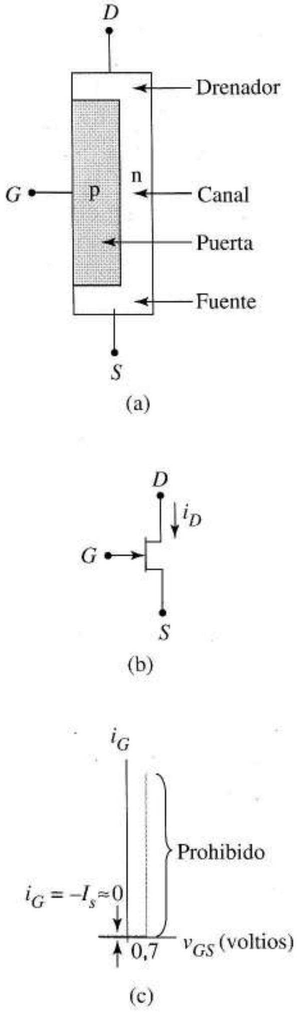


FIGURA 5.32 JFET de canal n: (a) estructura básica; (b) esquema;(c) característica de entrada.

5.31f describe este cuarto estado del MESFET, en el que la función $f(0{,}6, v_{DS})$ describe la curva de salida de la Figura 5.30c, etiquetada con $v_{GS} = 0{,}6$ V. En la región activa hay una corriente constante; sin embargo, en la región óhmica se ve mejor como una resistencia no lineal.

También hay disponibles transistores MESFET de enriquecimiento de canal n. Son del tipo de la Figura 5.30a, salvo por la ausencia del canal predifundido bajo la puerta. Sus funciones de entrada, salida y transferencia; ecuaciones y propiedades son las del dispositivo de deplexión, excepto para tensiones umbrales positivas entre 0 y 0,3 V.

5.6.2 JFET DE CANAL n

La Figura 5.32a muestra la estructura física fundamental de un JFET de canal n. El canal conductor de silicio de tipo n es contiguo al drenador de tipo n y fuente de tipo n. La puerta de material de tipo p rodea el canal. La Figura 5.32b muestra su símbolo; la línea vertical representa el canal; la punta de flecha cercana a la fuente identifica puerta y fuente y apunta en sentido pn para indicar que el JFET es de canal n. Como este transistor de *canal* n genera electrones, la dirección de referencia para la corriente convencional i_D es la mostrada. La característica de entrada del JFET es la curva vi de la unión pn entre puerta y fuente, Figura 5.32c. Como la puerta nunca está polarizada (directamente) la característica de entrada es básicamente el circuito abierto $i_G = 0$.

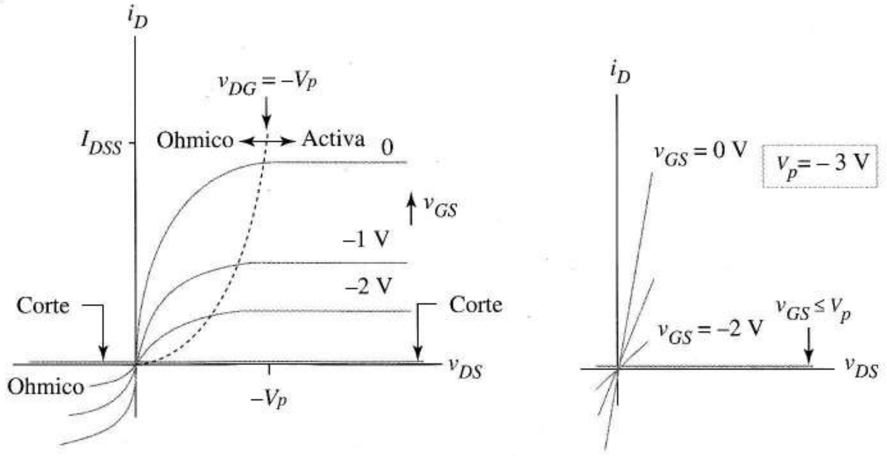


FIGURA 5.33
Características de salida del JFET: (a) para todos los valores de v_{DS}; (b) si v_{DS} es pequeña.

La Figura 5.33a muestra las características de salida del JFET. El JFET de canal n funciona como el MESFET, con la conducción del canal controlada por la expansión de la región de deplexión pn (en vez de Schottky) en el canal, como las Figuras 5.31a, b y c.

Para el JFET, llamaremos a la tensión negativa puerta-fuente, que estrangula el canal, la *tensión de estrangulamiento* V_P. Como el funcionamiento como resistencia controlada por tensión es importante para un JFET, mostraremos las características de salida para v_{DS} pequeños en la Figura 5.33b.

El JFET es un dispositivo con los tres estados definidos en la Figura 5.34. Salvo por el cambio en notación, V_P reemplazando a V_t, las definiciones son idénticas a las de los MOSFET (Figura 5.6a) como lo son las regiones correspondientes de las características de salida.

Estado de corte En corte, el JFET cumple

$$i_D = 0 \tag{5.16}$$

Su circuito equivalente es el de la Figura 5.7a.

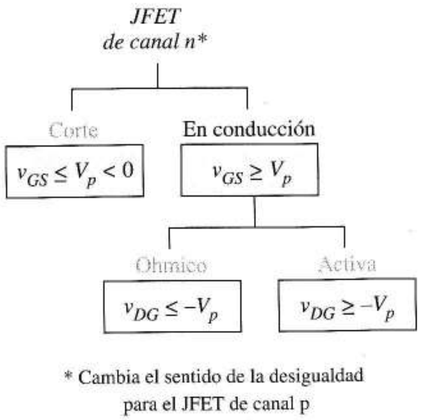


FIGURA 5.34
Definiciones de estado de JFET

Estado óhmico En estado óhmico, la corriente de drenador se calcula con

$$i_D = \beta\left[2\left(v_{GS} - V_P\right)v_{DS} - v_{DS}^2\right] \tag{5.17}$$

en la que β es el parámetro de transconductancia del JFET. La Figura 5.7b representa al JFET en estado óhmico como una resistencia controlada por una tensión no lineal con $f_0(v_{GS}, v_{DS})$ dada por la Ecuación (5.17). En función de los parámetros de fabricación, β viene dado por

$$\beta = \frac{W}{L}\mu_n \frac{4\in_{Si}}{3tN_D} \tag{5.18}$$

en la que W, L y t son la anchura, longitud y espesor del canal, μ_n la movilidad de los electrones, N_D la concentración de dopado y $\in_{Si}$ la constante dieléctrica del silicio.

Resistencia JFET controlada por tensión Si v_{DS} es tan pequeño en la Ecuación (5.17) que el término cuadrático es despreciable, la corriente de drenador y la tensión drenador-fuente se relacionan mediante

$$i_D = 2\beta\left(v_{GS} - V_P\right)v_{DS} = \frac{1}{R_{N-JFET}}v_{DS}$$

Se llega a que el valor de esta resistencia controlada es

$$R_{N-JFET} = \frac{1}{2\beta\left(v_{GS} - V_P\right)} \tag{5.19}$$

Utilizando un factor 10 para definir v_{DS} pequeños, nos lleva a

$$\left|v_{DS}\right| \le 0{,}2\left(v_{GS} - V_P\right) \tag{5.20}$$

como condición a comprobar al usar la Ecuación (5.19).

Estado activo En su región activa, los JFET cumplen

$$i_D = \beta\left(v_{GS} - V_P\right)^2 \tag{5.21}$$

que también define $f_a(v_{GS})$ en el circuito equivalente en región activa de la Figura 5.7c. La curva de transferencia del JFET de canal n es una forma de representar la Ecuación (5.21) y tiene el aspecto

de la Figura 5.35. Las hojas de datos de los JFET discretos suelen especificar β de forma indirecta mediante un parámetro llamado I_{DSS}, la corriente de drenador cuando el transistor está activo y $v_{GS} = 0$. A partir de la Ecuación (5.21) llegamos a que la ecuación de conversión es

$$I_{DSS} = \beta V_P^2 \tag{5.22}$$

Las Figuras 5.35 y 5.33a muestran el sentido físico de I_{DSS}.

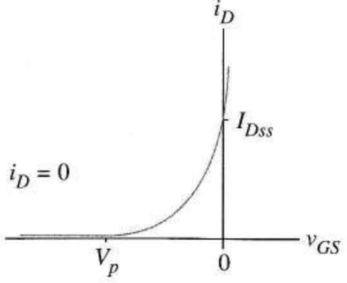


FIGURA 5.35 Característica de transferencia del JFET de canal n para el funcionamiento en región activa

EJEMPLO 5.14 Diseñar un amplificador con ganancia controlada por tensión usando un operacional y una resistencia JFET. Su ganancia debe variar entre 9 y 55 y los parámetros del JFET son $\beta = 10^{-3}$ A / V^2 y $V_P = -3$ V.

Solución La ganancia del amplificador no inversor depende de la relación de resistencias. De las dos posibles posiciones para la resistencia JFET, la primera de la Figura 5.36 permite que la fuente esté a masa. Esto facilita el control de la resistencia y, por tanto, de la ganancia, mediante una señal de control v_c referida a masa. Las tensiones de entrada y salida del amplificador son v_i y v_o.

Para obtener la ecuación de diseño, sustituimos (5.19) en la ecuación de ganancia del amplificador. Como $v_{GS} = v_c$ en la Figura 5.36 da

$$\text{Ganancia} = 1 + \frac{R_F}{R_{N-JFET}} = 1 + 2\times 10^{-3}(v_c + 3)R_F \tag{5.23}$$

Como v_c es v_{GS} para el FET, v_c está restringida al margen práctico $-3 \leq v_c \leq 0$, lo que evita el estrangulamiento del canal y la polarización directa de la unión puerta-canal (ver Figura 5.35).

Como en (5.23), v_c sólo toma valores no positivos. La máxima ganancia de 55 tiene lugar cuando $v_c = 0$, por ello R_F debe satisfacer

$$55 = 1 + 2\times 10^{-3}(0+3)R_F$$

Dando $R_F = 9$ kΩ. Con este valor, la ganancia de 9 necesita

$$9 = 1 + 18(v_c + 3)$$

o $v_c = -2{,}56$ V. Así, el margen operativo para el control de la tensión es $-2{,}56 \leq v_c \leq 0$. Según (5.20) el modelo de resistencia no lineal es válido para

$$|v_{DS}| = |v_i| \leq 0{,}2(v_c + 3)$$

Esta desigualdad debe mantenerse aún cuando el valor del lado derecho sea mínimo. Es decir, para $v_c = -2{,}56$ V: así, debemos restringir nuestra señal de entrada

$$|v_i| \leq 0{,}2(-2{,}56 + 3) = 88 \text{ mV}$$

Para la máxima tensión de entrada de $v_i = 88$ mV el margen de ganancia en el amplificador de 9 a 55 significa que la tensión de salida está en el margen $0{,}792 \leq v_o \leq 4{,}84$ V.

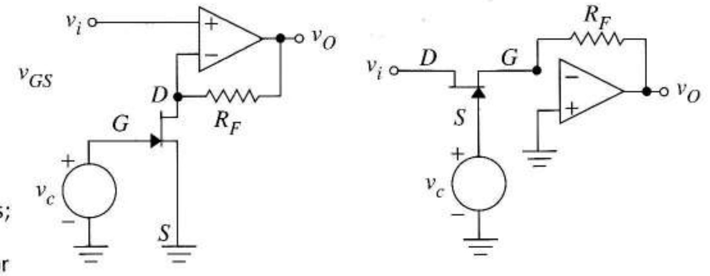


FIGURA 5.36 (a) amplificador no inversor con una resistencia JFET en un circuito de realimentación para controlar las ganancias; (b) amplificador inversor controlado por ganancia

Como las curvas óhmicas de la Figura 5.33 se extienden al tercer cuadrante, el circuito amplifica señales en el margen -88 mV $\leq v_i \leq 88$ mV. Esto completa el diseño. Un ejemplo posterior en este capítulo utiliza el SPICE para estudiar este diseño con más detalle. ❑

Ejercicio 5.14 Diseñar un amplificador controlado por tensión utilizando un amplificador operacional *inversor* y una resistencia JFET controlada. La ganancia del amplificador debería ser variable en el margen –9 a –55. Los parámetros son $\beta = 10^{-3}$ A/V^2 y $V_P = -3$ V.

Respuesta El circuito es la Figura 5.36b. $R_F = 9{,}17$ kΩ, $|v_i| \leq 98$ mV. La entrada de control varía en el mismo margen como el ejemplo anterior; es decir, $-2{,}56$ V $\leq v_C \leq 0$ V.

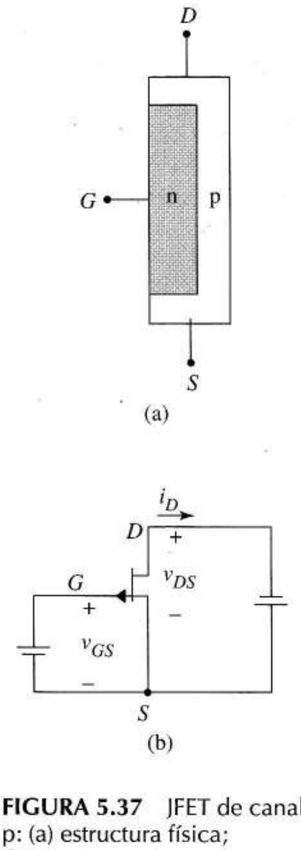


FIGURA 5.37 JFET de canal p: (a) estructura física; (b) esquema

5.6.3 JFET DE CANAL p

La Figura 5.37a nos muestra un JFET de canal p, transistor cuya estructura física es complementaria a la del JFET de canal n. Debido al dopado del canal de tipo p, la fuente es un *generador de huecos* que fluyen internamente hacia el drenador. La dirección de referencia para la corriente convencional i_D en el esquema de la Figura 5.37b es consistente con la producción de huecos y la fuente drenador-fuente se orienta para producir corriente en esa dirección, es decir, v_{DS} es negativo. La flecha de la puerta apunta en dirección p-n sugiriendo un canal de tipo p. Como en el dispositivo de canal n, la polaridad de la alimentación puerta-fuente se opone a la dirección de la flecha para mantener la unión puerta-canal inversamente polarizada.

Los valores positivos de v_{GS} expanden la región de deplexión hasta el canal, provocando el estrangulamiento a la tensión V_P. Si se supera este valor, todo el canal está estrangulado, es decir, el transistor está en corte.

Cuando existe el canal, el JFET funciona como resistencia lineal controlada por tensión para pequeños v_{DS} –para v_{DS} grandes, la resistencia es no lineal– y para valores aún mayores, como una fuente de corriente controlada por tensión. Las Ecuaciones (5.16), (5.17) y (5.21) que describen el JFET de canal n también describen el JFET de canal p siempre que la dirección de referencia para la corriente de drenador sea la de la Figura 5.37b. Las Figuras 5.38a y b muestran las curvas características predichas por estas ecuaciones. Como para el pnp

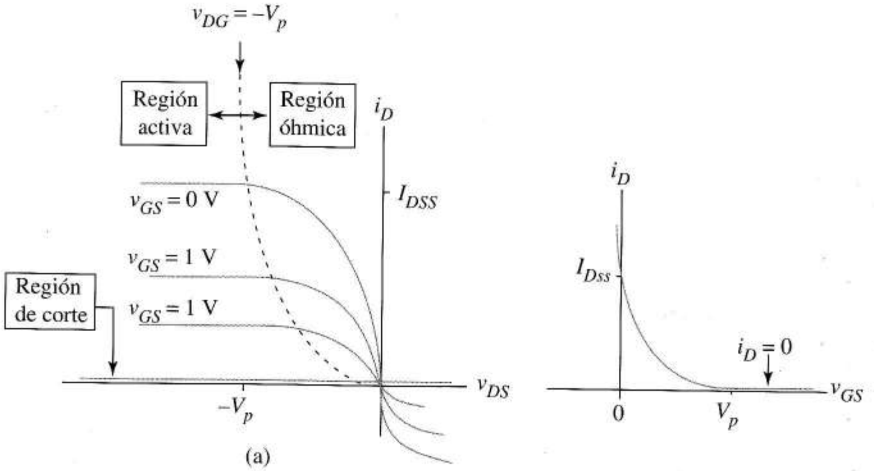


FIGURA 5.38 Curvas características del JFET de canal p: (a) características de salida; (b) curvas de transferencia.

bipolar, las características de salida residen en el segundo cuadrante. De estas características concluimos que el JFET de canal p difiere del de canal n en el signo de V_P, v_{GS} y v_{DS} y en la dirección de i_D. En consecuencia, la definición de sus modos de trabajo en la Figura 5.34 difiere de la del canal n sólo en el sentido de cada desigualdad. La Ecuación de β (5.18) también se aplica cambiando los subíndices n y D por p y A respectivamente.

La Figura 5.39 muestra los modelos de circuito de gran señal para el JFET de canal p en los que $i_D = f_0\ (V_{GS}, V_{DS})$ es (5.17) e $i_D = f_a\ (v_{GS})$ es (5.21).

Habiendo descrito los principios físicos del JFET, sus ecuaciones, sus modelos de gran señal y sus curvas características, examinaremos ahora los problemas que se producen cuando los JFET interaccionan con otros dispositivos en los circuitos.

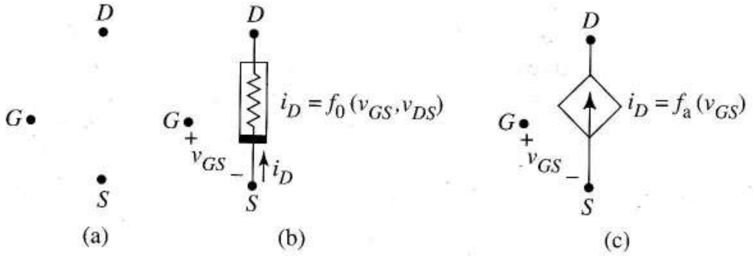


FIGURA 5.39 Modelos del JFET de canal p: (a) corte; (b) óhmico; (c) activo

5.7 ANÁLISIS DEL PUNTO DE TRABAJO DE LOS MESFET Y JFET

Las definiciones de estado y las ecuaciones de los JFET se parecen mucho a las de los MOSFET, en consecuencia analizaremos los circuitos con JFET utilizando las mismas técnicas que vimos para los MOSFET. Para analizar a mano los circuitos con MESFET, supondremos que $\tanh(\alpha v_{DS}) = 1$ en

(5.14) y (5.15) e ignoraremos también esta corrección en las desigualdades que definen los estados del transistor. Por lo tanto, aunque haya conducción de puerta, el análisis manual de los MESFET es el mismo que el de los JFET.

5.7.1 ANÁLISIS CONOCIENDO EL ESTADO DEL TRANSISTOR

Como los JFET se usan en aplicaciones lineales, como etapas de entrada de bajo ruido en los amplificadores, utilizaremos un problema con JFET para ilustrar el análisis, si sabemos que el transistor está en estado activo.

EJEMPLO 5.15 Hallar las coordenadas del punto Q del transistor de la Figura 5.40a.

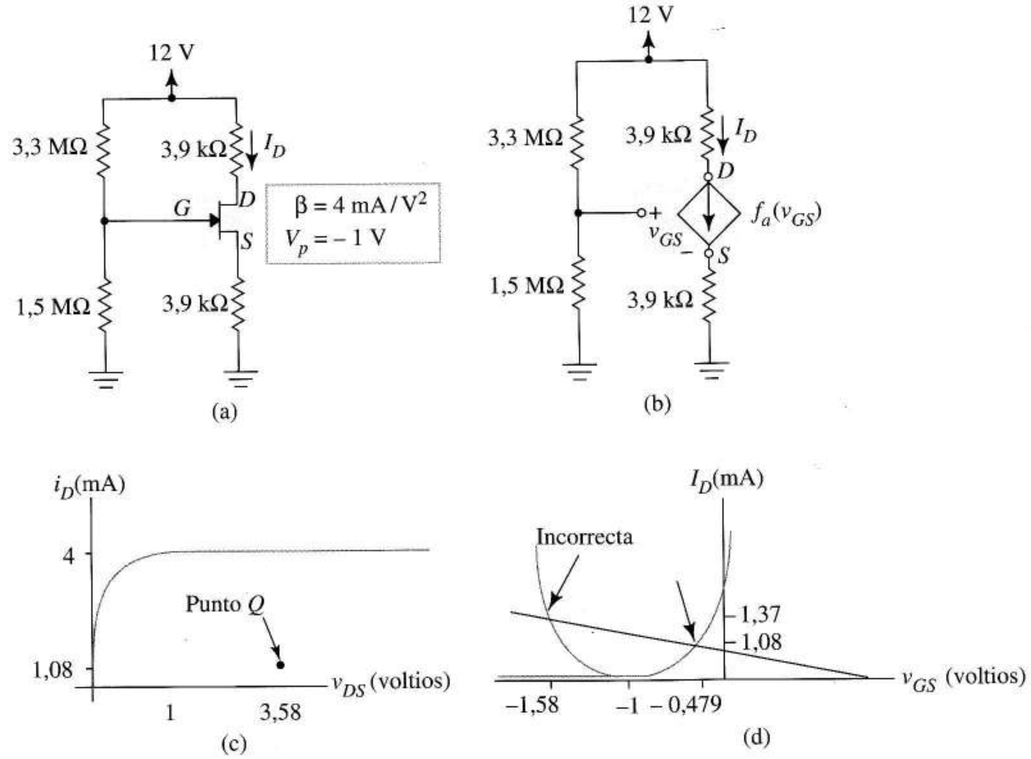


FIGURA 5.40 Análisis del circuito amplificador JFET: (a) circuito; (b) circuito equivalente que utiliza el modelo JFET; (c) punto Q; (d) función de transferencia que muestra el origen de la solución incorrecta.

Solución Primero dibujaremos la Figura 5.40b. Como el transistor está en estado activo

$$I_D = 4 \times 10^{-3}\left(V_{GS} + 1\right)^2$$

Para llegar a otra ecuación que contenga las mismas incógnitas observaremos, a partir del diagrama que

$$V_s = 3{,}9\ \mathrm{k}I_D$$

Hallamos V_G a partir del divisor de tensión

$$V_G = \frac{1{,}5}{1{,}5 + 3{,}3} 12 = 3{,}75 \text{ V}$$

Al combinar las dos últimas ecuaciones obtenemos

$$V_{GS} = 3{,}75 - 3{,}9 \text{ k}I_D$$

Igualando las dos expresiones de I_D nos da

$$\frac{3{,}75 - V_{GS}}{3{,}9 \text{ k}} = 4 \times 10^{-3}(V_{GS} + 1)^2$$

que es equivalente a

$$15{,}6 \; V_{GS}^2 + 32{,}2 \; V_{GS} + 11{,}85 = 0$$

Las soluciones son $V_{GS} = -1{,}58$ V y $-0{,}479$ V pero sólo $V_{GS} = -0{,}479$ es consistente con el funcionamiento en estado activo.

Al sustituir $V_{GS} = -0{,}479$ en una de las expresiones de corriente de drenador, llegamos a $I_D = 1{,}08$ mA. Restando las tensiones que hay en las dos resistencias de 3,9 k de los 12 V que hay en el circuito drenador-fuente obtenemos

$$V_{DS} = 12 - (2 \times 3{,}9 \text{ k} \times 1{,}08 \text{ mA}) = 3{,}58 \text{ V}$$

Por lo tanto, el transistor está polarizado en la región activa en (3,58 V, 1,08 mA), como indica la Figura 5.40c. En la Figura 5.40d, las flechas señalan las dos soluciones de la ecuación cuadrática, mostrando que la solución incorrecta corresponde a la rama izquierda de la función de transferencia parabólica, que no tiene significado físico. ❑

Ejercicio 5.15 El transistor de canal p de la Figura 5.41a está activo. Hallar su punto Q.

Respuesta $(V_{DS}, I_D) = (-2{,}93$ V, 2,54 mA). La Figura 5.41b muestra dónde cae este punto en las características de salida del transistor.

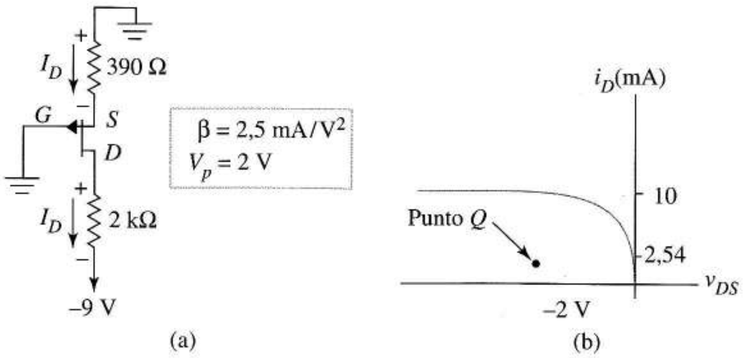


FIGURA 5.41 Ejercicio 5.15: (a) circuito dado; (b) punto Q.

5.7.2 ANÁLISIS CUANDO NO SE CONOCE EL ESTADO DEL TRANSISTOR

Para establecer las bases de los circuitos lógicos MESFET en el Capítulo 13, el siguiente ejemplo ilustra el análisis cuando el estado del transistor es desconocido.

EJEMPLO 5.16 En la Figura 5.42a, M_2 tiene $V_t = -1$ V y $\beta_2 = 0{,}8 \times 10^{-3}$ A/V^2. La anchura de M_1 es dos veces la de M_2, pero en lo demás son idénticos. Para mayor sencillez, supondremos que $\tanh(\alpha v_{DS}) \approx 1$ para todo v_{DS}. Estimar el valor de V_0 para

a) $V_I = -2$ V.

b) $V_I = 0$ V.

Solución Debido a la diferencia de anchuras, $\beta_1 = 2 \times \beta_2 = 1{,}6 \times 10^{-3}$ A/V^2. Como M_2 es una resistencia de carga no lineal (como el MOSFET de deplexión), haremos un esbozo pero no a escala de la línea de carga en la Figura 5.42b.

a) Cuando $V_I = v_{GS1} = -2$ V, como $v_{GS1} \leq V_t$, M_1 está en corte. Esto localiza el funcionamiento en el punto (v_{DS1}, i_{D1}) = (2,5 V, 0 mA) en la Figura 5.42b. En ese punto, M_2 está en estado óhmico.

Podemos tratar formalmente el funcionamiento óhmico de M_2 como una *suposición*, y después seguir el proceso matemático. A partir de la Ecuación (5.14) e ignorando la saturación de velocidad,

$$i_{D2} = 0{,}8 \times 10^{-3}\left[2(0+1)v_{DS2} - v_{DS2}^2\right] = i_{D1} = 0$$

La solución obvia de esta ecuación es $v_{DS2} = 0$. De la Figura 5.42a sabemos que $v_{DS2} = v_{DG2}$; por tanto se cumple la desigualdad $v_{DG2} = 0 \leq -V_t = 1$. Esto confirma el funcionamiento óhmico de M_2. Llegamos a que $V_0 = 2{,}5$ V como se sugería inicialmente con el dibujo de la línea de carga. Tengamos en cuenta que la solución $v_{DS} = 0$ que obtenemos al igualar las corrientes de drenador, sigue siendo correcta cuando el factor de saturación de la velocidad de la Ecuación (5.14) se iguala a cero.

b) Cuando $V_I = 0$, M_1 está en conducción, porque $v_{GS1} \geq V_t$. Aunque la Figura 5.42b no está a escala, indica que para V_I lo suficientemente grande, M_2 está en estado activo y M_1 en estado óhmico. Al utilizar esas suposiciones, igualamos la ecuación en activa de i_{D2} con la ecuación óhmica de i_{D1}:

$$0{,}8 \times 10^{-3}(0+1)^2 = 1{,}6 \times 10^{-3}\left[2(0+1)V_O - V_O^2\right]$$

Al resolver V_O obtenemos 0,293 V y 1,707 V. Sólo $V_O = 0{,}293$ cumple

$$v_{DG1} = v_{DS} - v_{GS} = 0{,}293 - 0 \leq -V_t = 1 \text{ V}$$

que es preciso para que M_1 esté en estado óhmico como se suponía. Este valor también satisface nuestra suposición de que M_2 está en estado activo, dándonos la desigualdad

$$v_{DG2} = (2{,}5 - 0{,}293) \geq -V_t = 1 \text{ V}$$

Llegamos a que $V_O = 0{,}293$ V. ❑

Ejercicio 5.16 Con la Figura 5.42d y la línea de carga, hallar el punto Q del transistor de la Figura 5.42c. Hallar la corriente de puerta.

Sugerencia Ver la Figura 5.31e.

Respuesta (V_{DS}, I_D) = (0,4 V, 2,6 mA), 28 μA.

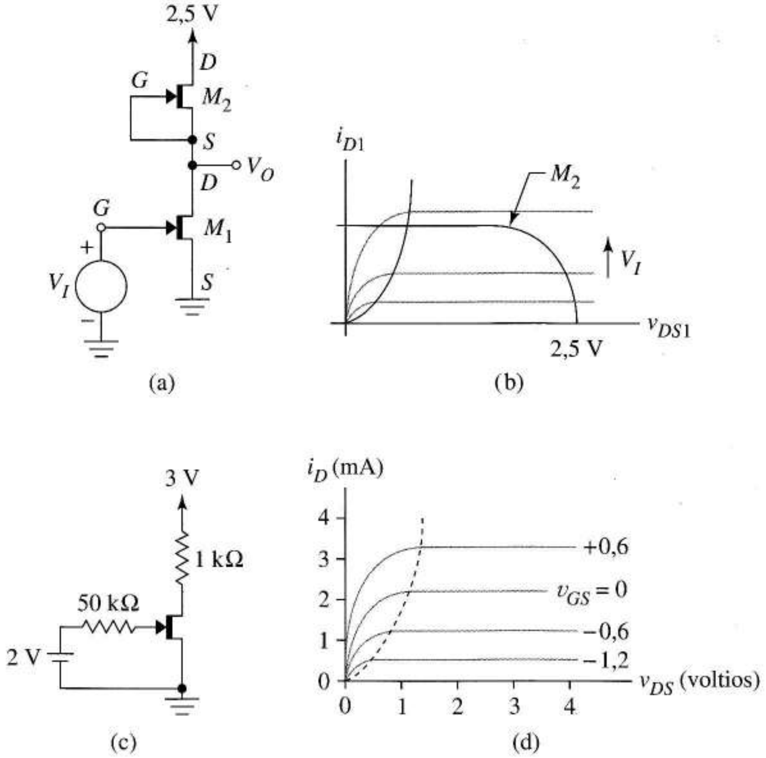


FIGURA 5.42
(a) circuito del Ejemplo 5.16; (b) línea de carga del Ejemplo 5.16; (c) circuito del Ejemplo 5.16; (d) características de salida del circuito del Ejemplo 5.16.

5.7.3 RESUMEN DE TRANSISTORES DE EFECTO DE CAMPO

Hemos estudiado siete tipos de transistores de efecto de campo. Todos funcionan como dispositivos de tres estados (el MESFET tiene un estado extra) con modelos similares para los circuitos en gran señal; excepto por pequeñas diferencias notacionales, todos satisfacen, al menos de forma aproximada, las mismas ecuaciones. Sus definiciones de estados son idénticas salvo en los sentidos de las desigualdades. Las funciones de transferencia son las claves para recordar todos estos dispositivos correctamente.

La Figura 5.43 muestra el símbolo, dirección de referencia de la corriente y función de transferencia de cada uno de los FET que hemos estudiado. Todos los dispositivos de canal n, en la primera columna, tienen las características de salida en el primer cuadrante y todas ellas satisfacen las mismas definiciones de estados. Todos los dispositivos de canal p (segunda columna) tiene las características de salida en el segundo cuadrante y sus desigualdades para las definiciones de estados son inversas en relación con los dispositivos de canal n. Las funciones de transferencia nos ayudan a ver el sentido de la desigualdad conducción/no conducción, las etiquetas v_{GS} de las características de salida y, en consecuencia, las propias curvas de salida. Las curvas de transferencia muestran, además, los márgenes de v_{GS} para los que la raíz polinómica tiene significado físico. Para ayuda del lector, la Figura 5.43 se reproduce en la contraportada del libro.

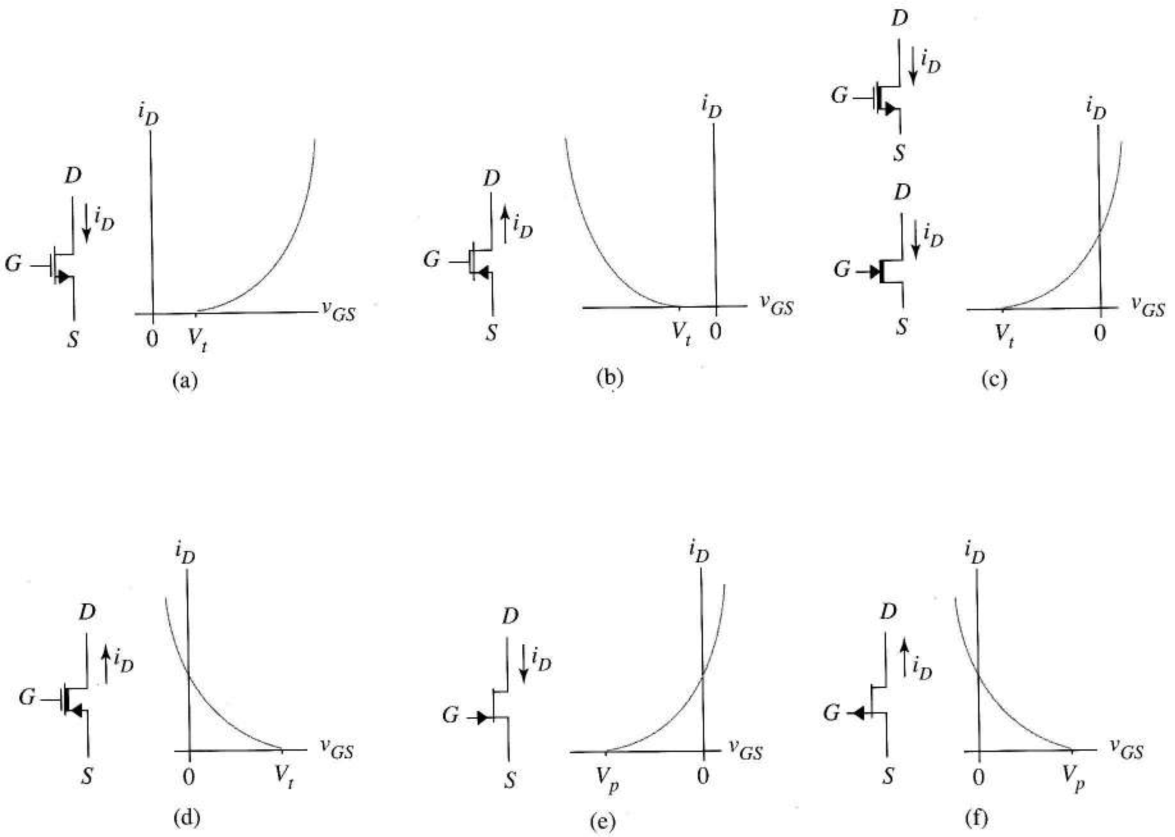


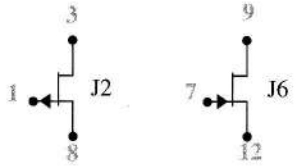
FIGURA 5.43 Esquema y función de transferencia del FET: (a) MOSFET de enriquecimiento de canal n; (b) MOSFET de enriquecimiento de canal p; (c) MOSFET de deplexión y MESFET de deplexión de canal n; (d) MOSFET de deplexión de canal p, JFET de canal n; (f) JFET de canal p.

5.8 MODELO SPICE ESTÁTICO DEL JFET

A continuación explicaremos el modelo SPICE del JFET, que usaremos en el libro tanto para JFETs como para MESFETs. La Figura 5.44a muestra el código. Los nombres de los JFETS empiezan por J y los números de los nodos están en el orden drenador-puerta-fuente. Un cuarto nodo *opcional* especifica la conexión del sustrato de un JFET integrado. En la línea .MODEL, el código PJF o NJF identifica al JFET como de canal p o n.

La Figura 5.44b muestra la notación SPICE para V_P y β. A partir del valor de I_{DSS} de las hojas de datos de cualquier JFET discreto, debemos calcular β utilizando la Ecuación (5.22). SPICE asume el valor uno para W / L en la Ecuación (5.18). La línea del elemento J6 de la Figura 5.44a muestra cómo

especificar la geometría del canal individual listando la longitud y anchura (en metros) del canal. Los modelos básicos SPICE de los JFET se pueden utilizar para hacer estimaciones de los circuitos MESFET. Los simuladores más modernos SPICE, como el PSPICE, utilizan modelos MESFET más sofisticados, que incluyen los efectos de la saturación de velocidad.




```
J2 3 1 8 ELLEN
J6 9 7 12 SID W=5U L=7U
.MODEL ELLEN PJF
.MODEL SID NJF VTO=-3 BETA=2.0E-4
```

(a)

Notación		Valor por defecto
Texto	SPICE	
V_p	VTO	–2 V
β	BETA	1,0E–3 A/V^2

(b)

FIGURA 5.44 Código SPICE para los JFETs: (a) código; (b) notación y valores por defecto

El siguiente ejemplo demuestra la utilización del modelo SPICE del JFET y muestra cómo podemos emplear la simulación para desarrollar las suposiciones de simplificación que hacemos en el diseño de circuitos.

EJEMPLO 5.17 Utilizar SPICE para estudiar la linealidad del amplificador controlado por tensión diseñado en el Ejemplo 5.14.

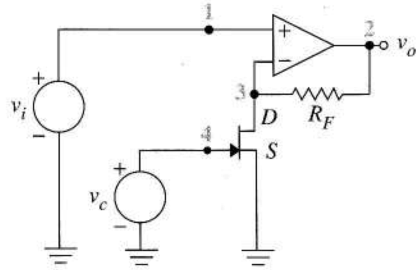
Solución Las Figuras 5.45a y b muestran el amplificador y el código SPICE. Hacemos el modelo del amplificador operacional como una VCVS de ganancia 10^5 y resistencia interna de 100 MΩ. El SPICE lleva a la fuente de ganancia controlada al margen de diseño especificado, –2,5 V a 0 V en seis pasos de 0,5 V cada uno, e imprime la función de transferencia de cada valor de VC. El intervalo VIN de ±90 mV para las curvas características, se aproxima al margen de ±88 mV calculado en el Ejemplo 5.14 para el funcionamiento lineal.

Las curvas resultantes mostradas en la Figura 5.45c tienen la variación de ganancia especificada de 9 a 55 y son bastante lineales. A continuación calcularemos los límites del funcionamiento lineal.

La desigualdad de la Ecuación (5.20) da por supuesto que el término cuadrático de la Ecuación (5.17) es despreciable porque $v_{DS} = v_i$ se mantiene bajo. Durante el diseño vemos que la amplitud de la señal es más crítica para los valores de v_{GS} más negativos, es decir, para $v_C \approx -2{,}5$ V, y ésta es la razón por la que se especifica el margen de ±88 mV para la señal de entrada. Para analizar esto, las dos líneas de código marcadas con asteriscos en la Figura 5.45b reemplazarán a las dos líneas de código anteriores para otra ejecución SPICE. Esto coloca a VC en el peor caso y así permite a VIN estar entre –200 mV y 500 mV. El resultado es la función de transferencia continua de la Figura 5.45d. Al compararla con una línea recta (a trazos) se muestra que la operación es, efectivamente, no lineal si no restringimos la amplitud de la señal de entrada a valores consistentes con la Ecuación 5.20. Al comparar las Figuras 5.45c y d se ve que la regla empírica del orden de la magnitud que utilizábamos para obtener la Ecuación 5.20, da como resultado un pequeño margen conservador de tensiones de entrada para el funcionamiento lineal. ❑

Ejercicio 5.17 Obtener con SPICE una familia de curvas de ganancias del tipo de la Figura 5.45c para el amplificador con ganancia variable negativa diseñado en el Ejercicio 5.14.

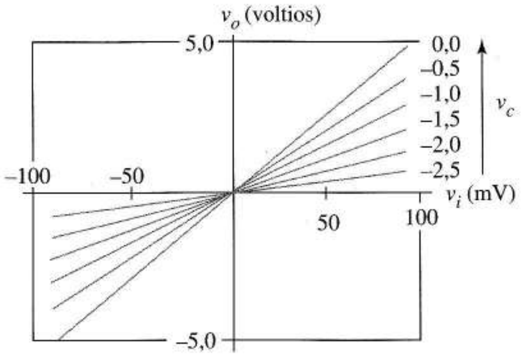
Respuesta Ver la Figura 5.46.



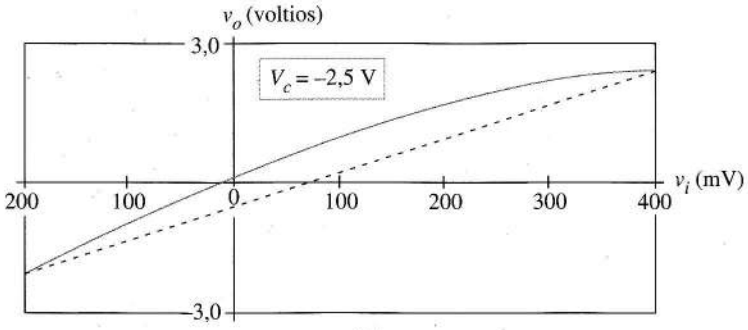
(a)

```
EXAMPLE 5.17
E1 2 0 1 3 1ES
RIN 1 3 100MEG
RF 2 3 9K
JC 3 4 0 CTRL
.MODEL CTRL NJF VTO=-3 BETA=1.OE-3
VIN 1 0 DC 0
VC 4 0 DC 0
.DC VIN -0.09 +0.09 0.018
+VC -2.5 0.0 0.5
*VC 4 0 DC -2.5
*.DC VIN -0.2 0.5 0.07
.PLOT DC V(2)
.END
```

(b)



(c)



(d)

FIGURA 5.45 Ejemplo 5.17: (a) circuito amplificador controlado por teensión con nodos numerados; (b) código SPICE del amplificador; (c) curvas de ganancia para los valores de diseño de la tensión de entrada; (d) función de transferencia no lineal (sólido) comparada con línea recta.

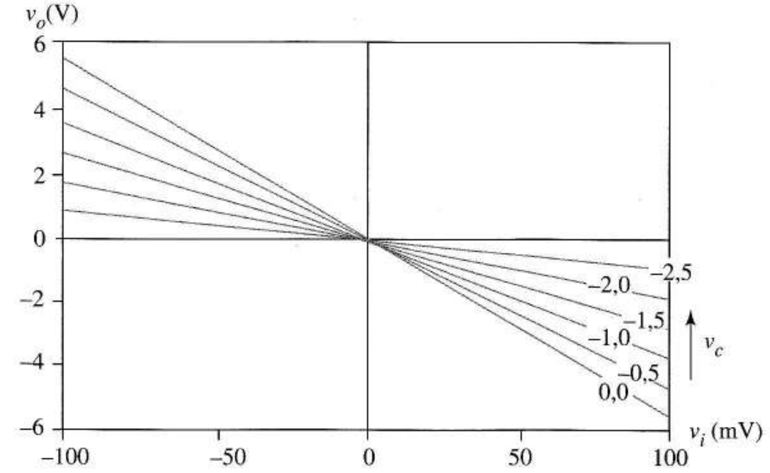


FIGURA 5.46
Respuesta al Ejercicio 5.17

5.9 EFECTOS DE SEGUNDO ORDEN DE LOS FET

Esta sección habla sobre los *efectos de segundo orden*, desviaciones del comportamiento ideal, que imponen limitaciones prácticas en el funcionamiento del FET. Las consecuencias de estos efectos de segundo orden son que las curvas características y los modelos de circuitos de los MOSFET, MESFET y JFET se diferencian un poco de los modelos estudiados hasta ahora.

5.9.1 EFECTO DEL SUSTRATO

La tensión umbral, hasta ahora tratada como una constante, es en realidad una función de la tensión de fuente-sustrato de un MOSFET. Para comprender esto, consideraremos la Figura 5.47a, en la que una fuente de tipo n se hace V_{SB} voltios positiva en relación con el sustrato de tipo p. Estas polarización inversa expande la región de deplexión en torno a cada pozo, descubriendo los iones adicionales de la red y disminuyendo la energía de los electrones de los pozos fuente, como indican las líneas a trazos de la Figura 5.47b. Como ahora se necesita energía adicional para mover un electrón del pozo contra la fuerza ejercida por el número creciente de iones, se incrementa la profundidad de la energía de los pozos. La tensión umbral, por definición la tensión puerta-fuente necesaria para reducir el potencial de la superficie bajo el óxido al nivel del pozo fuente, (Figuras 5.3a y c), aumenta de forma clara para valores positivos de V_{SB}. Este incremento en la tensión umbral con V_{SB} se llama *efecto del sustrato*. Por un razonamiento similar, la tensión umbral de un dispositivo de canal p se hace incluso más negativa con valores negativos de V_{SB}.

En algunos circuitos, por ejemplo la Figura 5.29a, la fuente y el sustrato están conectados al mismo punto y la tensión umbral es constante. Sin embargo, hay muchos circuitos (por ejemplo las Figuras 5.13a, 5.15a y 5.21) en los que la fuente no está conectada al sustrato. En esos casos debemos incluir el efecto del sustrato para predecir correctamente el funcionamiento del circuito.

La expresión teórica

$$V_t = V_{t0} + \gamma\left(\sqrt{\left|-2\phi_F + v_{SB}\right|} - \sqrt{\left|2\phi_F\right|}\right) \tag{5.24}$$

en la que ϕ_F es la constante de fabricación y γ se llama el *coeficiente del efecto* del sustrato, muestran cómo varía la tensión umbral con la tensión fuente-sustrato. La Ecuación (5.24) expresa V_t en función de la constante V_{t0}, tensión umbral cuando $v_{SB} = 0$, más un término de corrección del efecto del sustrato. El coeficiente que cuantifica el efecto del sustrato es positivo para los dispositivos de canal n y negativo para los de canal p. Un valor representativo de $|\gamma|$ podría ser 0,37 (voltios)^{0,5}.

Como la tensión umbral varía según el valor de la raíz cuadrada de $v_{SB} = v_S - v_B$, el efecto del sustrato provoca cálculos iterativos. Por ejemplo, para determinar V_t en la Ecuación (5.7), debemos conocer v_{SB} y, por tanto, v_S. Pero, como vimos en numerosos ejemplos, necesitamos la Ecuación (5.7) para calcular v_S. En consecuencia, es necesario suponer un valor de entrada para V_t y después reanalizar el circuito repetidamente y volver a calcular V_t hasta que el proceso converja a la solución.

Obviamente, los cálculos manuales pueden resultar tediosos si se incluye el efecto del sustrato. Por lo tanto adoptaremos el razonable compromiso de tratar V_t como una constante en estimaciones manuales, mientras se mantenga una atención especial en situaciones en las que el efecto del sustrato pudiera ser importante. En esos casos lo incluiremos en la simulación por computador para predecir el funcionamiento real del circuito. En la Sección 5.11. aprenderemos a incluir el efecto del sustrato en los modelos SPICE.

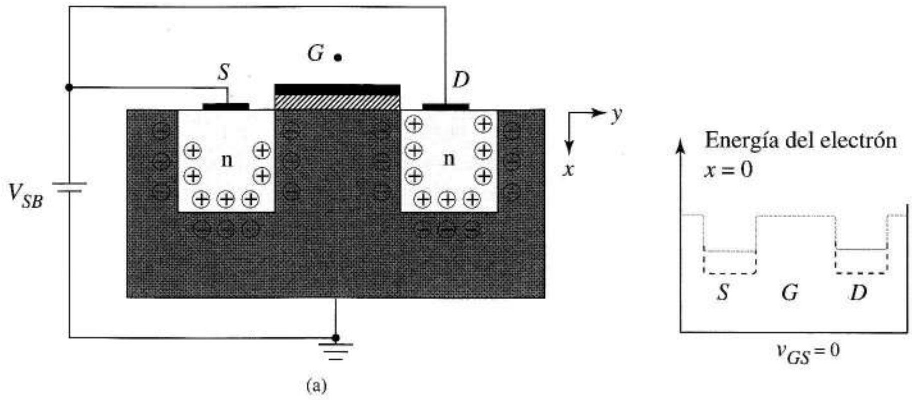


FIGURA 5.47 Efecto de la tensión fuente - body en las regiones de deplexión.

5.9.2 MODULACIÓN DE LA LONGITUD DEL CANAL Y EFECTO EARLY

La sección 4.9.3. nos explicaba la modulación de la anchura de la base de los bipolares. La anchura efectiva de la base se estrecha con las tensiones de salida grandes, provocando un espaciado entre las características de salida con v_{CE}. Para describir esto de forma matemática, se añadía a la ecuación de salida un factor de corrección de tensión Early, que conducía a una resistencia de salida finita en el modelo. En los MOSFETs, MESFETs y JFETs hay un efecto de *modulación de longitud del canal*, muy parecido tanto en concepto como en cuanto al efecto global de la modulación en la anchura de la base.

Las Figuras 5.5a y c muestran cómo la polarización inversa del drenador en relación con el sustrato provoca que el canal se estrangule al final del drenador. Para v_{DS} grandes, la región de deplexión del final del drenador se expande hasta el canal, como sugieren las líneas a trazos de las Figuras 5.48a y b, reduciendo la longitud efectiva del canal a un valor L_E menor al valor original L. Esto provoca que la resistencia del canal disminuya al incrementar v_{DS}. En consecuencia, la corriente del canal aumenta extendiéndose las curvas FET con v_{GS} constante según crece v_{DS} y añadiendo una pendiente distinta de cero, como en la Figura 5.48c. Con los MESFETs y JFETs ocurre un proceso similar.

El efecto Early se aplica también a transistores de efecto de campo. Las curvas de salida FET son asíntotas a líneas rectas que salen de un punto en $(v_{DS}, i_D) = (-V_A, 0)$, donde V_A es la tensión Early indicada en la Figura 5.48c. (Para los FETs, la tensión Early se suele denotar por $1/\lambda$). La pendiente de las curvas es la inversa de la resistencia de salida, r_o, un parámetro que añadimos a este drenador y fuente en los modelos del circuito para inducir el efecto Early en el análisis de circuitos.

Podemos hacer que las Ecuaciones (5.4), (5.7), (5.17) y (5.21) se ajusten mejor a las curvas reales del dispositivo añadiéndoles factores de corrección de tensión Early. Por ejemplo, podemos describir un MOSFET activo con

$$i_D = f_a\left(v_{GS}, v_{DS}\right) = \frac{k}{2}\left(v_{GS} - V_t\right)^2\left(1 + \frac{v_{DS}}{V_A}\right) \tag{5.25}$$

que expresa más correctamente la corriente de salida como una función de dos variables. Después definimos la resistencia de salida con

$$\frac{1}{r_o} = \frac{\partial i_D}{\partial v_{DS}}\bigg|_{\text{Punto Q}}$$

Al derivar (4.21) nos da

$$r_o \approx \frac{V_A}{I_D} \tag{5.26}$$

en la que I_D es la corriente en el punto Q. Esta misma expresión se aplica a los MESFETs y JFETs.

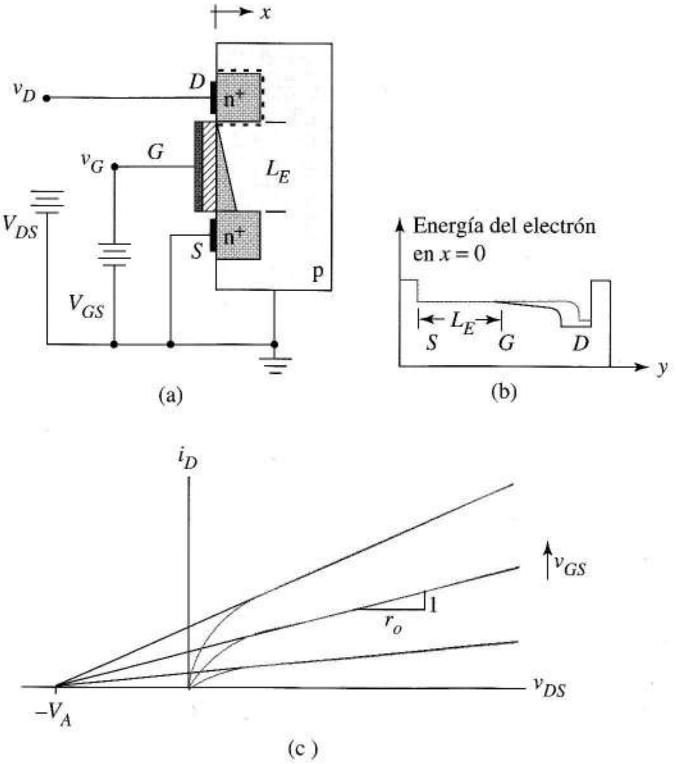


FIGURA 5.48
Modulación de longitud de canal: (a) reducción de la longitud del canal con incrementos de v_{DS};
(b) efecto en el diagrama de energía del electrón;
(c) efecto Early.

5.9.3 TENSIÓN DE RUPTURA

Vimos en la Sección 4.9.2 que las uniones colector-base de los bipolares rompen con valores elevados de la tensión de salida, un fenómeno que limita la región útil de funcionamiento en las características de salida. En los FETs se dan rupturas semejantes. La Figura 5.49 muestra que en los MOSFET ocurre la ruptura en la unión sustrato-drenador.

La Figura 5.49b muestra un JFET polarizado en funcionamiento activo. Para v_{DS} lo suficientemente grandes, la unión puerta-drenador polarizada en inversa rompe y circula mucha corriente de drenador en la puerta del circuito. La Figura también muestra el efecto sobre las características de salida. Según la tensión de puerta se va haciendo más positiva, la tensión de drenador necesaria para romper la unión puerta-drenador se incrementa de forma paralela.

Para los MOSFETs y los JFETs, la tensión de ruptura BV es el límite superior de la tensión permitida en v_{DS}, en el que el transistor funciona como una fuente de corriente controlada. Rupturas similares se dan para MOSFETs y JFETs de canal p, cambiando las características de salida del segundo cuadrante adecuadamente.

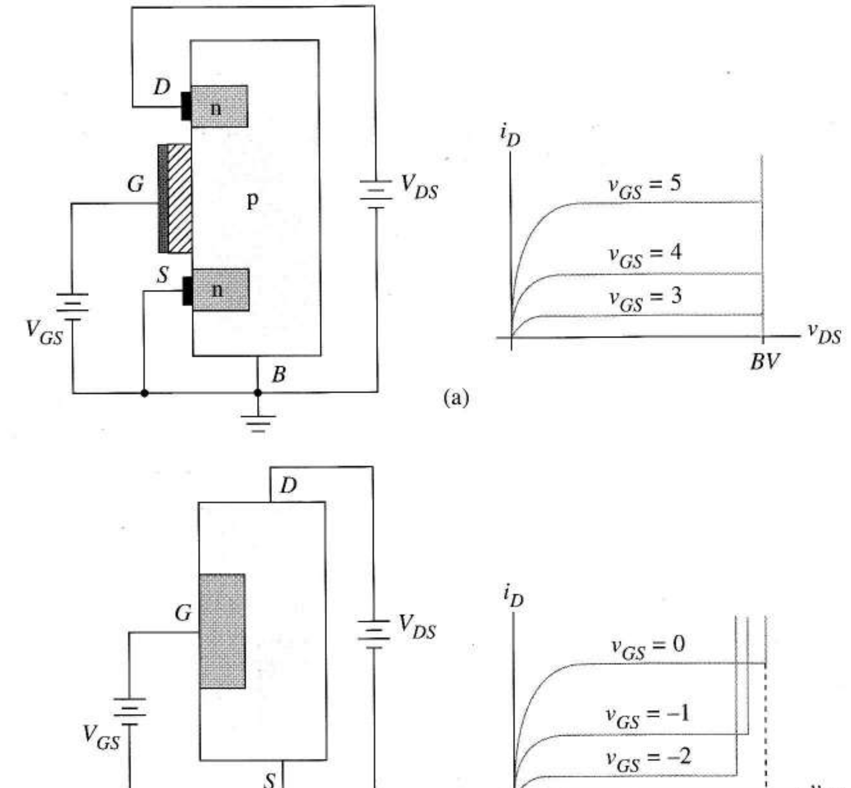


FIGURA 5.49 Ruptura en: (a) el MOSFET; (b) el JFET.

5.9.4 VARIACIÓN DE LOS PARÁMETROS FET CON LA TEMPERATURA

En la Sección 3.1.2 hemos aprendido que la movilidad disminuye con la temperatura a causa de colisiones de cargas, más frecuentes por el movimiento más rápido de los iones. La descripción empírica de esto es

$$\mu(T) = \mu(T_R)\left(\frac{T_R}{T}\right)^{1,5} \tag{5.27}$$

que relaciona la movilidad a temperatura T con una temperatura de referencia T_R, cuando T y T_R están en grados Kelvin. Esto explica una de las variaciones de temperatura en los FETs. La movilidad, μ_n, en las Ecuaciones (5.8) y (5.13) hacen que k, en los MOSFET y β, en los JFET, disminuyan con la temperatura; en consecuencia, sus funciones de transferencia cambian como en la Figura 5.50a y b respectivamente. Se deduce que las características de salida de ambos dispositivos se agrupan más, como en la Figura 5.50c, exactamente *lo contrario de las características de los bipolares.*

Curiosamente, la Ecuación (5.27) que afecta al espaciado entre las características de salida de los MOSFET, se parece a la Ecuación (4.19) que controla el espaciado de las curvas de salida de los bipolares.

Las tensiones umbral de los MOSFET de canal n y de canal p *disminuyen* aproximadamente 2 mV/°C de temperatura (aproximadamente lo mismo que cuando sube V_{BE} en un transistor bipolar), haciendo que las curvas de la Figura 5.50a y b se desplacen a la izquierda con los incrementos de temperatura y se inclinen hacia abajo.

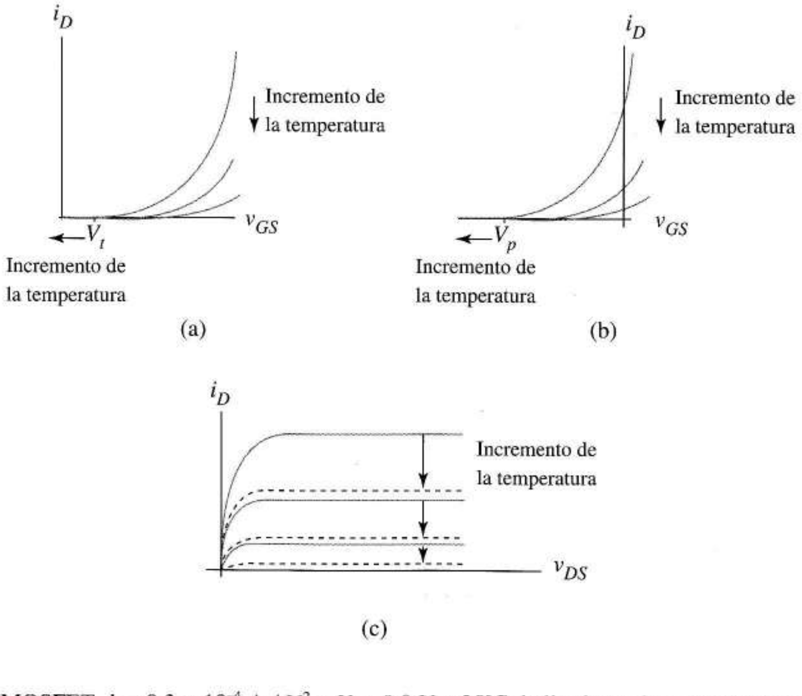


FIGURA 5.50 Variación de las características del FET con la temperatura: (a) función de transferencia del MOSFET de canal n; (b) función de transferencia del JFET de canal n; (c) características de salida del FET.

Ejercicio 5.18 Para un MOSFET, $k = 0,3 \times 10^{-4}$ A / V^2 y $V_t = 0,8$ V a 25°C. hallar los valores de estos parámetros a –40 °C.

Respuesta $k = 0,434 \times 10^{-4}$ A / V^2 , 0,93 V.

EJEMPLO 5.18 El transistor del ejercicio anterior se sitúa en el circuito de la Figura 5.51. Hallar su tensión drenador-fuente a 25ºC y a –40ºC.

Solución El divisor de tensión nos da una tensión de puerta de 1,28V a ambas temperaturas. A 25ºC,

$$I_D = \frac{0{,}3\times10^{-4}}{2}(1{,}28-0{,}8)^2 = 3{,}46\mu\text{A}$$

obteniendo V_{DS} = 8–(3,46 μA)(500 k) = 6,27 V.

A –40 ºC

$$I_D = \frac{0{,}43\times10^{-4}}{2}(1{,}28-0{,}93)^2 = 2{,}66\ \mu\text{A}$$

haciendo que V_{DS} = 8–(2,66 μA)(500 k) = 6,67 V ❑

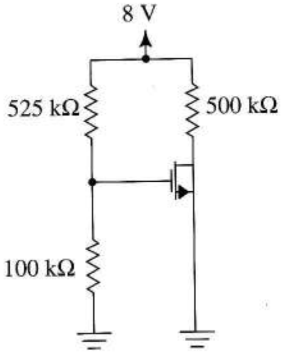


FIGURA 5.51
Circuito del Ejemplo 5.18.

5.9.5 CAPACIDADES PARÁSITAS

Quizá el más importante de los efectos secundarios sea el asociado al funcionamiento dinámico de los FETs. Los transistores de efecto de campo, como los diodos y bipolares, contienen capacidades internas parásitas, que limitan sus máximas velocidades de funcionamiento.

En la siguiente sección hablaremos sobre los circuitos dinámicos equivalentes que nos ayudan a comprender los orígenes físicos de estas capacidades y también describiremos los parámetros SPICE que nos permiten incluir efectos dinámicos en nuestras simulaciones. Estos modelos tan generales de los transistores, incluyen muchos de los efectos de segundo orden de esta sección.

5.10 MODELOS DINÁMICOS PARA LOS FETs

Modelo Dinámico MOSFET La Figura 5.52a muestra un modelo dinámico de un MOSFET de canal n. Los usuarios de SPICE pueden aplicar este modelo utilizando el código listado en la Figura 5.52b. La base del modelo es la fuente dependiente i_D, descrita por las Ecuaciones (5.3), (5.4) y (5.7)

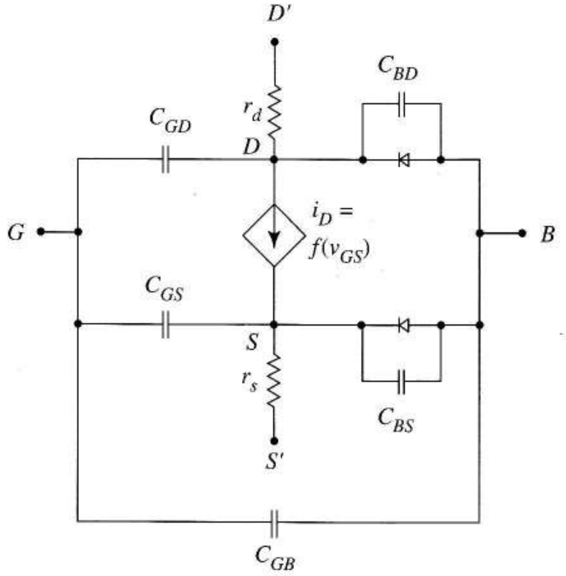
que dependen del punto de funcionamiento. Ya sabemos que SPICE utiliza los parámetros estáticos KP y VTD para dichas ecuaciones. Los cálculos SPICE pueden incluir correcciones de efecto del sustrato y efecto Early con los parámetros GAMMA Y LAMBDA, respectivamente. Para incluir estas correcciones, simplemente daremos valores en la sentencia "MODEL".

En los MOSFET de la Figura 5.52 hay capacidades de deplexión C_{BS} y C_{BD} entre el sustrato y los pozos de tipo n polarizados en inversa que vimos en el modelo del circuito de la Figura 5.52a. Para describir esas capacidades, SPICE utiliza capacidades sin polarización CBD y CBS el coeficiente de graduación MJ y el potencial de contacto PB. El modelo SPICE también incluye el comportamiento exponencial de las uniones sustrato-drenador-fuente. Estas uniones, caracterizadas por la corriente inversa de saturación IS, *deben seguir siendo inversas en la simulación (como en el dispositivo físico) conectando el sustrato al punto más negativo del circuito.* Un error de conexión que polarice directamente el sustrato, conduce a corrientes excesivas en la simulación del mismo modo que ocurre en un dispositivo físico.

La Figura 5.2a también sugiere la capacidad, C_{GB}, entre puerta y sustrato, con el óxido como dieléctrico. En los lugares en los que la puerta se superpone ligeramente a los materiales de drenador y fuente, hay capacidades adicionales C_{GD} y C_{GS}. El modelo de la Figura 5.52a incluye las tres SPICE calcula los valores de C_{GD}, C_{GS} y C_{GB} cuando especificamos el valor de la anchura del óxido, TOX en la línea .MODEL y cuando se especifican W y L en las líneas de los transistores. TOX = 0,1μ, W = 1μ y L = 1μ son suficientes como primeras estimaciones si se desconocen los valores reales.

Las resistencias R_d y R_s representan los valores de tensión creados por la corriente que circula por los pozos hacia los contactos externos D' y S'. SPICE incluye variaciones de temperatura en la tensión umbral y parámetros de la unión pn; sin embargo, en las versiones básicas de SPICE, no aparecen las variaciones de la movilidad con la temperatura.

El mismo circuito equivalente y conjunto de parámetros describen los transistores de canal p si están invertidas la dirección de referencia de la fuente de corriente y la orientación del diodo. El usuario sólo necesita especificar "PMOS" en la línea .MODEL, y SPICE se ocupa de estos detalles.



(a)

Parámetros SPICE del MOSFET		
Parámetro	**Nombre SPICE**	**Por defecto**
k	KP	2,0E–5 A/V^2
V_t	VTO	0,0 V
γ	GAMMA	0,0 V$^{0.5}$
$1/V_A$	LAMBDA	0,0 V^{-1}
C_{BD}	CBD	0,0 F
C_{BS}	CBS	0,0 F
m	MJ	0,5
ϕ_o	PB	0,8 V
t	TOX	∞
I_s	IS	1,0E–14 A
r_d	RD	0,0 Ω
r_s	RS	0,0 Ω

(b)

FIGURA 5.52 MOSFET de canal n: (a) modelo del circuito; (b) parámetros SPICE.

La Figura 5.53 muestra un modelo del JFET de canal n y sus correspondientes parámetros SPICE. La fuente de corriente i_D describe las características estáticas de salida del dispositivo. Cualquier valor de LAMBDA distinto de cero introduce el efecto Early en el modelo.

Los diodos añaden al modelo la corriente inversa de saturación I_s que circula en el circuito de entrada del dispositivo físico. Si la puerta no está polarizada inversamente en una simulación, estos diodos conducen de la forma sugerida en la Figura 5.32c, una condición de error de los JFET.

Como la puerta suele estar inversamente polarizada en relación con el canal del MESFET y del JFET, (Figuras 5.30a y 5.32a), estos dispositivos tienen capacidades de deplexión no lineal C_{GD} y C_{GS}. Las capacidades adicionales de deplexión C_{BS} y C_{BD} conectan la fuente y el drenador al sustrato en estructuras de circuitos integrados. La Figura 5.53 muestra explícitamente las capacidades de deplexión entre puerta y drenador. Las describimos en SPICE con los valores usuales a polarización cero y potencial de barrera PB. El coeficiente de graduación se fija a $m = 0{,}5$. Las resistencias R_d y R_s completan el modelo.

Los efectos de todas las capacidades no lineales del transistor son muy difíciles de predecir en el análisis manual. Los modelos dinámicos SPICE para el transistor ponen a nuestra disposición resultados numéricos correctos, que muestran los efectos acumulativos de las capacidades parásitas en el funcionamiento del circuito. En el Capítulo 8 emplearemos aproximaciones lineales que mejoren nuestro conocimiento para hacer estimaciones y para desarrollar ecuaciones de cada diseño que relacionen el funcionamiento del circuito con cada capacidad en particular.

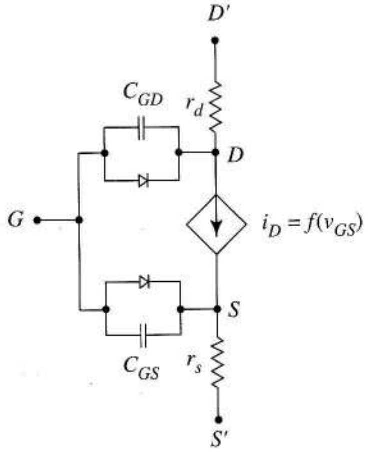


FIGURA 5.53 Modelo SPICE del JFET de canal n y parámetros SPICE.

Parámetros SPICE del JFET		
Parámetro	**Nombre SPICE**	**Por defecto**
β	BETA	1,0E–4 A/V^2
V_p	VTO	0,0 V
$1/V_A$	LAMBDA	0,0 V^{-1}
C_{GD}	CBD	0,0 F
C_{GS}	CBS	0,0 F
ϕ_o	M	1,0 V
I_s	IS	1,0E–14 A
r_d	RD	0,0 Ω
r_s	RS	0,0 Ω

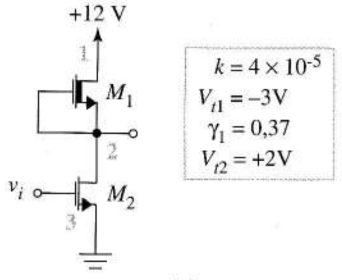
Incluyendo las capacidades parásitas y los efectos estáticos secundarios, SPICE proporciona una buena herramienta que explora algunos aspectos del comportamiento real del dispositivo que sería, de otra manera, demasiado difícil de calcular. Algunos de los ejemplos del resto del capítulo muestran esto.

EJEMPLO 5.19 Utilizar SPICE para ver cómo modifica el efecto del sustrato las funciones de transferencia del circuito de la Figura 5.5a en el margen de entrada $0 \leq v_i \leq 12$ V.

Solución Hacemos dos simulaciones SPICE; una utilizando el valor por defecto $\gamma = 0$, la otra utilizando $\gamma = 0{,}37$. La Figura 5.54b muestra el código que excluye el coeficiente de efecto del sustrato desde la primera ejecución mediante un comentario.

La Figura 5.54c compara las dos curvas de transferencia; ya que $v_o = v_{SB}$ para M_1, la teoría predice que el efecto del sustrato debe ser importante para grandes valores de v_o y desaparecer cuando se aproxima a 0. Las curvas se juntan para v_o bajos, mientras que si v_o sube, la separación aumenta. Sin embargo, para v_i baja, M_2 se corta gradualmente haciendo que las curvas se aproximen en v_o = 12 V a pesar del efecto del sustrato.

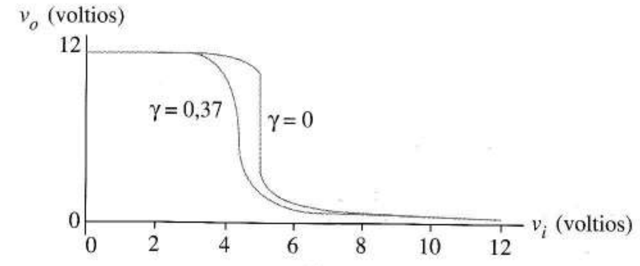
La Figura 5.54c muestra que cuando este circuito se utiliza como amplificador, el efecto del sustrato reduce la pendiente (ganancia) en la región de alta ganancia de la curva. Este mismo circuito también es una puerta lógica digital de las que hablaremos en el Capítulo 13. En él, aprenderemos que esta reducción de ganancia hace que la puerta sea más susceptible al ruido. ❑



(a)

```
EXAMPLE 5.19
VDD 1 0 DC 12
M1 1 2 2 0 DEPL
M2 2 3 0 0 ENHA
.MODEL DEPL NMOS KP=4E-5 VTO=-3
*+GAMMA=0.37
.MOEL ENHA NMOS KP=4E-5 VTO=2
VI 3 0 DC 0
.DC VI O 12 0.24
.PLOT DC V(2)
.END
```

(b)



(c)

FIGURA 5.54
Ejemplo 5.19: (a) circuito; (b) código SPICE; (c) función de transferencia que muestra las consecuencias del efecto body.

Ejercicio 5.19 Examinar el efecto de la modulación de la longitud del canal del circuito de la Figura 5.54a si V_A = 50 V. Utilizar γ = 0,37.

Respuesta Figura 5.55.

El ejemplo y el ejercicio anterior utilizaban SPICE para analizar los efectos estáticos secundarios del FET. Mostraremos cómo usar el SPICE para analizar el comportamiento dinámico tras hablar de los interruptores FET.

5.11 EL FET COMO INTERRUPTOR

El *interruptor FET* juega un papel central en la electrónica moderna. En los circuitos digitales, los dos estados representan los unos y ceros necesarios para almacenar o transmitir información codificada como números binarios. En circuitos de interconexión, los interruptores controlados permiten a

los computadores controlar máquinas, luces, alarmas y otros dispositivos. En comunicaciones analógicas y procesamiento de señal los interruptores activan y desactivan las señales rápidamente para trasladar su información a otros márgenes de frecuencias. Esto hace posible combinar distintas señales para utilizar eficientemente canales de comunicación y permite que la información se procese por medio de filtros integrados. Los filtros especiales de capacidades conmutadas, utilizados para procesar señales analógicas, emplean conmutadores para sustituir las resistencias elevadas que no están disponibles en los circuitos integrados. Los interruptores también se utilizan en las fuentes de alimentación para provocar caídas en la tensión continua sin consumir mucha potencia y para mejorar la eficiencia de los amplificadores de potencia.

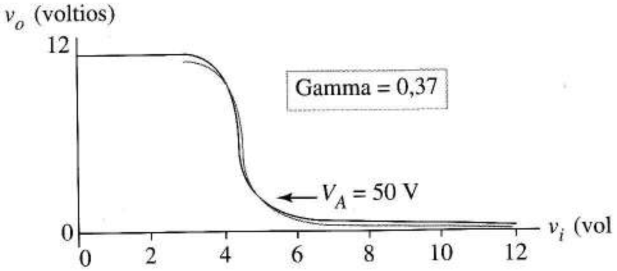


FIGURA 5.55 Efecto de la modulación de longitud del canal del circuito de la Figura 5.54a.

5.11.1 INTERRUPTOR REFERIDO A MASA

Como los interruptores bipolares, los interruptores FET aprovechan las semejanzas entre dos de las curvas de salida del transistor y las características ideales de conmutación. Los interruptores MESFET y JFET funcionan de la misma forma, diferenciándose sólo en las tensiones necesarias de control.

La Figura 5.56a muestra un interruptor referido a masa de un transistor MOS y la Figura 5.56b, la línea de carga. La tensión de control v_C toma sólo dos valores, un valor subumbral que abra el interruptor y otro alto, supraumbral, que lo cierre. Tengamos en cuenta que los interruptores FET cerrados se parecen a la curva *vi* de una resistencia, no a una fuente de tensión como el bipolar. Para una pequeña tensión del interruptor, la tensión de control debe ser lo suficientemente alta para que la resistencia del interruptor sea mucho menor de R_L. Las resistencias FET, como la de la Ecuación (5.5), son útiles en el diseño de circuitos de conmutación.

El transistor también conmuta tensiones alternas. Al reemplazar V_{DD} en la Figura 5.56 por una fuente senoidal por ejemplo, hace que la línea de carga de la Figura 5.56b se deslice de izquierda a derecha con el tiempo, cortando a la curva de salida de forma alternativa en el primer y tercer cuadrante, produciendo así una fuente senoidal a través del interruptor y de la resistencia de carga cuando se cierra el interruptor.

Los interruptores del transistor, con un extremo en masa como la Figura 5.56, son habituales en circuitos lógicos y de interconexión digital. Muchas aplicaciones analógicas, como moduladores, multiplexadores analógicos y filtros de capacidades conmutadas, necesitan un interruptor que no esté referido a masa, llamado *puerta de transmisión bidireccional.*

Tanto los JFETs como los MOSFETs sirven para esto. A continuación describiremos las puertas de transmisión MOSFET con cierto detalle.

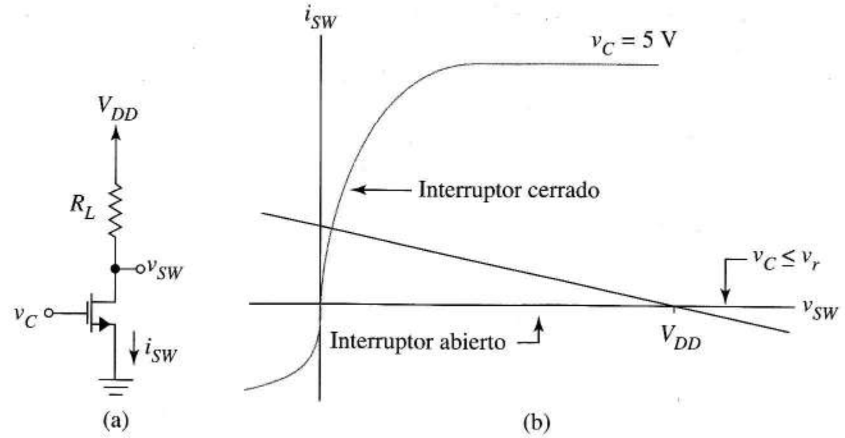


FIGURA 5.56
Interruptor MOSFET a masa: (a) circuito; (b) línea de carga.

5.11.2 PUERTAS DE TRANSMISIÓN BIDIRECCIONAL

La *puerta de transmisión* bidireccional es un interruptor controlado por tensión que tiene la conFiguración de la Figura 5.57a. Para un valor de v_C el interruptor se abre desconectando la señal v_i de la carga R_L. Para un segundo valor de v_C el interruptor se cierra, conectando v_i a R_L. La Figura 5.57b muestra cómo utilizar un transistor NMOS (MOS de canal n) como puerta de transmisión. Supongamos que v_i se restrinja al margen $-V_{DD} \leq v_i \leq V_{DD}$, que se establece con fuentes de alimentación simétricas, donde V_{DD} debe superar la tensión umbral del transistor. Como de costumbre, el sustrato se conecta al punto más negativo del circuito. Esta aplicación FET es especialmente interesante, ya que las *localizaciones físicas de la fuente y drenador cambian* con la dirección de la corriente del interruptor.

El interruptor de la Figura 5.57b está abierto cuando $v_C = -V_{DD}$. Aunque aún no está claro si la fuente del transistor es x o y, sabemos que el transistor está en corte porque la puerta no puede ser más positiva que los demás nodos cuando $v_C = -V_{DD}$. Para cerrar el interruptor, hacemos $v_C = +V_{DD}$. Para comprender los detalles del funcionamiento en conducción, examinaremos dos casos:

Caso 1 $v_C = V_{DD}$ y $v_i < 0$. Para v_i negativos, la corriente convencional circula por el MOSFET del nodo y al x en la Figura 5.57c. Esto significa que el nodo x es la *fuente* de la *corriente del electrón* (en este dispositivo de canal n) y el nodo y es el drenador. El canal existe siempre que

$$v_{GS} = V_{DD} - v_i \geq V_t$$

Como esta desigualdad se cumple para todos los valores negativos de v_i, el transistor está en conducción y el interruptor está cerrado; el siguiente nos trae una sorpresa.

Caso 2 $v_C = V_{DD}$ y $v_i > 0$. Para v_i positivos, la combinación convencional de corriente como la de x a y, como en la Figura 5.57d, hace que y funcione como la fuente del transistor y x como su drenador. Para que exista un canal

$$v_{GS} = V_{DD} - V_y \geq V_t$$

en el que $V_y \leq V_{DD} - V_t$. Para un interruptor cerrado, $v_i \approx V_y$.

Al combinar los Casos 1 y 2 llegamos a la conclusión de que el interruptor NMOS es asimétrico; esto proporciona un canal de conducción sólo para v_i en el margen

$$-V_{DD} \leq v_i \leq V_{DD} - V_t \tag{5.28}$$

La puerta de transmisión NMOS funciona bien si restringimos las tensiones de entrada al margen apropiado.

Una consideración práctica en la utilización de una puerta de transmisión es la resistencia interna del interruptor. Cuando conduce, el interruptor del MOSFET está, como es natural, en estado activo u óhmico dependiendo de la polaridad y magnitud de v_i para una resistencia de carga dada. Podríamos examinar cada posibilidad escribiendo las ecuaciones, pero esto contribuiría poco a su comprensión. A veces la resistencia del interruptor se maneja mediante sencillas especificaciones del peor caso de la resistencia lineal para aproximar a la resistencia del interruptor. Esta aproximación es directa y sencilla y nos da la idea intuitiva de que R_L debe ser grande en comparación con la resistencia interna para que la puerta de transmisión funcione adecuadamente. El siguiente ejemplo utiliza SPICE para verificar el funcionamiento asimétrico de la puerta de transmisión NMOS y, además, nos ayuda a desarrollar algunas ideas físicas sobre la resistencia interna del MOSFET.

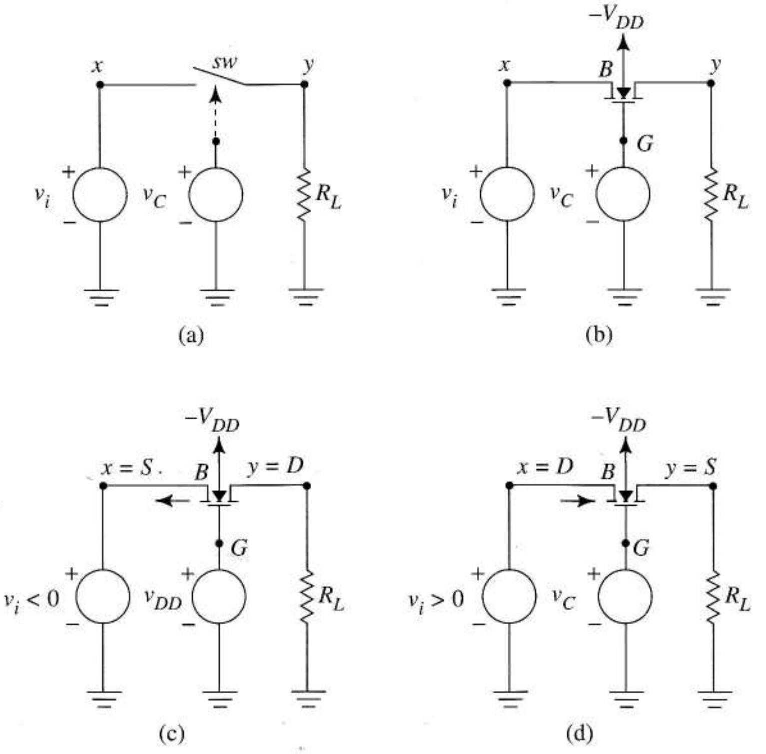
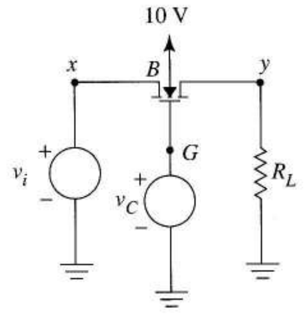


FIGURA 5.57 Puertas de transmisión: (a) ideal; (b) circuito de puerta NMOS; (c) fuente y drenador para tensiones de entrada negativas; (d) fuente y drenador para tensiones de entrada positivas.

EJEMPLO 5.20 Estudiar con SPICE la puerta de transmisión de la Figura 5.58a para $R_L = 2$ kΩ y para $R_L = 50$ kΩ. Los parámetros MOSFET son $V_t = 3$ V, $k = 2 \times 10^{-4}$ A / V^2, $\gamma = 0$ y $V_A = \infty$. Las tensiones de entrada están restringidas a ±10 V.

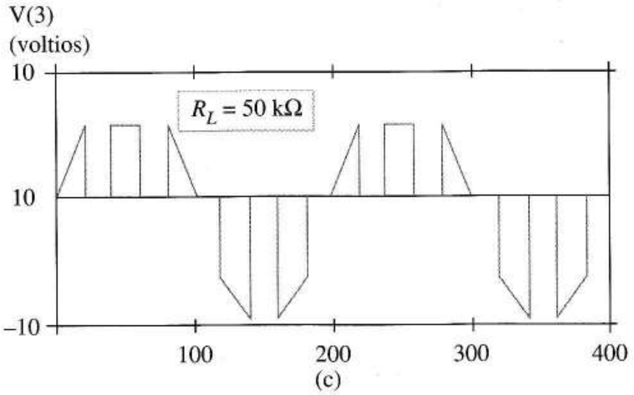
Solución Sea v_i una onda senoidal de 5 kHz con un valor de pico de 10 V y v_C una onda cuadrada de 10 V con período de 40 ms. La entrada senoidal muestra un funcionamiento conmutado entre los valores positivos y



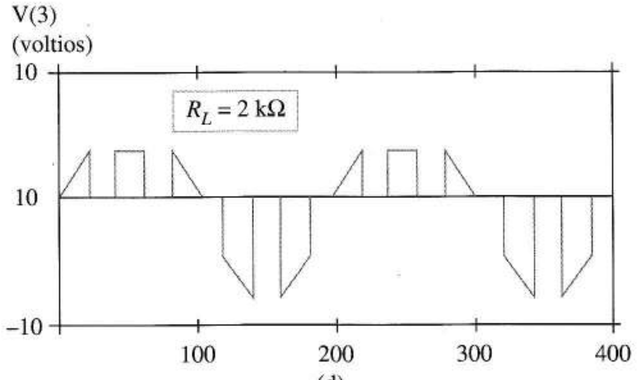
(a)

```
EXAMPLE 5.20
*OUTPUT WAVEFORMS
VDM 4 0 DC -10
MN 1 2 3 4 AL
.MODEL AL NMOS VTO=3 KP=2E-4
RL 3 0 50K
VC 2 0 PULSE(-10 10 0 0 0 0.02M 0.04M)
VIN 1 0 SIN(0 10 5000)
.TRAN 0.0003M 0.4M
.PLOT TRAN V(3)
.END
```

(b)



(c)



(d)

FIGURA 5.58 Puerta de transmisión del Ejemplo 5.20: (a) circuito; (b) código SPICE; (c) salida para R_L = 50 kΩ; (d) salida para R_L =2 kΩ

negativos de v_i, es decir, para los Casos 1 y 2, como se comentó anteriormente. Como el período de la onda senoidal es 200 ms, la onda cuadrada abre y cierra la puerta de transmisión 5 veces en cada ciclo de entrada, permitiéndonos observar las condiciones de apertura y cierre del interruptor.

Aunque las posiciones de fuente y drenador cambian con la dirección de la corriente, el código de entrada SPICE necesita asignaciones específicas de los nodos. El código de la Figura 5.58b especifica arbitrariamente el nodo 1 como drenador y el nodo 3 como fuente.

A partir de la teoría, esperamos una tensión de salida asimétrica, reducida al margen -10 V ≤ V(3) ≤ 7 V. La Figura 5.58c muestra la salida SPICE para una carga de 50 kΩ.

El interruptor proporciona una aproximación excelente a un circuito abierto siempre que la tensión de control llegue a −10V. Como sugería la teoría, la forma de onda tiene un valor máximo de unos 7 V y un mínimo de −10 V.

La Figura 5.58 muestra que al reducir R_L a 2 kΩ, la amplitud de la forma de onda de salida es menor de lo que se esperaba. Esto sugiere que 2 kΩ no es lo bastante grande comparada con la resistencia interna del interruptor. Intuitivamente hablando, hay un divisor resistivo con la resistencia del interruptor que hace que la salida tenga menos amplitud que la entrada, en el caso de que el interruptor esté cerrado. ❑

Ejercicio 5.20 Representar con SPICE la función de transferencia de la puerta de transmisión cerrada, para R_L = 2 kΩ y para R_L = 50 kΩ.

Respuesta Figura 5.59.

La curva de la carga de 50 kΩ de la Figura 5.59 es lineal en la mayor parte del margen de v_i = −10 V a v_i = +7 V y tiene una *pendiente cercana a uno*, hasta que se cierre el interruptor del FET. Esto sugiere que los 50 kΩ son tan grandes, en comparación con la resistencia del interruptor, que la división de tensión es despreciable. Por otro lado, la curva para la carga de 2 kΩ tiene pendiente inicial de 1 y curvatura significativa; exactamente lo que esperaríamos de un divisor de tensión que incluyera una resistencia no lineal del interruptor.

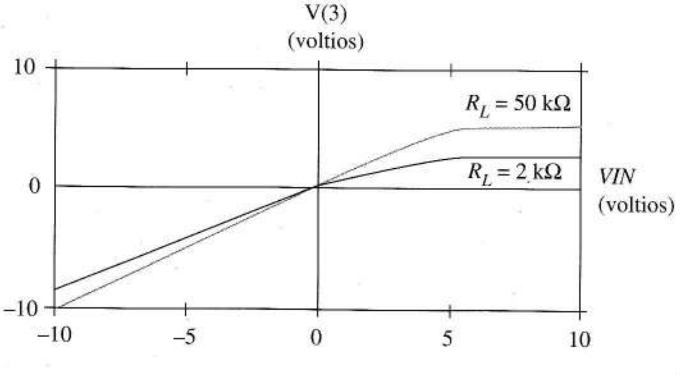


FIGURA 5.59 Función de transferencia de la puerta de transmisión NMOS para R_L = 2 kΩ y R_L = 50 kΩ.

5.11.3 PUERTA DE TRANSMISIÓN PMOS

El funcionamiento de las puertas de transmisión PMOS (MOS de canal p) de la Figura 5.60a es complementario al de las puertas de canal n. En circuito abierto, $v_C = V_{DD}$; para cerrar el interruptor $v_C = -V_{DD}$. Podemos verificar mediante el uso del mismo razonamiento aplicado para el interruptor NMOS, que el FET de canal p funciona como un interruptor cerrado sólo para

$$-V_{DD} - V_t \le v_i \le V_{DD} \tag{5.29}$$

en donde V_t es negativo.

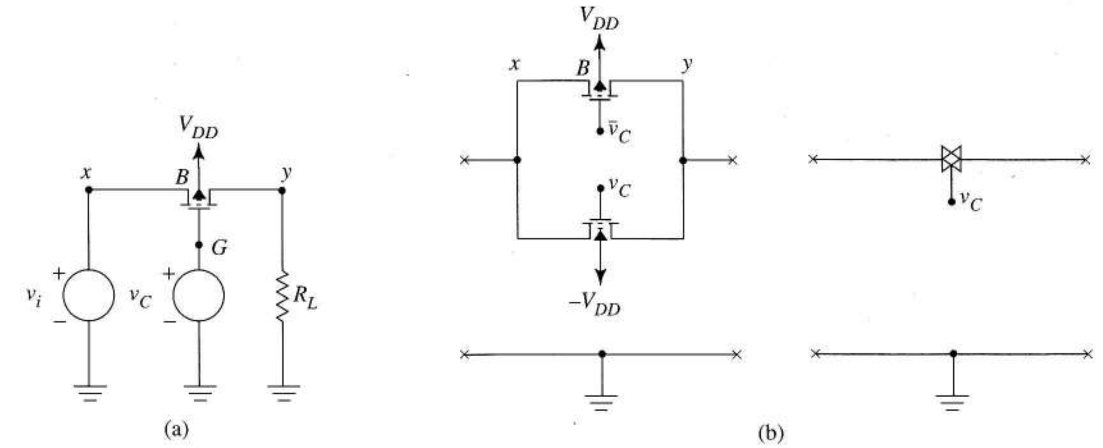


FIGURA 5.60 Puertas de transmisión: (a) PMOS; (b) esquema y puerta CMOS

5.11.4 PUERTA DE TRANSMISIÓN CMOS

En algunas aplicaciones necesitamos un interruptor simétrico bilateral o bidireccional que procesará cualquier señal en el margen $-V_{DD} \leq v_i \leq V_{DD}$. La puerta MOS con simetría complementaria (CMOS) mostrada con el símbolo de la Figura 5.60b, cumple esta premisa. Esta puerta de transmisión CMOS es simplemente un par de transistores MOS complementarios conectados en paralelo. La línea que está encima de la entrada de control de la puerta PMOS lleva asociada una señal de control complementaria, es decir, cuando $v_C = V_{DD}$, $\overline{v_C} = -V_{DD}$ y a la inversa. Así, ambos transistores son circuitos abiertos cuando $v_C = -V_{DD}$. Cuando $v_C = V_{DD}$, tenemos una superposición de las conmutaciones NMOS y PMOS descritas anteriormente; de esta forma, al menos uno de los transistores conduce corriente con esta polaridad de la señal. Para la mayoría de los valores de v_i, conducen los dos canales proporcionándole una menor resistencia equivalente del interruptor.

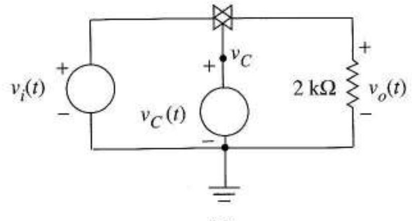
El próximo ejemplo compara con SPICE las formas de onda de salida y las funciones de transferencia de la puerta CMOS con la puerta NMOS del ejemplo y ejercicio anteriores. Además explica limitaciones dinámicas de las puertas de transmisión.

EJEMPLO 5.21 En la puerta NMOS de la Figura 5.61a, los parámetros del transistor de canal n son $V_t = 3$ V y $k = 2 \times 10^{-4}$ A / V^2, valores idénticos a los del Ejemplo 5.20. El transistor de canal p tiene $V_t = -3$ V y $k = 2 \times 10^{-4}$ A/V^2. La entrada y las señales de control de puerta son también las mismas del Ejemplo 5.20.

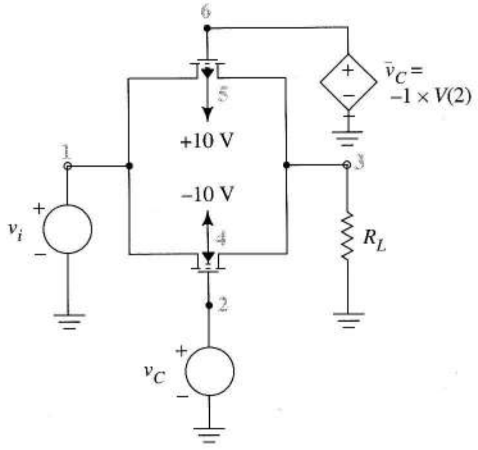
a) Usar SPICE para hallar la forma de onda del circuito dado, la función de transferencia cuando está cerrada la puerta y una estimación de la resistencia del interruptor.

b) Determinar el efecto de las capacidades MOSFET *CBD* = *CBS* = 2 FF y resistencias *RD* = *RS* =1 Ω en las formas de onda de salida.

Solución a) La Figura 5.61b muestra el circuito y el código SPICE. La VCVS, E1 con ganancia –1 proporciona excitación complementaria a la puerta del transistor de canal p. Definiremos arbitrariamente los nodos 1 y 3 como el drenador y fuente de los transistores, confiando en los algoritmos numéricos SPICE para calcular correctamente los detalles del funcionamiento de fuente y drenador en la simulación.



(a)




```
EXAMPLE 5.21
*OUTPUT WAVEFORM
VDP 5 0 DC 10
VDM 4 0 DC -10
MN 1 2 3 4 AL
MP 1 6 3 5 SAL
.MODEL AL NMOS VTO=3 KP=2E-4
.MODEL SAL PMOS VTO=-3 KP=2E-4
E1 6 0 2 0 -1
RL 3 0 2K
VC 2 0 PULSE (-10 10 0 0 0 0.02 0.04M)
VIN 1 0 SIN(0 10 5000)
.PLOT TRAN V(3)
.PLOT TRAN V(3)
.END
```

(b)

FIGURA 5.61 Puerta de transmisión CMOS del Ejemplo 5.21: (a) esquema; (b) circuito y código SPICE; (c) forma de onda de salida; (d) función de transferencia estática; (d) código de análisis de la dinámica del circuito; (f) forma de onda de salida de la entrada de 100 MHz.

La Figura 5.61c muestra la forma de onda de salida, simétrica en el margen completo de las tensiones de entrada, tanto en sus valores positivos como negativos. Además, la función de transferencia de la Figura 5.61d es simétrica y lineal en el margen completo de tensiones de entrada.

Los datos numéricos SPICE muestran que la curva de transferencia pasa por los puntos (VIN, V(3)) = (–10, –8,673) y (+10, +8,673). A partir de estos valores estimamos que la ganancia del circuito es

$$\text{Ganancia} = \frac{\Delta v_o}{\Delta v_i} = \frac{8{,}67}{10{,}0} = 0{,}867$$

Al ver el interruptor cerrado como una resistencia lineal, R_{SW}, la ganancia actúa como un divisor de tensión, es decir,

$$0{,}867 = \frac{2\ \text{k}}{2\ \text{k} + R_{SW}}$$

Al despejar la resistencia de conmutación, obtenemos $R_{SW} = 307\ \Omega$.

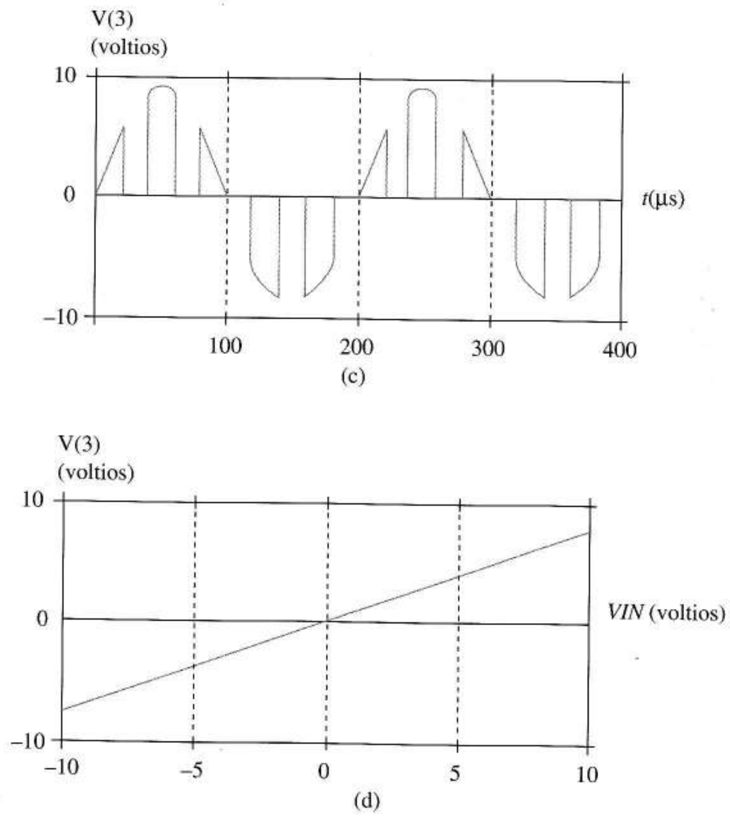


FIGURA 5.61
(continuación)

b) La Figura 5.61c muestra los cambios de código SPICE utilizados para analizar la dinámica de los interruptores. Esto lleva asociado principalmente el añadir parámetros dinámicos a las sentencias .MODEL.

En una serie de ejecuciones SPICE, la frecuencia de la onda senoidal de entrada se incrementó, mientras que el período de la onda cuadrada se decrementó para generar siempre 5 ciclos por cada uno de la onda senoidal. Como las capacidades de tensión 0 son tan pequeñas, la forma de onda de salida es ideal en un amplio margen de frecuencias. Sin embargo, para una entrada de 100 MHz, la salida es la forma de onda distorsionada de la Figura 5.61f. Estudiando la forma de onda, observamos que los condensadores parásitos retrasan la apertura del interruptor durante tanto tiempo que la siguiente orden de "cierre" llega antes de que se haya abierto completamente y la siguiente orden de "apertura" llega antes de que se cierre completamente el interruptor. Claramente, los intervalos de un nanosegundo para abrir y cerrar el interruptor en esta simulación, son demasiado pequeños en la dinámica del transistor. La hoja de datos de la popular puerta de transmisión CA4096 especifica un *tiempo de apagado* del interruptor de 9 ns, que, casualmente, parece ser una especificación razonable para la puerta utilizada en esta simulación. ❑

```
.MODEL AL NMOS VTO=3 KP= 2E-4 CBD=2OFF CBS=2OFF RD=1 RS=1
.MODEL SAL PMOS VTO=-3 KP=2E-4 CBD=2OFF CBS=2OFF RD=1 RS=1
VC 2 0 PULSE(-10 10 0 0 0 1.0E-9 2.0E-9)
VIN 1 0 SIN(0 10 100MEG)
.TRAN 0.01E-8 2E-8
```

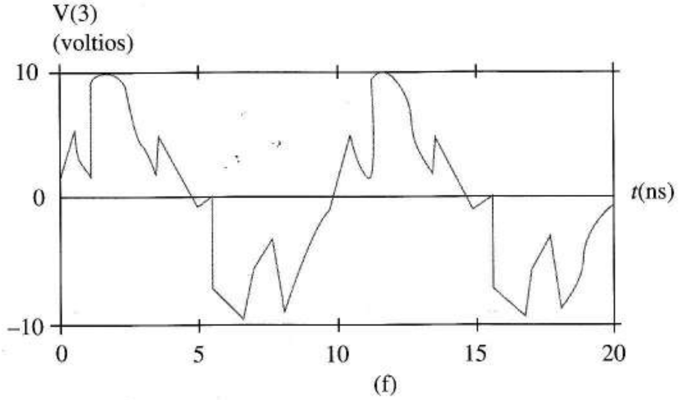


FIGURA 5.61
(Continuación

5.12 SUMARIO

Como los transistores bipolares, los transistores de efecto de campo son dispositivos de tres estados que sirven como fuentes dependientes en aplicaciones analógicas y como *interruptores controlados* en circuitos digitales.

En uno de los tipos de FET, la puerta de control se aisla del canal conductor; otra clase de FET tiene una puerta que está en contacto físico con el canal, pero separada eléctricamente por una unión p-n inversamente polarizada o Schottky.

Todos los FETS de canal n comparten las mismas definiciones de estado, ecuaciones y modelos de circuito, excepto las diferencias notacionales. Matemáticamente, las funciones de transferencia de todos los FETS de canal n son las ramas derechas de las parábolas, como en la Figura de la contraportada; sólo se diferencian en el signo algebraico de la tensión umbral o de estrangulamiento. Aunque las ecuaciones FET se diferencian mucho de las del bipolar, hay una similitud importante. La relación anchura-longitud del FET juega el mismo papel que el área de la unión del bipolar, un factor de escala de corriente para transistores en otro caso idénticos, que pueden controlarse de manera precisa durante la fabricación del circuito integrado.

Las definiciones de estados de los FETs de canal p se diferencian de los de canal n sólo en el sentido de las desigualdades. Las ecuaciones de los dispositivos de canal p son idénticas a las de los dispositivos de canal n; sin embargo, las características de salida se representan en el segundo cuadrante en vez de en el primero. Los modelos del circuito sólo se diferencian en las direcciones de referencia de las corrientes de drenador. La Figura de la contraportada muestra que las características de referencia de todos los dispositivos de canal p son ramas izquierdas de parábolas. Las diferencias

individuales son resultado de los distintos signos algebraicos de las tensiones umbral o de estrangulamiento.

En los circuitos FET hemos encontrado las mismas clases generales de problemas que aprendimos a resolver para los circuitos bipolares: hallar los puntos Q cuando se conocen los estados del transistor y hallar los puntos cuando los estados son desconocidos. Las herramientas y procedimientos generales para resolver estos problemas -líneas de carga, circuitos equivalentes y suponer y verificar estados– son los que hemos aprendido para los circuitos bipolares; sin embargo se diferencian en los detalles. La resistencia infinita de entrada del FET tiende a simplificar el análisis del circuito; sin embargo, los circuitos FET, generalmente, exigen la resolución de una ecuación cuadrática y la selección de la solución que tiene sentido físico.

En este capítulo se han introducido varias nuevas ideas. Una de ellas es que el FET puede funcionar como una resistencia lineal controlada por tensión. Otra es que, con la puerta conectada a la fuente, el MOSFET de deplexión y el JFET se convierten en fuentes de corriente constante siempre que mantengamos suficiente tensión entre sus terminales. También hemos aprendido que tanto los MOSFETs de deplexión como los de enriquecimiento, funcionan con resistencias de carga no lineales de valores altos que ocupan un mínimo espacio de chip en circuitos integrados. Generalizando nuestras ideas de rectas de carga lineales, hemos aprendido a representar las líneas de carga no lineales asociadas a las resistencias FET.

Los efectos secundarios del FET se parecen a los de los transistores bipolares. Por ejemplo, el transistor de efecto de campo también tiene una tensión de ruptura asociada a la unión inversamente polarizada que da un límite superior a la región útil activa de sus características de salida. El efecto de la modulación de longitud de canal en características de salida FET es la misma que la modulación de anchura de base de los bipolares (ambos conducen al efecto Early), factores de corrección similares del efecto Early para las ecuaciones de la corriente de salida y resistencias de salida descritas por ecuaciones análogas. La tensión umbral del MOSFET cambia –2 mV / °C como V_T en los bipolares; sin embargo, la separación de las características de salida de los FET disminuye en vez de aumentar como en los transistores bipolares. Las capacidades parásitas internas limitan la capacidad de los FETs de funcionar a altas frecuencias. Algunas son capacidades de deplexión asociadas con uniones polarizadas en inversa, como las que hemos visto para los bipolares; otras son capacidades "lineales" asociadas con las puertas aisladas. Como no hay portadores minoritarios, los FETs carecen de las capacidades de alta difusión asociadas a la carga almacenada en los bipolares. El FET tiene un efecto del sustrato que hace que la tensión umbral aumente con la tensión fuente-sustrato. Los modelos SPICE pueden simular las no-linealidades secundarias de los modelos estáticos del transistor y además incluyen la mayor parte de los efectos secundarios de los FETs.

Debido a la alta impedancia de entrada, y a las características de salida que se parecen a las curvas vi en el primer y tercer cuadrante, los FET son interruptores excelentes. Las puertas de transmisión bidireccional construidas con los FETs se utilizan mucho, tanto en aplicaciones digitales como lineales.

Los aspectos más importantes a recordar de los FETs son sus características de salida y transferencia, las definiciones de estado de las Figuras 5.6a y b, las Ecuaciones (5.3), (5.4), (5.7), (5.8) y (5.26), y los conceptos de línea de carga, incluyendo las de las resistencias no lineales FET representadas en las Figuras 5.19d y e.

REFERENCIAS

1. ALVAREZ, A. R., ed. *BiCMOS Technology and Applications*. Boston: Kluwer Academic, 1989.
2. ANTOGNETTI, P., y G. MASSOBRIO, eds. *Semiconductor Device Modeling with SPICE*. New York: McGraw-Hill, 1988.
3. BANZHAF, W. *Computer-Aided Circuit Analysis Using SPICE*. Englewood Cliffs, NJ: Prentice Hall, 1989.
4. HODGES, D. A., y H. C. JACKSON. *Analysis and Desing of Digital Integrated Circuits*, 2ª ed. New York: McGraw-Hill, 1988.
5. MEYER, J. E. *MOS Models and Circuit Simulation*, Vol. 32. RCA Rev., Somerville, NJ: (Publisher), 1971.
6. SEDRA, A. S., y K. C. SMITH. *Microelectronic Circuit*, 3ª ed., Philadelphia: Saunders College, 1993.
7. TUINENGA, P. W. *SPICE A Guide to Circuit Simulation & Analysis Using PSPICE*, Englewood Cliffs, NJ: Prentice Hall, 1988.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 5.1

5.1 Las características de transferencia y salida del MOSFET de la figura P5.1 para estimar

a) V_t y k.

b) i_D cuando $v_{GS} = 5{,}5$ V y $v_{DS} = 8$ V.

c) i_D cuando $v_{GS} = 5{,}5$ V y $v_{DS} = 1$ V. (Tenga en cuenta que la función de transferencia supone el funcionamiento activo de $v_{GS} \geq V_t$).

5.2 El MOSFET de la Figura P5.2 viene descrito por las curvas características de la Figura P5.1. Utilice una línea de carga para hallar (V_{DS}, I_D) cuando $R_D =$

a) 5 kΩ.

b) 2 kΩ.

c) 1 kΩ.

Sugerencia ¿Qué es la pendiente de la línea de carga?

5.3 Las funciones características se suelen aplicar a un transistor activo. En este problema partimos de esta convención. Para un FET con $k = 2 \times 10^{-2}$ A/V^2 y $V_t = 2$ V

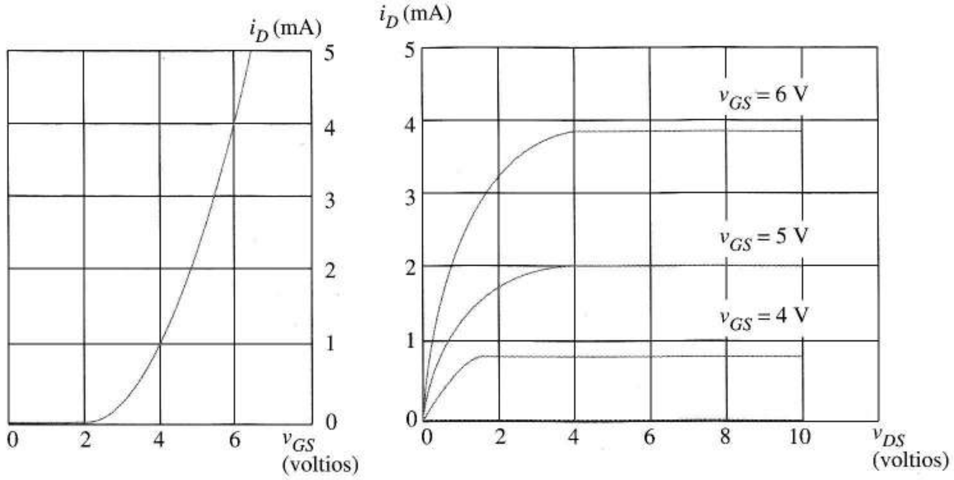


FIGURA P5.1

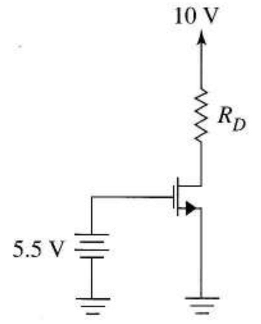


FIGURA P5.2

a) Comience con la ecuación óhmica. A partir de esto, obtenga la función de transferencia (corriente de salida frente a tensión de entrada) que describe el transistor cuando $v_{DS} = 1$ V. ¿Es aplicable esta ecuación en ese margen de v_{GS}?

b) Para el mismo transistor, comience de nuevo con la ecuación de la región óhmica. Obtenga la función de transferencia cuando se restringe la salida con $v_{DS} = 2$ V. ¿En qué margen es aplicable esta ecuación?

5.4 Un MOSFET de canal n tiene $k = 1$ mA / V^2 y $V_t = 1$ V. Halle el estado del transistor y la corriente de drenador cuando

a) $V_G = -2$ V, $V_D = 3$ V, $V_S = -2$ V.

b) $V_G = -2$ V, $V_D = 2$ V, $V_S = -5$ V.

c) $V_G = 3$ V, $V_D = 1$ V, $V_S = 1$ V.

d) $V_G = 0$ V, $V_D = 0$ V, $V_S = -2$ V.

5.5 Un MOSFET de canal n tiene $k = 1$ mA / V^2 y $V_t = 0{,}5$ V. Escriba la ecuación para i_D y trace el modelo del circuito cuando el transistor está

a) activo.

b) en corte.

c) óhmico.

5.6 a) Dibuje las características de transferencia y salida de un MOSFET de canal n que tenga $V_t = 3$ V y $k = 1$ mA / V^2.

b) Repita el apartado a) para un MOSFET con la mitad de su anchura y el doble de su longitud.

5.7 Un MOSFET de deplexión tiene $k = 0{,}05$ mA / V^2 y $V_t = -3$ V.

a) Para cada estado, escriba la ecuación de drenador-fuente y las desigualdades que deban cumplirse para que sea válida.

b) Dibuje las características de transferencia y salida

5.8 Dibuje i_D frente a v_{DS} para el MOSFET descrito en el Problema 5.7 cuando se conecta la puerta a la fuente.

5.9 Un MOSFET de deplexión de canal n tiene tensión umbral de −0,8 V. Halle el estado del transistor para:

a) $V_G = -2$ V, $V_D = 3$ V, $V_S = -2$ V.

b) $V_G = -2$ V, $V_D = -2{,}6$ V, $V_S = -5$ V.

c) $V_G = 3$ V, $V_D = 3{,}8$ V, $V_S = 3{,}5$ V.

d) $V_G = 5$ V, $V_D = 0$ V, $V_S = 6$ V.

Sección 5.2

5.10 Halle el punto Q del transistor en la Figura P5.10.

5.11 En la Figura 5.11a, cuando reemplazamos la masa por −20 V y la fuente de 20 V por masa, el transistor se mantiene en estado activo.

a) Vuelva a dibujar el circuito para que encaje en esta descripción.

b) Halle el punto Q del transistor para este nuevo circuito y compárelo con el punto Q del circuito original del Ejemplo 5.3.

5.12 En la Figura 5.11a, cuando sustituimos los símbolos de masa por −10 V y la fuente de 20 V por 10 V, el transistor permanece en estado activo.

a) Vuelva a dibujar el circuito con esta descripción.

b) Halle el punto Q del transistor para este nuevo circuito y comparelo con el punto Q del circuito original del Ejemplo 5.3.

5.13 Calcule el punto Q del transistor de la Figura 5.11a si la fuente de alimentación se cambia a 25 V.

5.14 a) Muestre el punto Q de cada transistor de la Figura 5.13a en un sistema adecuado de coordenadas, como se hizo en el Ejemplo 5.5.

b) Ahora modifique el diagrama del circuito original utilizando baterías para aumentar el potencial de cada puerta 2 V sobre masa. Halle los nuevos puntos Q y muéstrelos para comparar con el diagrama del apartado a).

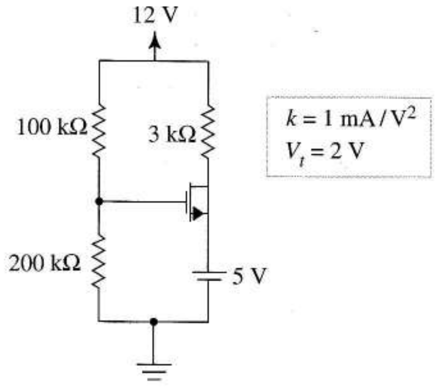


FIGURA P5.10

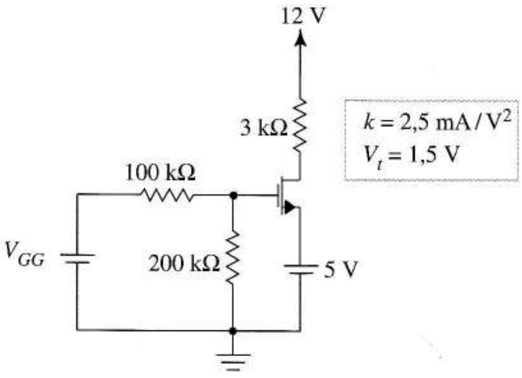


FIGURA P5.15

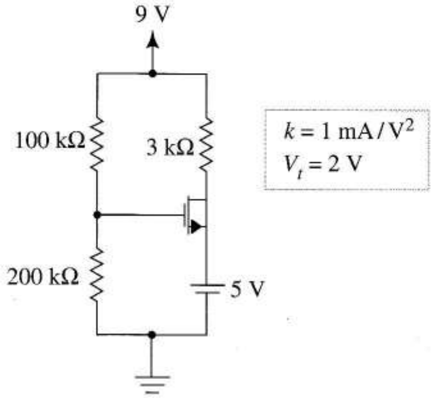


FIGURA P5.17

c) Describa lo que le ocurre a la tensión de la fuente de corriente de la Figura 5.13a cuando las tensiones de las dos puertas se elevan simultáneamente por encima del potencial de masa.

d) Describa lo que le ocurre a las corrientes de drenador y tensiones drenador-fuente del par de transistores de enriquecimiento cuando se elevan simultáneamente las tensiones de las dos puertas por encima del potencial de masa.

5.15 a) Halle el valor mínimo de V_{GG} necesario para que el transistor de la Figura P5.15 entre en conducción.

Sugerencia Suponga que el transistor está en corte y dibuje el circuito equivalente.

b) ¿Cuál será el estado del transistor n el momento en que entra en conducción, activo u óhmico? Explique su razonamiento.

5.16 Halle el punto Q del transistor de la Figura P5.16.

5.17 Halle el punto Q del transistor de la Figura P5.17.

5.18 El MOSFET de la Figura P5.18 está en estado activo. Sus parámetros con $k = 2$ mA / V^2 y V_t =1 V.

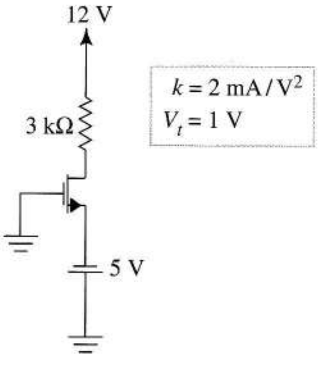


FIGURA P5.16

a) Halle la tensión en la fuente de corriente.

b) Halle el valor numérico de V_{DS}.

Sección 5.3

5.19 Copie la Figura 5.20b. Añada al dibujo otras dos líneas de carga que muestren los puntos Q originales si se utilizan transistores de carga con mayor y menor W/L. Para establecer un punto Q muy cercano al origen para un V_{GS} dado, ¿W / L debería ser grande o pequeño?.

5.20 En P5.20 ambos transistores tienen $k = 0{,}4 \times 10^{-3}$ A/V^2. Para el transistor de carga $V_t = -2$ V, para M_1, $V_t = 2$ V.

a) Represente las características de salida de M_1, para v_1 = 0 V, 3 V, 4 V. El dibujo no necesita ser preciso en la región óhmica, pero debe serlo en la región activa.

b) Superponga la línea de carga no lineal sobre las características del apartado a).

c) Para valores distintos de v_i entre 0 y 4 V, halle el punto Q de M_1 sobre la línea de carga. Utilice esta información

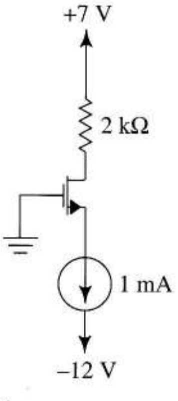


FIGURA P5.18

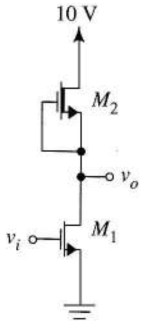


FIGURA P5.20

para hacer un dibujo de la función de transferencia v_o frente a v_i, observando que éstas son las tensiones de drenador-fuente y puerta-fuente respectivamente, para M_1.

5.21 La Figura P5.21 muestra dos resistencias MOS no lineales conectadas en serie. $V_{t1} = 1$ V, $V_{t2} = -1$ V.

a) Utilice una línea de carga que indique cómo cambia V_X según cambia V_{BB} de 0 a V_{t1}.

Sugerencia Primero dibuje las curvas vi sólo para M_1 como función de V_{BB}. Añada después al diagrama la restricción de la línea de carga impuesta por M_2.

b) Vuelva a dibujar el esquema para mostrar cómo cambian los resultados cuando se reduce la relación W / L de M_1.

5.22 La Figura P5.22 muestra un transistor limitado por una resistencia no lineal. Dibuje la línea de carga sobre la característica de salida del transistor y utilice esta línea de carga para hallar los puntos Q del transistor para $v_{GS} = 0$ V, 2 V, 4 V y 6 V. Haga un boceto que explique cómo se obtuvieron las respuestas.

5.23 Resuelva el Problema 5.22, pero utilice la resistencia no lineal con la característica vi de la Figura P5.23.

5.24 Utilice dos transistores de enriquecimiento MOS de canal n con $V_t = 1$ V en el diseño de un divisor de tensión que funcione entre masa y +12 V y de una tensión de salida de +8 V. La corriente del divisor es de 0,1 mA.

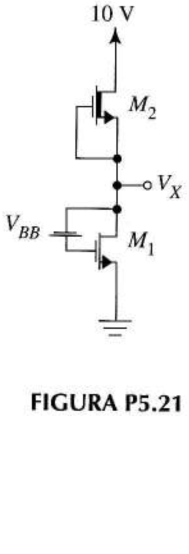


FIGURA P5.21

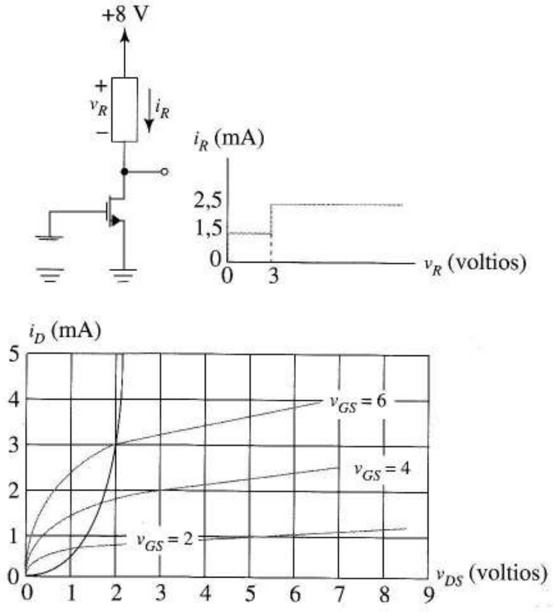


FIGURA P5.22

5.25 Utilice tres transistores MOS de enriquecimiento de canal n de $V_t = 2$ V en un diseño de un divisor de tensión que funcione entre −12 V y +12 V.

Asígneles tensiones de salida de −4 V y +8 V. Haga la corriente del divisor de 0,1 mA.

Sección 5.4

5.26 Un MOSFET de canal n tiene parámetros $V_t = -2$ V y $k = 3$ mA / V^2.

a) ¿Es un dispositivo de enriquecimiento o de deplexión? ¿Cómo se puede saber?

b) Dibuje las características de entrada y salida y la función de transferencia.

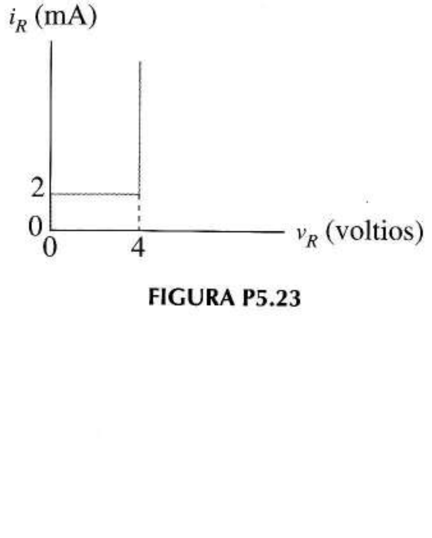


FIGURA P5.23

5.27 Un MOSFET de canal p tiene como parámetro $V_t = 2$V y $k = 3$ mA/V^2.

a) ¿Es un dispositivo de enriquecimiento o de deplexión? Explíquelo.

b) Dibuje las características de entrada y salida y la función de transferencia.

5.28 Un MOSFET de canal p se caracteriza por $k = 0{,}5$ mA/V^2 y $V_t = -1$ V. Halle el estado del transistor y la corriente de drenador cuando

a) $V_G = -2$ V, $V_D = -5$ V, $V_S = -0{,}5$ V.
b) $V_G = -2$ V, $V_D = 0$ V, $V_S = -3$ V.
c) $V_G = 3$ V, $V_D = 5$ V, $V_S = 5$ V.

5.29 Un MOSFET de canal p se caracteriza por $k = 0{,}5$ mA/V^2 y $V_t = -3$ V.

a) Escriba la ecuación de la corriente de drenador de cada estado e indique las desigualdades relevantes.

b) Escriba una ecuación para i_D cuando $v_{GS} = -4$ V ya que el transistor está en funcionamiento óhmico.

c) Dibuje el resultado del apartado b) como función de v_{DS}. Señale el límite inferior en el que la ecuación ya no es válida.

5.30 El **MOSFET** en la Figura P5.30 está en estado activo. Sus parámetros son $k = 2$mA/V^2 y $V_t = -2V$. a) Halle la tensión en la fuente de corriente. b) Halle el valor V_{DS} del transistor.

5.31 En la Figura P5.31, $V_{DD} = -12$ V y el MOSFET de deplexión de canal p está en estado activo. Los valores de los parámetros son $k = 2$ mA/V^2 y $V_t = 2$ V.

a) Halle la tensión en la fuente de corriente.

b) Halle el valor de V_{DS} del transistor.

5.32 El transistor de la Figura P5.31 está en estado activo cuando $V_{DD} = -12$ V. Si hacemos V_{DD} cada vez más positivo, ¿a qué tensión pasará el transistor a estar en estado óhmico?

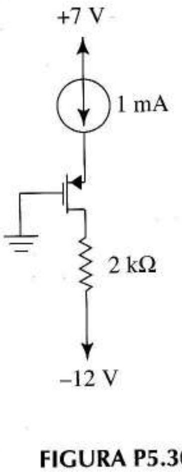


FIGURA P5.30

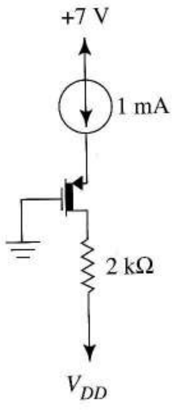


FIGURA P5.31

5.33 Obtenga una expresión para una resistencia lineal controlada por tensión, de canal p, de enriquecimiento. Deduzca el límite de su tensión para funcionamiento lineal.

5.34 Utilice dos transistores de enriquecimiento MOS de canal p de $V_t = -1$ V en el diseño de un divisor de tensión que funcione entre masa y +12 V y dé una tensión de salida de +8 V. La corriente del divisor debe ser de 0,1 mA.

5.35 Utilice dos transistores MOS de canal p de $V_t = -1$ V en el diseño de un divisor de tensión que funcione entre masa y −12 V y dé una tensión de salida de −5 V. La corriente deel divisor debe ser de 0,2 mA.

5.36 El circuito de la Figura P5.36 cumple $v_o(t) = v_s(t)$ si $v_C = 0$ V. Si $v_C = -5$ V, la salida cumple $v_o(t) = 0{,}02\ v_s(t)$.

a) Utilizando el transistor como una resistencia lineal en un divisor de tensión, halle los parámetros del transistor V_t y k para que el circuito cumpla las especificaciones. Es aceptable cualquier respuesta correcta.

b) Si $v_s(t)$ es una senoide de amplitud A, halle el mayor A para el que es válida la aproximación de la resistencia utilizada en el apartado (a).

Sección 5.5

5.37 Use SPICE para verificar los puntos Q del Ejemplo 5.5.

5.38 a) Use el análisis SPICE en continua para comprobar el diseño del divisor de tensión del Ejemplo 5.11.

b) Añada una resistencia de carga de 100 kΩ entre la salida de +7 V del divisor y la masa. Compruebe con SPICE la carga de salida, determinando si esta resistencia hace que la tensión del nodo sea menor de 7.

c) Pruebe más cargas utilizando de forma sucesiva resistencias de carga de 10 kΩ, 1 kΩ, 100Ω y 1Ω.

5.39 En el Ejemplo 5.13 reemplace la resistencia por un transistor de carga MOS de enriquecimiento con tensión umbral $V_t = +2$ y W / L con la cuarta parte del valor de M_1.

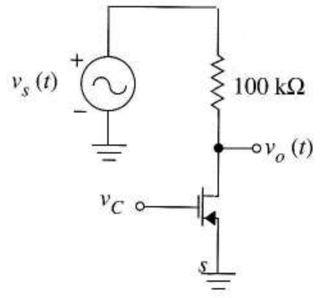


FIGURA P5.36

Obtenga con SPICE formas de onda para las dos mismas entradas senoidales. Represente también las funciones de transferencia.

5.40 Los parámetros del transistor de la Figura P5.40 son $k_1 = k_2 = 0{,}9$ mA/V², $V_{t1} = 1$ V, $V_{t2} = -1$ V. Utilice el análisis en continua SPICE para hallar la función de transferencia del circuito.

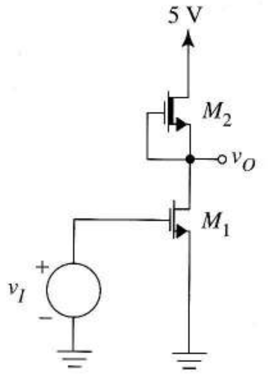


FIGURA P5.40

Sección 5.6

5.41 En la figura P5.41, $\beta_1 = 0{,}49 \times 10^{-3}$ A/V², $\beta_2 = 0{,}63 \times 10^{-3}$ A/V² y $V_t = -1{,}5$ V para ambos transistores. Las caídas directas de los diodos son de 0,4 V. Suponga que $\tanh(\alpha v_{DS}) \approx 1$. Halle una expresión para v_o si M_1 está en estado activo, utilizando v_i.

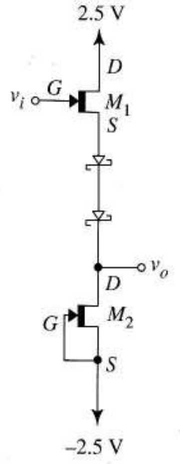


FIGURA P5.41

5.42 La característica de entrada del JFET es, teóricamente, un gráfico que representa

$$i_G = I_S\left(e^{v_{GS}/V_T} - 1\right)$$

Para valores negativos de v_{GS} podemos ver el circuito equivalente como una fuente de corriente continua y una resistencia de entrada en paralelo que influye en la pendiente distinta de cero de la característica. Para $I_S = 1{,}5 \times 10^{-14}$ A y $V_T = 0{,}025$ V, demuestre que la corriente y la resistencia de entrada son, respectivamente, $1{,}5 \times 10^{-14}$ A y $3{,}9 \times 10^{27}$ Ω cuando $v_{GS} = -1$ V.

5.43 La Figura P5.43 muestra las curvas características de transferencia y de salida del JFET de canal n.

a) ¿Cuáles son los valores de I_{DSS} y V_P?

b) Estime gráficamente el valor de i_D cuando $v_{GS} = -1{,}5$V y $v_{DS} = 3$ V.

c) Estime el valor de i_D cuando $v_{GS} = -0{,}25$ V y $v_{DS} = 4$ V.

5.44 El JFET de la Figura P5.44 se describe mediante las curvas características de la Figura P5.43. Utilice una línea de carga para hallar (V_{DS}, I_D) cuando R_D =

a) 1 kΩ.

b) 2 kΩ.

c) 5 kΩ.

5.45 Un JFET de canal n se caracteriza por $I_{DSS} = 1$ mA y $V_P = -0{,}5$ V. Halle el estado del transistor para

a) $V_G = -2$ V, $V_D = -1{,}75$ V, $V_S = -2$ V.

b) $V_G = -2$ V, $V_D = -1$ V, $V_S = -2$ V.

c) $V_G = 3$ V, $V_D = 2$ V, $V_S = 4$ V.

d) $V_G = 3$ V, $V_D = 3$ V, $V_S = 3{,}25$ V.

5.46 Un JFET de canal n se caracteriza por $I_{DSS} = 1$ mA y $V_P = -0{,}5$ V. Escriba la ecuación para i_D y represente el modelo adecuado del circuito si el transistor está en estado

a) activo.

b) corte.

c) óhmico.

5.47 Una forma de construir una fuente de corriente constante consiste en unir la puerta y la fuente de un JFET (o un

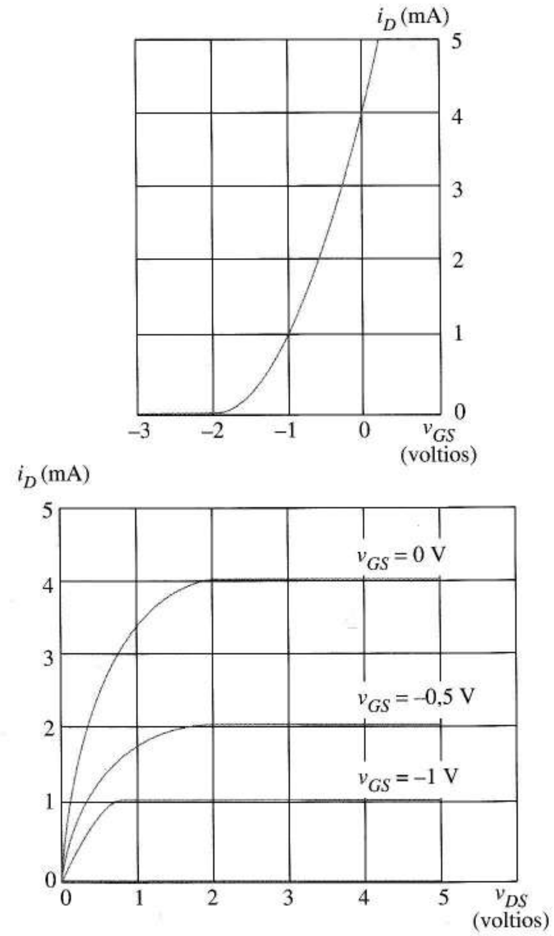


FIGURA P5.43

MOSFET de deplexión). Dibuje la curva *vi*, i_D frente a v_{DS}, de este JFET con $0 \le v_{DS}$ y enuncie una condición necesaria para que la fuente de corriente funcione adecuadamente.

5.48 Un JFET de canal n se caracteriza por β = 0,125 mA/V^2 y V_P =−2 V.

a) Escriba una ecuación para i_D cuando v_{GS} = 2 V, si el transistor está en estado óhmico.

b) Represente el resultado del apartado a) en relación con v_{DS}. Muestre en el dibujo el límite superior en el que la ecuación ya no es válida.

5.49 Represente las características de entrada y salida y la función de transferencia con un JFET de canal n con V_P = −3 V y β = 0,111 mA/V^2.

5.50 Un JFET de canal n con β =0,444 mA/V^2 y V_P = −1,5 V se utiliza como resistencia controlada por tensión en el margen

$$1\ \mathrm{k\Omega} \le R_{N-JFET} \le 100\ \mathrm{k\Omega}$$

a) Halle los dos valores de v_{GS} que dan las correspondientes limitaciones de existencia.

b) Estime las máximas amplitudes posibles de v_{DS} para que esta resistencia funcione como dispositivo lineal.

5.51 En la Figura P5.51 ambos JFET tienen V_P = −2 V; sin embargo, el valor de *W*/*L* de J_1 es dos veces el de la J_2. Si v_{DS} = 9 V, halle I_1, I_2 y V_{DS}.

5.52 Represente las características de entrada y salida y la función de transferencia de un JFET de canal p con V_P = 3 V, I_{DSS} = 4 mA.

5.53 Un JFET de canal p se caracteriza por β = 16 mA/V^2 y V_P = 0,5 V. Determine el estado del transistor para

a) V_G = −2 V, V_D = −1 V, V_S = −3 V.

b) V_G = −1,8 V, V_D = −1,75 V, V_S = −2 V.

c) V_G = 3,8 V, V_D = 2 V, V_S = 4 V.

d) V_G = 3,25 V, V_D = 3,20 V, V_S = 3 V.

5.54 Reestructure el diagrama de la Figura P5.51 para que aparezcan JFET de canal p. Esto lleva asociado el cambio de los símbolos del transistor, direcciones de referencia y polaridades de la fuente de tensión. Replantee el Problema 5.51 para relacionarlo con el nuevo diagrama. Después, resuelva el nuevo problema.

5.55 Un JFET de canal p tiene β = 0,0556 mA/V^2 y V_P = 3 V.

a) Escriba la ecuación de i_D para cada uno de los tres estados y escriba las desigualdades de cada una.

b) Escriba la ecuación para i_D si v_{GS} = 1 V, sabiendo que el transistor está en estado óhmico.

c) Represente el resultado del apartado b) en relación con v_{DS} mostrando el límite superior en el que la ecuación deja de ser válida.

Sección 5.7

5.56 a) Calcule el punto *Q* del transistor del Ejemplo 5.15 si la resistencia entre puerta y masa es un 20% mayor que la indicada, mientras que la resistencia entre puerta y la fuente de alimentación es un 20% menor.

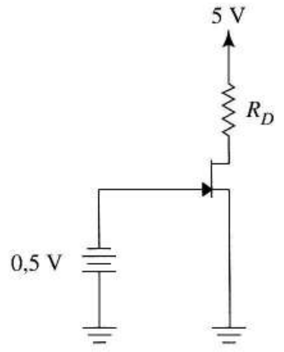


FIGURA P5.44

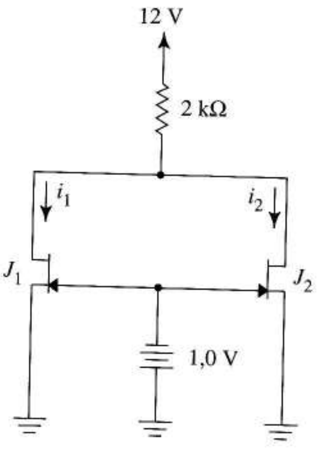


FIGURA P5.51

b) Localice el nuevo punto Q en un sistema de coordenadas de i_D y v_{DS}.

c) Vuelva a dibujar la Figura 5.40d. Represente la nueva línea de carga para comparar la nueva solución con la original.

5.57 a) Represente la función de transferencia y línea de carga del JFET del Ejemplo 5.15 mostrando la localización de la solución.

b) Halle el nuevo punto Q del Ejemplo 5.15 si V_P es un 20% menor al valor esperado de 2 V utilizado en los cálculos originales.

c) Añada al diagrama del apartado b) la nueva función de transferencia y demuestre que la respuesta del apartado b) tiene sentido.

5.58 El transistor de la Figura P5.58 está en estado activo. Halle las coordenadas de su punto Q.

5.59 En la Figura P5.59 J_1 y J_2 son idénticos y están en estado activo.

a) Halle la corriente de drenador de J_1.

Sugerencia con la corriente de puerta de J_1.

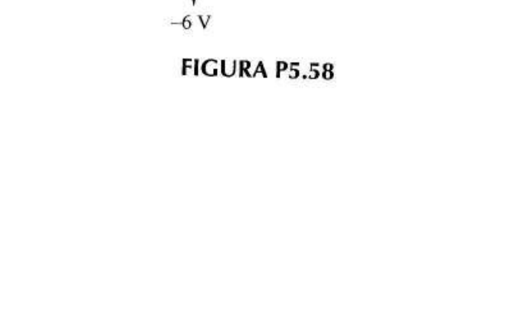


FIGURA P5.58

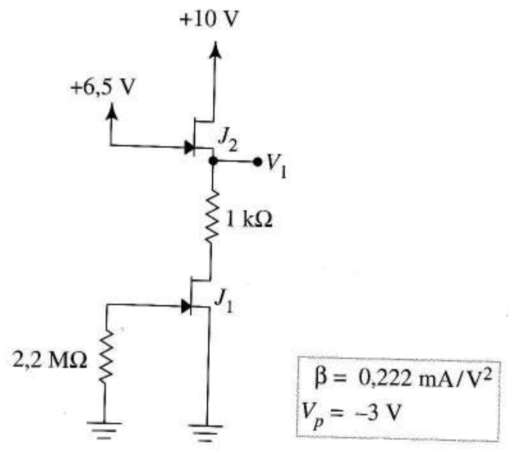


FIGURA P5.59

b) Halle la tensión de V_1.

c) Halle el valor de V_{DS} para J_1.

d) Sitúe el punto Q de cada transistor en la característica de salida.

5.60 Halle el punto Q del JFET de la Figura P5.60. Comience suponiendo su funcionamiento activo.

5.61 Halle el punto Q del JFET de la Figura P5.61. Comience suponiendo su funcionamiento activo.

Sección 5.8

5.62 a) Utilice SPICE para hallar el punto Q del JFET de la Figura 5.40a.

b) Reemplace la resistencia conectada con el drenador por una resistencia de 10 kΩ. Halle después con SPICE el nuevo punto Q. Utilice los datos obtenidos para determinar el estado del transistor.

Sugerencia Instrucción .OP.

5.63 Utilice SPICE para hallar las corrientes del problema 5.53.

Sugerencia Instrucción .OP.

5.64 El JFET de la Figura P5.64 se ha cableado como una fuente de corriente constante. V_M es un *amperímetro* que se le añade para habilitar la salida I_o. V_S es una fuente de tensión de valor variable.

a) Utilice el análisis en continua SPICE para representar I_o en $0 \leq V_S \leq 10$ V.

b) Comente brevemente los resultados de su simulación en relación con la teoría. ¿Qué condición de funcionamiento debe añadirse a esta fuente de corriente para asegurar que sea correcto?

c) ¿Cómo cambiará la representación si la relación *W/L* del transistor se triplica durante la construcción del JFET?

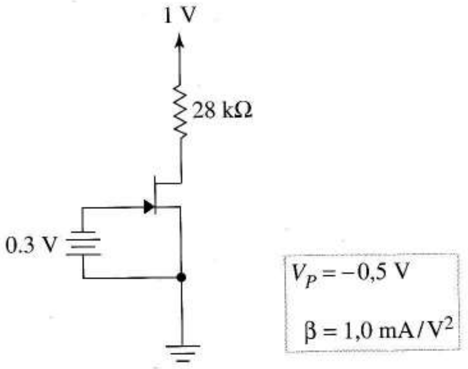


FIGURA P5.60

5.65 Utilice el análisis en continua SPICE para representar dos veces v_O en relación con v_I para el amplificador de la Figura 5.36, en el margen de tensiones de entrada -200 mV $\leq v_i \leq 200$ mV. Para la primera representación, utilice $v_C = 0$ V; para la segunda,

$$v_C = -2{,}5\ \text{V. Utilice } R_F = 9{,}17\ \text{k}\Omega,$$
$$\beta = 10^{-3}\ \text{A}/V^2,\ \text{y } V_P = -3\ \text{V}.$$

Sección 5.9

5.66 A partir de la Ecuación (5.25) y de la definición de r_o, obtenga la Ecuación (5.26). Anote cualquier aproximación que necesite hacer.

5.67 El Ejemplo 5.3 utiliza el modelo del circuito de la Figura 5.11b para calcular el punto Q, $(V_{DS}, I_D) = (6\ \text{V}, 1\ \text{mA})$. Este cálculo ignoraba la tensión Early.

Para estimar el error introducido en I_D al ignorar el efecto Early en este análisis, vuelva a dibujar la Figura 5.11b añadiendo r_o. Utilice el valor I_D hallado en el análisis inicial y $V_A = 120$ V para hacer una estimación del valor de r_o.

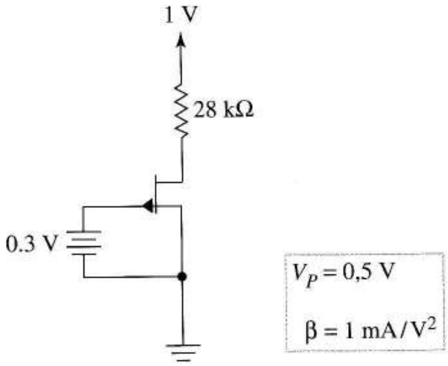


FIGURA P5.61

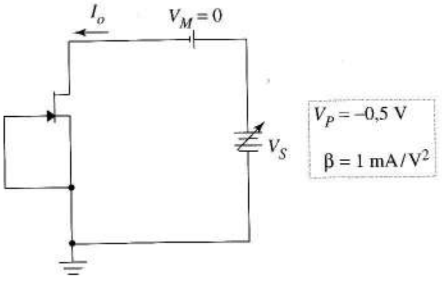


FIGURA P5.64

a) ¿Cuánta corriente circula por r_o si utilizamos el valor original de V_{DS} como estimación de la tensión real drenador-fuente?

b) Exprese la corriente del apartado a) como un porcentaje de la corriente de drenador original.

c) Considerando la complejidad adicional del circuito cuando incluimos r_o en el análisis original, ¿se debería incluir r_o?

d) ¿Qué condiciones deberían alertarnos en un problema de análisis de circuitos de que se debería realizar un segundo análisis que incluya r_o?

5.68 Dibuja características de salida de fuente común de un transistor MOS que muestre tanto el efecto Early como la tensión de ruptura.

5.69 Vuelva a dibujar la línea de carga y la curva característica de la Figura 5.20 con $v_{GS} = 8$ V. Muestre en el diagrama cómo cambia el punto Q "$v_{GS} = 8$ V" según disminuyen las temperaturas de los transistores.

Sección 5.10

5.70 Vuelva a dibujar la Figura 5.11a, pero utilice el símbolo MOSFET de la Figura 5.2b que muestra el sustrato explícitamente. Añada a esta figura cinco condensadores que representen las cinco capacidades internas del transistor MOS. Suponga que el sustrato está a masa. Utilice los resultados del análisis en continua del Ejemplo 5.3 para hallar la tensión en continua de cada condensador. (Observe en la Ecuación 3.62 que conocer la tensión de polarización, permite calcular los valores de las capacidades de deplexión.)

5.71 ¿Qué efecto se espera que tengan las capacidades internas del transistor en el funcionamiento de circuitos que utilizan transistores

a) ¿como interruptores?

b) ¿como amplificadores?

5.72 Utilice SPICE para estimar el ancho de banda del amplificador de la Figura 5.29a con la medida del tiempo de subida y la Ecuación (1.42). La Figura 5.29e muestra que el circuito tiene una ganancia bastante lineal cercana a

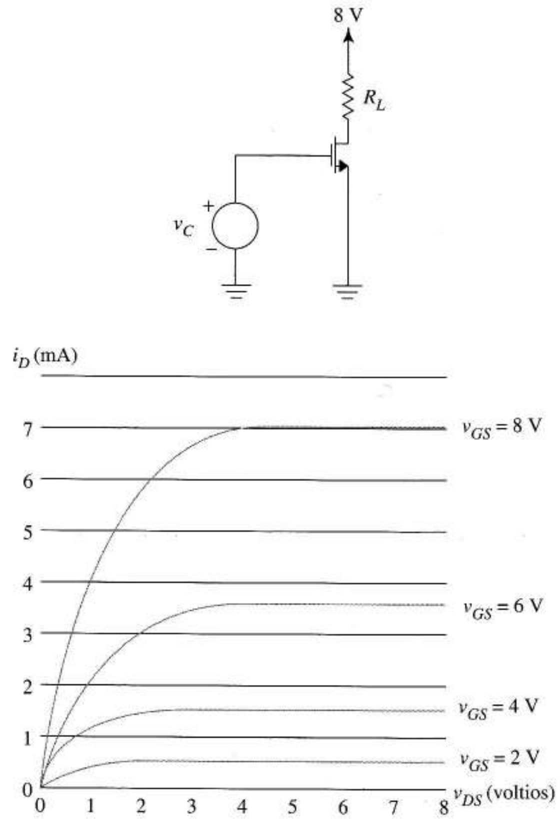


FIGURA P5.77

$v_i = -0{,}25$ V; en consecuencia, reemplace v_i por una fuente de pulsos con valor inicial de $-0{,}25$ V y valor de pulso de $-0{,}24$ V, es decir, un pulso de 0,01 V superpuesto a un nivel de continua que sitúe el punto Q en la región de alta ganancia. El tiempo de subida y tiempo de bajada del pulso debe ser de 0 s. Utilice los valores del transistor de la Figura 5.29b, pero añada valores de polarización cero de 0,5 pF para *CBD* y *CBS*, y TOX = 0,1 μ. A partir de la forma de onda de salida, estime la ganancia y el ancho de banda del amplificador.

5.73 Estudie la consecuencia del efecto del sustrato en el circuito de la Figura 5.20a.

a) Dibuje con el análisis en continua SPICE la tensión de drenador de M_1 frente a V_{GS} usando los valores por defecto, excepto los valores dados k y V_t. V_{GS} varía de 0 a 9 V.

b) Repita el apartado a) después de introducir el parámetro de efecto del sustrato, $\gamma = 0{,}37$ en la descripción SPICE de M_2.

c) Si el circuito se va a utilizar en un amplificador que funcione en la parte pendiente de su función de transferencia, ¿la ganancia disminuye o aumenta con el efecto del sustrato?

5.74 Utilice SPICE para determinar las consecuencias del efecto del sustrato (γ =0,4) en las salidas del divisor del Ejemplo 5.11.

Sección 5.11

5.75 El interruptor de la Figura 5.56a se utilizará para conmutar 9 V sobre una resistencia de carga $R_L = 100\ \Omega$ utilizando tensiones de control de v_C de 0 V y 9 V.

a) Tomando el interruptor como una resistencia lineal controlada por tensión, calcule la resistencia del interruptor cerrado si el 99% de la tensión disponible se encuentra en la carga cuando el interruptor está cerrado.

b) Si $V_t = 1{,}5$, halle el valor de k necesario para el transistor.

5.76 En la Figura 5.57b $R_L = 1$ kΩ, $V_{DD} = v_C = 9$ V y el transistor tiene los parámetros $V_t = 1$ V y $k = 5$ mA/V^2.

a) Para $v_i = -9$ V, utilice el modelo del transistor en gran señal para hallar i_D y v_{DS} del transistor. ¿Cuál es la resistencia del interruptor?

b) Para $v_i = 8{,}5$ V, utilice el modelo del transistor en gran señal para hallar i_D y v_{DS} del transistor. ¿Cuál es la resistencia del interruptor?

5.77 El interruptor del MOSFET de la Figura P5.77 funciona con valores de la tensión de control de 0 V y 8 V.

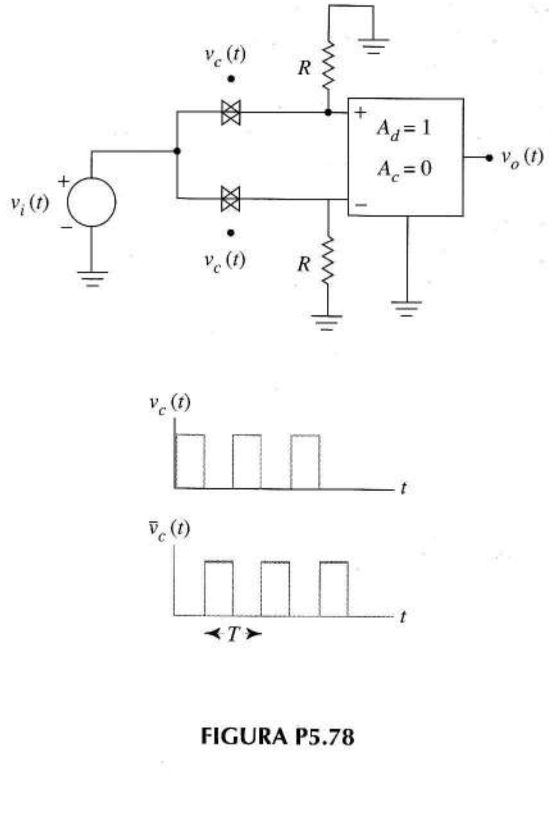


FIGURA P5.78

Cuando el interruptor está cerrado, la tensión del interruptor no es mayor de 0,5 V.

a) Dibuje una línea de carga que ilustre la mayor resistencia de carga R_L que se puede usar con este interruptor.

b) ¿Cuál es el valor de este R_L máximo?

c) Suponga que construye este circuito en el laboratorio y, por error, lo prueba con pulsos v_C de amplitud de 2 V en vez de 8 V. Represente la forma de onda que vería en el nodo de drenador en relación con la masa.

5.78 El circuito de la Figura P5.78 pone la información $v_i(t)$ en una portadora de alta frecuencia para que se pueda radiar en el espacio o combinar con otras señales de una línea de transmisión; las puertas de transmisión son interruptores ideales abiertos o cerrados por ondas cuadradas complementarias. El amplificador diferencial tiene resistencia de entrada infinita y ganancias como las mostradas en el diagrama.

Represente $v_o(t)$ si $v_i(t)$ es una senoide y las ondas cuadradas tienen período T de aproximadamente 1/10 del de la onda senoidal.

Sugerencia Como el amplificador tiene resistencia de entrada infinita, represente primero las formas de onda en la entrada.

5.79 Estudie con SPICE las posibles consecuencias del efecto del sustrato en el funcionamiento en baja frecuencia de la puerta de transmisión CMOS descrita en la Figura 5.61b.

Capítulo 6

CIRCUITOS DE POLARIZACIÓN

Los circuitos electrónicos lineales emplean transistores como fuentes de corriente dependientes. Como las características de salida de los transistores se parecen sólo a las fuentes dependientes en la zona activa, necesitamos circuitos que sitúen el punto de trabajo en continua en esta zona. Llamaremos a tales circuitos, *polarizadores o circuitos de polarización.* Aunque el amplificador sea nuestro objetivo central, los principios generales de la polarización se aplican también a otros circuitos estudiados en capítulos posteriores.

6.1. POLARIZACION Y SEÑALES EN CIRCUITOS ANALÓGICOS

Una breve introducción al amplificador con transistores da una buena perspectiva y define los conceptos claves relacionados con el procesado de señal mediante transistores. El perfecto conocimiento de la notación de la Figura 1.1 es esencial para entender lo que seguirá a continuación.

6.1.1 AMPLIFICADOR CON TRANSISTORES

Polarización y componentes de la señal. La Figura 6.1a es un circuito de polarización de un amplificador. La tensión puerta-fuente, la corriente de drenador y la tensión drenador-fuente tienen *valores de polarización de continua*

$$v_{GS} = V_{GG}$$

$$i_D = I_D = \frac{k}{2}\left(V_{GG} - V_t\right)^2 \qquad (6.1)$$

y

$$v_{DS} = V_{DS} = V_{DD} - R_L I_D$$

respectivamente, que son adecuados para el funcionamiento en zona activa.

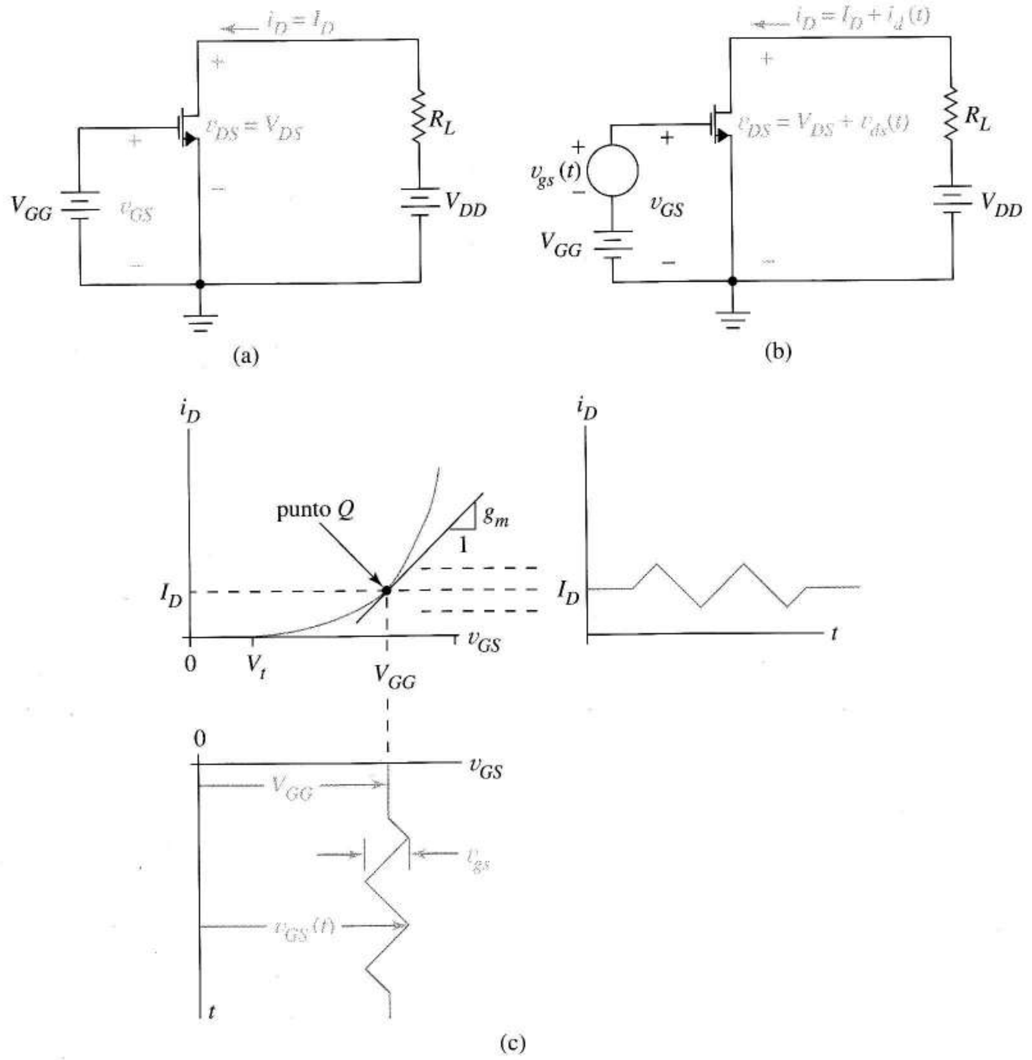


FIGURA 6.1 Amplificador con MOSFET: (a) sin señal; (b) con señal; (c) función de transferencia relacionando las formas de onda de entrada y salida.

Cuando introducimos una señal $v_{gs}(t)$ en el circuito de entrada, como en la Figura 6.1b, observamos que las componentes de la señal $i_d(t)$ y $v_{ds}(t)$ se suman al valor continuo de polarización.

Ahora explicaremos el origen y carácter de estas señales tanto matemática como gráficamente.

En presencia de señal, la tensión puerta-fuente se convierte en

$$v_{GS}(t) = V_{GG} + v_{gs}(t) \tag{6.2}$$

Esta suma sustituye a V_{GG} en la Ecuación (6.1) dando

$$i_D(t) = \frac{k}{2}\left[V_{GG} + v_{gs}(t) - V_t\right]^2 \tag{6.3}$$

para la corriente de drenador. La Écuación (6.3) sugiere que el punto estático de la Figura 6.1c se mueve ahora a lo largo de la funcion de transferencia en respuesta a la señal.

Cuando agrupamos las constantes en la Ecuación (6.3) y desarrollamos el cuadrado obtenemos que $i_D(t)$ es la suma de tres componentes

$$i_D(t) = \frac{k}{2}(V_{GG} - V_t)^2 + 2\frac{k}{2}(V_{GG} - V_t)v_{gs}(t) + \frac{k}{2}v_{gs}^2(t) \tag{6.4}$$

El mismo resultado, se obtiene cuando desarrollamos (6.3) en serie de Taylor

$$\begin{aligned} i_D(v_{GS}) &= i_D\left[V_{GG} + v_{gs}(t)\right] \\ &= i_D(V_{GG}) + \left(\left.\frac{di_D}{dv_{GS}}\right|_{v_{GS}=V_{GG}}\right)v_{gs}(t) + \frac{1}{2!}\left(\left.\frac{d^2 i_D}{dv_{GS}^2}\right|_{v_{GS}=V_{GG}}\right)v_{gs}^2(t) \end{aligned}$$

En ambas expresiones, el primer término es (6.1) y el segundo es proporcional a la señal de entrada. Esto nos lleva a decir que la corriente de drenador total es

$$i_D(t) = I_D + i_d(t) + d(t) \tag{6.5}$$

donde el primer término es la corriente continua de polarización, el segundo es la señal y el tercero, un término distorsionador no deseado.

Funcionamiento en pequeña señal Para hacer despreciable la distorsión en relación con la señal, es decir, hacer que $d(t) << i_d(t)$, (6.4) demuestra que debemos restringir la amplitud de la señal a

$$|v_{gs}| << 2\,|V_{GG} - V_t|$$

En la serie de Taylor, esta misma condición asegura que $v_{2gs}(t)$ es despreciable. A esta condición la llamaremos "*funcionamiento en pequeña señal*". Cuando la señal es suficientemente pequeña como para que la distorsión sea tan pequeña en (6.4) y (6.5) que permite representar la corriente de drenador de la forma

$$i_D(t) = I_D + g_m v_{gs}(t) \tag{6.6}$$

donde la constante de proporcionalidad g_m se llama *transconductancia* del transistor.

La serie de Taylor indica que g_m es la tangente de la curva de la función de transferencia en el punto de trabajo. En la Figura 6.1c, *funcionamiento en pequeña señal significa que proyectando los cambios del punto de trabajo sobre la curva real es equivalente a proyectarlos sobre la tangente.* Como el segundo término de (6.6) es proporcional a la señal, lo llamaremos componente de señal de la corriente de drenador

$$i_d(t) = g_m v_{gs}(t) \tag{6.7}$$

Ganancia del amplificador Examinaremos ahora los componentes de v_{DS}. Con señal de entrada, a partir de la Figura 6.1b

$$v_{DS}(t) = V_{DD} - R_L\left[I_D + i_d(t)\right] = V_{DS} - R_L i_d(t) = V_{DS} + v_{ds}(t)$$

La componente de la señal de la tensión drenador-fuente

$$v_{ds}(t) = -R_L i_d(t)$$

es la señal de salida del amplificador; el signo menos indica una inversión de la señal. Sustituyendo $i_d(t)$ de (6.7) y despejando la relación entre las tensiones de salida y entrada, da la ganancia de tensión

$$A_v = \frac{v_{ds}}{v_{gs}} = -g_m R_L \tag{6.8}$$

Obviamente, la ganancia del amplificador depende de la transconductancia g_m. Como g_m es el coeficiente de $v_{gs}(t)$ en la Ecuación (6.4) podemos calcular su valor numérico usando

$$g_m = k\left(V_{GG} - V_t\right)$$

Despejando en (6.1) V_{GG}-V_t y sustituyendo después, obtendremos una expresión más útil:

$$g_m = \sqrt{2kI_D} \tag{6.9}$$

Así, la ganancia de tensión en (6.8) depende del parámetro g_m del transistor que, a su vez, depende de I_D, una de las coordenadas del punto de trabajo. La Figura 6.1c indica por qué. Una corriente I_D mayor que el punto Q da mayor pendiente y, por ello, una mayor corriente proyectada para la misma señal de entrada. Una mayor corriente debida a la señal circula por R_L dando una mayor tensión de salida.

El desarrollo paralelo para el amplificador con un transistor bipolar demuestra que una pequeña señal de entrada $v_{be}(t)$ superpuesta a una tensión de polarización produce una señal de corriente $i_c(t)$ sumada a la corriente continua de colector. La corriente debida a la señal puede escribirse como

$$i_c(t) = g_m v_{be}(t)$$

Para el transistor bipolar calculamos la transconductancia usando

$$g_m = \frac{I_C}{V_T} \tag{6.10}$$

donde V_T es la tensión térmica. En el próximo capítulo analizaremos estos efectos en pequeña señal en detalle.

En toda la electrónica, los conceptos introducidos en el párrafo anterior son los más difíciles de comprender. Las principales conclusiones son las siguientes: sin señal de entrada, todas las tensiones y corrientes se suponen de continua, *valores de polarización o de reposo*. Para evitar distorsiones, todas las señales aplicadas deben ser pequeñas. Conectándolas, *se añaden pequeñas señales* a los valores de polarización tanto de tensiones como de corrientes. Los componentes de la señal están relacionados mediante los *parámetros de pequeña señal del transistor* como la g_m, cuyos valores numéricos dependen de los valores de continua del circuito. Como los valores del parámetro dependen del punto Q del transistor, la polarización del transistor está íntimamente relacionada con la función de procesamiento de señal del circuito. Como podemos comenzar por cualquier sitio, empecemos con los principios de la polarización en este capítulo. En el siguiente veremos cómo los circuitos manejan pequeñas señales y mejoraremos el conocimiento de la polarización y del diseño de los circuitos de polarización.

6.1.2 DISEÑO Y ANÁLISIS DE CIRCUITOS DE POLARIZACIÓN

Hay dos problemas relacionados con los puntos de funcionamiento en continua, el *análisis* y el *diseño*. Analizar el punto Q significa hallar el punto de funcionamiento de cada transistor de un circuito dado. Algunas veces, la finalidad de este análisis es confirmar que todos los transistores están polarizados en la zona activa o -más a menudo- obtener información para calcular los valores numéricos de los parámetros en pequeña señal. Es importante porque el subsiguiente *análisis en pequeña señal* los necesita para saber cómo funciona el circuito.

Ya hablamos del punto Q en los Capítulos 4 y 5 así que, por ello, la única idea nueva es que debemos desconectar las fuentes de señal antes de iniciar el análisis en continua. En el Capítulo 1 se dijo que esto significaba cambiar las fuentes de tensión por cortocircuitos y las fuentes de corriente por circuitos abiertos.

El diseño de circuitos de polarización supone la selección de una estructura y hallar los valores de las resistencias y fuentes de tensión de tal forma que el transistor esté polarizado en el *punto Q* descrito; algunas veces el circuito debe satisfacer también condiciones adicionales. Aunque los problemas de análisis tienen solución única, los de diseño suelen tener varias soluciones aceptables. Algunas veces el diseño nos supone decidir arbitrariamente, dentro de unos límites o hacer ciclos iterativos de prueba y error. Como diseñadores, nuestra tarea es encontrar la mejor solución de todas las posibles en un tiempo razonable. Como la perspectiva y la experiencia es fundamental para los diseñadores, el proceso de diseño puede intimidar a los principiantes. Es importante desarrollar sentido común, usar la información y las guías de diseño dadas pero evitando la búsqueda de la solución utópica. Nos limitaremos aquí a problemas de diseño perfectamente definidos y a puntos Q en zona activa para ir adquiriendo algo de esta experiencia.

6.2 TÉCNICAS DE DISEÑO DE CIRCUITOS DE POLARIZACIÓN

Esta sección introduce técnicas específicas para diseñar circuitos de polarización de amplificadores. La siguiente continuará con los principios teóricos que justifiquen estas técnicas y den algunas ideas sobre su implementación. Aunque los circuitos y las técnicas específicas de las Secciones 6.2 a 6.4 se aplican a circuitos discretos, también introducen los principios básicos que después aplicaremos al diseño de circuitos integrados.

6.2.1 CIRCUITOS DE POLARIZACIÓN CON CUATRO RESISTENCIAS

Diseño de circuitos con FET Para los amplificadores con componentes discretos, el circuito con cuatro resistencias de la Figura 6.2a es una estructura de polarización. En la típica tarea de diseño, conocemos los parámetros del transistor, la alimentación y las coordenadas del punto Q que se desee; el objetivo es hallar las resistencias que sitúen el punto Q en una localización dada. Además el equivalente paralelo entre R_1 y R_2 se relaciona con la resistencia de entrada del amplificador cuyo valor debe ser alto. Resulta útil añadir los valores de corrientes y tensiones al diagrama dado para ayudarnos en el siguiente paso de este proceso. El siguiente ejemplo lo ilustra.

EJEMPLO 6.1 En la Figura 6.2a $V_{DD} = 12$ V, $k = 0{,}5 \times 10^{-3}$ A/V^2 y $V_t = 2$V. Diseñar el circuito de polarización del transistor en $(V_{DS}, I_D) = (4\text{ V}, 2\text{ mA})$. Hacer también $R_P = R_I \parallel R_2 = 2\text{M}\Omega$.

Solución Primero añadimos los datos al diagrama de la Figura 6.2b. En el circuito drenador-fuente la fuente de alimentación proporciona 12 V. De ellos, en el transistor deben caer 4 V, quedando 8 V para R_D y R_S. Se obtienen buenos resultados haciendo más o menos iguales las tres caídas de tensión siempre que no se dé ninguna otra condición. Como la corriente de drenador debe ser de 2 mA

$$R_D = R_S = \frac{4\text{ V}}{2\text{ mA}} = 2\text{k}\Omega$$

Como el transistor debe estar en zona activa, la corriente de drenador supone una tensión puerta-fuente. En este caso

$$I_D = 2 \times 10^{-3} = \frac{0{,}5 \times 10^{-3}}{2}(V_{GS} - 2)^2$$

No es necesario resolver la Ecuación cuadrática y, en vez de hacerlo usaremos

$$(V_{GS} - 2) = \pm\sqrt{\frac{2 \times 2 \times 10^{-3}}{0{,}5 \times 10^{-3}}}$$

que da $V_{GS} = 4{,}83$ V. La Figura 6.2c muestra esta restricción. Como la caída de tensión en R_S da una tensión de fuente de 4 V, $V_S = +4$V, la tensión en puerta es

$$V_G = V_{GS} + V_S = 4{,}83 + 4 = 8{,}83\text{ V}$$

Para esta tensión, el divisor R_1–R_2 debe satisfacer

$$\frac{R_2}{R_1 + R_2} 12 = 8{,}83$$

Una buena idea para hallar R_1 y R_2 es usar la condición de resistencia de entrada

$$R_P = R_1 \| R_2 = 2 \times 10^6 \Omega$$

Multiplicando la ecuación del divisor por R_1 da

$$\frac{R_1 R_2}{R_1 + R_2} 12 = 8{,}83 R_1 = R_P \times 12 = 24 \times 10^6$$

De ésta, podemos hallar

$$R_1 = 24 \times 10^6 / 8{,}83 = 2{,}72\ \text{M}\Omega$$

Como el paralelo es 2 MΩ

$$\frac{1}{R_2} = \frac{1}{2M} - \frac{1}{2{,}72M}$$

o R_2 = 7,6 MΩ, que completa el diseño ❏

El mismo procedimiento de diseño se aplica para los MOSFETs de deplexión y los JFETs. Para los FETs de canal p, la fuente de alimentación de la Figura 6.2a y la tensión en todos los puntos es negativa y todas las corrientes circulan en sentidos contrarios pero el procedimiento es el mismo.

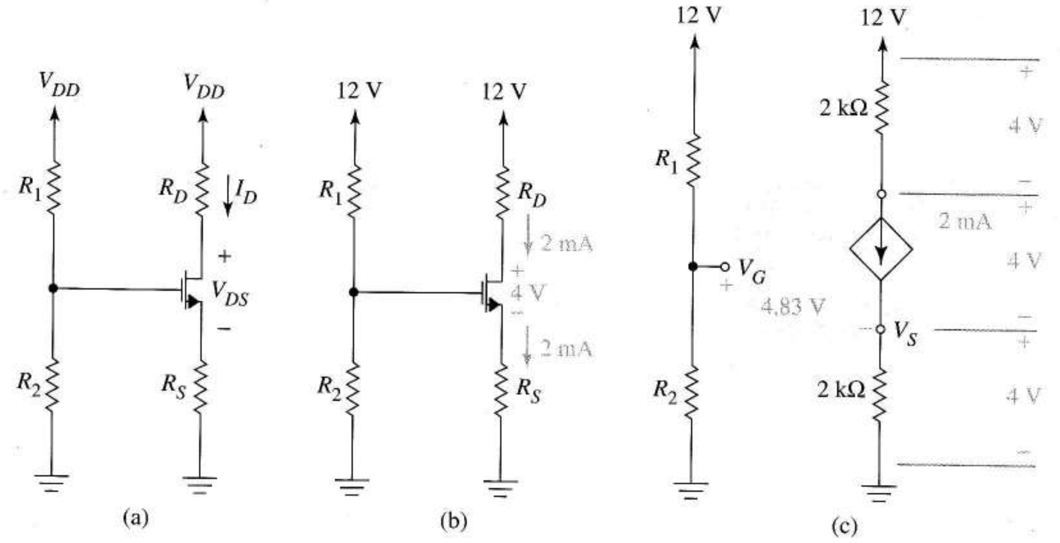


FIGURA 6.2 Circuito de polarización con cuatro resistencias para el MOSFET: (a) estructura del circuito; (b) uso de los datos en el problema de diseño; (c) información conocida cuando los valores de R_1 y R_2 no han sido hallados.

Ejercicio 6.1 Diseñar un circuito como el de la Figura 6.2 para una alimentación de 12 V, un transistor de deplexión de canal n con $k = 0{,}5 \times 10^{-3}$ A/V^2 y $V_t = -3$ V. Hacer que el punto Q esté en (V_{DS}, I_D)=(6 V, 1 mA) con igual caída de tensión en R_D y R_S. También R_P = 3 MΩ

Respuesta $R_D = R_S$ = 3 kΩ, R_1 = 18 MΩ, R_2 = 3,6 MΩ.

Diseño de circuitos de polarización para transistores bipolares El diseño del circuito de polarización con cuatro resistencias para el bipolar se parece al diseño del circuito FET, especialmente cuando β es grande; sin embargo, el procedimiento para hallar R_1 y R_2 difiere ligeramente porque la corriente de base carga al divisor de tensión. El siguiente ejemplo ilustra el procedimiento para transistores bipolares.

EJEMPLO 6.2 Diseñar el circuito de polarización de la Figura 6.3a tal que $I_C = 2$ mA con $20 \leq \beta \leq 200$.

Solución La tensión colector-emisor del transistor no esta especificada. Como no hay ninguna especificación relevante, asignaremos una tensión de 3 V a V_{CE}, R_C y R_E. Como I_C circula a través de R_C

$$R_C = 3/2 \times 10^{+3} = 1{,}5\ \text{k}\Omega$$

Seguidamente, calculamos R_E. Ya que

$$I_E = \frac{\beta + 1}{\beta} I_C$$

La aproximación $I_E \approx I_C$ es válida para valores grandes de β, 50 o mas. Con esta aproximación, hallar R_C y R_E es igual que hallar R_D y R_S en el diseño con FET. En este ejemplo, β podría llegar a ser tan baja como 20. Un diseño conservador usaría el valor mínimo de β para estimar la corriente del emisor en continua, es decir

$$I_E = \frac{\beta_{mín} + 1}{\beta_{mín}} I_C = \frac{21}{20} 2\ \text{mA} = 2{,}1\ \text{mA}$$

La caída de 3 V en R_E, con 2,1 mA, $R_E = 1{,}43$ kΩ. El circuito equivalente de la Figura 6.3b muestra estos resultados.

El modelo de gran señal del bipolar necesita que la tensión en la base sea $V_{BE} = 0{,}7$ V por encima de la tensión del emisor de un npn (por debajo para los transistores pnp). Esto da $V_B = 3{,}7$ V como en la Figura 6.3b. La caída de continua reemplaza a la diferencia V_{GS} calculada que necesitamos para hallar la tensión de puerta en los FET.

Si fuera infinita, la corriente de base I_C/β sería nula y podríamos simplificar el diseño del divisor de tensión para producir $V_B = 3{,}7$ V. Como la corriente de base no es cero debemos incluir el peor caso, para calcular R_1 y R_2. Como el efecto de carga es peor cuanto mayores sean las corrientes de base, el peor caso es para la mínima. En este ejemplo necesitamos que el divisor trabaje razonablemente bien para $I_{Bmáx} = I_C/\beta_{mín} = 2$ mA/20 = 0,1 mA.

Consideremos el diagrama de la Figura 6.3c. Si asignamos $I_2 = 10 \times I_{Bmáx}$, entonces la carga del divisor será despreciable en el sentido de "órdenes de magnitud" que se usa frecuentemente en aproximaciones en ingeniería. Esto da $I_2 = 1$ mA, por tanto

$$R_2 = \frac{3{,}7}{1\ \text{mA}} = 3{,}7\ \text{k}\Omega$$

La ley de Kirchhoff de las corrientes obliga a

$$I_1 = I_2 + I_{Bmax} = 11 I_{Bmax} = 1{,}1\ \text{mA}$$

Esto deja sólo el cálculo de R_1

$$R_1 = \frac{9 - 3{,}7}{1{,}1\ \text{mA}} = 4{,}8\ \text{k}\Omega$$

❑

Ejercicio 6.2 Rediseñar el circuito del Ejemplo 6.2 para un punto Q de $(V_{CE}, I_C) = (2\ \text{V}, 1\ \text{mA})$ con la condición adicional $V_E = 5$ V. Utilizar el mismo transistor.

Respuesta $R_C = 2$ kΩ, $R_E = 4{,}76$ kΩ, $R_2 = 11{,}4$ kΩ, $R_1 = 6$ kΩ.

El diseño del circuito de polarización para el transistor pnp sólo se diferencia de los ejemplos precedentes sólo en la polaridad de corrientes y tensiones.

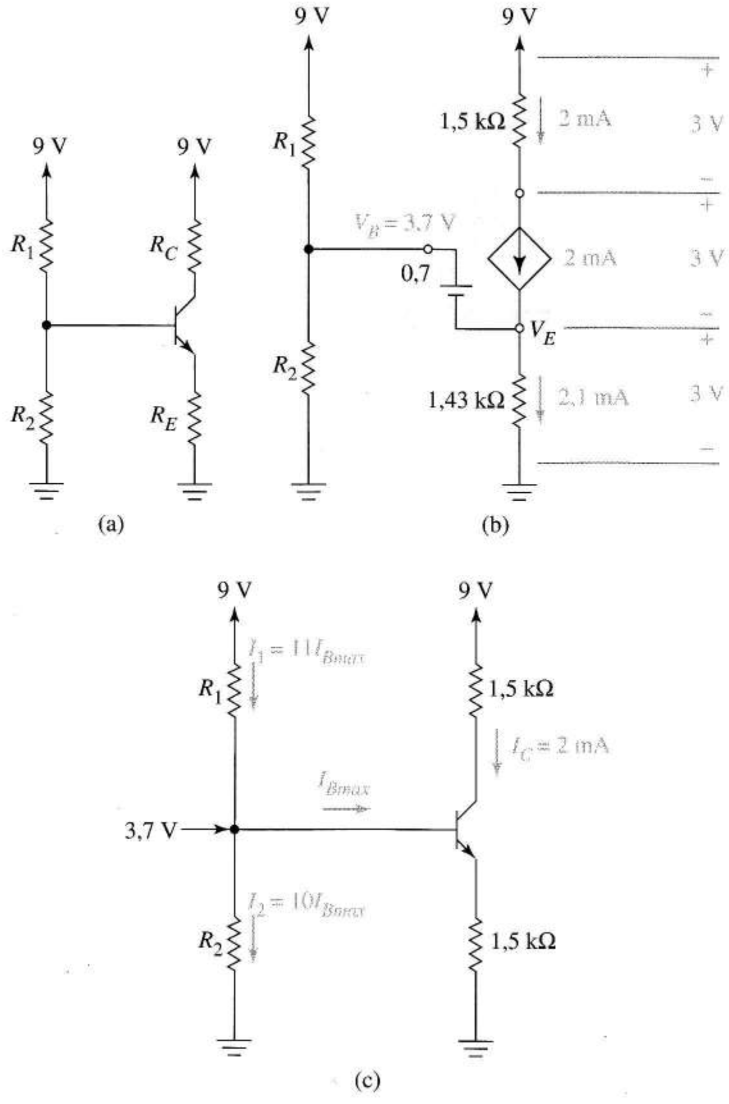


FIGURA 6.3 Circuito de polarización con cuatro resistencias para el bipolar: (a) estructura del circuito; (b) datos conocidos cuando se han calculado R_1 y R_2; (c) aproximación dado un divisor de tensión casi ideal.

6.2.2 OTROS CIRCUITOS DE POLARIZACIÓN

Hay otros circuitos de polarización para componentes discretos con menos resistencias y que dan una polarización adecuada en algunos casos. Los circuitos con tres resistencias de las Figuras 6.4a y c son algunos ejemplos. La aproximación general es la misma como se puede ver en lo siguiente.

EJEMPLO 6.3 Diseñar el circuito de la Figura 6.4a con el punto Q en $(V_{CE}, I_C) = (5\text{ V}, 0{,}5\text{ mA})$ cuando $\beta = 40$.

Solución Con 12–5 = 7 V ya asignados al colector del circuito, elegimos arbitrariamente 3 V para R_C y 4 V para R_E. Sabemos que $I_E = (41/40) \times I_C = 0{,}513$ mA. La Figura 6.4b indica los datos conocidos de los que

$$R_C = \frac{3}{0{,}5\text{ mA}} = 6\text{ k}\Omega$$

y

$$R_E = \frac{4}{0{,}513\text{ mA}} = 7{,}8\text{ k}\Omega$$

Como la corriente de base es $(0{,}5\times10^{-3})/40 = 12{,}5\ \mu\text{A}$

$$R_B = \frac{12-4{,}7}{12{,}5\ \mu\text{A}} = 584\text{ k}\Omega$$ ❑

Ejercicio 6.3 Rediseñar el circuito del último ejemplo con el mismo punto Q y un transistor de $\beta = 400$.

Respuesta $R_C = 6\text{ k}\Omega$, $R_E = 8\text{ k}\Omega$, $R_B = 5{,}84\text{ M}\Omega$.

EJEMPLO 6.4 El JFET de la Figura 6.4c tiene los parámetros $V_P = -1$ V y $\beta = 2\text{ mA/V}^2$. Diseñar para el punto $Q\ (V_{DS}, I_D) = (3\text{ V}, 0{,}3\text{ mA})$.

Solución Como siempre, conocer la corriente de drenador nos da V_{GS}. De la Expresión (5.21)

$$0{,}3\text{ mA} = 2\times10^{-3}\left[V_{GS}+1\right]^2$$

que da $V_{GS} = -0{,}613\text{ V} = 0 - V_S$ (la corriente de base es nula). La Figura 6.4d resume los datos ya conocidos y muestra que

$$R_S = \frac{0{,}613}{0{,}3\times10^{-3}} = 2{,}04\text{ k}\Omega$$

De los 6 V del circuito de drenador, la caída drenador-fuente es 3 V y la caída en R_S es 0,613 V. Esto da 6 – 3,613 = 2,39 V para R_D; así, $R_D = 2{,}39/(0{,}3\text{ mA}) = 7{,}97\text{ k}\Omega$.

Aunque no haya corriente de puerta, es necesaria la conexión entre puerta y masa para poner exactamente 0 V en la puerta. El valor de R_G no tiene importancia para la polarización; sin embargo, en el siguiente capítulo veremos que R_G es la resistencia de entrada del amplificador. Por ello usaremos un valor grande para ella, por ejemplo, $R_G = 1\text{ M}\Omega$. ❑

Ejercicio 6.4 ¿Qué cambio hay que hacer en el diseño del Ejemplo 6.4 si la fuente de alimentación cambia a 15 V pero con el mismo punto de trabajo?

Respuesta Cambiar R_D a 38 kΩ.

Estos ejemplos y ejercicios demuestran que para los circuitos de polarización más sencillos la aproximación al diseño del caso general con cuatro resistencias va bien; sin embargo, debemos advertir de las restricciones especiales que los datos de partida nos imponen. La teoría que viene ahora da criterios para elegir un diseño particular frente a otro.

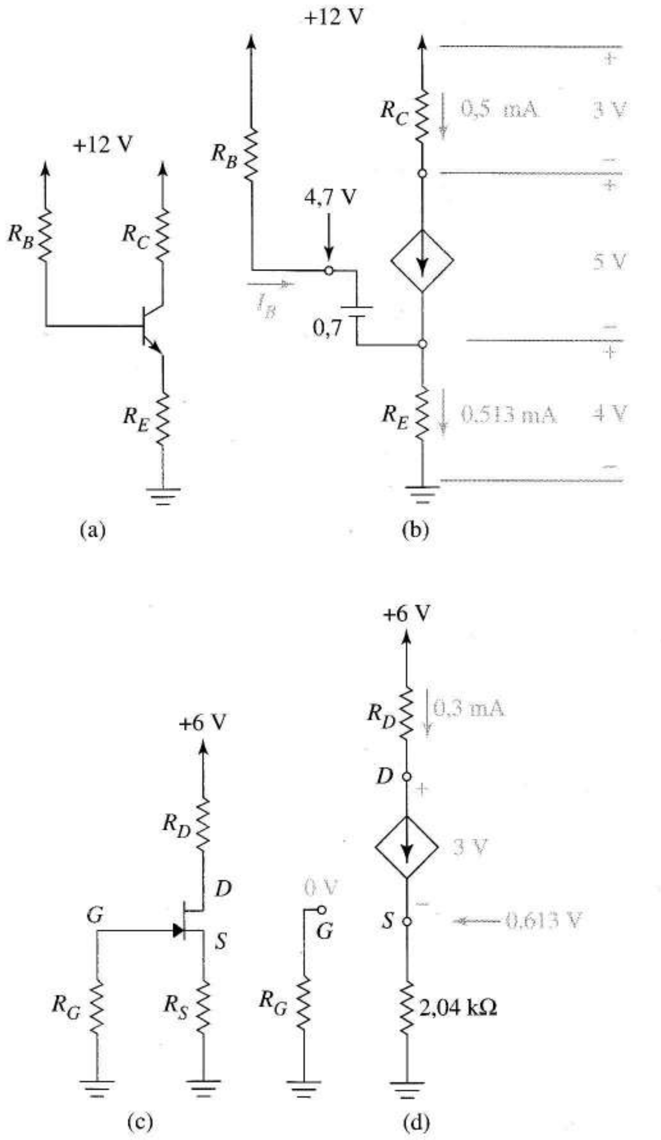


FIGURA 6.4 Circuitos de polarización con tres resistencias: (a) para el transistor bipolar; (b) datos conocidos cuando está determinado el valor de R_B; (c)-(d) para el JFET.

6.3 PRINCIPIOS DE DISEÑO DE CIRCUITOS DE POLARIZACIÓN

6.3.1 INTRODUCCIÓN

La finalidad de la polarización es tener un transistor con un punto Q consistente con su funcionamiento como fuente dependiente; sin embargo, el funcionamiento real como procesador de señal impone condiciones adicionales al punto de trabajo. Para evitar restricciones innecesarias en la amplitud de la salida no debemos polarizar el transistor demasiado cerca de saturación o corte. En la

Figura 6.5a el punto Q está en $I_B = 25$ µA permitiendo que el punto de funcionamiento instantáneo se mueva igual distancia en ambos sentidos a lo largo de la recta de carga cuando la corriente de base cambia permaneciendo activo mientras tanto. Polarizando con 40 µA se restringe la simetría en las variaciones de la corriente de base a 5 µA o menos. Corrientes de base mayores ocasionarían la saturación del transistor y la tensión de salida se limitaría a $V_{CE,\ sat}$. Haciendo que el punto Q esté en $I_B =$ 5 µA, el transistor se polariza muy cerca del corte y habría corrientes de base negativas si las desviaciones superasen los 5 µA.

La Figura 6.5b presenta más aspectos de la selección el punto Q. En un transistor real, la separación de las curvas y la β, dependen del punto Q; por ejemplo, en el punto /*a*/ la β es mayor que en "*b*". En "*b*", sin embargo, las curvas son casi horizontales lo que significa que la resistencia de salida es mayor, lo que es ventajoso en algunos circuitos. El punto Q debe mantenerse lejos de BV_{CEO} para evitar distorsión de linealidad y lejos de la $I_{C,\ máx}$ especificado por el fabricante para evitar la destrucción del transistor.

Consideraciones similares se aplican al FET, como indica la Figura 6.5c. El punto Q "*a*" es una elección conservadora dentro de la zona activa mientras que los puntos "*b*" y "*c*" estarían demasiado cerca de la zona óhmica o de corte, respectivamente. Las zonas con amplia separación entre curvas corresponden a mayores transconductancias y, por ello, mayor ganancia; curvas más planas indican mayor resistencia de salida. Hay también límites impuestos por las tensiones de ruptura y la máxima corriente de drenador.

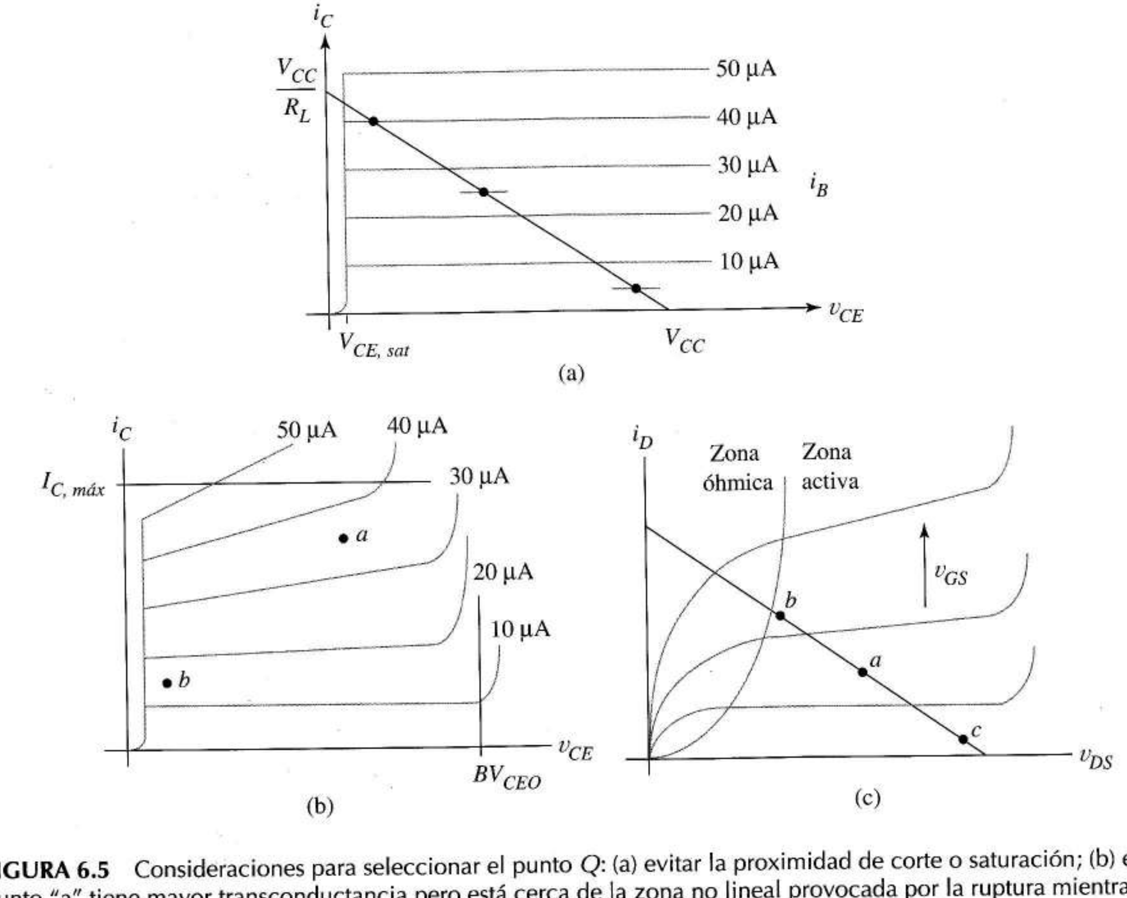


FIGURA 6.5 Consideraciones para seleccionar el punto Q: (a) evitar la proximidad de corte o saturación; (b) el punto "a" tiene mayor transconductancia pero está cerca de la zona no lineal provocada por la ruptura mientras que en el punto "b" la resistencia de salida es mayor; (c) consideraciones para el punto Q del FET.

Los circuitos de polarización no sólo deben situar el punto Q en una zona adecuada sino que deben *mantenerlo ahí*, aun con *cambios en los valores de los parámetros* (por ejemplo β, V_{BE}, V_P, V_t, I_{DSS} y k) provocados por cambios térmicos, envejecimiento, o (en circuitos discretos) sustitución de componentes. En circuitos integrados, los componentes no se pueden sustituir, pero el diseñador no conoce de antemano los valores exactos de los parámetros de los transistores y otros componentes, sólo sabe los *márgenes* de esos valores. Esta incertidumbre, tiene el mismo sentido en el diseño de circuitos integrados que en la sustitución de componentes en circuitos discretos. Para resumir estas ideas diremos que el punto *Q debe ser estable*. Examinaremos los circuitos de polarización desde este punto de vista, desde el nuevo requisito: la *estabilidad del punto Q* (o punto de trabajo).

6.3.2 ESTABILIDAD DEL PUNTO Q

Estabilidad de los circuitos de polarización de MOSFET La Figura 6.6a muestra un circuito amplificador con MOSFET que usa *polarización fija* en la que una fuente de alimentación independiente V'_{GG} *fija* el valor de V_{GS}. La recta v_{GS} constante de la Figura 6.6b indica que una adecuada V'_{GG} puede establecer una corriente continua de drenador que se puede observar sobre la función de transferencia T_1, por ejemplo, I_{D1}. Ahora, supongamos que la temperatura baja de T_1 a T_2 provocando que V_t y k decrezcan; la función de transferencia cambia a la curva marcada con T_2. El punto Q se desliza a Q' reduciendo la corriente de polarización a un valor menor, I_{D2}. Quizá, en algún diseño I_{D2} no sea aceptable. Por ejemplo, podría estar muy cerca de la zona de corte o tener una ganancia de tensión demasiado alta. Con polarización fija, el punto Q puede variar mucho si V_t y/o k cambian por cualquier razón. Decimos que el circuito es de polarización fija cuando tiene una estabilidad más bien pobre.

El circuito de la Figura 6.6c incluye una resistencia de *autopolarización* R_S. Para este circuito, V_{GS} no es constante como en el circuito de polarización fija sino que está dada por

$$V_{GS} = V_{GG} - I_D R_S \tag{6.11}$$

En el sistema de coordenadas i_D-v_{GS}, la Ecuación (6.11) es la recta de carga del circuito de entrada mostrado en la Figura 6.6d. Con este circuito somos capaces de establecer cualquier punto Q que se desee sobre la curva T_1 eligiendo adecuadamente V_{GG} y R_S, por ejemplo, el mismo que usamos en la Figura 6.6b. Con este nuevo circuito, por contra, cualquier cambio en la característica del transistor de T_1 a T_2 sólo produciría un pequeño cambio en I_D. Concluimos, pues, que la *resistencia de polarización automática o autopolarización da mayor estabilidad al punto de trabajo*. Un importante principio de diseño relaciona nuestra elección de R_S. La Figura 6.6d muestra que para un punto Q dado, una línea de carga más horizontal proporciona mayor estabilidad. Como la pendiente de la curva varía inversamente con R_S, *a mayores R_S, los puntos de trabajo son más estables*.

Como tema práctico, la fuente de alimentación suele ser la que esté disponible, por lo que para obtener V_{GG} usamos un divisor de tensión con lo que resulta el circuito de polarización de cuatro resistencias. Recordemos que en el diseño de este circuito, una de las elecciones arbitrarias era la fracción de tensión en cada uno de los tres componentes del circuito de drenador. Situando un punto Q adecuado para las restricciones de la tensión drenador-fuente, R_D y R_S comparten el resto de la tensión de alimentación. Ahora hacemos que para la I_D dada, una mayor tensión I_DR_S significa mayor R_S y, por ello, mejor estabilidad. La tensión continua en R_D debe ser mayor que el valor de pico de la señal de salida, pero no tiene por qué ser un valor elevado. Ahora mejoramos la estrategia de diseño de circuitos de polarización con una nueva idea: *hacer que la tensión en R_S sea lo mayor posible para una buena estabilidad del punto Q*. Seguidamente, mostraremos que en los circuitos de polarización para transistores bipolares se asocia la estabilidad del punto Q con resistencias de emisor elevadas.

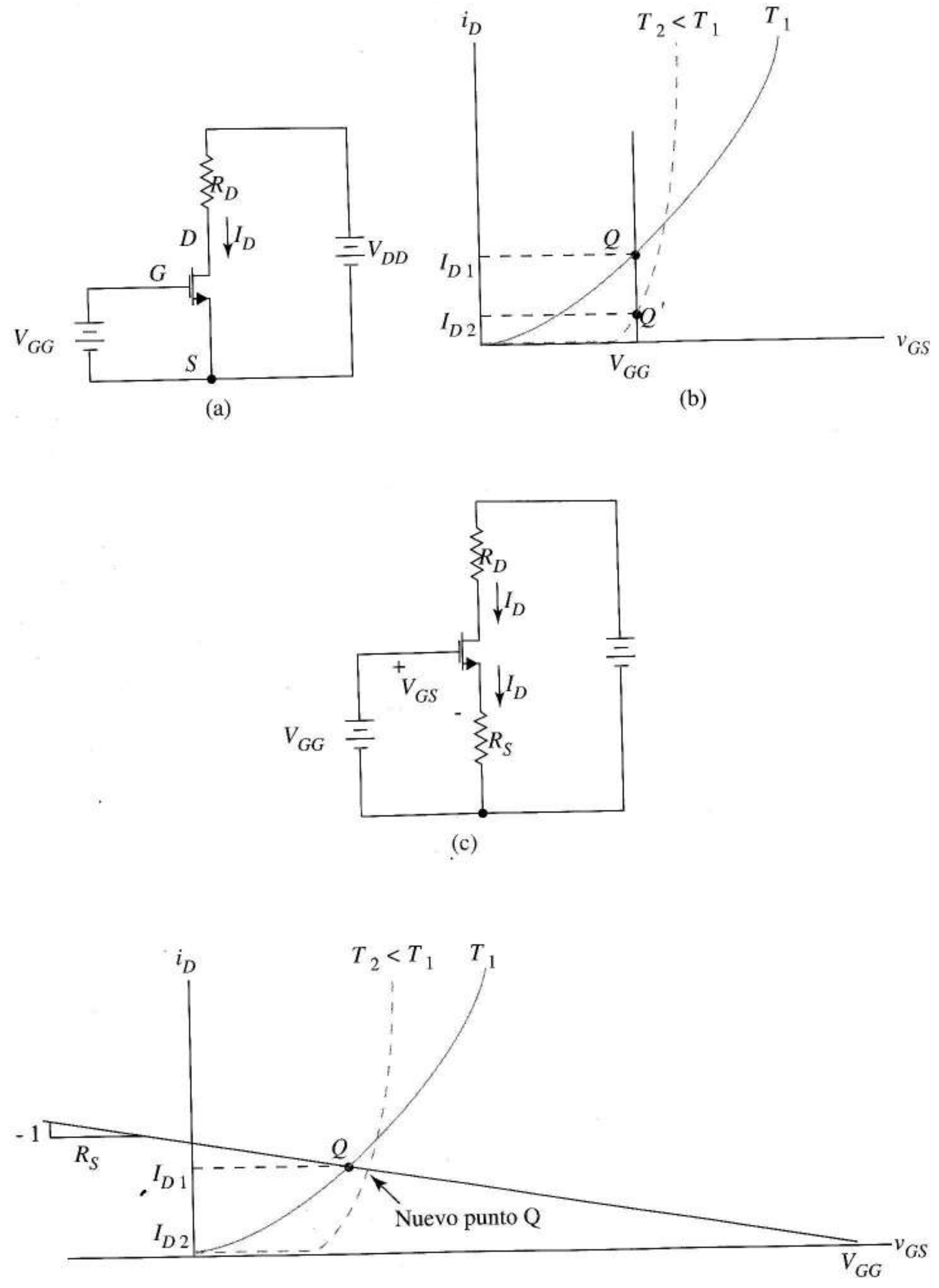


FIGURA 6.6 Consideraciones sobre la estabilidad del punto Q: (a) para polarización fija; (b) punto Q con polarización fija para dos temperaturas del transistor; (c) circuito de polarización automática; (d) desplazamiento del punto Q debido a la temperatura con polarización automática.

Estabilidad del circuito de polarización en transistores bipolares El circuito con cuatro resistencias de la Figura 6.7a se convierte en el de la Figura 6.7b después de hacer el Thèvenin. Aplicamos la ley de Kirchhoff de las tensiones al circuito de base y, como lo es la coordenada a estabilizar del punto Q escribimos ambas corrientes en función de I_C. El resultado es

$$V_{TT} = \frac{I_C}{\beta} R_T + V_{BE} + \left(\frac{I_C}{\beta} + I_C\right) R_E$$

Despejando I_C da

$$I_C = \frac{V_{TT} - V_{BE}}{R_T/\beta + [(\beta + 1)/\beta] R_E} \tag{6.12}$$

donde los caracteres en negrita indican parámetros del transistor, sujetos a variación. Haciendo $V_{TT} >> V_{BE}$ en el numerador, reducimos la dependencia de la corriente de colector con V_{BE}. Como $V_{BE} \approx 0{,}7$ V para el silicio a temperatura ambiente, la regla de las décadas hace que V_{TT} deba ser de, al menos 7 V. Suele ser poco práctico debido a otras consideraciones y un menor valor es suficiente. Adviertase que de la Figura 6.7b la diferencia $V_{TT} - V_{BE}$ es la suma de las caídas de tensión en R_T y R_E. Por ello, la idea práctica para hacer grande V_{TT} es hacer la *suma* lo mayor que sea posible.

En el denominador de (6.12) $(\beta + 1)/\beta \approx 1$ para grandes β, aunque β cambie. Así, si el primer término del denominador es mucho menor que el segundo, las variaciones de β tienen poco efecto sobre la corriente de colector. Sin embargo, además de hacer grande la *suma* de las tensiones en R_T y R_E, necesitamos hacer R_T pequeña. Juntando estas dos condiciones tenemos que hacer R_E tan grande como sea posible. Podemos llegar a la misma conclusión sobre R_E por un argumento gráfico paralelo a nuestro estudio de estabilidad del punto Q.

Cuando el transistor descrito por (4.5) está polarizado directamente, su función de transferencia es como la de un diodo

$$I_C = I_S e^{V_{BE}/V_T}$$

que se parece a la curva señalada con T_1 en la Figura 6.7c. Cuando R_T es pequeña comparada a $(\beta + 1)R_E$ en (6.12), entonces cuando β es grande la ecuación se reduce a

$$I_C = \frac{V_{TT} - V_{BE}}{R_F} \tag{6.13}$$

ecuación de la recta de carga que podemos ver en la Figura 6.7c. El punto de corte con la función de transferencia establece la coordenada del punto Q en $i_C = I_C$.

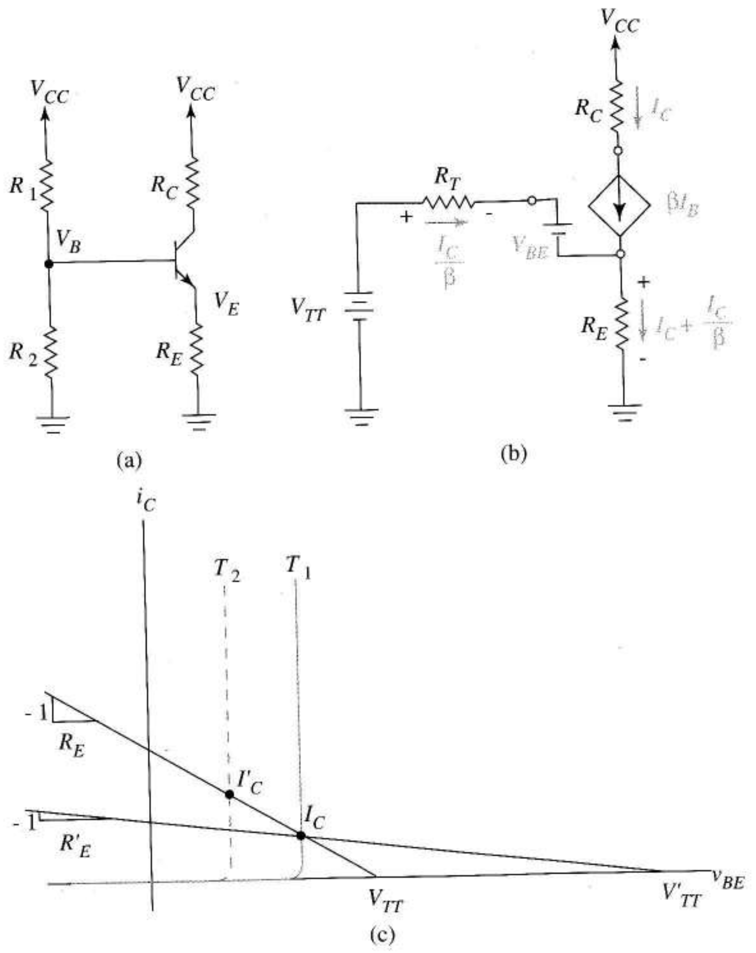


FIGURA 6.7
Estabilidad del circuito de polarización para bipolares: (a) circuito real; (b) equivalente Thèvenin;
(c) movimiento del punto Q con cambios en V_{BE} y efecto de una mayor resistencia de emisor.

Si la temperatura del transistor sube a T_2, la curva se desplaza a la izquierda y la corriente sube a I'_C. Cuanto mayor sea la resistencia de emisor R'_E, el circuito de polarización reduce la pendiente de la recta de carga e incrementa la estabilidad del punto Q. Comparando las Figuras 6.7c y d las condiciones de estabilidad para los bipolares y los FETs son las mismas: *hacer que la caída de tensión en la resistencia de emisor (fuente) sea tan grande como sea posible para una $I_C(I_D)$ dada.*

El procedimiento general de diseño de la Sección 6.2 incorpora con facilidad los principios recién descubiertos. Con los límites prácticos, hacemos R_E grande asignando una gran parte de la tensión disponible. Entonces, eligiendo R_1 y R_2 para que $I_2 = 10\ I_{Bmáx}$, aseguramos que la contribución de $R_T = R_1 || R_2$ al denominador de la Ecuación (6.12) sea pequeña.

El diseño de este divisor de tensión ejemplifica las *soluciones de compromiso* que se suelen encontrar en los problemas de diseño. Para hallar el papel de R_T vemos el divisor de la Figura 6.7a en la forma de equivalente Thevenin de la Figura 6.7b. Si la corriente real de base disminuye a un valor menor que el de diseño, la caída de R_T es menor de lo previsto y la tensión de base es mayor de la anticipada. Mayor V_B provoca mayor V_E haciendo mayores las corrientes de colector y emisor que los valores de diseño. Si nuestro diseño hubiera sido $R_T = 0$ (fuente ideal de *exactamente* V_{TT} voltios) entonces V_E no variará por mayores corrientes de base y la corriente de colector quedaría exactamente en su valor de diseño. Aunque no podamos usar una fuente ideal de tensión, podemos llevar R_T más cerca de cero cuando diseñamos eligiendo para I_2 20 ó 30 veces $I_{Bmáx}$ en lugar de 10 veces

$I_{Bmáx}$. Esto reduce la carga de la corriente de base y hace que el divisor sea más ideal. Sin embargo, menores R_1 y R_2 producen mayor disipación de potencia y un circuito más costoso. Cuando estudiemos el comportamiento en pequeña señal en el próximo capítulo, veremos que menores R_1 y R_2 incrementan la carga de la entrada del amplificador. Así, la regla de diseño $I_2 = 10I_{Bmáx}$ es una solución de *compromiso* que sirve como útil condición inicial. En diseños determinados nos podremos desviar de esta regla para satisfacer otras condiciones impuestas. La principal tarea del diseñador es conciliar requisitos conflictivos de las especificaciones dadas y el sentido común.

6.4 VARIACIONES EN EL DISEÑO

6.4.1 INTRODUCCIÓN

Los principios básicos de la polarización tienen constantes adicionales a la propia definición del punto Q como, por ejemplo, valores de tensión para determinados puntos. Algunas veces hay fuentes de doble polaridad, otras son sólo negativas y el uso de fuentes de corriente para polarización es cada vez más común. El mismo circuito podría contener dos o más transistores y de diferentes tipos: npn, pnp, FETs de canal n o p o FETs y bipolares juntos. Veremos ahora que son necesarias nuevas ideas para manejar estas situaciones. Los únicos requisitos son el conocimiento de los principios ya demostrados y algo de flexibilidad.

6.4.2 FUENTES DE ALIMENTACIÓN NEGATIVAS Y DOBLES

Algunos circuitos de polarización que parecen diferentes son, en realidad, iguales ya que las caídas de tensión y corrientes son idénticas. Por ejemplo, la Figura 6.8b difiere de la Figura 6.8a sólo en la notación. Para llevar la Figura 6.8b a la 6.8c cambiamos la fuente de alimentación por dos en serie que suman V_{CC} y modifican la referencia de masa. Ninguna de estas operaciones modifica las tensiones, corrientes o el punto Q del transistor. Para $\delta = 1$, el circuito es el de la Figura 6.8a pero para $\delta = 0$, tenemos un circuito con alimentación negativa (Figura 6.8d). La Figura 6.8e con fuente de alimentación doble representa el circuito para $0 < \delta < 1$. El caso habitual es $\delta = 0{,}5$.

Concluimos que las Figuras 6.8a, d y e son el mismo circuito de polarización y las técnicas de diseño y principios teóricos ya conocidos son aplicables a todas ellas. Más aún, como las equivalencias de circuitos sólo afectan a los cambios en los convenios de los esquemas, las conclusiones se aplican igual a los circuitos de polarización de los FETs.

Nuestras técnicas de diseño se anticipan a estas variaciones enfatizando las tensiones en nodos y ramas de forma que se puede *aplicar* a todos los casos. Esto significa que *no* convertiremos primero cada problema a la forma de la Figura 6.8a, sino que aplicaremos los principios al *circuito dado* sea cual sea su forma. Los siguientes ejemplos y ejercicios demuestran este aspecto mientras enseñan cómo se manejan otras variaciones en las especificaciones del punto Q.

6.4.3 EJEMPLOS DE DISEÑO

EJEMPLO 6.5 Hallar los valores de la resistencia que fijan el punto Q mostrado en la Figura 6.9a si $\beta = 10^{-3}$ A/V^2 y $V_P = -3$ V; hacer también $R_P = R_1 \| R_2 = 1$ MΩ.

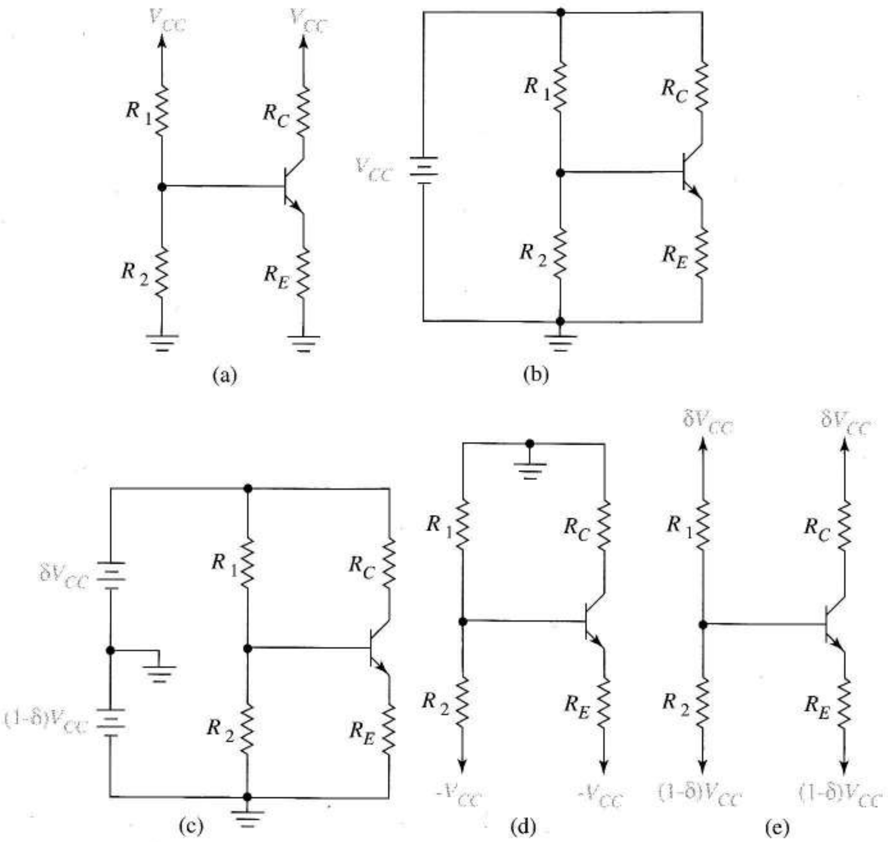


FIGURA 6.8 Conceptos de polarización extendidos a fuentes de alimentación negativas y dobles: (a) circuito original; (b) notación alternativa para el circuito original; (c) el mismo circuito con dos fuentes en serie y otra masa; (d) circuito con fuente de alimentación negativa y notación alternativa cuando $\delta = 0$; (e) fuente doble y notación alternativa para cualquier circuito.

Solución De los 10 V disponibles en el circuito de drenador-fuente, 4 V están en el transistor quedando 6 V para R_D y R_S. Si no hay ningún dato que nos ayude, ponemos 4 V en R_S y los 2 V restantes para R_D; esta elección da mayor estabilidad al punto Q que asignando mayor tensión a R_D que a R_S. Con esta decisión, $R_D = 2$ kΩ y $R_S = 4$ kΩ.

Usando la Ecuación (5.21)

$$1 \times 10^{-3} = 1 \times 10^{-3}\left(V_{GS} + 3\right)^2$$

dando $V_{GS} = -2$ V. Después de situar las tensiones conocidas en el diagrama de la Figura 6.9b vemos que la tensión en puerta es

$$V_G = -10 + 4 - 2 = -8 \text{ V}$$

Debemos diseñar un divisor de tensión que nos dé –8 V desde –10 V

$$\frac{R_1}{R_1 + R_2}\left(-10\right) = -8$$

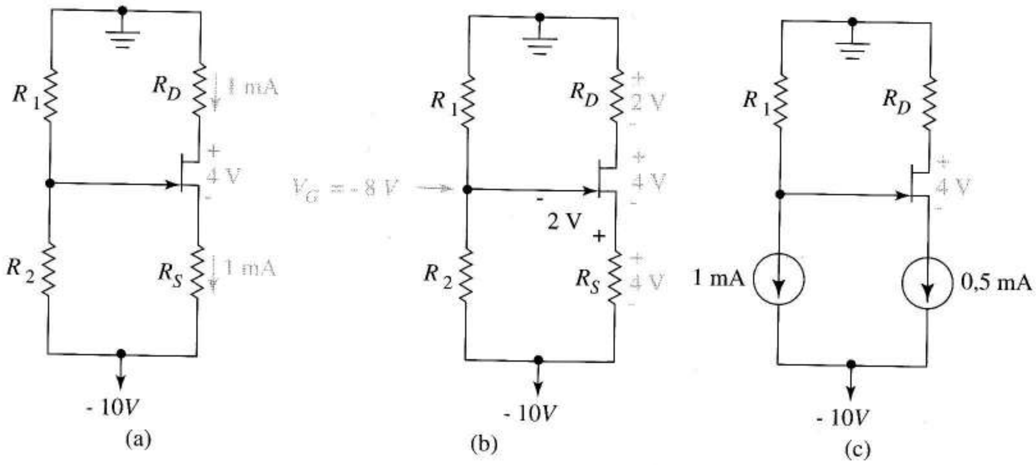


FIGURA 6.9 Circuito de polarización del JFET con fuente de alimentación negativa: (a) datos; (b) datos conocidos con el divisor de tensión calculado; (c) polarización por fuente de corriente.

Para satisfacer $R_P = R_1 \| R_2 = 1$ MΩ, multiplicamos por R_2 para dar

$$R_P(-10) = -8R_2 = -10 \times 10^6$$

Esto lleva a $R_2 = 1{,}25$ MΩ y $R_1 = 5{,}0$ MΩ. ❑

Ejercicio 6.5 En la Figura 6.9c el drenador está polarizado a –3 V. Los parámetros del transistor son $\beta = 2 \times 10^{-3}$ A/V², $V_P = -1$ V. Hallar los valores necesarios para R_D, V_S, V_G y R_1 en este orden.
Respuesta 6 kΩ, –7 V, –7,5 V, 7,5 kΩ.

EJEMPLO 6.6 El transistor bipolar de la Figura 6.10a tiene una β en el margen $200 \leq \beta \leq 300$. Polarizar para $I_C = 2$ mA, la tensión de colector –5 V y V_{CE} igual a la tensión sobre R_C.

Solución $V_C = -5$ V supone que la caída en $R_C = 5$ V. Pero $R_C = 5/2 = 2{,}5$ kΩ. Fijando 5 V para V_{CE} quedan 2 V para R_E. Como la β mínima es elevada, $I_E \approx 2$ mA, dando $R_E = 2/(2\text{ mA}) = 1$ kΩ. La tensión de emisor es

$$V_E = -12 + 2 = -10 \text{ V}$$

Por lo tanto

$$V_B = V_E + 0{,}7 = -9{,}3 \text{ V}$$

La Figura 6.9b es el diagrama del circuito, actualizado con la información conocida hasta ahora. Eligiendo I_2 igual a $10 \times I_{B,\text{máx}}$ da $I_2 = 0{,}1$ mA. Así,

$$R_2 = \frac{-9{,}3-(-12)}{0{,}10 \text{ mA}} = 27 \text{ k}\Omega$$

y

$$R_1 = \frac{0-(-9{,}3)}{0{,}11 \text{ mA}} = 84{,}5 \text{ k}\Omega$$

Lo importante de este ejemplo es que una vez que se aprende a trabajar con tensiones en nodos y diferencias de tensiones, podemos aplicar el mismo procedimiento de diseño a gran variedad de restricciones. ❑

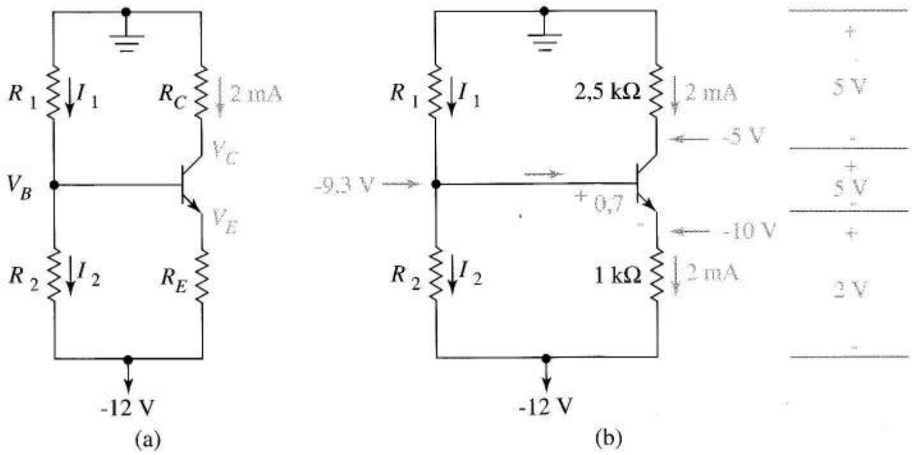


FIGURA 6.10 Bipolar polarizado con alimentación negativa: (a) información dada del punto *Q*; (b) información conocida cuando comienza el diseño del divisor.

Ejercicio 6.6 El transistor bipolar de la Figura 6.11 tiene $\beta = 200$. Hallar I_O, R_C y R_1 tales que $I_C = 2$ mA, la tensión de colector sea –5 V y V_{CE} igual a la tensión en R_C.

Respuesta $I_O = 2$ mA, $R_C = 2{,}5$ kΩ, $R_1 = 930$ kΩ.

Ejercicio 6.7 Hallar la nueva tensión de colector-emisor para el circuito del Ejercicio 6.6 si el transistor colocado en el circuito tiene $\beta = 300$ en lugar del valor de diseño de 200.

Respuesta $V_{CE} = 1{,}9$ V.

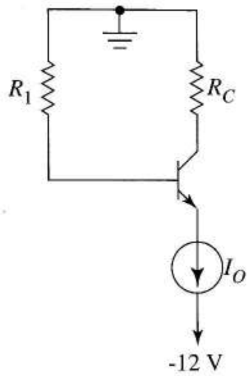


FIGURA 6.11 Transistor bipolar polarizado por fuente de corriente.

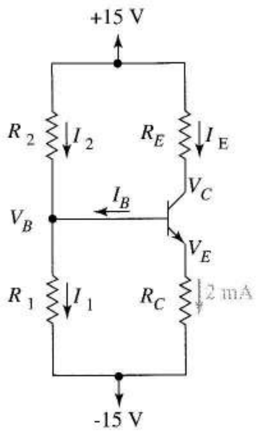


FIGURA 6.12 Circuito de polarización con cuatro resistencias para transistores pnp usando dos fuentes.

EJEMPLO 6.7 El transistor pnp de la Figura 6.12 tiene una en el margen $10 \leq \beta \leq 100$. Polarizar para $I_C = 2$ mA y $V_C = 0$ V.

Solución Un buen camino para comenzar el diseño es indicar las direcciones de las corrientes sobre el esquema como en la Figura 6.12. Como el colector está a masa debe haber 15 V en R_C. Así que $R_C = 15/(2\text{ mA}) = 7{,}5$ kΩ.

Como la β mínima es pequeña, $I_E = (11/10)I_C = 2{,}2$ mA. Las dos fuentes producen una tensión para el circuito de colector de 30 V de los que 15 V caen en R_C. Como no hay nada especificado queda al juicio del diseñador (algo arbitrario) asignar 5 V a V_{CE} y 10 V a R_E. Lo último implica que $R_E = 10/2{,}2 \times 10^{-3} = 4{,}55$ kΩ. Con 10 V en R_E

$$V_E = 15 - 10 = 5 \text{ V}$$

y

$$V_B = 5 - 0{,}7 = 4{,}3 \text{ V}$$

Obsérvese en el diagrama que I_2 es la menor de las corrientes del divisor. Por ello, elegimos $I_2 = 10 \times I_{Bmáx} = 2$ mA. Entonces

$$R_2 = \frac{15 - 4{,}3}{2 \times 10^{-3}} = 5{,}35 \text{ k}\Omega$$

La tensión sobre R_1 es 4,3–(–15) = 19,3 V y su corriente es $(11)I_{Bmáx} = 2{,}2$ mA; por ello,

$$R_1 = \frac{19{,}3}{2{,}2 \text{ mA}} = 8{,}77 \text{ k}\Omega$$

Esto completa el diseño. ❑

El siguiente ejemplo aplica la misma aproximación a un circuito con dos transistores.

EJEMPLO 6.8 Diseñar el circuito de la Figura 6.13a de tal forma que Q_1 y Q_2 se sitúen en $(V_{CE}, I_C) = (-3$ V, 0,1 mA) y (6 V, 0,5 mA) respectivamente.

Solución La Figura 6.13b muestra el esquema del circuito y la información impuesta por las especificaciones de diseño, incluyendo las corrientes de base. Como β es grande, la corriente de emisor del transistor npn se aproxima a la de colector.

Comenzando por la derecha, vemos que de los 9 V disponibles para el circuito de colector de Q_1, 3 V están reservados. Para una buena estabilidad del punto Q, asignamos 4 V a la resistencia de emisor R_1, dejando 2 V para R_2. Esto da $R_1 = 4/0{,}11 = 36{,}4$ kΩ y $R_2 = 2/0{,}1 = 20$ kΩ.

Como $V_{E1} = 9 - 4 = 5$ V, $V_{B1} = 5 - 0{,}7 = 4{,}3$ V. En este circuito no hay divisor de tensión; sin embargo, la corriente en R_3 es $I_{E2} + I_{B1} = 0{,}51$ mA, por lo tanto

$$R_3 = \frac{4{,}3 - (-3)}{0{,}51 \text{ mA}} = 14{,}3 \text{ k}\Omega$$

La tensión de colector de Q_2 es

$$V_{C2} = V_{E2} + V_{CE2} = 4{,}3 + 6 = 10{,}3 \text{ V}$$

Por lo tanto,

$$R_4 = \frac{12 - 10{,}3}{0{,}5 \text{ mA}} = 3{,}4 \text{ k}\Omega$$

Como la tensión de base V_{B2} es 0,7 V mayor que V_{B1}

$$V_{B2} = 4{,}3 + 0{,}7 = 5 \text{ V}$$

dando

$$R_5 = \frac{12 - 5}{6{,}25 \times 10^{-6}} = 1{,}12 \text{ M}\Omega$$

que completa el diseño. ❑

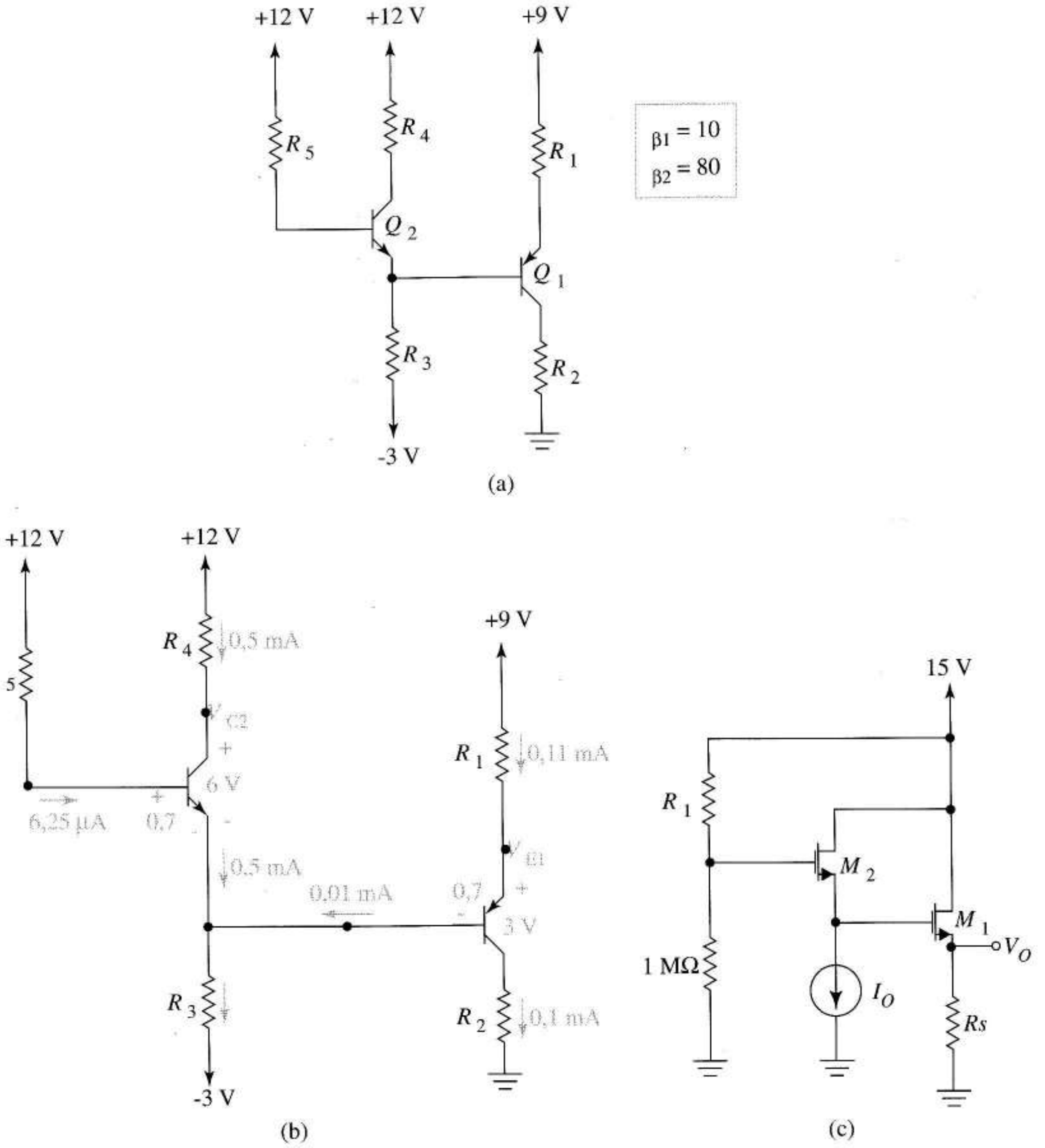


FIGURA 6.13 Diseño del acoplamiento directo de dos circuitos de polarización para dos transistores: (a) circuito de polarización; (b) circuito que explica los cálculos cuando están dados los puntos Q; (c) circuito de acoplamiento directo para el MOSFET.

Ejercicio 6.8 Los dos transistores de la Figura 6.13c tienen $k = 4 \times 10^{-3}$ A/V2 y $V_t = 0{,}6$ V. Si V_O es 3 V e $I_D = 2$ mA para ambos, hallar R_S, V_{G1}, I_O, V_{G2} y R_1.

Sugerencia Calcular las magnitudes en ese orden.

Respuesta 1,5 kΩ, 4,6 V, 2 mA, 6,2 V, $R_1 = 1{,}42$ MΩ.

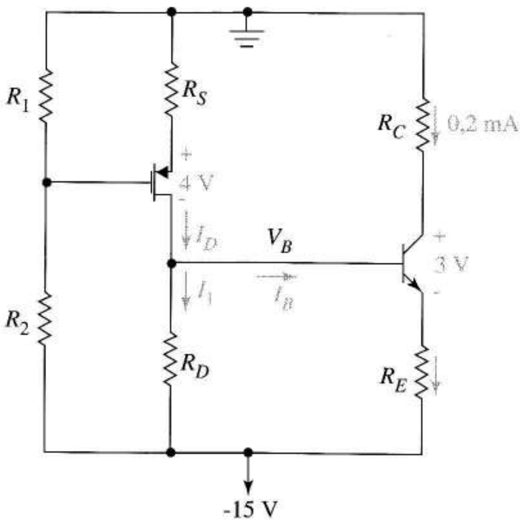


FIGURA 6.14 Datos de polarización y el punto *Q* para el Ejemplo 6.9.

EJEMPLO 6.9 Los transistores de la Figura 6.14 están polarizados con las coordenadas del punto Q indicadas en el diagrama. Hallar las resistencias si $k = 2 \times 10^{-4}$, $V_t = -2$ V y $\beta = 30$.

Solución Elegimos 8 V para R_E y 4 V para R_C. Entonces

$$R_C = \frac{4}{0{,}2 \text{ mA}} = 20 \text{ k}\Omega$$

y

$$R_E = \frac{8}{0{,}21 \text{ mA}} = 38{,}1 \text{ k}\Omega$$

Con 8 V en R_E, la tensión en base es

$$V_B = -15 + 8 + 0{,}7 = -6{,}3 \text{ V}$$

Como I_D no está especificada, podemos hacer la corriente en I_D 10 veces la corriente de base. Esto da

$$I_1 = 10 \times \frac{0{,}2}{30} \text{ mA} = 0{,}067 \text{ mA}$$

La caída en R_D es

$$V_B - (-15) = -6{,}3 + 15 = 8{,}7 \text{ V}$$

por lo que, $R_D = 8{,}7/(0{,}067 \text{ mA}) = 130$ kΩ.

La corriente de drenador del FET es la suma de la corriente de base e I_1, por lo que $I_D = (0{,}2/30)$ mA + 0,067 mA. Como la tensión de drenador $V_D = V_B = -6{,}3$ V y $V_{DS} = -4$ V, la tensión de fuente en el FET es –2,3 V. Por ello,

$$R_S = \frac{2{,}3}{0{,}074 \text{ mA}} = 31{,}1 \text{ k}\Omega$$

Como el FET está activo

$$I_D = 0{,}074 \text{ mA} = 10^{-4}(V_{GS}+2)^2$$

que da $V_{GS} = -2{,}86$ V. Con la fuente a $-2{,}3$ V, la tensión de puerta debe ser

$$V_G = V_{GS} + V_S = -2{,}86 - 2{,}3 = -5{,}16 \text{ V}$$

Para diseñar el divisor de tensión hay que tomar una decisión. Al hacer, por ejemplo, $R_P = 2$ MΩ, da

$$-5{,}16 = \frac{R_1}{R_1+R_2}\times(-15) \quad \text{y} \quad -5{,}16R_2 = 2\times10^6\times(-15)$$

Lo último lleva a $R_2 = 5{,}81$ MΩ y $R_1 = 3{,}05$ MΩ. Esto completa uno de los posibles diseños que satisfacen las especificaciones dadas. ❑

Ejercicio 6.9 Modificar el diseño del Ejemplo 6.9 cambiando R_2 por una fuente de corriente I_O que no modifique el punto Q. Hallar I_O.

Respuesta 1,69 μA.

6.5 SENSIBILIDAD

6.5.1 INTRODUCCIÓN

Los transistores y resistencias que usamos para construir circuitos están sujetos a variaciones aleatorias provocadas por las tolerancias de fabricación. Una vez que el circuito esté funcionando, las tensiones de las fuentes de alimentación, las condiciones ambientales y el envejecimiento de los componentes son fuentes adicionales de variación. A pesar de todas estas incertidumbres, el circuito de polarización debe mantener los transistores con los puntos Q especificados. En esta situación, nuestro conocimiento de la estabilidad del punto Q, basado hasta ahora en ideas gráficas intuitivas, adquiere un fundamento matemático: sensibilidad de los parámetros.

La *función sensibilidad* es una herramienta de análisis que usamos para identificar los parámetros más críticos de un diseño dado y determinar si el diseño es satisfactorio. Podemos usar también la sensibilidad justo en sentido inverso, como herramienta de ayuda para conocer la mayor variación de un parámetro compatible con un funcionamiento satisfactorio.

6.5.2 DEFINICIÓN DE SENSIBILIDAD

Definimos la sensibilidad de un valor Q que cambia según un parámetro P a la expresión adimensional

$$S_P^Q = \frac{P}{Q}\frac{dQ}{dP} \tag{6.14}$$

Para conocer el significado de la sensibilidad, consideremos su aproximación incremental

$$S_P^Q \approx \frac{\Delta Q/Q}{\Delta P/P} \tag{6.15}$$

que expresa la sensibilidad como la relación del incremento por unidad de Q respecto a un incremento por unidad de P. Si un incremento en P provoca una disminución en Q la sensibilidad es negativa. Claramente, interesan sensibilidades de pequeño valor.

En la práctica, la sensibilidad es un valor numérico que una vez conocido tiene importantes implicaciones. Por ejemplo, supongamos que en determinados circuitos de polarización sabemos que la sensibilidad de la corriente de colector respecto a cambios en la resistencia de emisor es

$$S_{R_E}^{I_C} = 0{,}5$$

De acuerdo a (6.15), si R_E sube un 1%, resultará un incremento en I_C de

$$\frac{\Delta I_C}{I_C} = 0{,}5 \times \frac{\Delta R_E}{R_E} = 0{,}5 \times 0{,}01 = 0{,}005$$

Así, cuando R_E es del 1%, la incertidumbre de I_C es del 0,5%. Dándole la vuelta al ejemplo, supongamos que las *especificaciones* necesitan que I_C no cambie más del 2%. En términos generales podemos expresarlo como

$$\frac{\Delta I_C}{I_C} = S_{R_E}^{I_C} \frac{\Delta R_E}{R_E} \leq 0{,}02$$

Si la sensibilidad de nuestro circuito es 0,5 significa que

$$\frac{\Delta R_E}{R_E} \leq \frac{0{,}02}{0{,}05} = 0{,}04$$

Para satisfacer las especificaciones, debemos mantener variaciones de R_E por debajo del 4%. Esto muestra que la sensibilidad es una herramienta de diseño.

Cuando las variaciones de un parámetro superan el 10 o el 20%, la estimación de la sensibilidad necesita cierto cuidado. La Figura 6.15 sugiere que la derivada en la Ecuación (6.14) no se podría aproximar por la relación incremental $\Delta Q/\Delta P$ sobre la que se basan nuestras conclusiones. No obstante, la sensibilidad es un valor guía, sobre todo cuando nuestras predicciones sulen ser sólo estimaciones. Consideraremos a continuación las funciones matemáticas que fijan los valores numéricos de la sensibilidad.

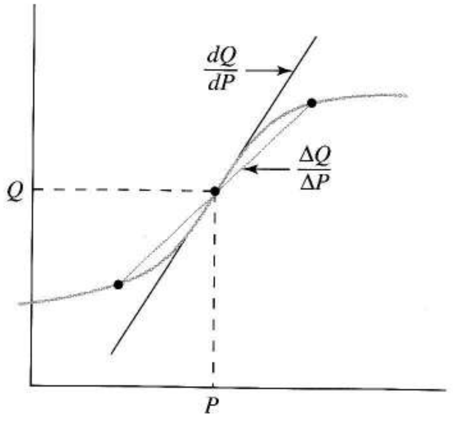


FIGURA 6.15
Aproximación de una derivada por la relación incremental.

6.5.3 FUNCIONES DE SENSIBILIDAD TEÓRICAS

Una posibilidad para evaluar la sensibilidad numéricamente es la ecuación obtenida de las ecuaciones. Por ejemplo, consideremos el circuito de polarización de la Figura 6.7a que está descrita por

$$I_C = \frac{\beta(V_{TT} - V_{BE})}{R_T + (\beta+1)R_E} \tag{6.16}$$

Para hallar la sensibilidad de I_C respecto a β, derivamos. Esto da

$$\frac{dI_C}{d\beta} = \frac{[R_T + (\beta+1)R_E](V_{TT} - V_{BE}) - [\beta(V_{TT} - V_{BE})R_E]}{[R_T + (\beta+1)R_E]^2}$$

Lo siguiente es multiplicar por la inversa de la cantidad *en su forma original*. En este caso, esto da

$$\frac{1}{I_C}\frac{dI_C}{d\beta} = \frac{[R_T + (\beta+1)R_E]}{\beta(V_{TT} - V_{BE})}\frac{[R_T + (\beta+1)R_E](V_{TT} - V_{BE}) - [\beta(V_{TT} - V_{BE})R_E]}{[R_T + (\beta+1)R_E]^2}$$

$$= \frac{1}{\beta}\frac{[R_T + R_E]}{[R_T + (\beta+1)R_E]}$$

Esto suele provocar una fuerte simplificación como aquí se hizo. Finalmente multiplicamos por el parámetro P,β en este caso

$$S_\beta^{I_C} = \frac{[R_T + R_E]}{[R_T + (\beta+1)R_E]} \tag{6.17}$$

Para el mismo circuito, la sensibilidad a los cambios en V_{BE} es

$$S_{V_{BE}}^{I_C} = \frac{-V_{BE}}{V_{TT} - V_{BE}} \tag{6.18}$$

Ejercicio 6.10 Obtener la Ecuación (6.18).

Las Ecuaciones (6.17) y (6.18) describen completamente el circuito de la Figura 6.8 con tal que V_{TT} en la Ecuación (6.16) esté tomada de la tensión del equivalente Thèvenin entre la base y el extremo que no está conectado al emisor de la resistencia de emisor.

Una vez que se conozca la función sensibilidad, sustituimos los valores del parámetro para los diseños particulares obteniendo las sensibilidades numéricas.

EJEMPLO 6.10 Calcular $S_{V_{BE}}^{I_C}$ para el circuito de polarización del Ejemplo 6.6.

Solución Los valores de los componentes fueron R_1 = 84,5 kΩ y R_2 = 27 kΩ. Para este diseño la tensión Thèvenin V_{TT} es

$$V_{TT} = \frac{27}{84,5 + 27} \times 12 = 2,91\text{ V}$$

Con V_{BE} igual a 0,7 V, (6.18) da

$$S_{V_{BE}}^{I_C} = \frac{-0,7}{2,91-0,7} = -0,317$$

❑

Ejercicio 6.11 Calcular $S_\beta^{I_C}$ para el circuito de polarización del Ejemplo 6.6 para los valores límites de β.
Respuesta 0,0971, 0,0669.

Las ecuaciones de sensibilidad para circuitos con cuatro resistencias del FET serán algo más difíciles de obtener. Como el transistor trabaja en la zona activa, la corriente de drenador es

$$I_D = \frac{k}{2}\left(V_{GS} - V_t\right)^2$$

En la Figura 6.6 vimos que debe satisfacerse la restricción (6.11); así calcularemos las sensibilidades de

$$I_D = \frac{k}{2}\left(V_{GG} - I_D R_S - V_t\right)^2 \tag{6.19}$$

Donde I_D aparece a ambos lados de la igualdad. Es de esperar que el lector pueda calcular la derivada de I_D respecto a R_S y como no hay nuevos conceptos electrónicos dejamos para el Problema 6.39 el cálculo de la sensibilidad de I_D.

Las expresiones algebraicas de la sensibilidad facilitan el cálculo numérico de las sensibilidades pero, más importante, indican qué parámetros contribuyen a la sensibilidad y de qué forma. A menudo, examinando las expresiones algebraicas obtenemos ideas sobre cómo rediseñar el circuito para tener menor sensibilidad. Por ejemplo, reescribiendo (6.17) como

$$S_\beta^{I_C} = \frac{1}{1+\beta R_E/\left(R_T + R_E\right)}$$

queda más claro que con menor R_T, se reduce la sensibilidad de la corriente de colector respecto de β. Hemos alcanzado la misma conclusión de forma intuitiva analizando la Ecuación (6.12); sin embargo, la expresión muestra también que: 1) lo mejor que podemos hacer es $S_\beta^{I_C}=1/(1+\beta)$, y 2) la sensibilidad es menor para mayores β.

Sensibilidad a varios parámetros En un circuito determinado, suele haber varios parámetros de diseño y la variación de un valor como I_C depende de las variaciones combinadas de los parámetros individuales. Para entender el caso general supongamos que Q es una función de N parámetros, p_1, p_2, ... ,p_N; es decir

$$Q = Q\left(p_1, p_2, \ldots, p_N\right)$$

Si los parámetros individuales varían poco, el cambio total ΔQ queda determinado por la regla de la cadena

$$\Delta Q = \frac{\partial Q}{\partial p_1}\Delta p_1 + \frac{\partial Q}{\partial p_2}\Delta p_2 + \cdots + \frac{\partial Q}{\partial p_N}\Delta p_N$$

Dividiendo por Q da

$$\frac{\Delta Q}{Q} = \frac{1}{Q}\frac{\partial Q}{\partial p_1}\Delta p_1 + \frac{1}{Q}\frac{\partial Q}{\partial p_2}\Delta p_2 + \cdots + \frac{1}{Q}\frac{\partial Q}{\partial p_N}\Delta p_N$$

Multiplicando cada término de la derecha por p_i/p_i da

$$\frac{\Delta Q}{Q} \approx \frac{p_1}{Q}\frac{\partial Q}{\partial p_1}\frac{\Delta p_1}{p_1} + \frac{p_2}{Q}\frac{\partial Q}{\partial p_2}\frac{\Delta p_2}{p_2} + \cdots + \frac{p_N}{Q}\frac{\partial Q}{\partial p_N}\frac{\Delta p_N}{p_N}$$

o

$$\frac{\Delta Q}{Q} = S_{p_1}^{Q}\frac{\Delta p_1}{p_1} + S_{p_2}^{Q}\frac{\Delta p_2}{p_2} + \cdots + S_{p_N}^{Q}\frac{\Delta p_N}{p_N} \tag{6.20}$$

donde la derivada normal de (6.14) se particulariza a las derivadas parciales para el caso de varios parámetros. Para pequeñas variaciones de los parámetros, la variación relativa de Q es igual a las variaciones de los parámetros individuales cada uno ponderado por la sensibilidad de Q a ese parámetro.

La Ecuación (6.20) tiene muchas aplicaciones. Primero, la podemos usar para estimar la variación de ΔQ para un diseño dado ante variaciones esperadas de los parámetros. Segundo, podemos calcular ΔQ en diseños alternativos para obtener la menor variación. Tercero, examinando las contribuciones relativas de los términos individuales a $\Delta Q/Q$ podemos determinar el parámetro más crítico para el diseño y asignarle menor tolerancia.

En el siguiente ejemplo se comprueba la utilidad de la Ecuación (6.20) cuando se conocen los valores de la sensibilidad.

EJEMPLO 6.11 La tensión V de un punto para un determinado circuito es una función de cuatro resistencias. Las sensibilidades son

$$S_{R_1}^{V} = -\,0{,}2,\; S_{R_2}^{V} = 1{,}9,\; S_{R3}^{V} = 0{,}2,\; S_{R4}^{V} = 0{,}0$$

a) ¿Qué resistencia es la más crítica en el diseño?

b) Estimar la variación relativa de V si todas las resistencias están un 10% por encima de su valor nominal.

c) Estimar el peor caso de la variación relativa de V si todas las resistencias están ±10% de su valor nominal.

d) Rehacer el apartado c) para una tolerancia de ±1% en R_2 y 10% para las demás.

Solución a) R_2 es el más crítico porque contribuye con la máxima sensibilidad.

b) (6.20) da

$$\frac{\Delta V}{V} \approx -\,0{,}2 \times 0{,}1 + 1{,}9 \times 0{,}1 + 0{,}2 \times 0{,}1 + 0{,}01 \times 0{,}1 = 0{,}191$$

haciendo V un 19% mayor.

c) El peor caso se da cuando el signo algebraico de todas las variaciones es el mismo que el de las correspondientes sensibilidades, por ejemplo, R_1 es un 10% menor ($\Delta R/R_1 = -0{,}1$) mientras que las demás son un 10% mayores. En esta desafortunada circunstancia

$$\frac{\Delta V}{V} \approx -0{,}2 \times (-\,0{,}1) + 1{,}9 \times 0{,}1 + 0{,}2 \times 0{,}1 + 0{,}01 \times 0{,}1 = 0{,}23$$

d) Manteniendo el valor más crítico de resistencia al 1% (posible en circuitos discretos) da un peor caso de variación de

$$\frac{\Delta V}{V} \approx -0{,}2 \times (-0{,}1) + 1{,}9 \times (0{,}01) + 0{,}2 \times 0{,}1 + 0{,}01 \times 0{,}1 = 0{,}06$$

resultado que justifica la importancia de identificar los parámetros críticos del diseño. ❑

El SPICE calcula sensibilidades numéricas. La posibilidad de identificar parámetros nos permite enfocar nuestros esfuerzos de obtener la función de sensibilidad sólo para aquellos parámetros más capaces de mejorar el diseño. Con una identificación inicial de los parámetros críticos evitamos obtener expresiones algebraicas de todas las funciones de sensibilidad. La siguiente sección explica el análisis de sensibilidad SPICE, además de otros aspectos destacados.

6.6 ANÁLISIS DE LOS CIRCUITOS DE POLARIZACIÓN EN SPICE

6.6.1 INTRODUCCIÓN

Los ejemplos SPICE del Capítulo 5 calculaban varios puntos Q de transistores a diferentes temperaturas. Ahora comprendemos el diseño de los circuitos de polarización y el concepto de estabilidad del punto Q y podemos entender mejor esta capacidad. En esta sección veremos otras interesantes aplicaciones del SPICE para el análisis de los circuitos de polarización.

Durante el montaje de circuitos discretos, cada resistencia es elegida según su valor nominal. Los valores nominales no son todos los posibles –sólo los múltiplos decimales de unos pocos valores particulares que corresponden a las *tolerancias* especificadas. La Tabla 6.1 da los *valores* para resistencias del 5% y 10% de tolerancia (también están disponibles las tolerancias del 1% y del 20% pero no se incluyen en la tabla).

Cuando se usan resistencias del 10% sustituimos cada resistencia del diseño original con los valores nominales más próximos de la primera a tercera columna de la tabla, o también, con combinaciones serie o paralelo de estos valores. La simulación SPICE da el efecto de sustituir los valores nominales antes de que se efectúe el montaje físico.

En el Capítulo 4 usamos SPICE para calcular los cambios térmicos en los parámetros de un transistor. Con SPICE podemos especificar también los coeficientes de temperatura de las resistencias añadiendo la sentencia "*TC* = valor" al final de la línea correspondiente a la resistencia, donde *TC* es el código SPICE para el coeficiente de temperatura α. Con esta información el SPICE calcula los cambios en la resistencia usando (3.9) con lo que se facilitan simulaciones realistas del funcionamiento de un circuito para amplios márgenes de temperatura.

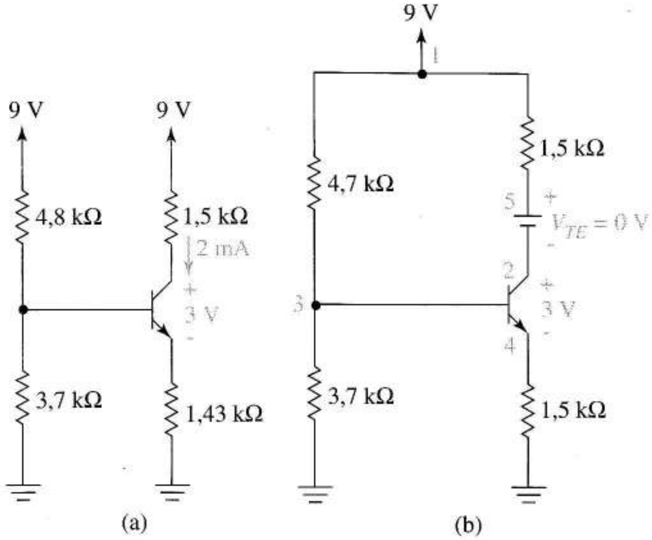
El SPICE se ejecuta usando los valores máximo, típico y mínimo y también facilita estudiar variaciones en parámetros como β, V_t y k. También, si se pide, el SPICE calcula las sensibilidades numéricas durante un análisis en continua para ayudarnos a identificar los parámetros críticos en los valores importantes de un circuito.

6.6.2 SIMULACIÓN EN SPICE DE LA VARIACIÓN DE TEMPERATURA

En el siguiente ejemplo se ilustran las capacidades básicas de SPICE relacionadas con las variaciones de temperatura.

TABLA 6.1 Valores nominales de resistencias discretas.

Tolerancia 10%	Tolerancia 5%	Las resistencias discretas sólo están disponibles en múltiplos de 10 de estos valores
*	*	1,0 1.5 2,2 3,3 4,7 6,8
	*	1,1 1,3 1,6 2,0 2,4 3,0 3,6 4,3 5,1 6,2 7,5 9,1
*	*	1,2 1,8 2,7 3,9 5,6 8,2




```
EXAMPLE 6.12
VCC 1 0 DC 9
VTE 5 2 DC 0
R1 1 3 4.7K TC=0.004
R2 3 0 3.9K TC=0.004
RC 1 5 1.5K TC=0.004
RE 4 0 1.5K TC=0.004
Q1 2 3 4 BIPO
.MODEL BIPO NPN BF=20 XTB=1.7
.TEMP -40 27 70
.END
```

(c)

FIGURA 6.16
Simulación SPICE del Ejemplo 6.12: (a) diseño original; (b) circuito SPICE indicando los valores nominales mas próximos de resistencias del 10%; (c) código SPICE de las variaciones producidas por la temperatura sobre el punto Q.

EJEMPLO 6.12 La Figura 6.16a muestra el circuito diseñado en el Ejemplo 6.2. Supóngase que éste es un prototipo diseñado para trabajar de – 40ºC a 70ºC con una corriente de colector dentro del ±40% de los 2 mA nominales. Usar SPICE para ver si el circuito satisface las especificaciones con resistencias del 10% teniendo coeficientes α = 0,004/ºC y con $20 \leq \beta \leq 200$. Incluir variaciones realistas de β como se indica en (4.19) especificando XTB = 1,7.

Solución En la Figura 6.16b los valores de diseño de las resistencias se sustituyen por los valores de la serie del 10% más próximos según la Tabla 6.1. VTE monitoriza la corriente de colector. La Figura 6.16c da el código SPICE; "TEMP" provoca el análisis a las temperaturas extremas así como a la temperatura de 27ºC. En la primera ejecución β = 20 y en la segunda, β = 200.

La Tabla 6.2 muestra los datos generados por la simulación. La fila del medio indica que las coordenadas del punto Q permanecen cerca de los valores de diseño (3 V, 2 mA) incluso después de cambiar tres resistencias a los valores disponibles de la serie del 10%. La primera fila dice lo que sucede cuando la temperatura cae a – 40ºC. Todas las resistencias bajan significativamente lo mismo que β. No se indican explícitamente en la tabla los incrementos en V_{BE} e I_{CEO} (ver Sección 4.9.1) que se incluyen automáticamente en la simulación. El resultado de todas estas variaciones es un incremento en ambas coordenadas del punto Q, con I_C que es un 23% mayor del nominal. A 70ºC, y las resistencias son mayores que el nominal y la corriente de colector es un 13% menor. Adviértase que V_{CE} no se acerca al valor de saturación de 0,2 V ni I_C se acerca al valor de corte de cero.

Después de la simulación es bueno comprobar los datos para saber cómo se llevó a cabo la simulación. ❑

Ejercicio 6.12 Usar una calculadora y la Ecuación (4.19) para predecir con seis dígitos de precisión el valor de β a 70ºC de la Tabla 6.2 a partir del valor de 27ºC. Usar la Ecuación (3.9) para calcular de la misma forma el cambio en R_E.

Respuesta β(70) = 25,1145, *RE*(70) = 1,75800 kΩ.

La Tabla 6.3 da las variaciones calculadas para el punto Q durante una segunda ejecución de SPICE usando la de 200 a 27ºC. Nuevamente el punto Q queda lejos de corte y saturación para todas las temperaturas. De las dos tablas, concluimos que la combinación más crítica de circunstancias es la temperatura baja y la beta alta, donde nuestro diseño falla y no alcanza las especificaciones. Aunque el punto Q sea bastante estable, considerando las variaciones extremas de temperatura, será necesario algún rediseño y/o mejores resistencias y tolerancias del transistor antes de que se satisfagan las especificaciones dadas. En este momento el análisis de sensibilidad podría ayudarnos a identificar los parámetros más críticos para un estudio mejor.

6.6.3 ANÁLISIS DE SENSIBILIDAD EN SPICE

El SPICE no usa la Ecuación (6.14) para calcular la sensibilidad. En su lugar relaciona cantidades llamadas elementos de sensibilidad y sensibilidad normalizada. El *elemento de sensibilidad* de una cantidad Q respecto a un parámetro P se define como

$$E_P^Q = \frac{\partial Q}{\partial P}$$

Comparando definiciones está claro que

CENTRO POLITECNICO SUPERIOR DE INGENIEROS · BIBLIOTECA · ZARAGOZA

$$S_P^Q = \frac{P}{Q} E_P^Q \tag{6.21}$$

El SPICE también calcula la *sensibilidad normalizada N*, definida como

$$N_P^Q = \frac{P}{100}\frac{\partial Q}{\partial P} \approx \frac{\Delta Q}{100(\Delta P/P)}$$

Sigue que

$$S_p^Q = \frac{100}{Q} N_P^Q \tag{6.22}$$

Con (6.21) y (6.22) podemos convertir desde un elemento o una sensibilidad normalizada a "sensibilidad".

El comando del análisis en continua de SPICE, ".SENS Q" da el elemento de sensibilidad y la sensibilidad normalizada de una cantidad Q a las variaciones de *todos* los parámetros del circuito. (Esto puede producir ficheros de salida bastante grandes.) En el SPICE, Q puede ser cualquier tensión de nodo o diferencial, corriente en una fuente de tensión o tensión en una fuente de corriente. Algunas veces, hay que ser imaginativos para hallar la sensibilidad que necesitamos. Para hallar la sensibilidad de una corriente de salida de un transistor, por ejemplo, situamos una fuente de tensión independiente, VTE, de cero voltios en serie con el drenador o el colector; su corriente I(VTE) se usará como Q en el comando .SENS. Los siguientes ejemplos demuestran estos aspectos.

TABLA 6.2 Variaciones de los parámetros y del punto Q con la temperatura.

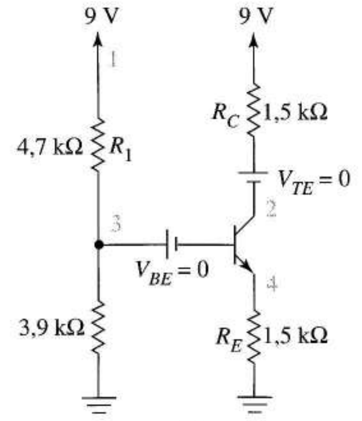
T (ºC)	R1 (Ω)	R2 (Ω)	RC (Ω)	RE (Ω)	β	V_{CE} (V)	I_C (mA)	ΔI_C(%)
−40	3,44 k	2,86 k	1,10 k	1,10 k	13,0	3,40	2,46	+23
27	4,70 k	3,90 k	1,50 k	1,50 k	20,0	2,98	1,96	−2
70	5,50 k	4,57 k	1,76 k	1,76 k	25,1	2,77	1,74	−13

```
EXAMPLE 6.13
VCC 1 0 DC 9
VTE 5 2 DC 0
R1 1 3 4.7K
R2 3 0 3.9K
RC 1 5 1.5K
RE 4 0 1.5K
Q1 2 3 4 BIPO
.MODEL BIPO NPN
+BF=20 XTB=1.7
.SENS I(VTE)
.END
```

(a)

Elemento P =	Sensibilidad Normalizada $N_P^{I_C}$ (amperios/%)	Sensibilidad $S_P^{I_C}$
R_1	-1,465E-05	-0,733
R_2	-1,450E-05	+0,725
R_C	-7,836E-14	$-3{,}92\text{x}10^{-9}$
R_E	-2,133E-05	-1,067
V_{CC}	-2,667E-05	+1,334
β_F	-2,569E-07	+0,013
I_S	-1,690E-07	+0,008

(b)



(c)

FIGURA 6.17 Análisis de sensibilidad para el circuito de la Figura 6.16a: (a) código SPICE; (b) valores de sensibilidad; (c) adición de una fuente para obtener la sensibilidad a V_{BE}.

EJEMPLO 6.13 Calcular con SPICE la sensibilidad de I_C a la temperatura ambiente en el circuito de la Figura 6.16b.

Solución La Figura 6.17a representa el código SPICE. En relación con el código de la Figura 6.16c, borramos los coeficientes de temperatura de la resistencia y el comando `.TEMP` y añadimos el comando `.SENS`.

La última columna de la Figura 6.17b es la lista de sensibilidades. Fueron convertidas a mano a partir de las sensibilidades de SPICE en la segunda columna usando la Ecuación (6.22) con $Q = I_C = 1{,}96$ mA.

Es interesante advertir que la sensibilidad a la tensión de alimentación V_{CC} es la mayor. De los parámetros del transistor, la corriente inversa de saturación I_S es mucho menos importante que la del transistor β, indicada por β_F. Como cabría esperar del estudio de la Sección 6.3, *RE* es la más crítica de las cuatro resistencias. Adviértase que *RC*, aislada del circuito de base-emisor por la fuente de corriente dependiente en nuestro modelo de gran señal, tiene poco efecto sobre I_C. ❑

El sentido común sugiere que la sensibilidad de I_C a la resistencia de colector crecería si se hubiera hecho menos perfecta la fuente dependiente incluyendo la resistencia de salida del transistor. El siguiente ejercicio analiza esta conjetura.

TABLA 6.3 Variaciones del punto Q cuando β =200.

T(ºC)	V_{CE}(V)	I_C(mA)	ΔI_C (%)
–40	2,70	2,86	43
27	2,49	2,17	8,5
70	2,35	1,89	-5,5

Ejercicio 6.13 Calcular S_{RC}^{IC} con SPICE cuando el transistor del Ejemplo 6.13 tiene tensión Early de 95 V.
Respuesta $S_{RC}^{I_C} = 0{,}00334$

Se ha olvidado conscientemente una fila para V_{BE} en la Figura 6.17b, que identificamos previamente como el parámetro más crítico a la temperatura. Para el SPICE, V_{BE} es la coordenada de tensión del punto Q en la característica de entrada del transistor, no un parámetro del circuito, por lo que hay que usar un pequeño artificio para hallar esta sensibilidad. Cuando colocamos una fuente de tensión, V_{BE}, de cero voltios en serie con la base, como en la Figura 6.17c, el punto Q no se modifica pero el SPICE calcula la sensibilidad a los cambios en V_{BE} y esta sensibilidad describe las consecuencias de la variación de la característica de entrada hacia la derecha o a la izquierda.

Usando esta fuente extra en el ejemplo previo da

$$S_{v_{BE}}^{I_C} = -\ 0{,}264$$

resultando consistente con la observación previa de que V_{BE} es el parámetro más crítico de los del transistor en los diseños de los circuitos de polarización.

Las sensibilidades a los cambios en las tensiones umbrales –igual que ocurre con la sensibilidad a V_{BE} en los bipolares- no se calcula en SPICE en los circuitos con FET. Podemos añadir una fuente de tensión continua en serie con la puerta del transistor como en la Figura 6.18 para evitar esta omisión. Diferenciando I_D en la ecuación

$$I_D = \frac{k}{2}\left(v_{GS} - V_t\right)^2 = \frac{k}{2}\left(v_{NS} - VT - V_t\right)^2$$

podemos comprobar que

$$E_{VT}^{I_D} = E_{V_t}^{I_D}$$

ya que la derivada de I_D respecto a VT es la misma que la derivada con respecto a V_t.

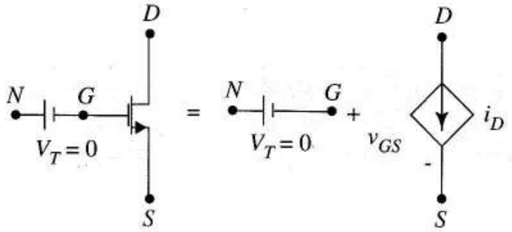
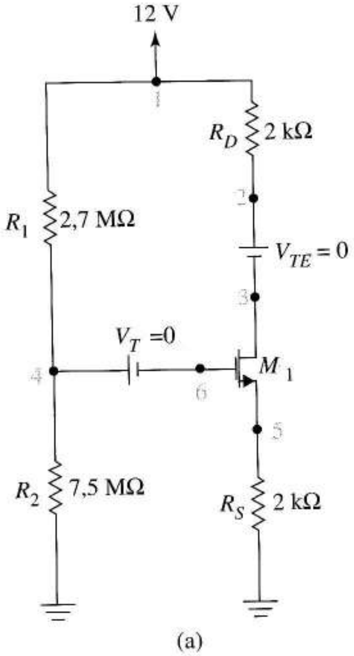


FIGURA 6.18 Añadiendo una fuente en SPICE se obtiene la sensibilidad a la tensión umbral.




```
EXAMPLE 6.14
VDD 1 0 DC 12
VTE 2 3 DC 0
VT 4 6 DC 0
RD 1 2 2K
RS 5 0 2K
R1 1 4 2.7MEG
R2 4 0 7.5MEG
M1 3 6 5 0 TRAN
.MODEL TRAN NMOS VTO=2 KP=0.SE-3
+LAMBDA=.025 GAMMA=0.37
.SENS I(VTE) V(3,5)
.END
```

(b)

FIGURA 6.19 Análisis del peor caso de sensibilidad para el Ejemplo 6.14: (a) circuito de polarización; (b) código SPICE.

EJEMPLO 6.14 Usar el SPICE para calcular las sensibilidades de I_D y V_{DS} en el circuito de polarización diseñado en el Ejemplo 6.1. El transistor tiene una tensión Early de 40 V y un coeficiente de efecto del sustrato de 0,37 V. Utilizar resistencias del 5%.

Solución La Figura 6.19a muestra el circuito con las resistencias elegidas tan próximas como es posible a los valores nominales. La fuente VTE hace que I_D quede disponible para el análisis de la sensibilidad, y VT introduce la sensibilidad a variaciones en la tensión umbral. La Figura 6.19b muestra el código SPICE. Como V(3,5) es V_{DS}, la sentencia .SENS solicita el análisis de sensibilidad para las dos coordenadas del punto Q.

La última columna de la Tabla 6.4 da una lista de las sensibilidades de la corriente de drenador calculadas de los datos del SPICE en las columnas precedentes. Las primeras cinco filas fueron calculadas de las sensibilidades normalizadas usando $Q = I_D = 1{,}87$ mA, la corriente de drenador nominal calculada por el SPICE. La última fila se calculó de la sensibilidad del elemento usando $P = V_t = 2{,}0$ V. El valor de V_{DS} calculado por el SPICE fue de 4,51 V. Usando este valor para Q calculamos la última columna de la Tabla 6.5. ❑

Ejercicio 6.14 Usar los datos de las Tablas 6.4 y 6.5 para estimar el peor caso de las variaciones unitarias $\Delta I_D/I_D$ y $\Delta V_{DS}/V_{DS}$ cuando las variaciones de las resistencias son ±10%, las variaciones de la alimentación son ±1% y las de V_t son del 20%.

Respuesta $\Delta I_D/I_D = 0{,}249$, $\Delta V_{DS}/V_{DS} = 0{,}379$.

Es prudente usar los resultados de sensibilidad con cuidado. Ya hemos advertido que los cálculos de sensibilidad emplean derivadas para estimar relaciones de cambios incrementales. En este contexto, variaciones del 10% y 20% no son siempre pequeñas. Son necesarias también algunas precauciones sobre la estimación del peor caso. En el Ejercicio 6.14 suponemos que *todos* los parámetros toman su valor de "*peor caso*" de tal manera que maximizan la variación de la cantidad que interesa, cosa que, de hecho, es poco probable. En general, el peor caso tiende a ser muy seguro pero excesivamente pesimista. Es más, algunas veces es inconsistente. Adviértase que cuando estimamos ΔI_D suponemos ΔR_S negativo porque su sensibilidad en la Tabla 6.4 es negativa mientras para estimar ΔV_{DS} tomamos ΔR_S positiva porque su sensibilidad

en la Tabla 6.5 es positiva. Ciertamente, la variación de R_D no *puede ser* a la vez positiva y negativa en el mismo circuito. Ciertamente, nuestro peor caso no tiene en cuenta las interrelaciones entre sensibilidades.

Algunas implementaciones de SPICE permiten al usuario incluir una relación aleatoria de valores de parámetros y facilitar información estadística con muchos datos sobre los valores de los parámetros. *El análisis de Monte Carlo* da predicciones más realistas acerca del comportamiento del circuito que el estudio del peor caso. Como el análisis de Monte Carlo precisa conocimientos de estadística y no esta incluido en todos los paquetes SPICE, dejaremos esta útil técnica para otro curso, autoaprendizaje o entrenamiento en el trabajo.

TABLA 6.4 Sensibilidad de la corriente de drenador

Nombre del elemento $P =$	Sensibilidad del elemento (Amperios/unidad)	Sensibilidad normalizada (Amperios/%)	Sensibilidad $S_P^{I_D}$
RD	–1,827E-8	–3,654E-7	–0,020
RS	–7,007E-7	–1,402E-5	–0,749
R1	–2,896E-10	–7,820E-6	–0,418
R2	1,043E-10	7,820E-06	0,418
VDD	2,559E-04	3,071E-05	1,640
VT	3,348E-04	0,000	–0,358

TABLA 6.5 Sensibilidades de la tensión drenador-fuente.

Nombre del elemento $P =$	Sensibilidad del elemento (V/unidad)	Sensibilidad normalizada	Sensibilidad $S_P^{V_{DS}}$
RD	–1,799E-3	–3,598E-2	–0,798
RS	9,307E-4	1,861E-2	0,412
R1	1,158E-6	3,128E-2	–0,694
R2	–4,17E-7	–3,128E-2	–0,694
VDD	–2,373E-2	–2,847E-3	–0,0631
VT	1,339	0,000	0,594

6.6.4 POLARIZACIÓN POR FUENTE DE CORRIENTE

Los circuitos de polarización que hemos estudiado son sencillos de estructura, fáciles de diseñar, de bajo coste para realizaciones discretas y los valores de sensibilidad demostrados en nuestros ejemplos son adecuados para muchas aplicaciones. En el diseño de circuitos integrados, sin embargo, las resistencias ocupan considerable tamaño haciéndolas más caras que los transistores. Para reducir el coste y mejorar la sensibilidad, los diseñadores de circuitos integrados emplean circuitos que aplican fuentes de corrientes independientes mejor que resistencias para polarización.

Para asegurar una baja sensibilidad, nuestra principal idea es maximizar la resistencia de emisor (fuente) en el contexto de una fuente de alimentación dada y un punto Q especificado. De los ejemplos, esta claro que los diseños ponen límites superiores al tamaño de esta resistencia. Con una tensión en el transistor especificada, el resto de la alimentación está compartido por la resistencia de emisor (fuente) y la de colector (drenador). Como ambas tienen casi idénticas (idénticas) corrientes, subiendo la resistencia de emisor (fuente) se reduce la resistencia de colector (drenador) y, con ello, la ganancia de tensión.

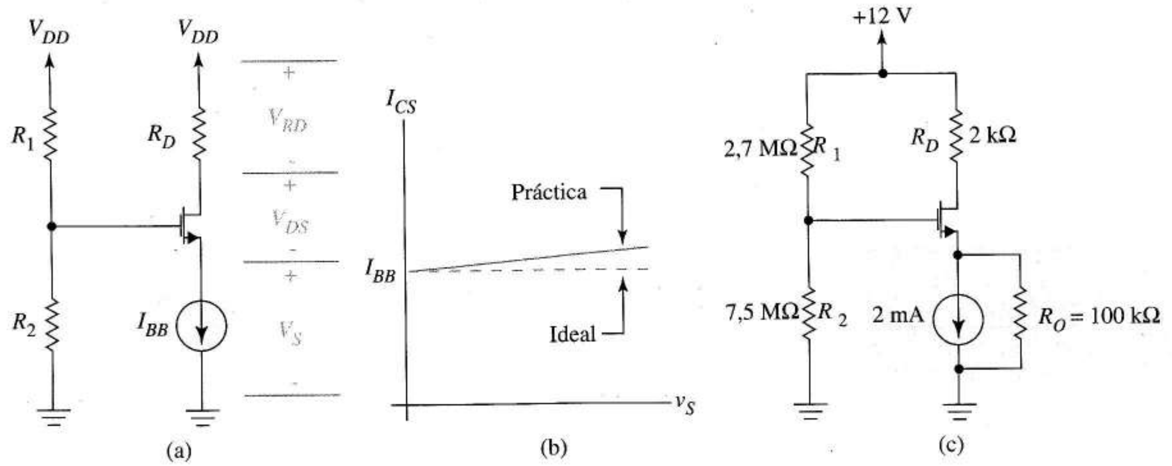


FIGURA 6.20 Polarización con fuente de corriente: (a) ejemplo de circuito de polarización; (b) característica vi de la fuente de corriente; (c) circuito equivalente.

La Figura 6.20a muestra una idea que podría librarnos de esté patrón en el diseño. Para bajas sensibilidades, hacemos infinita la resistencia de emisor; para dar la corriente especificada, ponemos una fuente de corriente. Como I_{BB} proporciona la necesaria corriente de drenador, intuitivamente la sensibilidad es cero. Podemos alcanzar ganancia elevada, ya que vimos en el Capítulo 1 que la tensión en la fuente de corriente puede tomar cualquier valor; así, teóricamente V_S puede ser pequeña o negativa, dejando más tensión para R_D. Las fuentes de corriente prácticas necesitan una pequeña tensión positiva V_S y también tienen resistencia interna; en cualquier caso, la idea es muy buena. Con la fuente de corriente podemos asignar tensiones V_{DS} y V_{RD} sin la restricción de asegurar que V_S sea grande. Esta misma idea vale para la polarización de los bipolares, donde la fuente de corriente sustituye a la resistencia de emisor.

Las fuentes prácticas de corriente que hemos visto –hechas con MOSFETs de deplexión y JFETs– tienen curvas vi como en la Figura 6.20b. Debido al efecto Early, se tiene una resistencia de salida finita pero grande, r_o: cuando la usamos como fuente para polarización, la resistencia de salida de la fuente de corriente sustituye la resistencia de emisor o fuente en lo que concierne a la sensibilidad; sin embargo, r_o es mucho mayor de lo que podríamos usar si tuviese que conducir la corriente de polarización. (I_D de 1 mA circulando por R_S= 120 kΩ necesitaría una fuente de alimentación ¡mayor de 120 V!). Aunque la fuente de corriente necesita una tensión de salida para que funcione en zona activa, ésta suele ser pequeña.

Para analizar la polarización por fuente de corriente, consideremos la Figura 6.20c, el circuito de la Figura 6.19 con la resistencia de la fuente de 2 kΩ sustituida por la fuente de corriente de 2 mA y 100 kΩ de resistencia de salida. La Tabla 6.6 compara las sensibilidades calculadas por SPICE para los dos circuitos. Las sensibilidades del circuito inicial aparecen entre paréntesis y están copiadas de las Tablas 6.4 y 6.5.

Todas las sensibilidades drenador-fuente se reducen uno o dos órdenes de magnitud con la polarización por fuente de corriente. La sensibilidad a la alimentación dominante en el circuito con cuatro resistencias se ve fuertemente reducida. Las sensibilidades a la tensión drenador-fuente no muestran las mismas mejoras; pero la corriente de drenador es más crítica a los parámetros de pequeña señal como g_m.

En la siguiente sección veremos un gran número de posibilidades para construir fuentes de corriente, incluso algunas con gran resistencia de salida.

TABLA 6.6 Sensibilidades con polarización por fuente de corriente.

Nombre del elemento	$S_P^{I_D}$ (Polarizado con R_s)		$S_P^{V_{DS}}$ (Polarizado con R_s)	
RD	−0,000543	(−0,020)	−0,923	(−0,798)
ROUT (RS)	−0,0177	(−0,749)	0,014	(0,412)
R1	−0,0102	(−0,418)	0,492	(0,694)
R2	−0,0102	(0,418)	−0,492	(−0,694)
VDD	0,0400	(1,640)	0,859	(−0,631)
VT	−0,00871	(−0,358)	0,422	(0,594)
IBB	0,976		0,371	

6.7 FUENTES DE CORRIENTE

6.7.1 INTRODUCCIÓN

En los circuitos integrados, las fuentes de corriente son las que suelen proporcionar las corrientes de polarización necesarias para el funcionamiento en zona activa de los transistores. También se usan *cargas activas* para aumentar la ganancia de los amplificadores. Las fuentes de corriente y los circuitos integrados se amoldan bien entre sí ya que ocupan menos espacio que las resistencias de polarización, mientras que los diseños de fuentes de corriente necesitan *transistores iguales*, lo que sólo es posible en las tecnologías de circuitos integrados. Los transistores similares, ecualizados o, simplemente, iguales[1] tienen parámetros idénticos que varían con la temperatura; los parámetros son idénticos porque están fabricados en las mismas condiciones de temperatura ya que los transistores sólo están separados en un chip unas pocas micras con lo que su ambiente térmico es el mismo.

Las fuentes de corriente que estudiaremos a continuación tienen dos partes: *corriente de referencia* que es relativamente independiente de la temperatura y de la variacion de parámetros, y un *espejo de corriente* que copia la corriente de referencia hacia otro lugar del circuito.

Esencial para el espejo es el *transistor conectado como diodo* de la Figura 6.21, un subcircuito de dos terminales que tiene una característica como la de un diodo. En la Sección 5.3 describimos este diodo construido con un FET como una *resistencia no lineal* en la que el FET está cortado o activo. El construido con un bipolar de la Figura 6.21b está también al corte o activo siguiendo el razonamiento siguiente: como $v_{CE} = v_{BE}$, si v_{CE} es menor que la tensión de codo, el transistor está cortado. Si v_{CE} lo supera, el transistor está en conducción y, dado que

$$v_{CE} > 0{,}5\ \mathrm{V} > V_{CE,\,sat}$$

está activo. La curva *vi* es como la característica de un diodo (6.21b). En fuentes de corriente, el diodo así construido está siempre activo.

La fuente de corriente juega un papel tan importante en integrados lineales que su identificación es la clave para comprender circuitos no familiares. La conexión como diodo de un transistor permite una fácil localización de las fuentes de corriente en un esquema.

[1]N. del T.; El término "transistores iguales" significa que sus parámetros se pueden considerar iguales a todos los efectos aunque, como es lógico, haya pequeñas diferencias en la realidad. De aquí en adelante emplearemos este término con este mismo significado.

Hay varios circuitos espejo de corriente que ofrecen diferentes compromisos entre la complejidad del circuito, la alta resistencia de salida y la insensibilidad frente a variaciones de parámetros internos. Comenzaremos por el más simple, el *circuito espejo básico.*

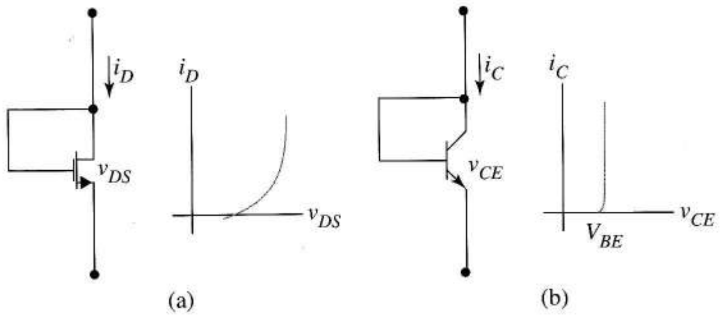


FIGURA 6.21 Transistor conectado como diodo y sus curvas vi: (a) circuito con MOSFET; (b) circuito con bipolares.

6.7.2 FUENTES DE CORRIENTE BÁSICAS

Espejo de corriente con FET La Figura 6.22a muestra el espejo de corriente básico con FET, un transistor conectado como diodo de referencia, M_R y un transistor espejo, idéntico, M_M, conectado de tal forma que tienen las mismas tensiones puerta-fuente. La corriente de salida, I_O, es una réplica a escala, de la corriente de referencia I_{REF}. Como I_{REF} está perfectamente determinada y es independiente de los cambios de temperatura, sigue siendo exactamente igual cuando está copiada.

El funcionamiento en activa de M_R implica

$$I_{REF} = \frac{k_R}{2}\left(V_{GS} - V_{tR}\right)^2 \tag{6.23}$$

Como I_{REF} está fijada, esto impone un valor determinado, V_{GS}, el valor hallado al proyectar sobre la curva de trazo discontinuo etiquetada con T_1 en la Figura 6.22b. Como M_M esta activo y comparte la *misma* v_{GS} que M_M, I_O se obtiene de la curva de transferencia del transistor espejo en la Figura 6.22b,

$$I_O = \frac{k_M}{2}\left(V_{GS} - V_{tM}\right)^2 \tag{6.24}$$

Como los parámetros son idénticos, las curvas de trazo discontinuo son idénticas e $I_O = I_{REF}$. Pero las variaciones en los parámetros k_R y V_{tR} debidas a la temperatura o a las tolerancias de fabricación provocan cambios en V_{GS}. Por ejemplo, la curva "T_1" podría pasar a ser "T_2". Como los transistores son idénticos los cambios en k_M y V_{tM} replican los cambios en k_R y V_{tR}. Así, $I_O = I_{REF}$ *a pesar de las tolerancias de fabricación o amplias variaciones de temperatura* tal como se ve en las proyecciones de la Figura 6.22b.

El proceso de fabricación de los integrados nos permite tener una escala independiente de la temperatura para relacionar I_{REF} e I_O. Tomando el cociente de (6.29) y (6.25) y reutilizando la Ecuación (5.8) da

$$I_O = \frac{k_M}{k_R} I_{REF} = \frac{(W/L)_M}{(W/L)_R} I_{REF}$$

Así, las máscaras fotográficas que determinan la geometría del transistor también fijan la relación de corriente, permitiendo al diseñador hacer I_O mayor, menor o igual que la I_{REF} independiente de la temperatura.

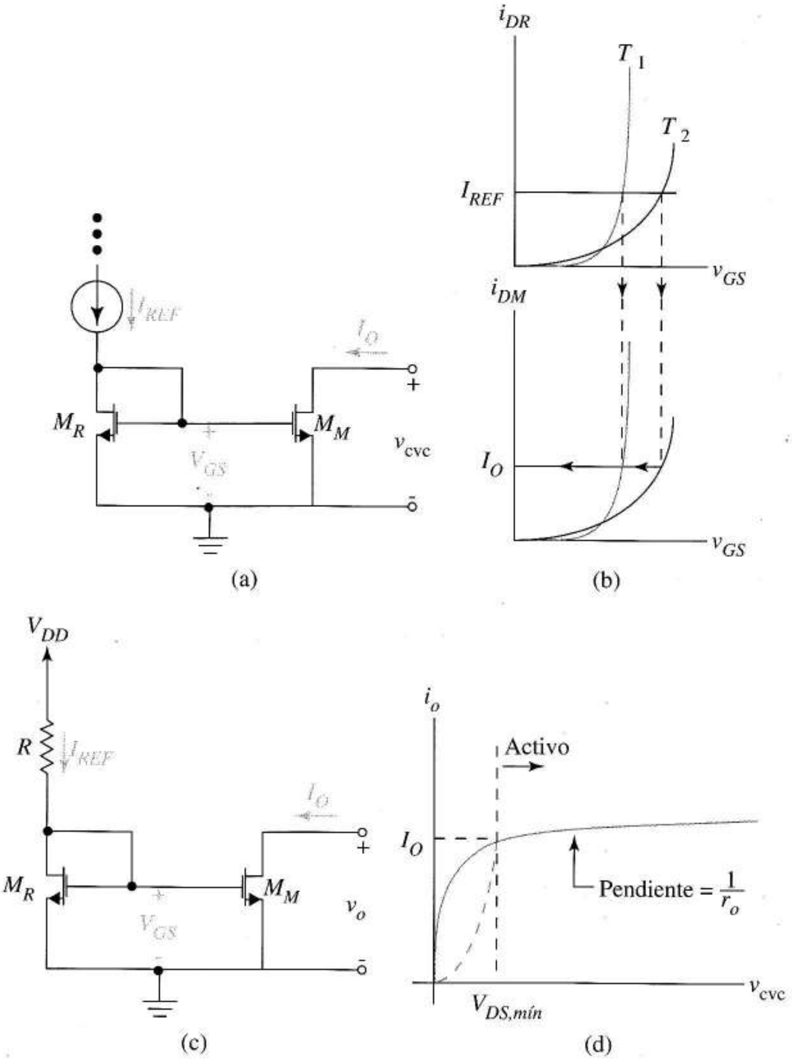


FIGURA 6.22 Fuente básica de corriente: (a) referencia de corriente y espejo; (b) los transistores idénticos siguen la referencia de corriente; (c) espejo con circuito sencillo de referencia de corriente; (d) curva *vi* de salida de la fuente de corriente.

Diseño de fuentes de corriente La Figura 6.22c muestra una fuente de corriente popular en la que la fuente de alimentación y una resistencia de bajo coeficiente térmico proporcionan la corriente de referencia. En el típico problema de diseño, conocemos los parámetros del transistor, la corriente de salida, V_{DD} y el factor de escala de corriente; diseñar quiere decir, hallar R. Empezando con I_O, usamos el factor de escala para hallar I_{REF}. Si no hay razón en contra, hacemos $I_{REF} = I_O$. Después usamos la Ecuación (6.23) para calcular V_{GS}. Entonces

$$I_{REF} = \frac{V_{DD} - V_{GS}}{R} \qquad (6.25)$$

donde sólo R es desconocida. En un buen diseño, V_{DD} es grande en relación con V_{GS}; V_{DD} y R son más o menos independientes de la temperatura, haciendo I_{REF} relativamente independiente de la temperatura.

Para que M_M trabaje como fuente de corriente, debe funcionar en zona activa como en la Figura 6.22d. Esto necesita que $V_{DG} \geq -V_t$. Como la tensión de salida de la fuente es la tensión drenador-fuente del transistor espejo, podemos reescribir la desigualdad como

$$V_o - V_{GS} \geq -V_t$$

que da

$$V_o \geq V_{GS} - V_t$$

Esto fija un límite inferior a la tensión de salida para un funcionamiento correcto. Hay que destacar que una vez que determinemos V_{GS} durante el diseño, podemos especificar la mínima tensión de salida.

EJEMPLO 6.15 Diseñar una fuente de corriente constante que produzca 0,19 mA de corriente de salida. Utilizar transistores idénticos con $k = 0{,}2 \times 10^{-4}$ A/V^2, $V_t = 1{,}3$ V y una alimentación de +15 V. Determinar la mínima tensión de salida.

Solución Resolviendo la Ecuación (6.23) da $V_{GS} = 5{,}66$ V. Para hacer $I_{REF} = 0{,}19$ mA,

$$0{,}19 \times 10^{-3} = \frac{15 - 5{,}66}{R}$$

Esto da $R = 49{,}2$ kΩ. Para el funcionamiento en zona activa se necesita que la tensión en M_M siempre sea mayor que $V_{DS,\, mín} = V_{GS} - V_t = 5{,}66 - 1{,}30 = 4{,}36$ V. ❑

Ejercicio 6.15 Hallar los valores de R y $V_{DS,\, mín}$ si la fuente de corriente del Ejemplo 6.15 tiene la misma corriente de salida y usa el mismo transistor de salida pero $I_{REF} = 3I_O$.

Respuesta 16,4 kΩ, 4,36 V.

La curva vi de una fuente de corriente depende de su espejo de corriente. Para el circuito espejo básico, la característica vi es simplemente la característica de salida del transistor espejo, polarizado a su particular V_{GS} por la corriente de referencia en M_R. A causa de la resistencia de salida del transistor, r_o, la corriente de salida depende ligeramente de la tensión de salida como en la Figura 6.22d. Como siempre, usamos (5.26) para calcular la resistencia de salida. En el Ejemplo 6.15, para $V_A = 75$ V, $r_o = 75/(0{,}19 \text{ mA}) = 395$ kΩ. Normalmente ignoramos las resistencias de salida de M_R y M_M en diseños calculados a mano, pero sí los incluimos en simulaciones. Como vimos cuando considerábamos sustituir la resistencia clave en la polarización por una fuente de corriente, la resistencia de salida es un parámetro muy importante en las aplicaciones de las fuentes de corriente.

Análisis de las fuentes de corriente Habiendo identificado la fuente de corriente en un diagrama de circuito, el siguiente paso es, habitualmente, determinar su corriente de salida. Más específicamente, en el análisis, el objetivo es determinar I_O cuando se dan R, V_{DD} y los parámetros del transistor. Suponiendo M_R activo, igualamos (6.23) y (6.25) y despejamos V_{GS}, después usamos la Ecuación (6.24) o el factor de escala conocido para hallar I_O.

Ejercicio 6.16 La fuente de corriente de la Figura 6.22c tiene los siguientes parámetros: $k_R = 10^{-4}$ A/V^2, $V_{tR} = V_{tM} = 0{,}8$ V, $V_{DD} = 10$ V, $R = 60$ kΩ, $(W/L)_M = 0{,}75(W/L)_R$. Hallar I_O.

Respuesta 95 μA.

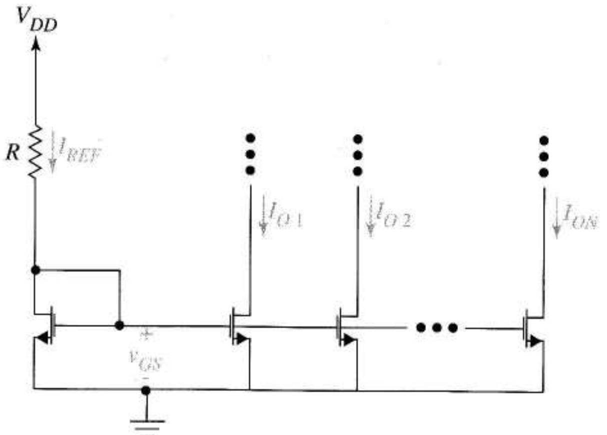


FIGURA 6.23
Fuente de corriente básica con múltiples salidas.

Salidas múltiples El espejo de corriente de la Figura 6.23 da N corrientes de salida, escaladas individualmente respecto a I_{REF}. Como la conexión en paralelo hace que V_{GS} sea común a todos los transistores, el par de Ecuaciones (6.23) y (6.24) relaciona cada salida con la referencia.

Espejo de corriente con bipolares La Figura 6.24a muestra un espejo de corriente con bipolares. Las corrientes de base son despreciables para transistores de gran beta, por lo que para Q_R, $I_C = I_{REF}$. Para que el funcionamiento ocurra en zona activa, (4.5) da

$$I_{REF} = I_{CR} = I_{SR}e^{V_{BE}/V_T} \tag{6.26}$$

donde el subíndice C indica corriente de colector. Para Q_M

$$I_O = I_{CM} = I_{SM}e^{V_{BE}/V_T} \tag{6.27}$$

V_{BE} es idéntica en las dos expresiones porque las uniones base-emisor están en paralelo. Si los transistores están próximos en el mismo chip, el término $V_T = kT/q$ de los exponentes es el mismo y cambia con la temperatura como las corrientes de saturación. Estas últimas pueden ser idénticas provocando que I_O copie I_{REF} exactamente; o las áreas de la unión pueden ser escaladas para introducir un factor de escala independiente de la temperatura. La proximidad con el espejo construido con FETs es obvia.

La resistencia de salida de la fuente de corriente es la resistencia de salida r_o del transistor espejo. La Figura 6.24c muestra que para el funcionamiento en zona activa, la tensión de salida debe ser suficientemente grande como para superar $V_{CE,\,sat}$.

Diseño y análisis de las fuentes de corriente con bipolares El diseño y análisis de estas fuentes son más simples para los bipolares que para los FET porque podemos suponer $V_{BE} = 0{,}7$ V. Por ejemplo, consideremos el diseño de una fuente de corriente como la de la Figura 6.24b. Para una $I_O = I_{REF}$ y V_{CC} dadas, hallemos R de

$$I_{REF} = \frac{V_{CC} - 0{,}7}{R} \tag{6.28}$$

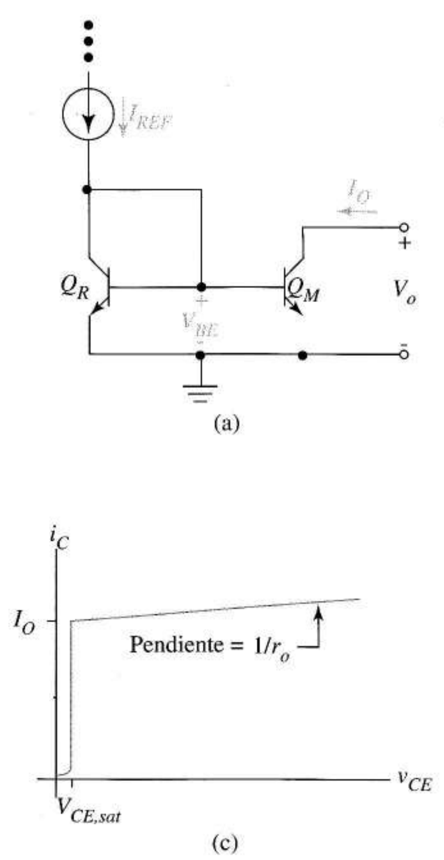


FIGURA 6.24 Fuente de corriente constante con bipolares: (a) estructura básica del espejo; (b) circuito práctico para establecer I_{REF}; (c) curva *vi* de salida de la fuente de corriente; (d) notación para el cálculo de la ganancia de corriente.

En análisis, conocemos V_{CC} y R y despejamos I_{REF}. Después, la corriente de salida será igual a I_{REF} o estará relacionada con ella por una relación conocida de áreas. La simulación computacional da más precisión a la hora de calcular el verdadero valor de V_{BE}.

EJEMPLO 6.16 Diseñar una fuente de corriente con bipolares que dé 1,5 mA de corriente de salida usando una alimentación de 12 V. El área del transistor de referencia es 1,25 veces el área del transistor espejo.

Solución En la Figura 6.24b la corriente de referencia es 1,25 × 1,5 mA = 1,875 mA. De (6.28)

$$R = \frac{12 - 0{,}7}{1{,}875 \text{ mA}} = 6{,}03 \text{ k}\Omega$$

❏

Ganancia de corriente de una fuente de corriente En algunas aplicaciones de las fuentes de corriente la corriente de base no nula puede causar problemas. Cuando incluimos las corrientes de base en el análisis del espejo de corriente, la relación entre I_O e I_{REF} es función de la del transistor β, no de la relación entre las áreas. Es decir

$$\frac{I_O}{I_{REF}} = \frac{A_M}{A_R} f(\beta)$$

donde $f(\beta)$ es un efecto de segundo orden del espejo con bipolares denominado *ganancia de corriente*. La ganancia de corriente es un parámetro importante que nos ayuda a decidir si un determinado circuito es válido para una aplicación dada. Para hallar la ganancia de corriente de cualquier espejo con bipolares, primero expresamos I_{REF} e I_O en función de la corriente de emisor I_X del diodo hecho con el transistor; después, despejamos su cociente. Una técnica eficiente es definir I_X en el diagrama del circuito y después ir razonando sobre el circuito y añadir cada corriente siempre expresada en función de I_X y β mientras que I_{REF} e I_O sean conocidas. Por ejemplo, si suponemos las áreas idénticas en los transistores de la Figura 6.24d, el procedimiento del razonamiento es

1. $I_{EM} = I_X$ (las uniones base - emisor comparten la misma tensión)

2. $I_{BR} = I_{BM} = \dfrac{I_X}{\beta+1}$ (corrientes de base con corrientes de emisor conocidas)

3. $I_B = I_{BR} + I_{BM} = 2\dfrac{I_X}{\beta+1}$ (ley de las corriente de Kirchhoff)

4. $I_O = I_{CR} = \dfrac{\beta}{\beta+1} I_X$ (corrientes de colector con corrientes de base conocidas)

5. $I_{REF} = I_{CR} + I_B = \dfrac{\beta+2}{\beta+1} I_X$ (ley de las corrientes de Kirchhoff)

La relación I_O / I_{REF} da la ganancia de la corriente

$$\frac{I_O}{I_{REF}} = \frac{\beta}{\beta+2} = f(\beta)$$

que significa

$$I_O = \frac{\beta}{\beta+2} I_{REF} \tag{6.29}$$

Cuando β es grande, la ganancia de corriente se aproxima a uno. Para $\beta = 399$, $f(\beta) = 0{,}995$, pero para $\beta = 9$, $f(\beta) = 0{,}818$.

Un dato importante relacionado con la ganancia de corriente es la sensibilidad de la corriente de salida debida a la incertidumbre sobre el valor de β. Aplicando (6.14) a (6.29) da

$$S_{\beta}^{I_O} = \frac{2}{\beta+2} \tag{6.30}$$

Para $\beta = 399$ y 9, las sensibilidades son 0,005 y 0,182 respectivamente. Aun con una referencia fija muy precisa, este espejo básico puede dar corrientes de salida que cambian significativamente con la temperatura si β no es grande. Hallaremos más adelante que bajas ganancias de corriente reducen el buen funcionamiento que, por lo demás, tiene. Los bajos valores de β son especialmente problemáticos en espejos que usan transistores pnp debido a sus bajas β.

Salidas múltiples El espejo con bipolares puede proporcionar *salidas múltiples* si se conectan las uniones base-emisor de varios transistores de salida en paralelo con el diodo formado con el transistor como en la Figura 6.25a. El precio a pagar es la reducción de la ganancia de corriente de las salidas. Por ejemplo, con tres transistores de salida del mismo área, como en la Figura 6.25a, la corriente de referencia es

$$I_{REF} = I_C + 4I_B = \left(\frac{\beta+4}{\beta+1}\right) I_X$$

reduciendo la ganancia en la salida I_{O1} a

$$\frac{I_{O1}}{I_{REF}} = \frac{\beta}{\beta+4}$$

Con N salidas, N+1 reemplaza al "4" de la expresión.

Es importante saber que una vez seleccionada la estructura de la fuente de corriente de la adecuada ganancia de corriente para una aplicación, el *diseño manual se hace sin referencia a la ganancia de corriente*, es decir, suponemos que las corrientes de salida están relacionadas con las corrientes de referencia sólo por las relaciones de áreas. Las simulaciones, por supuesto, tienen en cuenta la ganancia de corriente.

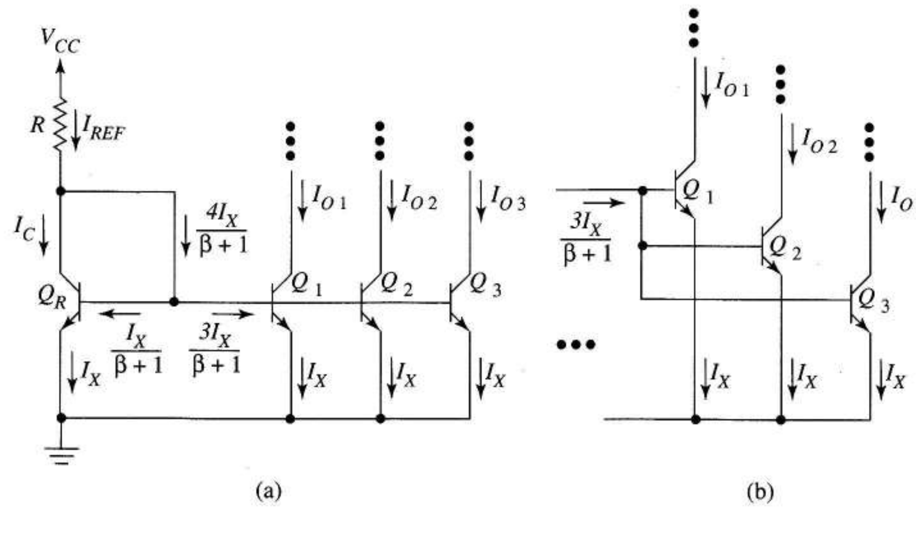


FIGURA 6.25 Fuente de corriente con tres salidas: (a) esquema que suele usarse para representar salidas múltiples; (b) esquema equivalente mostrando la conexión en paralelo de las uniones base-emisor.

6.7.3 FUENTES DE CORRIENTE DE ALTA GANANCIA

Algunos espejos de corriente dan mayores ganancias de corriente que el espejo básico y también algunos tienen mayor resistencia de salida. Como la resistencia de salida infinita es la esencia de las fuentes de corriente, este objetivo es un aspecto importante.

Espejo con compensación de la corriente de base En el espejo de la Figura 6.26, Q_C sustituye a la "conexión como diodo" del transistor de referencia de la Figura 6.24d. La mejora en la ganancia de corriente tiene lugar en el nodo de colector de Q_R donde $I_{REF} = I_{CR} + I_{BC}$ sustituye a $I_{REF} = I_{CR} + 2I_B$ para el espejo básico. Dejaremos para el Problema 6.57 demostrar que la ganancia de corriente de este espejo es

$$\frac{I_{O1}}{I_{REF}} = \frac{\beta^2 + \beta}{\beta^2 + \beta + 2} \tag{6.31}$$

Para $\beta = 399$ y $\beta = 9$, esta expresión da ganancias de 0,999987 y 0,9759 respectivamente que comparamos con las de 0,995 y 0,818 para el espejo de corriente básico.

El circuito de salida de la Figura 6.26 es como el del espejo de corriente básico, por lo que la resistencia de salida es r_o. El diseño y el análisis de la fuente de corriente supone sólo ligeros cambios que resultan de que el colector de Q_R soporte dos caídas V_{BE} en lugar de una.

Fuente de corriente Wilson Otra fuente de corriente de alta ganancia emplea el espejo Wilson de la Figura 6.27a. Es fácil verificar que su ganancia es

$$\frac{I_O}{I_{REF}} = \frac{\beta^2 + 2\beta}{\beta^2 + 2\beta + 2} \tag{6.32}$$

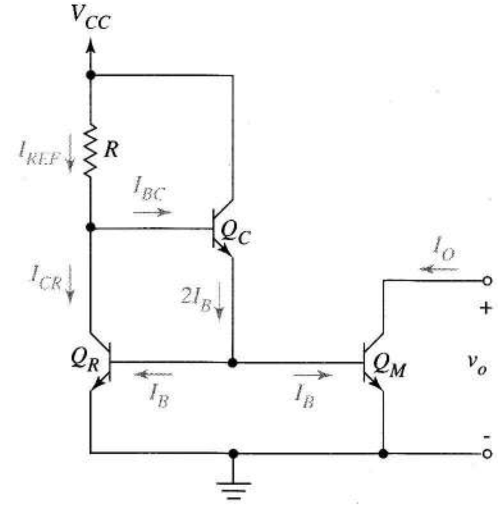


FIGURA 6.26
Espejo con compensación de la corriente de base.

El espejo Wilson usa *realimentación de corriente*, concepto descrito a lo largo del Capítulo 10. Una importante particularidad de la realimentación de corriente es que sube la resistencia de salida. Las técnicas que introduciremos en el Capítulo 7 muestran que el circuito Wilson tiene una resistencia de salida de

$$R_o \approx \frac{\beta r_o}{2} \tag{6.33}$$

donde r_o es la resistencia de salida de Q_1.

La ganancia de corriente no importa en los circuitos MOS; sin embargo, el espejo Wilson con MOS de la Figura 6.27b ofrece una resistencia de salida excepcionalmente alta gracias a la realimentación de corriente. El diseño de la fuente Wilson supone el cálculo de V_{GS} para M_1 y M_D usando I_O y los parámetros del transistor. Como ambos están activos, este paso es sencillo. La suma de las caídas de tensión establece la tensión en el drenador de M_F, de donde se calcula R.

El análisis es esencialmente el mismo que para el circuito espejo básico. Si M_1, M_D y M_F son idénticos, su corriente satisface

$$I_O = I_{REF} = \frac{k}{2}\left(V_{GS} - V_t\right)^2$$

Para este espejo

$$I_{REF} = \frac{V_{DD} - 2V_{GS}}{R}$$

con lo que se puede despejar de estas ecuaciones las incógnitas V_{GS} e I_{REF}. La tensión mínima de salida de la fuente de corriente supera la del espejo básico ya que V_{GS} cae en M_D.

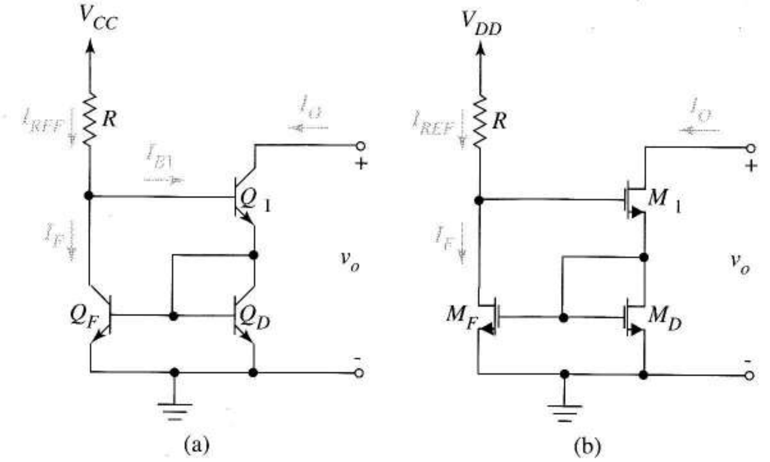


FIGURA 6.27 Fuente de corriente Wilson: (a) versión bipolar; (b) versión MOS.

EJEMPLO 6.17 Diseñar una fuente de corriente Wilson con 0,2 mA de salida, una alimentación de 9 V y transistores idénticos de $k = 10^{-4}$ A/V^2 y $V_t = 0{,}4$ V. Hallar la mínima tensión de salida.

Solución El funcionamiento activo obliga a

$$2 = \frac{1}{2}\left(V_{GS} - 0{,}4\right)^2$$

Así, $V_{GS} = 2{,}4$ V. En la Figura 6.27b, R debe cumplir

$$0{,}2 \text{ mA} = \frac{9 - 2(2{,}4)}{R}$$

donde $R = 210$ kΩ. Para que M_1 este activo $v_{DGI} \geq -V_t$. Como $V_{GS} = 2{,}4$ V para M_1 y M_D, las tensiones en los nodos dan

$$V_{DG} = v_o - 2(2{,}4) \geq -0{,}4 \text{ V}$$

así $v_O \geq 4{,}4$ V. ❑

Ejercicio 6.17 Hallar la corriente de salida en el circuito del Ejemplo 6.17 si la alimentación cambia a 12 V.

Respuesta 0,300 mA.

Fuentes de corriente básicas con resistencias de emisor El espejo de la Figura 6.28 muestra otro espejo de corriente de alta resistencia de salida. Si las betas de los transistores son altas, la ley de Kirchhoff de las tensiones da

$$V_{BE2} - V_{BE1} = +R_1 I_o - R_2 I_{REF}$$

Si podemos diseñar de tal manera que la diferencia entre las caídas de tensión base-emisor sea despreciable

$$I_O = \frac{R_2}{R_1} I_{REF} \tag{6.34}$$

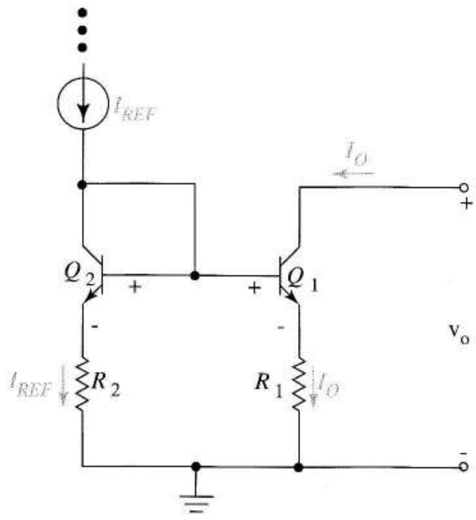


FIGURA 6.28
Espejo de corriente con resistencias de emisor.

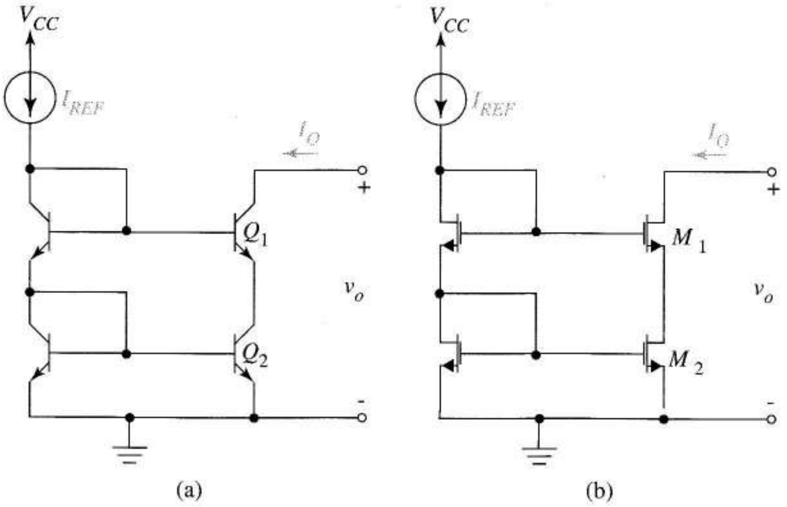


FIGURA 6.29
Espejos de corriente cascodo:
(a) realización bipolar;
(b) realización MOS.

Las técnicas de pequeña señal del próximo capítulo mostrarán que la resistencia de salida con esta fuente no es r_o si no

$$R_o \approx \left(1+\frac{I_O R_1}{V_T}\right) r_o \qquad (6.35)$$

La resistencia de salida de Q_1 esta multiplicada por un factor que depende de la relación entre la caída de tensión continua $I_O R_1$ y la tensión V_T de 25 mV. Concluimos que, aunque las resistencias introducidas sean relativamente pequeñas, incrementan la resistencia de salida significativamente. Este diseño es también útil para fuentes de corriente *discretas* donde no es fácil tener transistores iguales ya que su funcionamiento depende principalmente de las resistencias de emisor en lugar de la relación entre las áreas de los transistores.

Espejo de corriente cascodo Otra fuente de corriente con alta resistencia de salida es el *espejo cascodo* de las Figuras 6.29a y b. El análisis en pequeña señal, que se introducirá en el siguiente capítulo, demostrará que estos circuitos tienen resistencias de salida

$$R_{o,\,BJT} = \frac{\beta}{2} r_o \quad \text{y} \quad R_{o,\,FET} = \left(1+g_m r_o\right) r_o \qquad (6.36)$$

donde r_o es la resistencia de salida $Q_1(M_1)$ y g_m está dada por las Ecuaciones(6.10) para el bipolar y (6.9) para el circuito con MOS. Para ambas versiones, el análisis y el diseño son extensiones sencillas de los problemas correspondientes al espejo básico.

6.7.4 FUENTE DE CORRIENTE WIDLAR

La *fuente de corriente Widlar* de la Figura 6.30 tiene dos características especiales además de la elevada resistencia de salida: baja sensibilidad a la tensión de alimentación y la capacidad de dar *corrientes de salida muy bajas* con valores relativamente pequeños de R y R_M. En diseños integrados, esta segunda característica es muy útil.

En el espejo Widlar, las caídas base-emisor no son iguales. Si ignoramos la corriente de base Q_M

$$V_{BER} = V_{BEM} + I_O R_M \qquad (6.37)$$

Usando las Expresiones (6.26) y (6.27) para transistores iguales obtenemos

$$V_T \ell n\left(\frac{I_{REF}}{I_O}\right) = I_O R_M \tag{6.38}$$

En problemas de análisis conocemos V_{CC} y R y estimamos I_{REF} usando

$$I_{REF} = \frac{V_{CC} - 0{,}7}{R} \tag{6.39}$$

después, despejamos I_O en (6.38) ya sea por iteración o por simulación.

En casos de diseño, I_O es conocida y no es necesaria la iteración. Primero elegimos una R razonable y calculamos I_{REF} en (6.39). Con I_{REF} conocida, podemos despejar R_M en (6.38). Es una función logarítmica que hace que el circuito sea fácil de diseñar para pequeñas I_O.

La resistencia de salida de la fuente Widlar es

$$R_o \approx \left[1 + \frac{I_O R_M}{V_T}\right] r_o \tag{6.40}$$

En el Capítulo 7 obtendremos este resultado mientras demostramos exactamente qué condiciones son necesarias para que esta ecuación aproximada sea válida. Si R_o está especificada como parámetro de diseño, podemos elegir R_M para alcanzar esta condición.

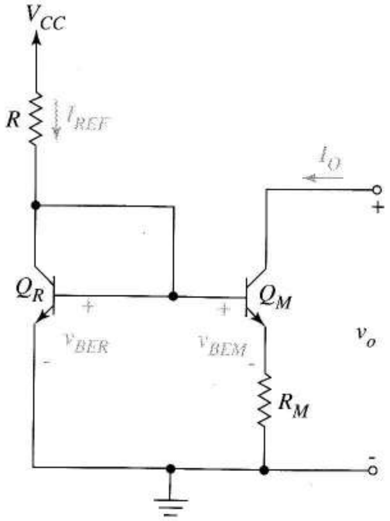


FIGURA 6.30
Fuente de corriente Widlar.

EJEMPLO 6.18 Diseñar una fuente de corriente Widlar que produzca una salida de 20 μA con 15 V de alimentación. Los valores de R_M y R no deben superar los 10 kΩ. Calcular R_o para este diseño. Usar transistores bipolares de silicio que tengan $\beta = 70$ y una tensión Early de $V_A = 120$ V.

Solución Elegimos arbitrariamente $R = 5$ kΩ. De la Ecuación (6.39)

$$I_{ref} = \frac{15 - 0{,}7}{5\text{k}} = 2{,}86 \text{ mA}$$

Ahora (6.38) da

$$0{,}025\ell n\left(\frac{2{,}86\times 10^{-3}}{20\times 10^{-6}}\right)=20\times 10^{-6}R_M$$

Resolviendo, da $R_M = 6{,}20$ kΩ que completa el diseño.

De las Ecuaciones (6.40) la resistencia de salida es

$$R_o=\left[1+\frac{\left(20\times 10^{-6}\right)\times\left(6{,}2\times 10^{3}\right)}{0{,}025}\right]r_o=5{,}96r_o$$

De (4.21), $r_o = 120/(20\times 10^{-6}) = 6$ MΩ; por ello $R_o = 35{,}8$ MΩ. ❑

Ejercicio 6.18 Usar el transistor y la fuente de alimentación del Ejemplo 6.18 para diseñar una fuente Widlar de 50 MΩ de resistencia de salida y una corriente de salida de 12 μA.

Respuesta $R_m = 8{,}33$ kΩ, R = 21,9 kΩ.

6.7.5 VARIACIONES SOBRE LAS FUENTES DE CORRIENTE

Tras haber estudiado los espejos de corriente podríamos no reconocer alguno de ellos en cualquier esquema de un integrado con lo que se sabe hasta aquí. Esto se debe a que a veces se construyen espejos con fuentes negativas como en la Figura 6.31a o porque se unen transistores de canal p o pnp como en la Figura 6.31b o porque se hayan diseñado con fuentes de alimentación dobles, positivas y negativas como en la Figura 6.31c. En esta última también se muestra cómo se obtienen salidas múltiples de tensión continua que circulan desde el positivo al negativo en un circuito complejo. El lector debe estudiar cuidadosamente la Figura 6.31 y convencerse de que *no hay nuevos principios que analizar, comprender o diseñar estos circuitos.* Lo más próximo a un nuevo principio es la observación de que debemos incluir dos tensiones puerta-fuente o base-emisor en lugar de una en el diseño de la Figura 6.31c.

Aunque la Figura 6.31 sirve para sensibilizar al lector con otras posibilidades, aún están lejos de todas las posibilidades. Las variaciones recién presentadas sobre el espejo básico, también se aplican a otros diseños como los de Wilson, Widlar y cascodo. Reconocer estas variaciones en el esquema de un circuito integrado complejo a menudo lleva a comprender conceptualmente el circuito y una rápida estimación manual de las corrientes de polarización.

En la Figura 6.32 aparece el esquema del μA733 de Fairchild e indica el uso de fuentes de corriente para polarizar un circuito integrado. El 733 es un amplificador diferencial con entrada y salida dobles que consiste en tres subcircuitos en cascada de amplificadores diferenciales.

El transistor Q_R conectado como diodo es la clave del sistema de polarización. Este transistor da la corriente de referencia, I_R, para el circuito y los transistores Q_1 a Q_4 son del tipo de los de la Figura 6.28, espejos que dan corrientes individuales a los subcircuitos.

Cuando se aplica una señal diferencial a las bases de Q_5 y Q_6. la señal de salida de la primera etapa aparece como señal diferencial entre los colectores y proporciona la señal de entrada de la segunda etapa diferencial Q_7 y Q_8. La salida se produce entre los colectores de Q_7 y Q_8 y da la entrada a la etapa de salida Q_9 a Q_{10}.

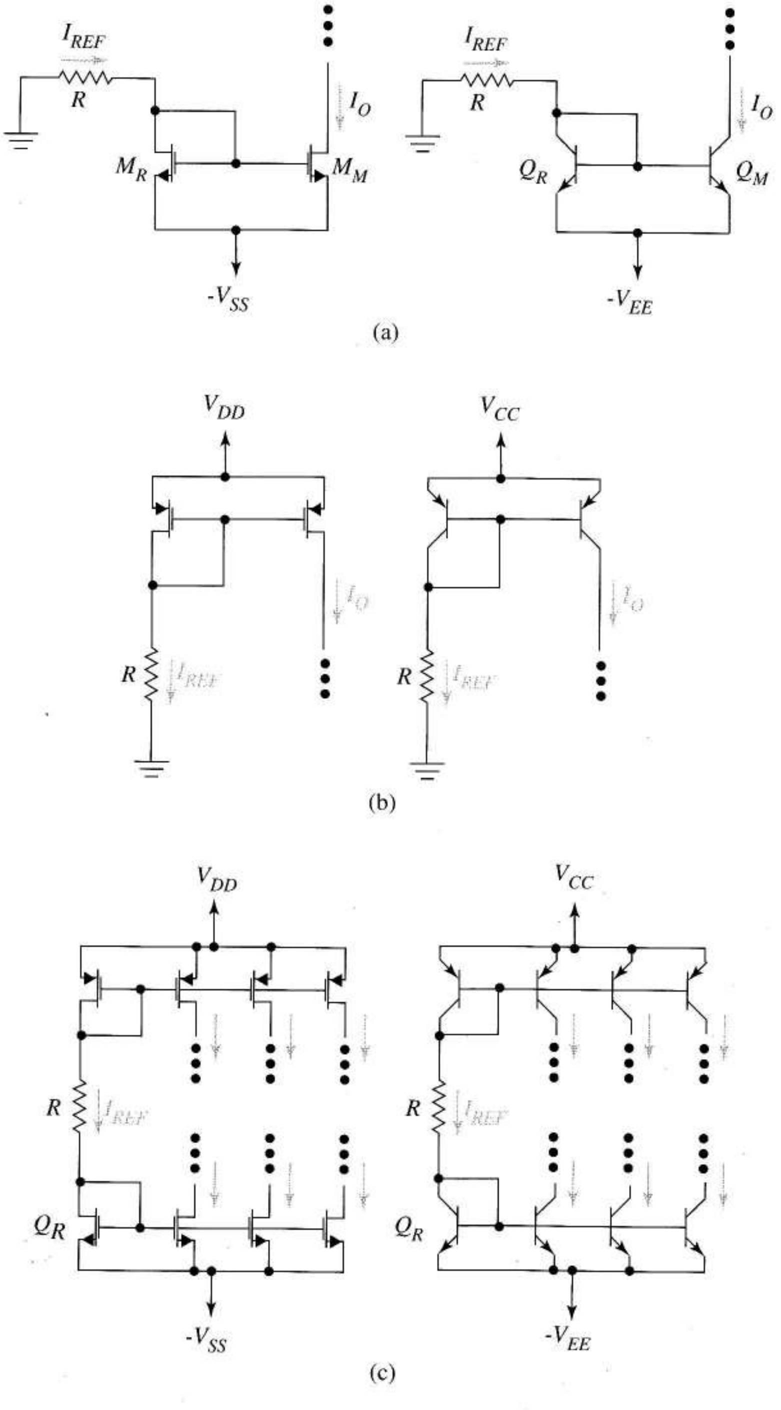


FIGURA 6.31 Algunas variaciones sobre la fuente de corriente básica: (a) espejos usando fuentes de alimentación negativas; (b) transistores de canal p y pnp; (c) salidas múltiples.

Cada etapa amplificadora tiene un eje vertical de simetría que usa transistores ecualizados con idéntica polarización, es decir, $I_5 = I_6$, $I_7 = I_8$, $I_9 = I_{10}$. Las tensiones colector-emisor con cada par de transistores es también idéntica. Para el análisis necesitamos saber si todos los transistores están polarizados en la zona activa por fuentes de alimentación dadas V_{CC} y V_{EE}. También necesitamos las corrientes continuas de colector para calcular los valores de los parámetros en pequeña señal. En el siguiente ejemplo de análisis de un circuito de polarización se proporciona esta información.

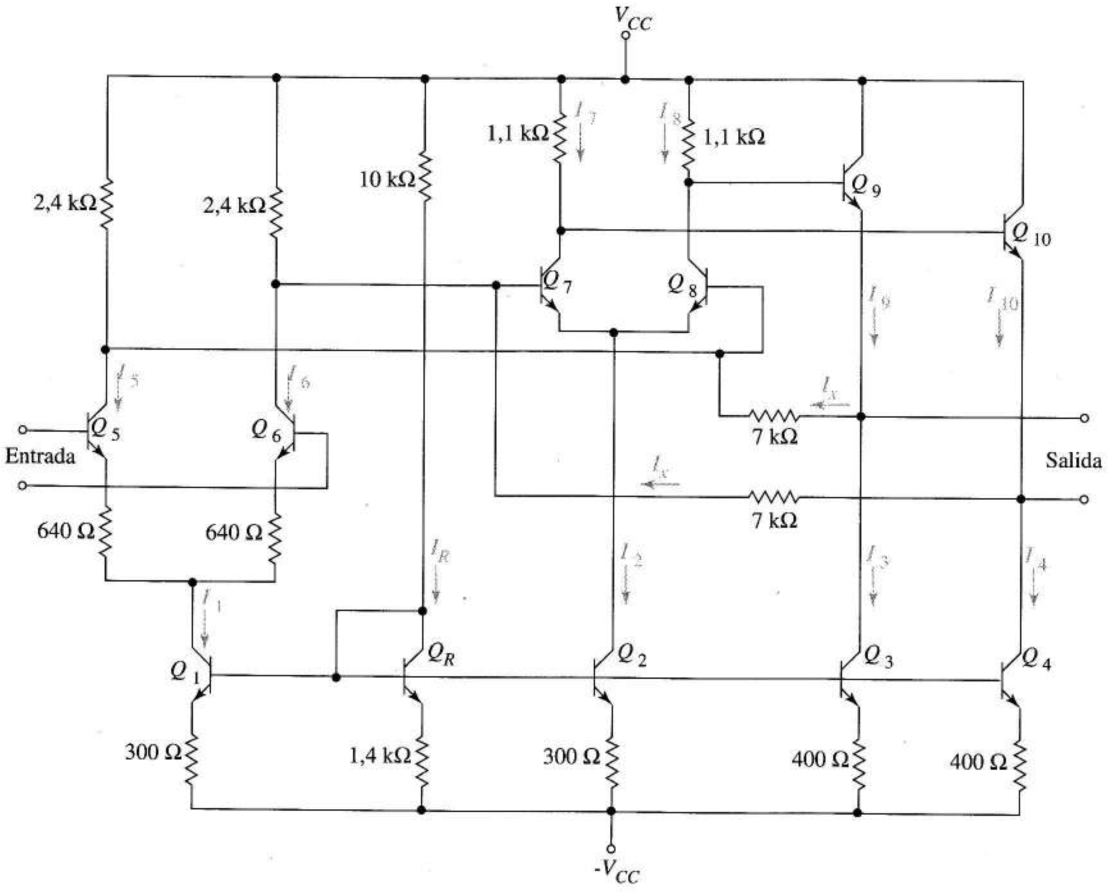


FIGURA 6.32 Esquema del amplificador μA733 de Fairchild.

EJEMPLO 6.19 Con el análisis de infinita calcular el punto Q de todos los transistores del μA733 cuando las bases de Q_5 y Q_6 están a masa y las alimentaciones son de ± 12 V.

Solución Primero calcularemos la corriente de referencia. Para alimentaciones de ± 12 V es

$$I_R = \frac{24 - 07}{10\text{ k} + 1{,}4\text{ k}} = 2{,}04\text{ mA}$$

Las corrientes de polarización son, de acuerdo con (6.34)

$$I_1 = I_2 = \frac{1{,}4\text{ k}}{300} 2{,}04\text{ mA} = 9{,}52\text{ mA}$$

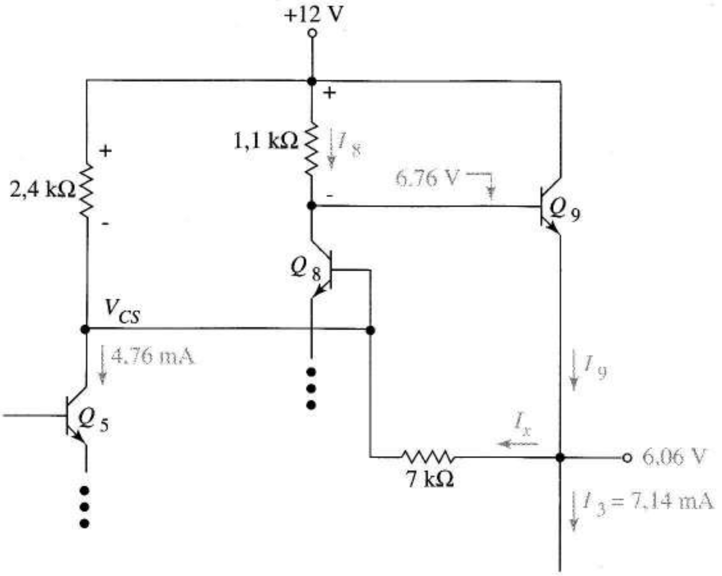


FIGURA 6.33
Diagrama para calcular I_x en el μA733 de Fairchild.

e

$$I_3 = I_4 = \frac{1{,}4\ \text{k}}{400} 2{,}04\ \text{mA} = 7{,}14\ \text{mA}$$

Por la simetría del circuito

$$I_5 = I_6 = I_1/2 = 4{,}76\ \text{mA}$$

e

$$I_7 = I_8 = I_2/2 = 4{,}76\ \text{mA}$$

Como las corrientes I_X son incógnitas, no podemos hallar inmediatamente las corrientes de emisor de Q_9 y Q_{10} o las tensiones de colector de Q_5 y Q_6.

Las tensiones de colector de Q_7 y Q_8 son

$$V_{C7} = V_{C8} = 12 - (1{,}1\ \text{k})(4{,}76\ \text{mA}) = 6{,}76\ \text{V}$$

Para Q_9

$$V_{E9} = V_{C8} - V_{BE9} = 6{,}76 - 0{,}7 = 6{,}06\ \text{V}$$

La Figura 6.33 muestra la parte del circuito que es relevante para calcular I_X. De la ley de Kirchhoff de las corrientes en el colector de Q_5

$$\frac{12 - V_{C5}}{2{,}4\ \text{k}} + I_X = 4{,}76 \times 10^{-3}$$

Otra expresión para I_X es

$$I_X = \frac{6{,}06 - V_{C5}}{7\ \text{k}}$$

Resolviendo da $V_{C5} = V_{C6} = 1{,}98$ V e $I_X = 0{,}583$ mA. De aquí, hallamos $I_9 = I_{10} = 7{,}14$ mA + 0,583 mA = 7,72 mA. En este momento todas las corrientes de colector y tensiones son conocidas. La Tabla 6.7 da un listado de ellas.

Ahora calculamos V_{CE} para cada par de transistores. Como el emisor de Q_5 está a V_{BE} respecto de su base a masa, $V_{CE5} = V_{CE6} = 1{,}98-(-0{,}7) = +2{,}68$ V. Como el emisor de Q_7 está una V_{BE} por debajo del colector de Q_6, $V_{E7} = V_{E8} = 1{,}98-0{,}7 = 1{,}28$ V. Previamente, habíamos hallado que los colectores de Q_7 y Q_8 estaban polarizados a 6,76 V, por ello $V_{CE7} = V_{CE8} = 6{,}76-1{,}28 = 5{,}48$ V. Finalmente, para Q_{10}

$$V_{E10} = V_{C7} - V_{BE} = 6{,}76 - 0{,}7 = 6{,}07\ \text{V}$$

Por tanto, $V_{CE10} = V_{CE9} = 12-6{,}07 = 5{,}93$ V. Claramente, los transistores Q_5 a Q_{10} están polarizados en zona activa, bien lejos de saturación o corte.

Estos cálculos han asumido tácitamente que las fuentes de corriente funcionan adecuadamente. Recordando la Figura 6.24c, sin embargo, se necesita que cada transistor de salida de la fuente de corriente tenga su punto de trabajo tal que $V_{CE} > V_{CE,\,sat} = 0{,}2$ V. Esto lo estudiaremos luego.

Usando las tensiones y corrientes recién calculadas, la tensión de colector de Q_1 es

$$V_{C1} = V_{E5} - 640 \times I_5 = -0{,}7 - 640(4{,}76\ \text{mA}) = -3{,}75\ \text{V}$$

La tensión de emisor es

$$V_{E1} = -12 + 300 I_1 = -12 + 300(9{,}52\ \text{mA}) = -9{,}14\ \text{V}$$

por ello

$$V_{CE1} = -3{,}75 - (-9{,}14) = 5{,}39\ \text{V}$$

Cálculos similares para Q_2, Q_3 y Q_4 dan

$$V_{CE2} = V_{C2} - V_{E2} = 1{,}28 - (-12 + 300 I_2) = 10{,}3\ \text{V}$$

y

$$V_{CE3} = V_{E9} - V_{E3} = 6{,}07 - (-12 + 400 \times 7{,}14\ \text{mA}) = 15{,}2\ \text{V} = V_{CE4}$$

La Tabla 6.7 indica que todos los transistores, incluyendo los espejos de corriente, están polarizados en zona activa. ❑

TABLA 6.7 Puntos *Q* estimados para los transistores del μA733.

	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Q_9	Q_{10}	Q_R
I_C (mA)	9,52	9,52	7,14	7,14	4,76	4,76	4,76	4,76	7,72	7,72	2
V_{CE} (V)	5,39	10,3	15,2	15,2	2,68	2,68	6,48	6,48	5,93	5,93	0,7

Desplazador de nivel Muchos circuitos analógicos usan etapas amplificadoras *directamente acopladas*, lo que significa que los nodos de salida de una etapa están directamente conectados a los de entrada de la siguiente, como en el μA733. Como todos los transistores deben estar polarizados en zona activa, manteniendo suficientes tensiones colector-emisor para evitar la saturación,

las tensiones van subiendo de una etapa a la siguiente. En el 723 nuestro análisis dio como resultado $V_{C5} = 1{,}98$ V, $V_{C8} = 6{,}76$ V y $V_{C9} = 12$ V. De forma similar, evitar el funcionamiento óhmico en los amplificadores FET lleva a tener tensiones de drenador crecientes.

Algunas veces necesitamos situar la tensión continua de la(s) salida(s) a un bajo valor en lugar de tensiones cada vez mayores. En operacionales, por ejemplo, el valor cero de la salida obliga a que la función de transferencia en bucle abierto pase por el origen y facilite el añadir componentes externos de realimentación. Un circuito especial denominado *desplazador de nivel* sirve para este fin.

El sencillo operacional de la Figura 6.34 usa el subcircuito Q_X, R_3 y R_4 como desplazador de nivel y Q_5 como transistor de salida. Cada uno de los otros transistores está polarizado como se indica (5 V, 1 mA). Con las entradas a masa, la salida está polarizada a cero. El siguiente ejercicio muestra que es fácil satisfacer estas condiciones con las fuentes de corriente y el desplazador de nivel.

Ejercicio 6.19 En la Figura 6.34 las betas de los transistores son tan suficientemente altas que las corrientes de base son despreciables. Para las condiciones de polarización dadas en el diagrama

a) hallar I_A, I_B e I_C.

b) hallar las resistencias en el orden R_1, R_2, R_4 y R_3.

c) hallar V_X.

Respuesta a) $I_A = I_B = 2$ mA, $I_C = 1$ mA, (b) 10,7 kΩ, 6,4 kΩ, 15,7 kΩ, 5,7 kΩ (c) 8,6 V.

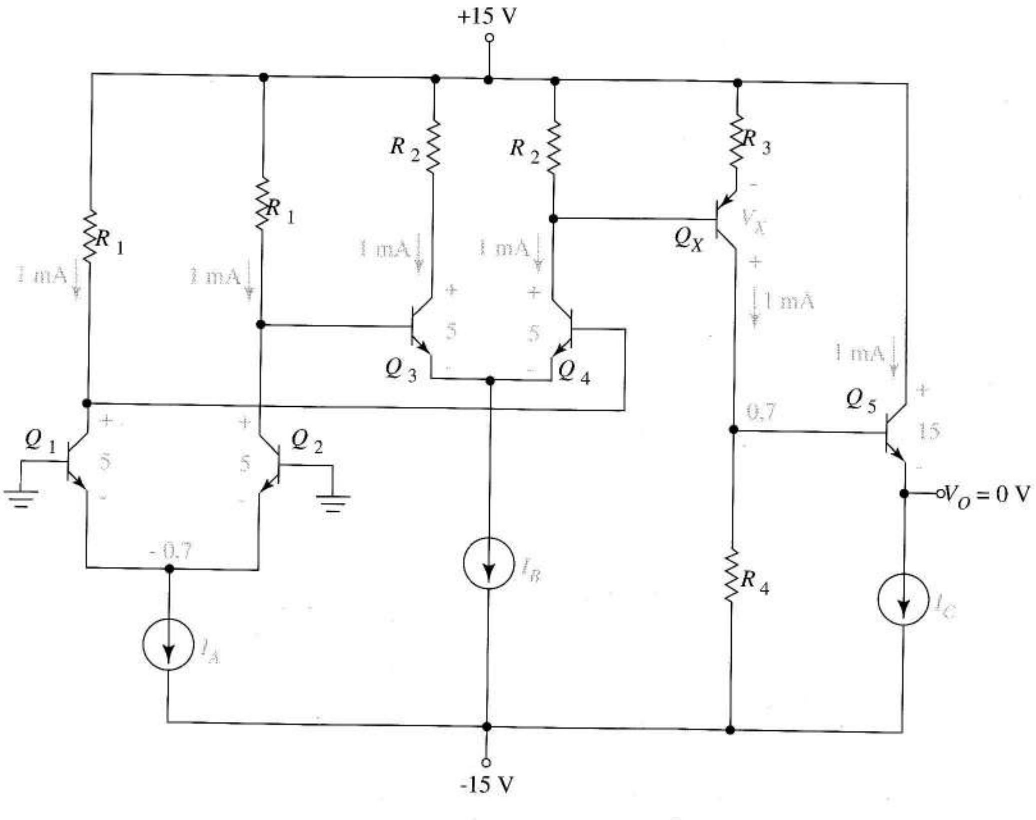


FIGURA 6.34 Amplificador integrado con circuito desplazador de nivel.

6.7.6 ESPEJOS DE CORRIENTE PARA SEÑALES

En la Sección 6.1 vimos que añadiendo una pequeña señal a la entrada de un circuito electrónico resulta que la señal se suma a la polarización continua a la salida. Esta idea también se aplica a los espejos de corriente. En la Figura 6.35, $v_s(t)$ provoca en el circuito de referencia una *componente* $i_s(t)$ añadida a I_{REF}. Ambos serán copiados hacia la salida. Este principio de *copiado de señales* se usa como ventaja en las *cargas activas* que estudiaremos en el Capítulo 7. Este principio da un mecanismo por el que el ruido de la fuente de alimentación puede colarse en nuestros circuitos. Veremos a continuación este problema.

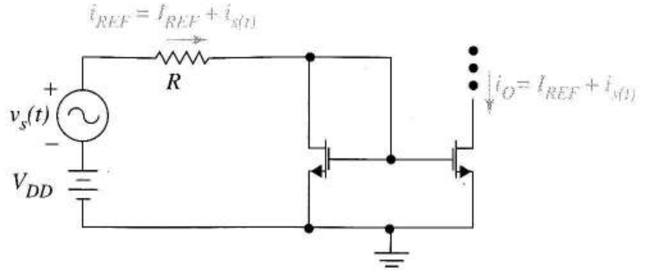


FIGURA 6.35
Uso de un espejo para copiar señales.

6.8 REFERENCIAS DE CORRIENTE ESPECIALES

Las fuentes de corriente de la sección previa emplean corrientes de referencia que proceden directamente de la alimentación. En este apartado estableceremos otros caminos para establecer corrientes de referencia.

6.8.1 POLARIZACIÓN INDEPENDIENTE DE LA ALIMENTACIÓN

Las corrientes de referencia obtenidas de las fuentes de alimentación pueden dar lugar a problemas. Cuando las corrientes de polarización de un circuito cambian con la tensión de alimentación, cambian también el punto Q y los parámetros de pequeña señal. Esto suele ser aceptable siempre que los puntos Q permanezcan en la zona activa; sin embargo, si las especificaciones necesitan un funcionamiento más o menos invariable en pequeña señal para el margen de valores de alimentación, las fuentes de corriente deben ser independientes de la tensión de alimentación.

Un circuito de polarización que sea excesivamente sensible a las variaciones en la alimentación puede también introducir más problemas. Primero, las fuentes de alimentación siempre tienen un ruido adicional –llamado *rizado*– que puede ser copiado al circuito por el mecanismo de la Figura 6.35. Segundo, una fuente real tiene una pequeña resistencia interna R_{CC}. Cuando varios circuitos comparten la alimentación como en la Figura 6.36, la caída en R_{CC} producida por la corriente de un circuito puede introducirse en otros a través de sus espejos de corriente. Cuando los circuitos no están relacionados, estas señales no deseadas son ruido. Si, por contra, los circuitos son amplificadores en cascada, una señal de salida de una etapa se puede realimentar a la primera etapa a través de R_{CC}, añadiéndose a la señal externa y produciendo oscilaciones no buscadas.

Podemos usar la sensibilidad para cuantificar el efecto de las variaciones de la alimentación en la corriente de referencia. Cuando $I_O = I_{REF}$ se deriva directamente de V_{CC} como en la Figura 6.24b, podemos emplear (6.28) para verificar que la sensibilidad es

$$S_{V_{CC}}^{I_O} = \frac{V_{CC}}{V_{CC} - V_{BE}} \tag{6.41}$$

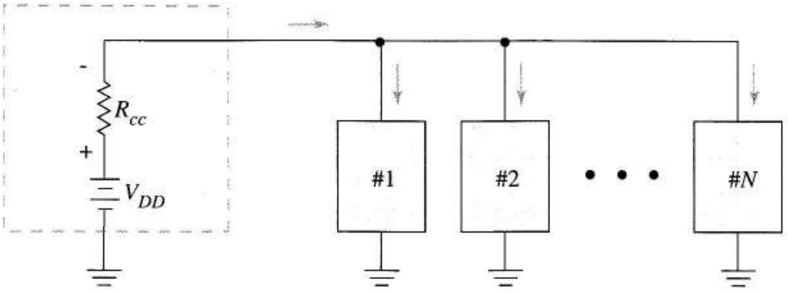


FIGURA 6.36 Comunicación no deseada entre los circuitos a través de la alimentación.

Esto muestra que la sensibilidad de I_O (y por tanto las corrientes del punto Q) a V_{CC} es mayor que uno. Un resultado similar se aplica a los diseños con MOS. Así, las sensibilidades a las corrientes de polarización como

$$S_{V_{DD}}^{I_D} = 0{,}04$$

que se indica en la Tabla 6.6 es poco realista a menos que la corriente de referencia sea obtenida de otra forma.

Puede que la idea más sencilla para reducir la sensibilidad a la alimentación es establecer la corriente de referencia con una fuente de corriente con un transistor como el JFET (o MOSFET de deplexión) con $V_{GS} = 0$, como en la Figura 6.37a. Idealmente, las variaciones en V_{CC} cambiarán sólo la tensión de JFET pero sin afectar a I_O. La Figura 6.37b es el equivalente en gran señal del transistor, donde I_{DSS} es la "corriente constante" que resulta de $V_{GS} = 0$ y r_o se obtiene del efecto Early. Con r_o, no podemos esperar una perfecta independencia de la alimentacion; sin embargo, como r_o es grande, mejoramos la Ecuación (6.41).

La corriente de salida de este circuito, la corriente copiada, es

$$I_O = I_{DSS} + \frac{V_{CC} - V_{BE}}{r_o} \tag{6.42}$$

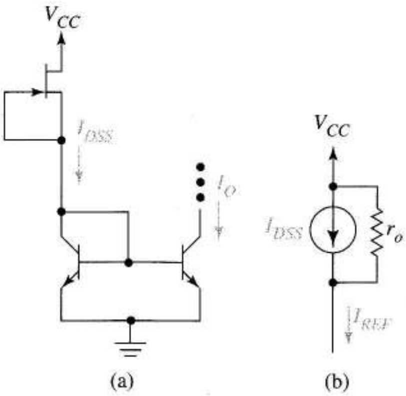


FIGURA 6.37 Fuente de corriente con baja sensibilidad de I_O a V_{CC}: (a) circuito; (b) equivalente del transistor de corriente constante.

De aquí es fácil demostrar que la sensibilidad es

$$S_{V_{CC}}^{I_O} = \frac{V_{CC}}{V_{CC} - V_{BE} + I_{DSS} r_o} = \frac{V_{CC}}{V_{CC} - V_{BE} + V_A} \tag{6.43}$$

con una mejora obvia sobre (6.41).

Ejercicio 6.20 En el Ejemplo 6.16 diseñamos una fuente de corriente que daba 1,5 mA usando 12 V de alimentación y 6,03 kΩ de resistencia de referencia. Supongamos que se usa un JFET con I_{DSS} = 1,5 mA y V_A = 90 V en lugar de la resistencia. Comparar las sensibilidades a V_{CC}.

Respuesta 1,06, 0,118.

Para que el JFET emule a la fuente de corriente de la Figura 6.37 es, por supuesto, necesario que esté en zona activa. Esto depende de la tensión umbral.

EJEMPLO 6.20 Hallar el valor mínimo de V_{CC} para que el circuito de la Figura 6.37 proporcione una corriente razonablemente constante si V_t = –2,1 V.

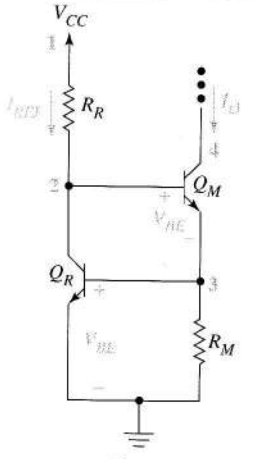
Solución $v_{DG} = V_{CC} - 0{,}7 \geq -V_t$, implica $V_{CC} \geq 2{,}8$ V.

Otra forma de reducir la dependencia de la alimentación es usar una fuente Widlar. El Problema 6.75 muestra que, debido a la dependencia logarítmica de I_O respecto a V_{CC} de la Ecuación (6.38), la fuente Widlar tiene menos sensibilidad que (6.41).

Cuando es importante una baja sensibilidad a las variaciones de la alimentación, la corriente de referencia puede obtenerse de otra tensión que no sea la alimentación. Son alternativas habituales la caída V_{BE} o la tensión térmica, V_T, de un transistor, o la tensión de avalancha de un diodo zener. El siguiente análisis se limita a las dos primeras. ❑

Corriente de referencia fijado por V_{BE} La Figura 6.38a muestra una referencia V_{BE} en la que la corriente de salida depende de la caída V_{BE}. Para describir el circuito ignoramos las corrientes

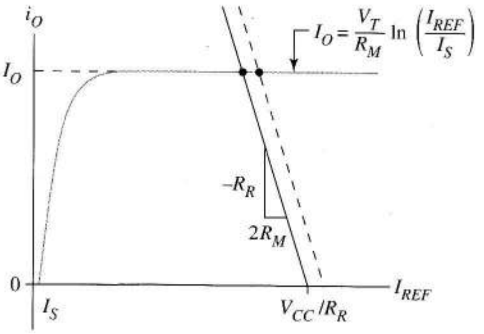
V_{CC}	15 V	12 V	9 V	5 V	3 V
I_O	1,105 mA	1,093 mA	1,078 mA	1,047 mA	1,013 mA



(a)

```
EXAMPLE 6.21
VCC 1 0 DC 15
*VCC 1 0 DC 12
*VCC 1 0 DC 9
*VCC 1 0 DC 5
*VCC 1 0 DC 3
RM 3 0 700
RR 1 2 13.6K
QR 2 3 0 TRAN
QM 4 2 3 TRAN
VOUT 4 5 DC 13
VM 0 5 DC 0
.PRINT DC I(VM)
.MODEL TRAN NPN IS=1E-16
+VAF=130
*.SENS I(VM)
.END
```

(b)



(c)

FIGURA 6.38 Fuente de corriente basada en V_{BE}: (a) esquema; (b) código SPICE para el ejemplo 6.21; (c) solución gráfica de las funciones que relacionan la corriente de salida con la tensión de alimentación.

de base y comenzamos nuestro análisis con I_{REF}. De (6.26), el valor de V_{BE} necesario para mantener I_{REF} es

$$V_{BE} = V_T \ell n\left(\frac{I_{REF}}{I_{SR}}\right) \tag{6.44}$$

La corriente I_O que circula por R_M debe producir una caída igual a esta tensión, así

$$V_{BE} = R_M I_O \tag{6.45}$$

Establecemos la corriente de referencia deseada por

$$I_{REF} = \frac{V_{CC} - 2\ V_{BE}}{R_R} \tag{6.46}$$

Primero utilizaremos un ejemplo de diseño para demostrar la baja sensibilidad de este circuito; después relacionaremos las características generales con las Ecuaciones de diseño, (6.44) a (6.46).

EJEMPLO 6.21 a) Dada V_{CC}= 5 V y transistores iguales, diseñar un espejo como el de la Figura 6.38a para $I_O = I_{REF}$ = 1 mA.

b) Hallar los valores de I_O con V_{CC} = 15 V, 12 V, 9 V,5 V y 3 V utilizando SPICE con los transistores por defecto. La corriente de saturación del transistor es 10^{-16} A y la tensión Early es 130 V.

c) Hallar con SPICE los valores de la sensibilidad de I_O a V_{CC} para V_{CC}= 15 V usando los transistores por defecto.

Solución a) Para cálculos manuales, hallamos R_M de (6.45) con V_{BE}= 0,7 V. Para 1 mA de corriente de salida, se obtiene R_M = 700 Ω (6.46) da

$$R_R = \frac{15 - 2(0,7)}{10^{-3}} = 13,6 \text{ k}$$

que completa el diseño.

b) La Figura 6.38b muestra el código SPICE. Cinco ejecuciones sucesivas de SPICE calculan la corriente de salida para las cinco alimentaciones listadas. La fuente de continua, VOUT, mantiene el colector del transistor polarizado a 13 V, con lo que Q_M está activo. El amperímetro VM monitoriza la corriente que circula por el colector. Los resultados de SPICE son

Aunque I_O difiere ligeramente del valor de 1 mA a 15 V (el SPICE incluye las corrientes de base y calcula con precisión las caídas V_{BE}), los resultados demuestran una insensibilidad destacable a la alimentación.

c) La salida SPICE conduce a

$$S_{V_{CC}}^{I_O} = 0,047$$

Esta sensibilidad positiva es consistente con la reducción en I_O cuando se reduce V_{CC} en la tabla. ❑

Ejercicio 6.21 Examinando cómo se establece la corriente de referencia en la Figura 6.38a, estimar el límite inferior de V_{CC} para el circuito del Ejemplo 6.21. Estimar también el valor práctico más bajo para la tensión de salida.

Respuesta $V_{CC,\,mín}$ = 1,4 V, $V_{o,\,mín}$ = 0,9 V.

Para comprender cómo se logra en este circuito una baja sensibilidad a V_{CC}, sustituimos V_{BE} de (6.45) en (6.44) y (6.46) y despejamos I_O en cada una. Esto da

$$I_O = \frac{V_T}{R_M} \ell\text{n}\left[\frac{I_{REF}}{I_S}\right] \tag{6.47}$$

y

$$I_O = \frac{V_{CC} - R_R I_{REF}}{2R_M} \tag{6.48}$$

Resolviendo simultáneamente estas ecuaciones, hallamos la intersección en el sistema de coordenadas I_O–I_{REF} de la Figura 6.38c. Para apreciar la verdadera escala del dibujo, recordemos que I_S es muy pequeña comparada con I_O. Como I_{REF} es mucho mayor que I_S, la intersección ocurre en la zona plana de la curva logarítmica. Advirtamos que los cambios en V_{CC} provocan deslizamiento a la derecha o a la izquierda como sugiere la línea discontinua produciendo pequeños cambios en I_O. Otra referencia de V_{BE} se describe en el Problema 6.80.

Circuito de referencia con V_{BE} y *bootstrap* La Figura 6.39a introduce una idea denominada "*bootstrap*" que conduce a menores sensibilidades a la alimentación. Esta modificación *autopolarizada* de la Figura 6.38a se eleva a sí misma usando una copia de su propia corriente mejor que con la corriente obtenida de V_{CC} para referencia. Como en la Figura 6.38a, este circuito satisface (6.44) y (6.45); sin embargo, en virtud de la fuente dependiente,

$$I_{REF} = I_O \tag{6.49}$$

reemplaza a (6.46). Esto significa que el funcionamiento debe ocurrir en una de las intersecciones que aparecen en la Figura 6.39b. La clave de la baja sensibilidad es que las Ecuaciones (6.47) y (6.49) que están dibujadas en la Figura 6.39b, no contienen a V_{CC}, así en primera aproximación el funcionamiento es independiente de V_{CC}.

La Figura 6.39c muestra una realización práctica del circuito. Los transistores Q_2 y Q_3 son CCCS de ganancia unidad, copiando la corriente de I_O de Q_1, en el circuito de referencia. De las dos posibles soluciones de la Figura 6.39b, la más próxima a $i_O = I_S$ representa una corriente de salida de sólo unos pocos picoamperios, muy pequeña para poder ser útil; la otra intersección corresponde al valor de diseño. Como la solución no deseada puede ocurrir en un circuito real, un gran valor de resistencia R_B (o un circuito especial fácil de realizar en un integrado) produce corriente débil como para asegurar $i_O > I_S$, con lo que el circuito funciona en la intersección deseada. Como el *espejo bootstrap* hace que la corriente de colector de Q_1 no esté disponible para el entorno exterior, añadimos Q_4 para duplicar la corriente I_O producida por V_{BE}. Un transistor pnp con la base y el emisor en paralelo con Q_2 puede producir que la corriente de salida circule desde V_{CC} si ello fuera necesario.

La simulación SPICE de la Figura 6.39c con resistencia de salida omitida en los transistores dieron las mismas corrientes de salida para fuentes de alimentación de 15 V, 12 V, 9 V, 5 V y 3 V. La sensibilidad de I_O a V_{CC} en este circuito fue de ¡$9{,}23 \times 10^{-8}$! Como asunto práctico, las resistencias de salida de los transistores reales hacen que la corriente de salida dependa algo de la tensión de alimentación, idea analizada en los problemas.

La Figura 6.39d muestra un espejo *bootstrap* con MOS que usa una V_{BE} como referencia. Como las caídas de tensión V_{GS} de M_R y M_M se cancelan, (6.44) y (6.45) se aplican a este circuito así como la ecuación de *bootstrap*, (6.49).

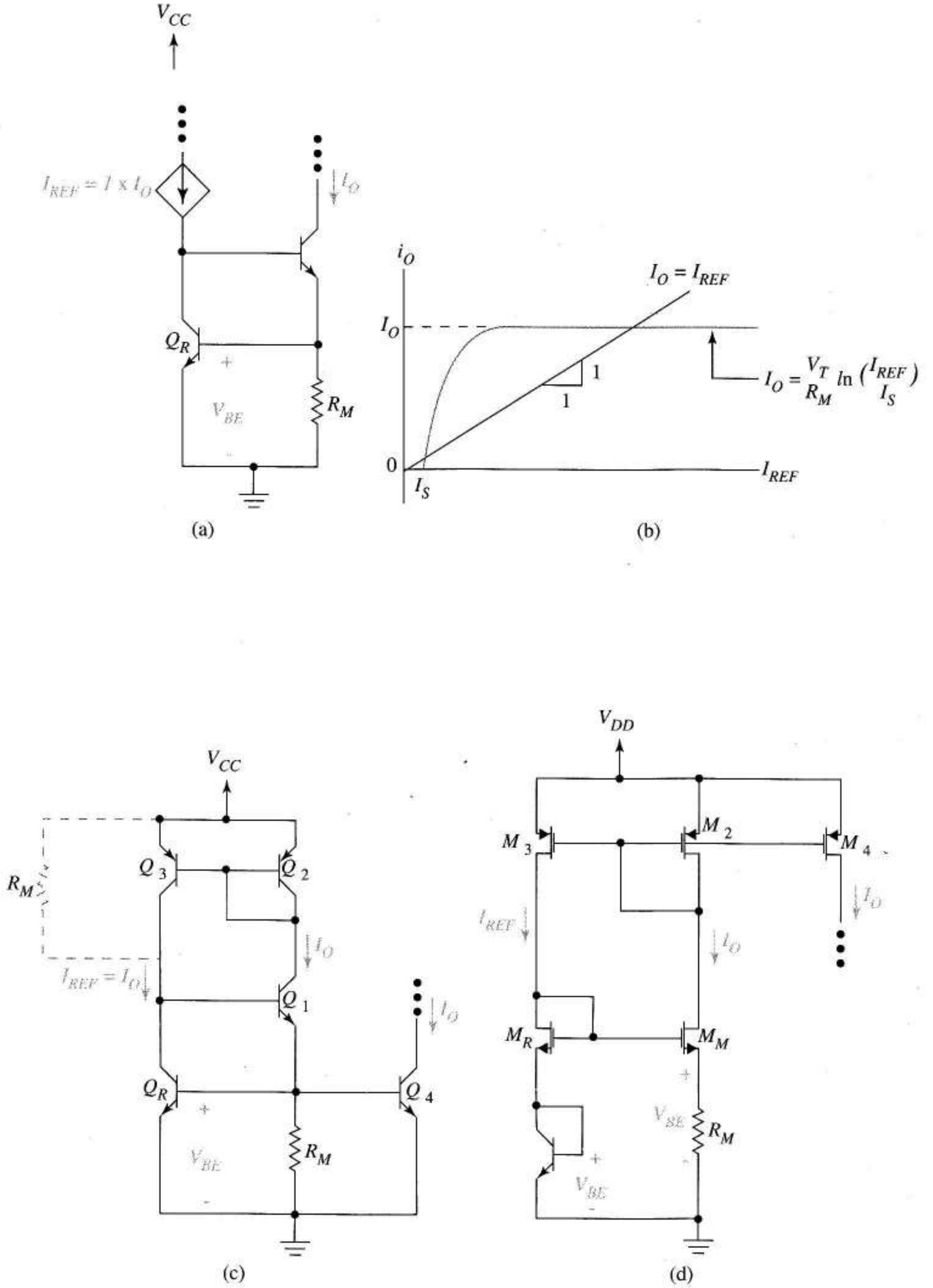
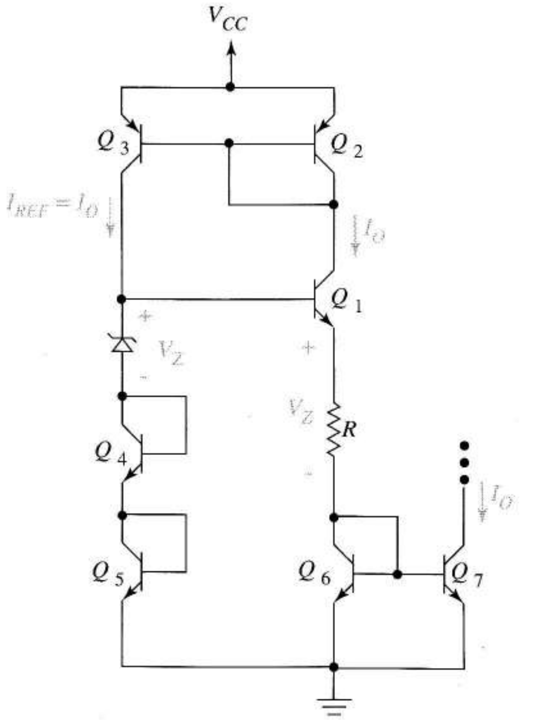
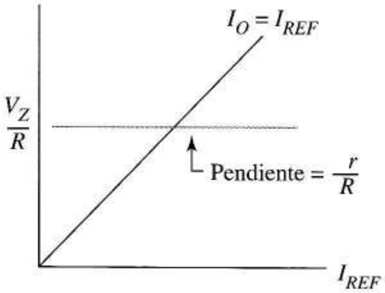


FIGURA 6.39 Referencia de corriente *bootstrap*: (a) principio *bootstrap*; (b) puntos posibles de trabajo; (c) realización práctica; (d) circuito *bootstrap* con MOS.



(c)



(b)

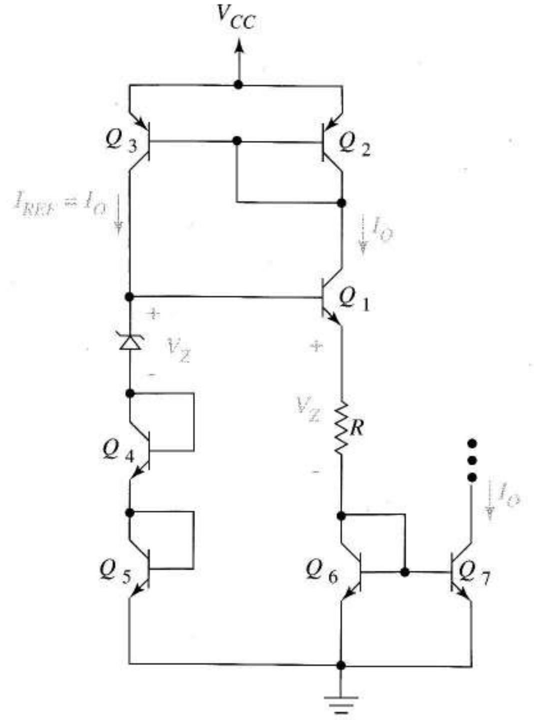


FIGURA 6.40 Referencias de corriente zener:
(a) circuito con bipolares;
(b) solución gráfica del punto de trabajo de la referencia zener;
(c) versión CMOS.

Circuito de referencia con zener El circuito *bootstrap* de la Figura 6.40a es una *referencia zener*. Las caídas de tensión V_{BE} de Q_4 y Q_5 están ecualizadas con Q_1 y Q_6, haciendo que la caída en R sea igual a la caída de tensión en el zener. Así, en unos ejes I_O–I_{REF}, el punto de trabajo es la intersección de la ecuación de bootstrap con la línea cuasi-horizontal

$$I_O = \frac{V_Z + I_{REF} r}{R} \approx \frac{V_Z}{R} \tag{6.50}$$

donde r es la resistencia del diodo zener. Esta ecuación se aplica al diseño y al análisis. Como este circuito no depende de la Ecuación (6.47) no hay problemas de arranque. Hay dependencia secundaria de V_{CC} cuando se usa un zener real con resistencia interna y dependencia de I_{REF} con V_{CC} causada por la resistencia de salida del transistor. La Figura 6.40c indica cómo modificar el circuito CMOS de la Figura 6.39d para usar una referencia zener.

6.8.2 POLARIZACIÓN INDEPENDIENTE DE LA TEMPERATURA

Salvo que tengamos especiales precauciones al diseñar, una fuente de corriente puede introducir variaciones provocadas por la temperatura en el circuito de polarización. Después de revisar el concepto de coeficiente de temperatura, introducido por primera vez en el Capítulo 3, explicamos la forma de aplicar la idea al diseño de fuentes de corriente.

Coeficientes de temperatura Definimos el coeficiente de temperatura, α_P, de un parámetro P como

$$\alpha_P = \frac{1}{P}\frac{dP}{dT} \tag{6.51}$$

Así, α_P denota el incremento unitario de P respecto de un incremento de temperatura T. Algunos de los más importantes parámetros P relacionados con el diseño de circuitos compensados en temperatura son las resistencias, V_{BE} en uniones pn y las tensiones de avalancha en los diodos.

En el Capítulo 3 vimos que las resistencias semiconductoras tienen coeficientes de temperatura positiva debido a que las movilidades de los portadores bajan con la subida de temperatura. En una resistencia difundida en base, α_R es aproximadamente 1.500 ppm/°C, las difundidas en emisor tienen menor coeficiente de temperatura, del orden de 600 ppm/°C; sin embargo la resistencia del material de emisor debe ser baja para lograr transistores de alta β. Esto restringe estas resistencias a los menores valores para una misma geometría. Las resistencias elevadas –con coeficientes de temperatura de ±200 ppm/°C o menos– son posibles con técnicas de implantación iónica y de película fina, pero esto supone pasos extras en la fabricación.

La tensión V_{BE} de una unión pn de silicio directamente polarizada es del orden de 700 mV y disminuye a 2 mV/°C. Así

$$\alpha_{V_{BE}} = \frac{-2\times10^{-3}}{700\times10^{-3}} = -2860 \text{ ppm/°C}$$

El coeficiente de temperatura de un diodo zener tiene signo dependiente de la tensión zener, propiedad que hace del zener un dispositivo muy versátil para circuitos de compensación de temperatura. La Figura 6.41 muestra que a 5,7 V el coeficiente de temperatura es nulo. En las proximidades de 5,7 V el margen del coeficiente de temperatura va de –450 a +500 ppm/°C.

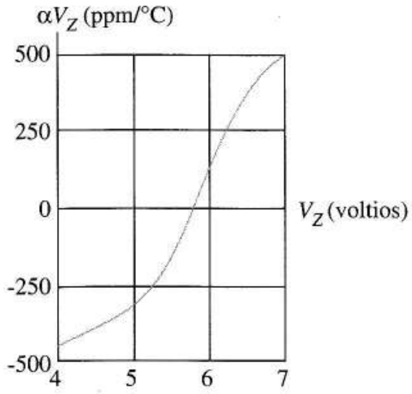


FIGURA 6.41
Coeficientes de temperatura para el diodo zener en función de su tensión zener.

Referencia zener con compensación de temperatura En la referencia zener de la Figura 6.40a, las tensiones V_{BE} de Q_4 y Q_5 arrastran a las de Q_1 y Q_6; sin embargo, las variaciones de temperatura afectan a V_Z y R en la corriente de salida

$$I_O = \frac{V_Z}{R} \tag{6.52}$$

Para hallar el coeficiente de temperatura I_O, derivamos con respecto a la temperatura. La regla de la cadena da

$$\frac{dI_O}{dT} = \frac{\partial I_O}{\partial V_Z}\frac{dV_Z}{dT} + \frac{\partial I_O}{\partial R}\frac{dR}{dT} = \left[\frac{1}{R}\frac{dV_Z}{dT} - \frac{V_Z}{R^2}\frac{dR}{dT}\right]$$

Para obtener una expresión que incorpore los coeficientes de temperatura, dividimos la parte izquierda por I_O y la derecha por su equivalente, V_Z/R lo que da, en términos de coeficientes de temperatura

$$\alpha_{I_O} = \left(\alpha_{V_Z} - \alpha_R\right) \tag{6.53}$$

Lo que muestra que un coeficiente de temperatura positivo en el zener reduce el coeficiente de temperatura de I_O; más aún, ecualizando los coeficientes térmicos del zener y la resistencia obtenemos una fuente de corriente insensible a las variaciones de temperatura, al menos en las proximidades de la temperatura de diseño.

Revisando los valores de los coeficientes de temperatura recién analizados vemos que ecualizar coeficientes puede llevar a compromisos dificultosos: coeficientes positivos para el zener comparables a los de las resistencias difundidas en base lleva a altas tensiones zener que precisarían elevadas V_{CC}. Resistencias con coeficientes de temperatura por debajo de 500 ppm o menos, que estén ecualizados con zeners de baja tensión necesitan procesos adicionales en la fabricación. El multiplicador V_{BE}, estudiado a continuación, puede ayudarnos en estas situaciones de compromiso.

Multiplicador V_{BE} El multiplicador V_{BE} de la Figura 6.42a es un subcircuito que se suele usar en diseños de integrados como parte de circuitos de referencia de tensión o corriente. Su fin es producir una tensión $V_{BB} = mV_{BE}$ donde "m" es un factor de escala independiente de la temperatura. La Figura 6.42b nos explica su funcionamiento. Sumando tensiones en la parte izquierda del circuito da

$$V_{BB} = V_{BE} + R_1\left(I_{BB} - \beta I_B\right) \tag{6.54}$$

Aplicando la ley de Kirchhoff a la base da

$$I_{BB} - \beta I_B = \frac{V_{BE}}{R_2} + I_B \tag{6.55}$$

El diseñador elige una R_2 suficientemente pequeña para que el primer término de la derecha de (6.55) sea mucho mayor que I_B. Despejando I_B y sustituyendo en (6.54) obtenemos la ecuación de diseño

$$V_{BB} = \left(1 + \frac{R_1}{R_2}\right) V_{BE} = mV_{BE} \tag{6.56}$$

y la restricción

$$\frac{V_{BE}}{R_2} >> I_B \tag{6.57}$$

Como el factor de escala m depende de la relación de resistencias, puede establecerse con precisión en el diseño de los integrados. Además se cancelan las variaciones de temperatura de primer orden en las resistencias, resultando V_{BB}, una versión ampliada de V_{BE}, que sigue la variación de V_{BE} con la temperatura.

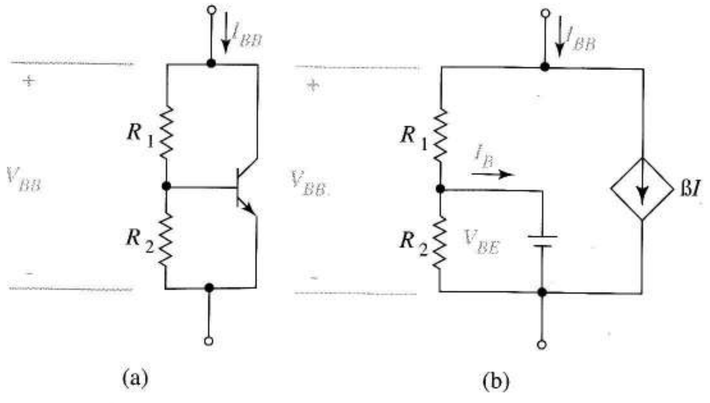


FIGURA 6.42 Multiplicador V_{BE}: (a) circuito; (b) equivalente.

Una segunda condición de diseño asegura que casi toda la corriente I_{BB} en la Figura 6.42 circula por el transistor. Esto implica

$$\beta I_B >> \frac{V_{BE}}{R_2} + I_B$$

La Ecuación (6.57) nos permite reescribirlo como

$$\beta I_B >> \frac{V_{BE}}{R_2}$$

De hecho, ya que casi toda I_{BB} es corriente de colector, $\beta I_B \approx I_{BB}$. Sustituyendo esta aproximación para el límite superior de la ecuación precedente y usándola de nuevo para el límite inferior en (6.57) da la restricción de diseño

$$I_{BB} >> \frac{V_{BE}}{R_2} >> \frac{I_{BB}}{\beta} \qquad (6.58)$$

que es fácil de cumplir con transistores de elevada.

Ejercicio 6.22 Diseñar un multiplicador V_{BE} con m = 1,13, si I_{BB} = 0,89 mA y 200 < β < 350. Suponer que V_{BE} = 0,7 V.

Respuesta R_1 = 80,8 kΩ, R_2 = 10,5 kΩ es una de las respuestas correctas.

EJEMPLO 6.22 a) En la Figura 6.43 hallar la ecuación de diseño que incluya I_O, R, V_Z, m y V_{BE}.
b) Obtener de ella la expresión del coeficiente de temperatura de I_O.
c) Hallar la condición de diseño que hace α_{IO} nula.
d) Diseñar el circuito con I_O = 0,2 mA usando una resistencia, R, con un coeficiente de temperatura de 1.500 ppm/°C y un zener de 6 V con 130 ppm/°C. El coeficiente térmico de V_{BE} es –2.860 ppm e $I_S = 10^{-14}$ A.

Solución a) La ley de Kirchhoff de las tensiones da

$$V_Z = I_O R + (m+2)V_{BE}$$

En cualquier diseño, podemos despejar R, una vez que I_O está especificada y m es conocido. En lo que sigue usaremos la independencia de temperatura para hallar m.

b) Derivando nuestra ecuación respecto a la temperatura y multiplicando cada término por uno da

$$\frac{V_Z}{V_Z}\frac{dV_Z}{dT} = \frac{R}{R}I_O\frac{dR}{dT} + \frac{I_O}{I_O}R\frac{dI_O}{dT} + \frac{V_{BE}}{V_{BE}}(m+2)\frac{dV_{BE}}{dT}$$

Con las definiciones de los coeficientes de temperatura

$$V_z\alpha_{V_z} = RI_O\alpha_R + RI_O\alpha_{I_O} + (m+2)V_{BE}\alpha_{V_{BE}}$$

c) Para hacer I_O insensible a la temperatura, fijamos su coeficiente térmico a cero. Esto da la segunda ecuación de diseño

$$V_z\alpha_{V_z} = RI_O\alpha_R + (m+2)V_{BE}\alpha_{V_{BE}}$$

d) Con una corriente de salida de 0,2 mA, la caída V_{BE} será

$$V_{BE} = 0{,}025\ell n\left(\frac{0{,}2\times 10^{-3}}{10^{-14}}\right) = 0{,}593 \text{ V}$$

La ecuación de diseño nominal del apartado a) necesita

$$6 = 0{,}2 \times 10^{-3} R + (m+2)0{,}593$$

Del resultado del apartado c)

$$6 \times (130) = R(0{,}2 \times 10^{-3})(1.500) + (m+2)(0{,}593)(-2860)$$

Resolviendo estas ecuaciones, da R = 20,4 kΩ y m = 1,24. ❑

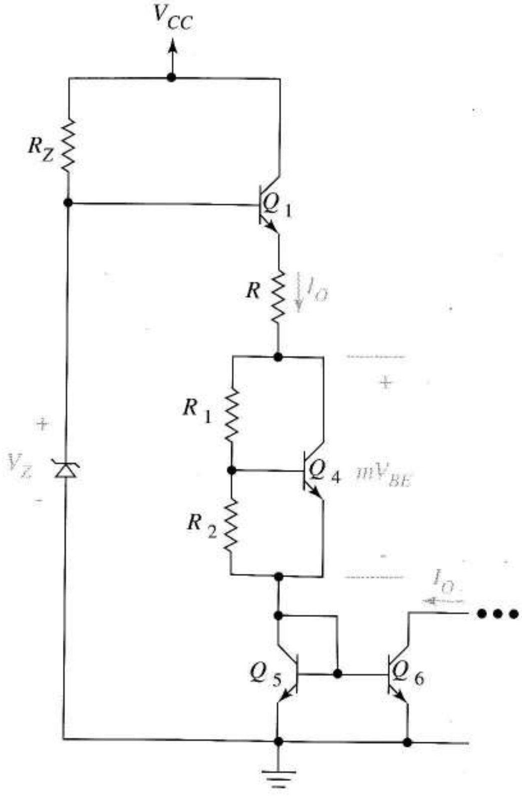


FIGURA 6.43 Fuente de corriente compensada en temperatura.

6.9 SUMARIO

Los circuitos electrónicos lineales necesitan la polarización para fijar y mantener los puntos de trabajo en la zona activa de los transistores. Algunas veces hay diseños de circuitos de polarización con restricciones adicionales, tales como asegurar el potencial de masa en la salida, asegurar la adecuada ganancia en pequeña señal o proporcionar alta resistencia de entrada.

El circuito de polarización de cuatro resistencias es el elegido en aplicaciones discretas. Es importante dominar tanto el análisis como el diseño de este circuito y los relacionados de cerca con él.

En el análisis, el fin es hallar los puntos Q del transistor, dados los parámetros del circuito y del transistor así como las tensiones de alimentación. Las corrientes continuas de colector y drenador dan los valores de los parámetros en pequeña señal que son necesarios para evaluar la capacidad de procesado de señales del circuito. Las tensiones continuas de salida nos ayudan a saber lo cerca que está el transistor de corte o saturación.

En el diseño, nos dan las alimentaciones, los parámetros del transistor y los puntos Q y tenemos que calcular los correspondientes valores de las resistencias. Hay muchas variaciones sobre el problema básico: fuentes positivas y/o negativas, restricciones en tensiones en algún nodo, restricciones impuestas por la conexión directa a otros circuitos de polarización. Podemos trabajar en todos estos casos con la misma aproximación general. En el circuito de salida de cada transistor, repartimos la tensión disponible para lograr las especificaciones. En los diseños con FET (bipolares), el principio básico es hacer la caída de tensión en la resistencia de fuente (emisor) tan grande como lo permitan las demás consideraciones. Una vez elegidas las tensiones, el circuito de salida se calcula con facilidad. El siguiente paso es deducir los requisitos de entrada consistentes con el circuito de salida. Con los FETs, la clave es calcular V_{GS} a partir de la corriente de drenador conocida. Añadiendo V_{GS} a la tensión de fuente, hallamos la tensión de puerta que necesitamos para diseñar el circuito de entrada. En los bipolares, el valor fijo de 0,7 V para V_{BE} relaciona la incógnita de la tensión de base con la tensión de emisor conocidas. Los diseños con FET usan sencillos divisores de tensión en la entrada; para los bipolares, debemos diseñar el circuito de entrada para estar de acuerdo con el peor caso (mínima β) de la corriente de base.

Los circuitos electrónicos deben funcionar adecuadamente a pesar de las variaciones en los valores de los parámetros. En este contexto, la teoría de la sensibilidad nos ayuda a estimar lo que harán los circuitos y diseñar circuitos con límites en la variacion de sus características. En estos problemas, debemos saber la forma de interpretar las sensibilidades numéricas, incluyendo sensibilidades multiparamétricas, en términos de aproximaciones incrementales. Los cálculos de sensibilidad SPICE son muy útiles, especialmente para identificar los parámetros más críticos. Cuando necesitamos una expresión para conocer mejor las relaciones subyacentes de la sensibilidad, por ejemplo, en casos en los que tengamos que modificar un diseño para alcanzar especificaciones, necesitamos saber aplicar la definición de sensibilidad al análisis de ecuaciones algebraicas.

En circuitos integrados, donde las resistencias son relativamente caras, las fuentes de corriente continua se usan mucho en polarización. Casi siempre, la fuente de corriente consiste en una corriente de referencia que circula a través de un transistor conectado como diodo y otro transistor espejo que reproduce la corriente de referencia y una salida de elevada resistencia. Con transistores iguales, la corriente de salida es una copia casi perfecta de la corriente de referencia para márgenes amplios de temperatura. Se pueden escalar las corrientes de salida en relación con la referencia mediante las relaciones W/L en los FETs y las relaciones entre áreas en los bipolares. En ambas tecnologías, pueden conectarse varios transistores espejo en paralelo para proporcionar múltiples salidas de corriente con factores de escala individuales. Las fuentes de corriente básicas con FET y bipolares suelen usar corrientes de referencia definidas por una resistencia y espejos de corriente sencillos. Es importante dominar tanto el análisis como el diseño de estos circuitos y debemos de ser capaces de calcular sus resistencias de salida y las mínimas tensiones de salida. Debemos estar preparados para reconocer, analizar y diseñar estos circuitos básicos en sus diversas formas: NMOS, PMOS, npn y pnp y con alimentaciones positivas, negativas o simétricas.

También hay fuentes de corriente más complejas, más circuitos de los que es posible recordar por su nombre. A pesar de todo, comprendemos el funcionamiento de estas fuentes y seremos capaces de aplicar nuestro análisis básico y los principios de diseño, incluyendo la estimación de la mínima

tensión de salida. Mediante incremento en la complejidad, estas fuentes consiguen ventajas sobre los circuitos básicos, tales como mayor resistencia de salida y/o menor sensibilidad a las alimentaciones. El más destacado de estos circuitos es el circuito Widlar con una única ecuación de diseño logarítmica. Además de una alta resistencia de salida y una excepcional independencia de la alimentación, este circuito facilita el diseño de fuentes de corrientes de baja corriente de salida con resistencias aceptablemente pequeñas. En fuentes de corriente con bipolares, hay dependencia con β además del factor de escala por relación entre áreas deseada. El parámetro denominado ganancia de corriente lo describe. En algunas aplicaciones se necesitan grandes ganancias de corriente y esto justifica a veces, la selección de una de las fuentes complejas en vez de una básica. Todas las fuentes de corriente son capaces de llevar las perturbaciones en la corriente de referencia a la salida. Esto se explota deliberadamente en circuitos con cargas activas que estudiaremos en el siguiente capítulo; sin embargo puede conducir a ruidos no deseados en el circuito de polarización. Los circuitos de referencia independientes de la alimentación no sólo reducen este ruido, sino que las corrientes de polarización son sorprendentemente inservibles a su propia alimentación, una característica que sugiere la posibilidad de circuitos con parámetros de pequeña señal relativamente independientes de la fuente de alimentación. Las técnicas especiales de diseño pueden llevar a fuentes de corriente continua con coeficiente de temperatura nulo.

REFERENCIAS

1. ANTOGNETTI, P., y G. MASSOBRIO, eds. *Semiconductor Device Modeling with SPICE.* New York: Masobrio, McGraw-Hill, 1988.
2. GRAY, P. R., y R.G. MEYER *Analysis and Design of Analog Integrated Circuits*, 3.ª ed. New York: John Wiley, 1993.
3. GREBENE, A. B. *Bipolar and MOS Analog Integrated Circuit Design.* New York: Wiley-Interscience, 1984.
4. TAUB, H., y D. SCHILLING. *Digital Integrated Electronics.* New York: McGraw-Hill, 1977.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE No maneje los *listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 6.1

6.1 a) Sustituya el MOSFET en la Figura 6.1b por un bipolar con configuración en emisor-común e indique en el diagrama la notación adecuada para el circuito bipolar.

b) Emplee el dibujo de la funcion de transferencia para indicar la tensión de salida cuando entra úna señal suficientemente grande como para provocar distorsión.

6.2 El transistor descrito por (6.3) tiene $k = 0{,}2$ mA/V^2 y $V_t = 0{,}5$ V y esta polarizado a $V_{GG} = 2{,}5$ V.

a) Escriba (6.4) con valores numéricos para la constante y los coeficientes de $v_{gs}(t)$ y $v_{2gs}(t)$.

b) Compare las magnitudes de la señal y los términos de distorsión cuando

i) $v_{gs}(t) = 0{,}02$ sen $500t$.

ii) $v_{gs}(t) = 0{,}7$ sen $500t$.

6.3 En la Figura 6.1a, el transistor está polarizado en $V_{GG} = 2{,}5$ V. Los parámetros son $k = 0{,}2$ mA/V^2 y $V_t = 0{,}5$ V. Si $R_L = 20$ kΩ, $V_{DD} = 15$ V.

a) Halle la ganancia de tensión.

b) Ignorado el término de distorsión, dibuje la tensión $v_D(t)$ en la Figura 6.1b cuando $v_{GS}(t) = 0{,}01$ sen ωt.

6.4 En la Figura 6.1a, $R_L = 20$ kΩ. Los parámetros del transistor son $k = 0{,}2$ mA/V^2 y $V_t = 0{,}5$ V. Halle la ganancia de tensión si

a) $V_{GG} = 0{,}75$ V.

b) $V_{GG} = 1{,}5$ V.

c) $V_{GG} = 2{,}0$ V.

6.5 Compruebe que (6.9) y $g_m = k(V_{GG} - V_t)$ son equivalentes.

6.6 Para el amplificador de la Figura 6.1a, haga un dibujo de la magnitud de la ganancia, $|A_v|$, en función de

a) corriente de polarización I_D.

b) tensión de polarización V_{GG}.

Sección 6.2

6.7 En la Figura 6.2a, $V_{DD} = 10$ V. Diseñe el circuito que polarice el circuito en 2 V, 0,1 mA con 6 V de caída en R_S. Haga $R_P = 2$ MΩ. Los parámetros del transistor son $k = 0{,}5 \times 10^{-3}$ A/V^2 y $V_t = 0{,}5$ V.

6.8 En la Figura 6.2a, $V_{DD} = 15$ V.

a) Diséñese el circuito de polarización del transistor en 4 V y 3 mA, con una caída de 5 V en R_D. Haga $R_P = 2$ MΩ. Los parámetros del transistor son $k = 0{,}5 \times 10^{-3}$ A/V^2 y $V_t = 0{,}5$ V.

b) Demuestre que el transistor no está en estado óhmico en este circuito.

6.9 En la Figura 6.2a queremos polarizar el transistor en 2 mA. Halle el menor valor de V_{DS} que asegure que el transistor esté activo si sus parámetros son $k = 1{,}21 \times 10^{-3}$ A/V^2 y $V_t = 0{,}8$ V.

Sugerencias Definición de estado, notación con doble subíndice.

6.10 En la Figura P6.10 los parámetros del transistor son $k = 0{,}5 \times 10^{-3}$ A/V^2 y $V_t = -2$ V. Diseñe el circuito de polarización del transistor en (V_{DS}, I_D)=(−4 V, 2 mA). Haga que $R_P = R_1 || R_2 = 2$ MΩ.

Sugerencia Muestre primero las direcciones en el diagrama.

6.11 En la Figura 6.2a, $V_{DD} = 9$ V

a) Diseñe el circuito de polarización del transistor en 1 mA. Sitúe una parte de la tensión en R_S y divida el resto entre el transistor y R_D. Haga $R_P = 1$ MΩ. Los parámetros del transistor son $k = 0{,}5 \times 10^{-3}$ A/V^2 y $V_t = 0{,}5$ V.

b) Verifique que el transistor del diseño está en zona activa.

c) Calcule la g_m del transistor.

6.12 En la Figura P6.12, los parámetros del transistor son $k = 0{,}5 \times 10^{-3}$A/V^2 y $V_t = -0{,}6$ V. Haga que el punto Q sea (V_{DS}, I_D)=(5 V,1 mA) con la misma caída de tensión en R_D que en R_S y $R_P = 3$ MΩ.

6.13 Diseñe el circuito de polarización de la Figura 6.3a para el punto Q de (6 V, 0,5 mA) usando $V_{CC} = 18$ V en vez de 9 V. Haga que la caída en R_E sea dos veces la tensión en R_C. La del transistor esta en el margen $100 \le \beta \le 300$.

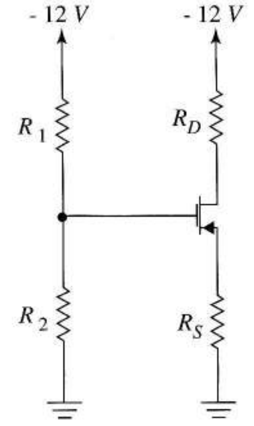


FIGURA P6.10

6.14 a) Diseñe en la Figura P6.14 para un punto Q de (V_{CE}, I_C) = (−2 V, 1 mA) con la condición adicional de que $V_E = 4$ V. Para el transistor $20 \le \beta \le 200$.

Sugerencia Muestre primero los sentidos de las corrientes en el diagrama.

b) Compare los valores con los del Ejercicio 6.2.

6.15 a) Diseñe P6.15 para un punto Q de (V_{CE}, I_C) = (−2 V, 1 mA) con la condición adicional de $V_E = -4$ V con $20 \le \beta \le 200$ para el transistor.

Sugerencia Muestre primero los sentidos de las corrientes en el diagrama.

6.16 Diseñe un circuito de polarización de cuatro resistencias para un JFET de canal n que tenga $\beta = 1$ mA/V^2 y $V_P = -1$ V. Use una alimentación de 8 V. Polarice el transistor en 4 V y 0,5 mA con tensiones iguales en las resistencias de drenador y fuente. R_P no debe ser menor de 600 kΩ.

6.17 En los circuitos de la Figura P6.17, el transistor tiene $\beta = 40$. Diseñe cada circuito para que esté polarizado en (5 V, 0,5 mA). En el circuito *c* la condición adicional es que R_C soportará 3 V.

6.18 En la Figura P6.18 los transistores tienen $k = 0{,}1 \times 10^{-3}$ A/V^2 y $V_t = 2$ V. Complete el diseño para que todos estén a 3 V y 0,15 mA. También,

Circuito a) Haga $R_1 || R_2 = 500$ kΩ.

Circuito b) ¿Hay alguna condición sobre R_1? Explíquelo.

Circuito c) Produzca iguales caídas en R_D y R_S.

Circuito d) Haga que la caída sea 3 V en R_D.

6.19 Redibuje la Figura P6.18c cambiando el MOSFET por un JFET de canal n que tenga $V_P = -1{,}5$ V e $I_{DSS} = 0{,}5$

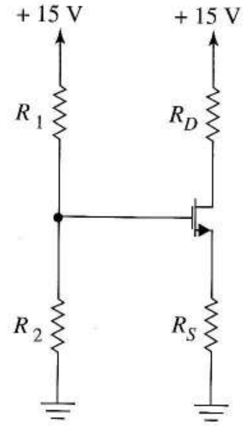


FIGURA P6.12

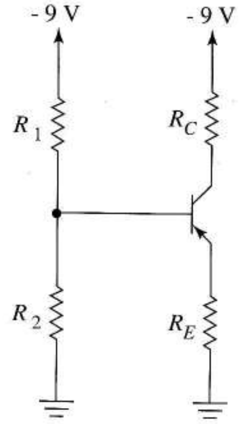


FIGURA P6.15

mA. Diseñe el circuito para un punto Q con 0,2 mA y 3 V con tensiones iguales en R_S y R_D. Use $R_1 = 1$ MΩ.

6.20 Diseñe un circuito de polarización de cuatro resistencias para un MOSFET de canal p. La alimentación disponible es de –12 V y los valores de los parámetros son $k = 3$ mA/V^2 y $V_t = -2$ V. El punto Q debería ser 2 mA y –5 V. La tensión en R_S debe ser 4 V, y $R_1 || R_2 = 900$ kΩ.

6.21 Diseñe un circuito de polarización de cuatro resistencias para un MOSFET de deplexion de canal n. La alimentación es de –12 V y los valores de los parámetros son $k = 3$ mA/V^2 y $V_t = -2$ V. El punto Q debería estar en 2 mA. Las tensiones en R_D y R_S deberían ser 3 V y 4 V, respectivamente. Haga que el paralelo de las resistencias de puerta sea 900 kΩ.

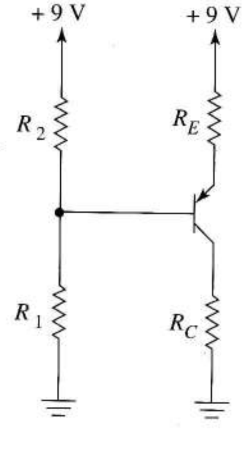


FIGURA P6.14

6.22 Elija los valores de las resistencias de la Figura P6.22 para que el transistor se polarice en 1 mA. Los valores de los parámetros son $k = 0{,}5$ mA/V^2 y $V_t = 1$ V. (La respuesta no es única).

Sección 6.3

6.23 Dibuje los equivalentes del JFET de canal n de las Figuras 6.6a y b. Después utilice el croquis de la línea de carga para comparar, cualitativamente, las estabilidades de los puntos Q de los dos circuitos al subir la temperatura, es decir, rehaga la Figura 6.6 para el JFET.

Sugerencia Se estudió la dependencia térmica de los parámetros del JFET en la Sección 5.9.4.

6.24 La Figura P6.24 muestra un circuito de polarización y las características de salida del transistor.

a) Mediante la recta de carga, halle el valor necesario de R_B para situar al transistor cerca de 2,5 V suponiendo $V_{BE} = 0{,}7$ V.

b) Suponga que V_{BE} cambia –2 mV/°C pero las características de salida no cambian. Si la temperatura sube a 75°C, halle el nuevo valor de la corriente de base. ¿Cómo cambia el punto Q en la línea de carga?

6.25 a) Con (6.12) halle I_C cuando $R_C = 2{,}5$ kΩ, $R_T = 10$ kΩ, $V_{TT} = 5$ V, $\beta = 150$ y $V_{BE} = 0{,}7$ V.

b) Recalcule I_C cuando V_{BE} es un 10% mayor que es a). Halle el porcentaje de cambio en I_C.

c) Recalcule I_C con los valores de a) salvo que es un 10% menor. Halle el porcentaje de cambio en I_C.

d) Según esto ¿para quién es más crítica la estabilidad, para V_{BE} o β?

6.26 Mediante (6.12) halle I_C a la temperatura ambiente de 25°C para la que los parámetros son: $R_E = 2{,}5$ kΩ, $R_T = 10$ kΩ, $V_{TT} = 5$ V, $\beta = 150$ y $V_{BE} = 0{,}7$ V. Recalcule el valor de I_C si la temperatura sube a 80°C y XTB = 1,6.

Sugerencia Recuerde la Sección 4.9.1.

Sección 6.4

6.27 En la Figura 6.10a cambie la alimentación a –9 V y la corriente de polarización a 0,5 mA. Después diseñe el circuito con igual tensión en R_C que en R_E cuando la β del transistor es mínima, 175.

6.28 En la Figura 6.11 buscamos igual caída en R_C, el transistor y la fuente de corriente. Halle la resistencia y la fuente de corriente si β = 35.

6.29 En la Figura 6.12 cambie la alimentación de +15 V por una de +12 V y la corriente de polarización a 0,9 mA. Diseñe el circuito con 100 ≤ β ≤ 250.

6.30 Modifique el circuito de la Figura 6.13a cambiando las fuentes de +9 V y –3 V por una alimentación simple de + 12 V. Diseñe, después, el circuito con tensiones iguales en R_1, Q_1 y R_2 y de tal forma que las caídas en R_4 y Q_2 sean iguales. Polarícelos a I_{C1} = 0,1 mA e I_{C2} = 0,5 mA.

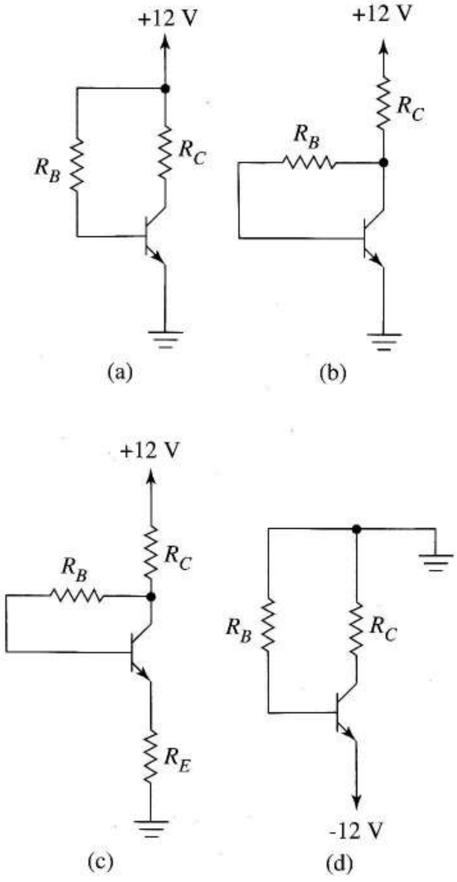


FIGURA P6.17

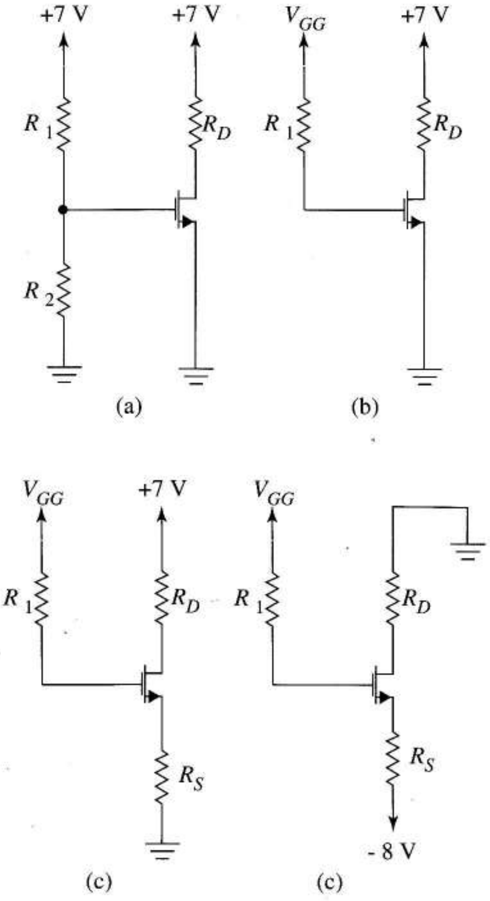


FIGURA P6.18

6.31 Los dos transistores de la Figura 6.13c tienen $k = 4 \times 10^{-3}$ A/V^2 y V_t= 0,6 V. Si V_O es 5 V, I_{D1}= 2 mA e I_{D2}= 1 mA, halle R_S, V_{G1}, I_O, V_{G2} y R_1.

6.32 Diseñe los circuitos de polarización de P6.32

En el circuito a), polarícelo para que V_C= 0 V y para que el punto Q sea (6 V, 100 μA) dado que 40 ≤ β ≤ 120.

En el circuito b) polarice el transistor en (7 V, 3 mA) si 50 ≤ β ≤ 100. (Sirve cualquier diseño razonable que satisfaga las especificaciones).

En el circuito c) polarice el transistor en (–2 V,1 mA) si 10 ≤ β ≤ 500. (Sirve cualquier solución razonable).

6.33 Diseñe el circuito de polarización de P6.33 para que el transistor esté polarizado en (4 V, 0,4 mA), la tensión en R_D sea 5 V y la resistencia de entrada, R_P = 2 MΩ.

6.34 Polarice el transistor de la Figura P6.34 en (–3 V, 2,5 mA). Haga que la caída de tensión en R_S sea 3 V.

6.35 Halle la resistencia que haga que $V_G = 1$ V, $V_D = 10$ V e $I_D = 9$ mA en el circuito de la Figura P6.35.

Sección 6.5

6.36 a) Con (6.17) y (6.18) calcule los valores numéricos de $S^{I_C}_{\beta}$ y $S^{I_C}_{V_{BE}}$ para el circuito de la Figura P6.36.

b) Estime el porcentaje de cambio en I_C que resultaría al modificar V_{BE} un 15%.

c) ¿Quién es más crítico, V_{BE} o β para la sensibilidad de I_C? Explíquelo.

6.37 Un oscilador genera una frecuencia senoidal de

$$f_o = \frac{1}{\sqrt{LC}}$$

a) Calcular $S^{f_o}_C$.

b) Si el diseño nominal da $f_o = 1$ MHz, estime la frecuencia real si C es un 10% mayor.

c) Si el diseño del oscilador impone mantener una las variaciones de frecuencia en ±100 ppm ¿cuál es el máximo de variación porcentual de C?

6.38 Empiece con (6.16) demuestre que $S^{I_C}_{R_T} = -R_T/[R_T + (\beta+1)R_E]$. Escriba una justificación basada en la expresión que relacione R_E y R_T con el diseño del circuito de polarización.

6.39 (6.19) define implícitamente I_D en función de R_S para el circuito de polarización de cuatro resistencias.

a) Halle la expresión de la derivada de I_D con respecto a R_S en función de k, V_{GG}, I_D, R_S y V_t.

b) Obtenga una expresión algebraica de $S^{I_D}_{R_S}$.

c) Halle el valor numérico de $S^{I_D}_{R_S}$ para el circuito del Ejemplo 6.1.

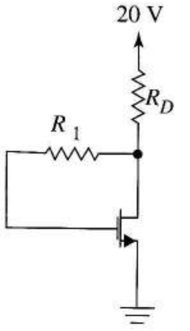


FIGURA P6.22

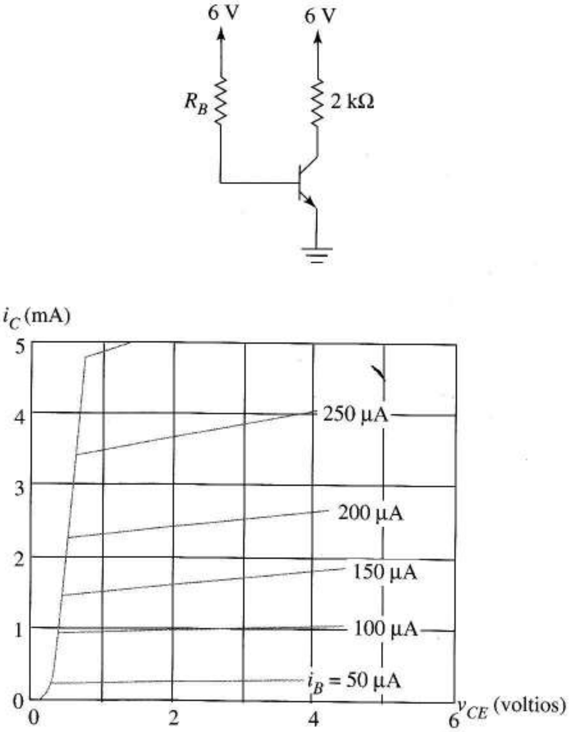


FIGURA P6.24

d) A partir de la respuesta de c) halle el porcentaje de cambio de I_D si R_S sube un 10%.

6.40 a) Empiece con la Ecuación (6.16), demuestre que

$$S^{I_C}_{R_E} = -(\beta+1)R_E / [R_T + t(\beta+1)R_E].$$

b) Demuestre que $S^{I_C}_{V_{TT}} = V_{TT} / (V_{TT} - V_{BE})$.

6.41 En un determinado circuito de polarización las sensibilidades de I_C son

$$S^{I_C}_{V_{R1}} = -0{,}73,\ S^{I_C}_{V_{R2}} = +0{,}73,\ S^{I_C}_{V_{RC}} = -3{,}9\times10^{-3},\ S^{I_C}_{V_{RE}} = -1{,}07$$

$$S^{I_C}_{V_{CC}} = +1{,}33,\ S^{I_C}_{\beta} = +0{,}01,\ S^{I_C}_{V_{ts}} = +0{,}008$$

a) ¿Qué parámetro es más crítico para mantener I_C?

b) ¿Qué parámetro de circuito es más crítico?

c) Estime el porcentaje de cambio en I_C si todos los parámetros son un 10% mayores.

d) Determine el peor caso en la variación porcentual de I_C si todos los parámetros varían ±10%.

6.42 a) A partir de (6.16) escriba una expresión general de $\Delta I_C/I_C$ que tenga la forma de la Ecuación (6.20).

b) Evalúe los coeficientes usando los valores del Ejemplo 6.6.

Sugerencia Fíjese en las Ecuaciones (6.17) y (6.18) y en los Problemas 6.38 y 6.40.

c) Qué parámetro contribuye más a la incertidumbre en I_C?

d) Obtenga el peor caso de $\Delta I_C/I_C$ cuando todos los parámetros varían un 10%.

Sección 6.6

6.43 a) Compruebe el diseño del Ejemplo 6.5 con SPICE. Para tener una simulación más real, sustituya las resistencias por las más próximas en la Tabla 6.1 con tolerancias del 10% y el transistor por uno de efecto Early de 80 V. Compare los puntos Q de la simulación y del ejemplo.

b) Ahora suponga un coeficiente térmico de 0,005/ºC. Mediante el SPICE compruebe si el punto Q llegara a la región óhmica en el margen de temperatura $-30ºC \leq T \leq +50ºC$.

6.44 a) Use el SPICE para dibujar la funcion de transferencia v_O/v_i del amplificador de la Figura P6.44 en $0 \leq v_i \leq 15$ V ignorando el efecto del sustrato. De la salida SPICE estime la máxima ganancia y el valor de polarización de v_i para el que se produce.

b) Como la fuente no está a masa, el efecto del sustrato debería ser tenido en cuenta en el análisis. Repita el apartado a) después de tener en cuenta un coeficiente del efecto del sustrato de 0,4 en la descripción del transistor.

6.45 Calcule las sensibilidades de la corriente de drenador a las variaciones en las resistencias y en V_t en la Figura

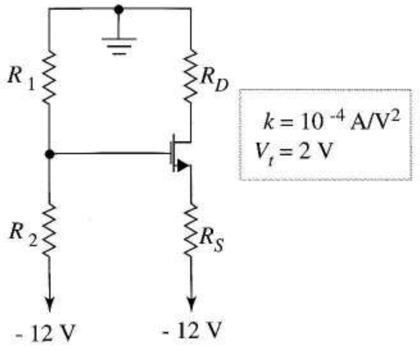


FIGURA P6.33

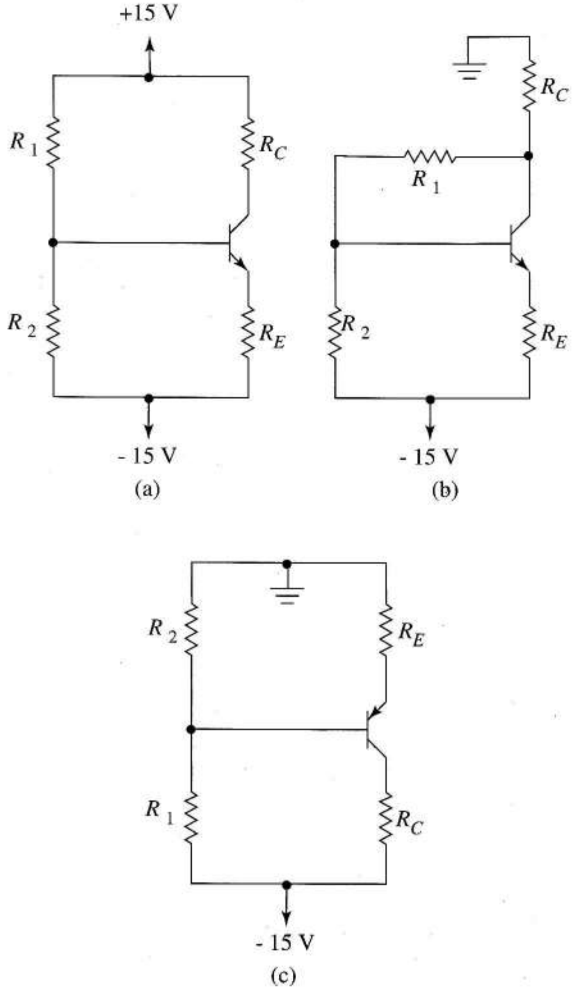


FIGURA P6.32

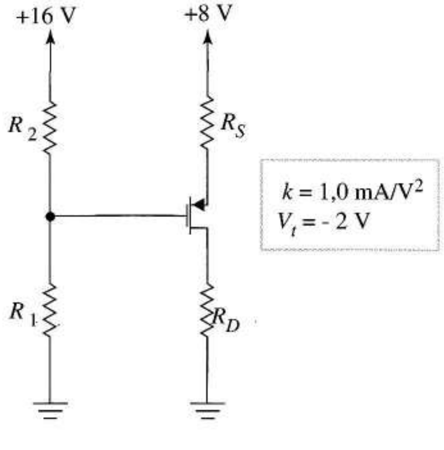


FIGURA P6.34

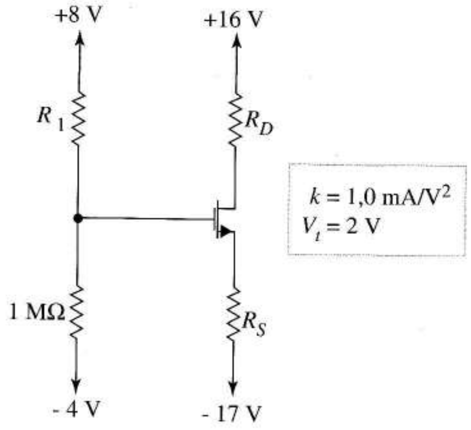


FIGURA P6.35

P6.44 mediante SPICE. Dé las respuestas según la definición de sensibilidad de la Ecuación (6.14).

6.46 Repita el Problema 6.45 pero hallando las sensibilidades de V_{DS} en vez de I_D.

6.47 Compruebe con SPICE el punto Q del Ejemplo 6.6 a temperaturas de –30ºC y +60ºC. Use $\beta = 200$ y XBT = 1,6 para el transistor y TC = 0,004 en las resistencias.

6.48 Calcule las sensibilidades de la corriente de drenador para el circuito del Ejemplo 6.4 y póngalos según la definición de sensibilidad de (6.14).

6.49 Calcule la sensibilidad de la corriente de colector del Ejemplo 6.2 usando SPICE cuando $\beta = 20$ e incluyendo los parámetros R_1, R_2, V_{CC} y V_{BE}. Vea si mejoran las sensibilidades cuando se cambia la resistencia de emisor por una fuente de corriente de 2 mA y 65 kΩ de resistencia de salida.

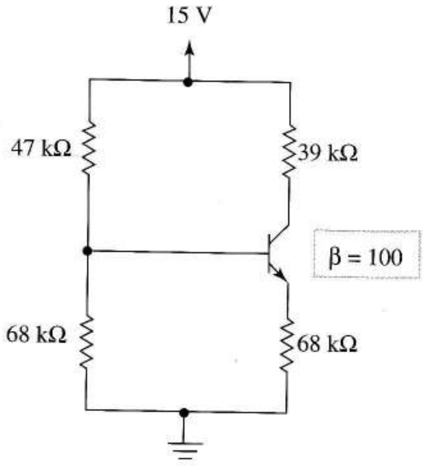


FIGURA P6.36

Sección 6.7

6.50 a) Diseñe una fuente de corriente MOS como la de la Figura 6.22 que dé 0,2 mA de corriente de salida con una alimentación de 17 V. Los parámetros del transistor son $k = 0{,}3 \times 10^{-3}$ A/V^2 y $V_t = 1{,}1$ V.

b) Halle la tensión mínima de salida.

c) Halle la resistencia de salida si la tensión Early del transistor es 110 V.

d) Halle el valor de I_O utilizando r_o cuando la tensión en la fuente es 12 V.

Sugerencia Halle la corriente adicional que circula por r_o cuando se aplican 12 V.

e) Diseñe la fuente de corriente con bipolares como en la Figura 6.24b que proporcione la misma corriente y usando la misma fuente de alimentación. ¿Para qué tensión de salida funciona bien la fuente?

6.51 El transistor conectado como diodo de la Figura 6.22c tiene como parámetros $V_t = 1{,}3$ V y $k = 0{,}12 \times 10^{-3}$ A/V^2. Los parámetros del circuito son $R = 34{,}5$ kΩ y $V_{DD} = +14$ V.

a) Calcule el valor de I_{REF} e indique el mismo valor de tensión de la fuente de corriente para que funcione correctamente.

b) Sitúe una fuente de tensión V_o, entre drenador y masa y describa el circuito en código SPICE. Obtenga el gráfico de la corriente de salida frente a V_o usando el análisis en continua para $0 \leq V_o \leq 14$ V. Relacione este dibujo con alguno de las figuras del libro.

c) Incluya una tensión Early de 50 V en la descripción SPICE y compare el nuevo gráfico con el de b).

6.52 Diseñe un espejo de corriente MOS con salidas de 1 mA, 2,5 mA y 5 mA. El diodo tiene como parámetros $V_t = 0{,}5$ V y $k = 2{,}5$ mA/V^2. La alimentación es de 12 V.

6.53 a) Diseñe un espejo de corriente como el de la Figura 6.42b que proporcione 2,1 mA y trabaje con una alimentación de 9 V.

b) ¿Cuál es la mínima tensión de salida de la fuente?

c) Si la tensión Early del transistor de salida es de 115 V, ¿cual es la resistencia de salida de la fuente?

d) Modele la fuente de corriente con SPICE e incluya una fuente V_o entre el colector y masa. Dibuje la corriente de salida frente a V_o para $0 \leq V_o \leq 9$ V

e) Dibuje un circuito para el mismo espejo de corriente de a) pero con alimentación negativa de –9 V y masa.

Sugerencia Añada –9 V a la alimentación y masa.

6.54 Cuando las áreas de todos los transistores son iguales en la Figura 6.25a, hallamos que $I_{O1}/I_{REF} = \beta/(\beta + 4)$. Si el

área de Q_3 es el triple de la de otros transistores, halle las ganancias de corriente de I_{O1} e I_{O3}.

6.55 La fuente de corriente de la Figura 6.25 utiliza $V_{CC} = 15$ V y $R = 10$ kΩ. Ignorando la ganancia de corriente, estime el valor de cada corriente de salida si las bases de Q_1, Q_2 y Q_3 son 0,7, 1,1 y 1,8 en relación con la de Q_R.

6.56 Trabaje sobre los detalles omitidos en la obtención de la Ecuación (6.30).

6.57 a) Obtener la Ecuación (6.31). Comience por marcar la corriente de emisor de Q_R como I_X y añada todas las corrientes al diagrama. Las β de todos los transistores son idénticas.

b) Calcule la sensibilidad de I_O a los cambios en β.

c) Estime el porcentaje de cambio en I_O que resultaría de una modificación del 2% en β cuando β = 399 y cuando β = 9. Compárelo con los resultados proporcionados por el texto antes de la Ecuación (6.30).

6.58 La fuente de corriente del Ejemplo 6.17 tiene el margen útil de tensión de salida de $4{,}4 \leq v_O \leq 9$ V. Explique por qué un transistor de mayor k extendería el margen de tensión. Después rediseñe el circuito del ejemplo usando $k = 10^{-3}$ A/V^2.

6.59 Un espejo de corriente bipolar básico tiene dos transistores de salida con áreas de 0,6 y 1,1 en relación con la del transistor de referencia. Calcule la ganancia de corriente de cada uno si β = 30.

Sugerencia Empiece marcando en un diagrama las corrientes de emisor de los tres transistores.

6.60 Para el espejo de la Figura P6.60

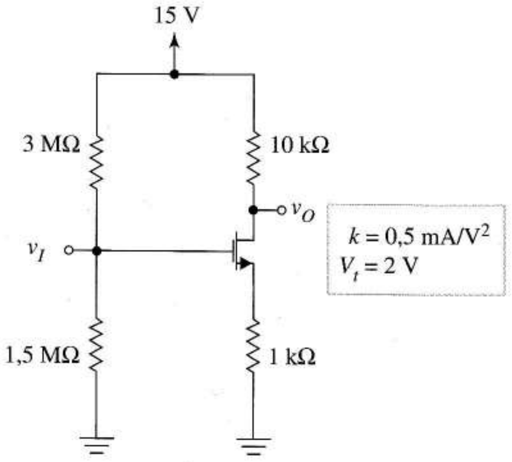


FIGURA P6.44

a) Halle R si la corriente de referencia es 2 mA.

b) Halle la máxima tensión V_O consistente con el funcionamiento como fuente de corriente.

c) ¿Cómo mejora el comportamiento de esta fuente con las resistencias de emisor?

d) Halle la resistencia de salida si la tensión Early es 110 V.

6.61 Obtenga la Ecuación (6.32).

6.62 a) Diseñe una fuente de corriente Wilson que funcione con 10 V de alimentación. Todos los transistores son idénticos con $k = 2$ mA/V^2 y $V_t = 1{,}1$ V. La corriente de salida ha de ser de 1 mA.

b) Resuelva el diseño de una fuente de corriente Wilson con bipolares con las especificaciones de a) usando transistores de silicio de alta beta e ignorando la ganancia de corriente.

6.63 a) Diseñe un espejo bipolar cascodo que dé $I_O = 2$ mA. La corriente de referencia se obtendrá de una alimentación de 15 V mediante una resistencia. Especifique la mínima tensión de salida para un funcionamiento correcto.

b) Diseñe un espejo MOS cascodo que satisfaga las condiciones de a). Use los transistores idénticos con $k = 1$ mA/V^2 y $V_t = 0{,}8$ V. ¿Cuál es la mínima tensión de salida de la fuente de corriente?

6.64 Diseñe una fuente Widlar como en la Figura P6.64 para una corriente de salida de 0,12 mA usando resistencias de 10 kΩ o menos. Calcule también el valor de su resistencia de salida si el bipolar tiene una tensión Early de 100 V.

6.65 Los diodos del transistor de la Figura P6.65 tienen $k = 0{,}8$ mA/V^2 y $|V_t| = 0{,}9$ V. Los otros transistores son idénticos salvo en W/L que está indicada al lado de cada uno. Los valores de los componentes son $R = 212$ kΩ, $V_{DD} = +12$ V y $V_{SS} = -12$ V. Halle las corrientes de salida I_1 a I_4.

6.66 Diseñe una fuente de corriente de la forma de la Figura 6.31c que tenga dos corrientes de salida de 1,5 mA en un transistor pnp y 0,5 mA en uno npn. Los transistores son de silicio. Use alimentaciones de ±9 V. Cualquier solución correcta es válida.

6.67 Los dos diodos de transistor de la Figura P6.65 tienen $k = 0{,}8$ mA/V^2 y $|V_t| = 0{,}9$ V y $W/L = 1$. Los otros son idénticos salvo en la W/L que se indica junto a cada uno. Diseñe el circuito tal que $I_3 = 0{,}4$ mA para alimentaciones de ±15 V. Halle las corrientes I_1 a I_4.

6.68 En el Ejemplo 6.19 el μA733 de Fairchild se analizó con las bases de Q_5 y Q_6 a masa. Halle los puntos Q de los transistores Q_5 a Q_8 si

a) Las bases de Q_5 y Q_6 estan a +1 V.

Sugerencia Imagine los cuatro transistores en cuestión sustituidos por un modelo de gran señal.

b) Halle los puntos Q de los mismos cuatro transistores si las bases de Q_5 y Q_6 están a -1 V.

6.69 Una interesante cuestión acerca de los circuitos integrados es si funcionan bien con otras alimentaciones que no sean las especificadas. Halle los puntos Q de los transistores Q_5, Q_6, Q_7 y Q_8 en el µA733 de Fairchild de la Figura 6.32 si se cambia la alimentación a ±9 V.

6.70 Diseñe un sistema de fuente de corriente incluyendo un circuito que genere una corriente de referencia para el circuito del Ejercicio 6.19. Dibuje el diagrama del circuito completo indicando las áreas relativas de los transistores.

6.71 Diseñe un espejo de corriente basado en la Figura 6.28 pero con transistores pnp de 50 V de tensión Early. La corriente de salida es 0,2 mA y la resistencia de salida de la fuente debe ser, al menos, 25 MΩ con una alimentación de 15 V.

6.72 En la Figura P6.72 las áreas relativas de los transistores están dadas en el diagrama

a) Halle I_O.

b) ¿Para qué sirve Q_2?

c) ¿Cuál es la ventaja de conectar la resistencia a masa en vez de a -9 V?

6.73 Con el análisis en alterna de SPICE demuestre el copiado de la señal en la Figura 6.35. Emplee una senoide de 1 mV a 1 kHz en serie con una alimentación de 12 V, $R = 2{,}3$ kΩ, $k = 10^{-4}$ A/V^2, $V_A = 90$ V y $V_t = 1{,}3$ V. Añada una fuente de 12 V separada de la salida para mantener el transistor activo y halle la amplitud de la señal de corriente que se halla en la corriente de salida.

Sección 6.8

6.74 Una fuente de corriente bipolar básica usa una alimentación de 15 V y una resistencia de 47 kΩ que produce 0,304 mA. Un diseño alternativo emplea un JFET con $I_{DSS} = 0{,}304$ mA y $V_A = 100$ V para sustituir a la resistencia. Calcule las sensibilidades de ambos circuitos a las variaciones de la alimentación.

6.75 a) Sustituya (6.39) en (6.38) para relacionar I_O con V_{CC} en la fuente Widlar.

b) Use esta expresión para ver que la sensibilidad de I_O con V_{CC} es siempre menor que (6.41).

c) Evalúe la sensibilidad para el diseño Widlar del Ejemplo 6.18.

6.76 La Figura P6.76 es un circuito para medir la sensibilidad de una fuente de corriente en el laboratorio. La fuente de alterna simula los cambios en la alimentación y la resistencia de carga convierte los cambios en la corriente de salida en tensión alterna ΔV_O.

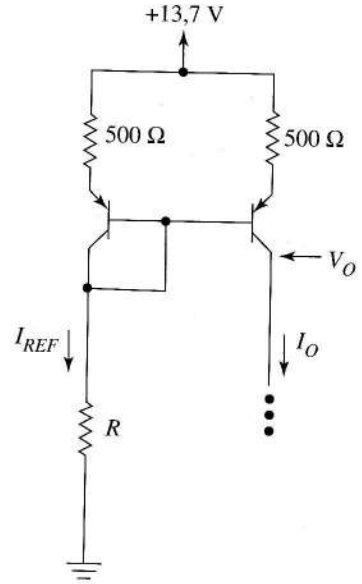


FIGURA P6.60

a) Comenzando con la aproximación incremental a la sensibilidad, relacione la ganancia de transconductancia, $\Delta I_O/V_{CC}$ con $S^{I_O}_{V_{CC}}$.

b) Con el resultado de a) relacione la ganancia de tensión $\Delta V_O/V_{CC}$ con $S^{I_O}_{V_{CC}}$ Observe que la obtención se aplica a todas las fuentes de corriente y no sólo a la fuente básica aquí mostrada.

c) Para la fuente con corriente nominal de 1 mA, 12 V de alimentación y una estimación de sensibilidad a la alimentación de 0,021, halle R_L para que la ganancia sea aproximadamente -1.

6.77 En la Figura P6.77, los parámetros del JFET son $I_{DSS} = 1{,}5$ mA, $V_P = -1$ y $V_A = 90$ V. Los parámetros del bipolar son $\beta = 350$ y $V_A = 180$ V. Con el análisis en alterna de SPICE halle la componente de ruido en alterna de la corriente en la carga si la señal senoidal de ruido tiene una amplitud de 1 mV. Use cualquier tensión en la carga para mantener activo el transistor.

6.78 Sustituya el transistor bipolar del Problema 6.77 con un MOSFET que tenga $k = 2$ mA/V^2, $V_t = 2$ V y $V_A = 100$ V. Resuelva este problema modificado.

6.79 El circuito de la Figura 6.38a tiene $V_{CC} = 15$ V, $R_M = 748$ Ω y $R_R = 113{,}5$ kΩ. Los parámetros del transistor son $\beta = 400$ y $V_A = 100$ V. Determine el efecto del rizado de la fuente de alimentación en la corriente de salida usando el análisis SPICE en alterna. Represente el rizado de la tensión como una fuente senoidal de amplitud 1% × $V_{CC} = 0{,}15$ V y

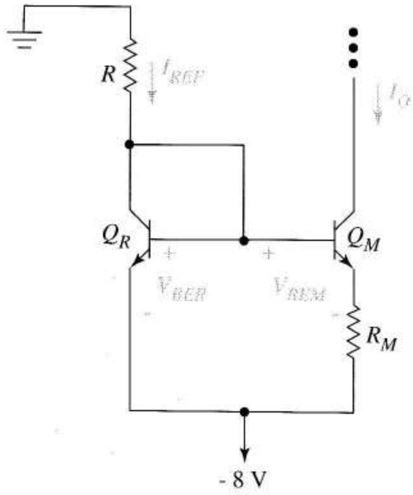


FIGURA P6.64

120 Hz en serie con V_{CC}. Determine la corriente continua que aparece en la salida a 120 Hz. Use una fuente de 14 V distinta para mantener a Q_M activo.

6.80 El circuito de la Figura P6.80 emplea tres transistores ecualizados para producir el mismo resultado que el circuito de la Figura 6.38a, es decir, I_{REF} queda dada por (6.44), la corriente de salida por (6.45) y la relación entre I_{REF} y V_{CC} por (6.46).

a) Diseñe el circuito.

b) Determine con SPICE la sensibilidad de la corriente de salida a la alimentación si $\beta = 220$ y $V_A = 135$.

6.81 a) Diseñe una referencia V_{BE} *bootstrap* como la de la Figura 6.39c para $I_O = I_{REF} = 0{,}4$ mA con $V_{CC} = 15$ V.

b) Calcule con SPICE I_O y su sensibilidad a V_{CC}, con β = 210 para los transistores npn y β = 115 para los pnp, pero dejando los otros parámetros en sus valores por defecto. Mantenga lejos de saturación el transistor de salida con una fuente distinta de 10 V que deje disponible la corriente de carga en la salida del SPICE.

c) Halle I_O para V_{CC} = 15 V, 12 V, 5 V y 3 V con SPICE.

d) Repita b) y c) cambiando la tensión Early del transistor a 190 V.

6.82 Diseñe un circuito *bootstrap* MOS para V_{DD} = 15 V e I_O = 1 mA usando MOSFETs con $k = 0{,}2 \times 10^{-3}$ A/V^2 y $V_t = 0{,}9$ V; en los demás deje los valores por defecto de SPICE.

a) Determine I_O con SPICE para V_{DD} = 15 V y 3 V. Explique cualquier anomalía que encuentre.

b) Halle la sensibilidad de I_O a V_{DD} con SPICE para V_{DD} = 15 V.

c) Repita el apartado b) añadiendo una tensión Early de 100 V en cada transistor.

6.83 La Figura P6.83 es una referencia *bootstrap* compensada en temperatura.

a) ¿Cómo diría que es un circuito *bootstrap*?

b) Obtenga la expresión que relaciona el coeficiente de temperatura de I_O con los V_z, V_{BE} y R_3. Demuestre matemáticamente qué hay que hacer para que I_O sea independiente de la temperatura.

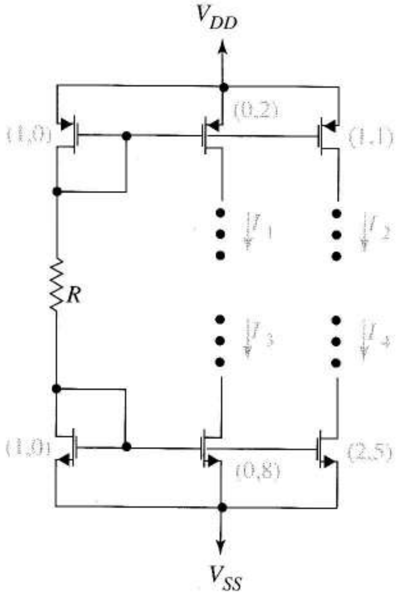


FIGURA P6.65

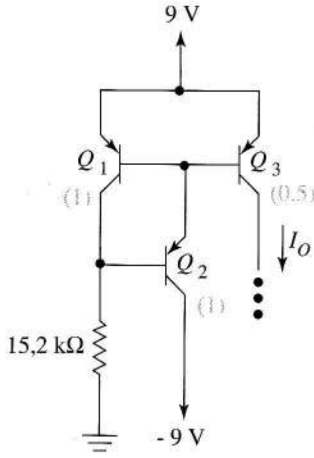


FIGURA P6.72

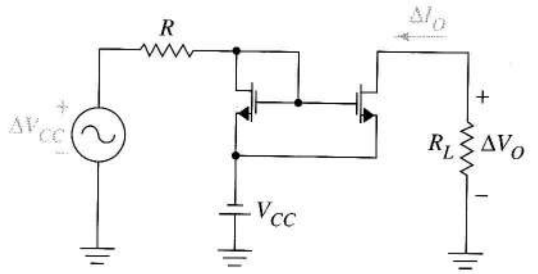


FIGURA P6.76

c) Redibuje el diagrama mostrando como obtener una corriente I_O muy accesible que no afecte a la validez del resultado b).

6.84 El multiplicador V_{BE} de la Figura P6.84 lleva la misma corriente I_O que el diodo de transistor. El multiplicador se diseña eligiendo R_2 tal que su corriente sea 10 veces la corriente de la base indicada.

a) Suponiendo V_{BE} y V_X dadas por

$$I_O = I_S e^{V_{BE}/V_T} \quad \text{e} \quad I_C = I_S e^{V_X/V_T}$$

respectivamente, halle la expresión de V_X en funcion de V_{BE}, I_O e I_C.

b) Aplique la ley de las corrientes de Kirchhoff al colector del multiplicador V_{BE} para relacionar I_O con I_C. Sustituya en la ecuación de a) para que V_X quede en función de V_{BE}, V_T y β.

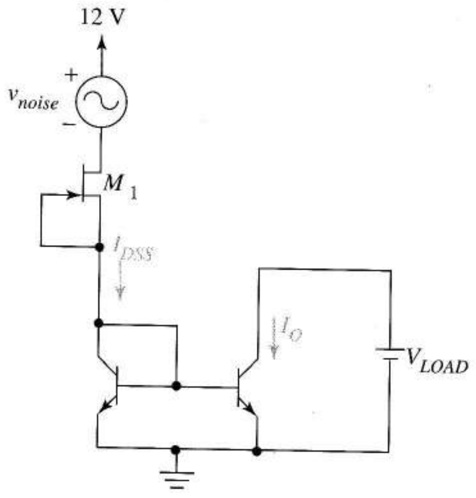


FIGURA P6.77

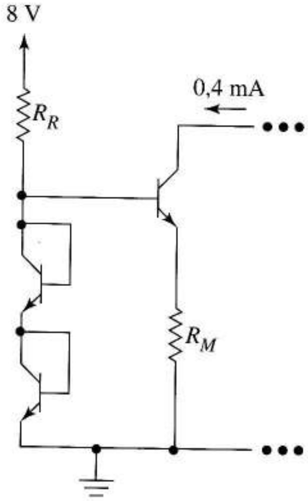


FIGURA P6.80

c) Halle el mínimo valor de β tal que V_{BE}–V_X sea el 1% de V_{BE}.

d) Halle el mínimo valor de β del apartado c) para V_{BE} = 0,6 V.

6.85 La Figura P6.85 muestra un amplificador V_{GS}. El diseño del circuito comienza con el valor dado por la salida V_O. Después se elige cualquier valor de V_{GS} que supere

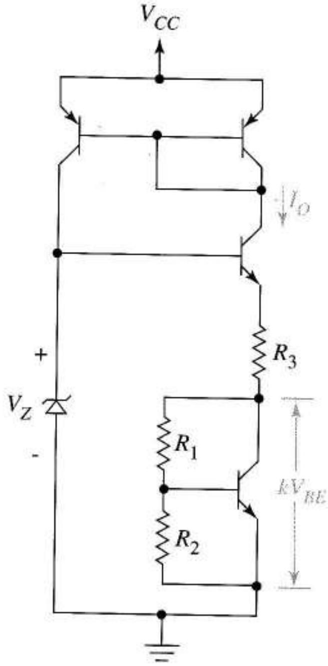


FIGURA P6.83

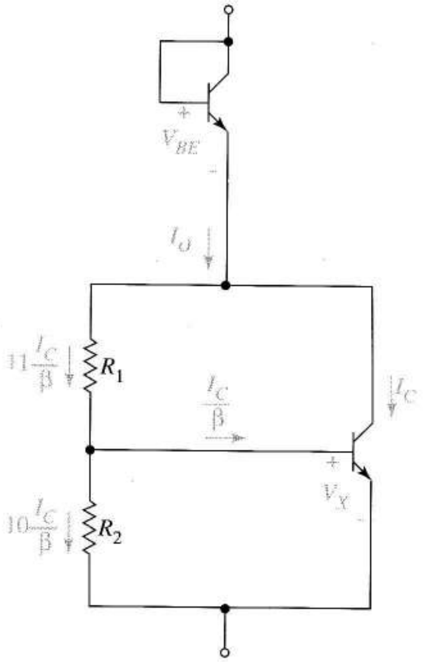


FIGURA P6.84

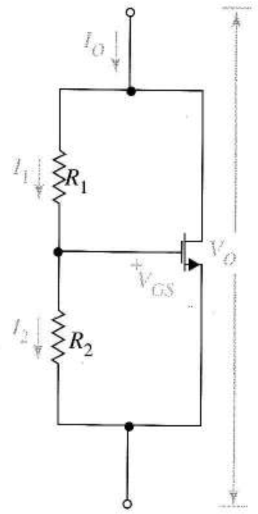


FIGURA P6.85

V_t y que sea menor de V_O. Como $V_O = (1+R_1/R_2)V_{GS}$, la relación de resistencias queda fijada y una de las resistencias se puede elegir arbitrariamente. La corriente constante I_O usada para excitar el circuito se determina a partir de la información dada.

a) Mostrar por qué la ecuación dada es correcta.

b) Usando un transistor con $k = 0{,}3$ mA/V^2 y $V_t = 1{,}5$ V, diseñe el multiplicador V_{GS} que dé $V_O = 3{,}3$ V. Incluya el valor de I_O en el diseño. Cualquier solución válida es aceptable.

Capítulo 7

AMPLIFICADORES CON TRANSISTORES

En este capítulo estudiaremos algunas configuraciones de transistores que nos son útiles tanto como amplificadores individuales que como subcircuitos de módulos más grandes de procesamiento de señal. Estas configuraciones procesan *pequeñas señales*, así que introduciremos los *modelos del transistor en pequeña señal* y describiremos varios nuevos conceptos asociados con el significado y uso de estos modelos. En estos circuitos los transistores funcionan como fuentes de corriente dependientes: así que daremos por sentado el trabajo en estado activo.

7.1 PRINCIPIOS DEL ANÁLISIS EN PEQUEÑA SEÑAL

La Figura 7.1 generaliza el amplificador FET de la Figura 6.1 a cualquier circuito electrónico lineal que interaccione con un FET. Cada tensión o corriente del circuito tiene la componente de polarización y de señal porque el circuito tiene una polarización continua y una señal de entrada v_i. Las tensiones y corrientes pueden tener distorsión que se origine en el transistor. Como el transistor esta polarizado en su zona activa

$$\begin{aligned} i_D(t) &= \frac{k}{2}\left[\left(V_{GS} + v_{gs}(t)\right) - V_t\right]^2 \\ &= \frac{k}{2}\left(V_{GS} - V_t\right)^2 + 2\frac{k}{2}\left(V_{GS} - V_t\right)v_{gs}(t) + \frac{k}{2}v_{gs}(t)^2 \end{aligned} \tag{7.1}$$

donde V_{GS} y $v_{gs}(t)$ son, respectivamente las componentes de polarización y señal de v_{GS}. Para controlar la distorsión, limitamos la amplitud de v_i a valores que reduzcan la Ecuación (7.1) a

$$i_D(t) = \frac{k}{2}\left(V_{GS} - V_t\right)^2 + 2\frac{k}{2}\left(V_{GS} - V_t\right)v_{gs}(t) = I_D + i_d(t) \tag{7.2}$$

ecuación que describe una pequeña señal superpuesta a la polarización continua. Esto se denomina "*funcionamiento en pequeña señal*" y los circuitos que trabajan así se llaman "*lineales*" porque las *componentes de la señal* en todas las tensiones y corrientes siguen las reglas lineales de teoría de circuitos. El circuito equivalente de la Figura 7.1b modela las dos componentes de (7.2) mediante fuentes dependientes individuales.

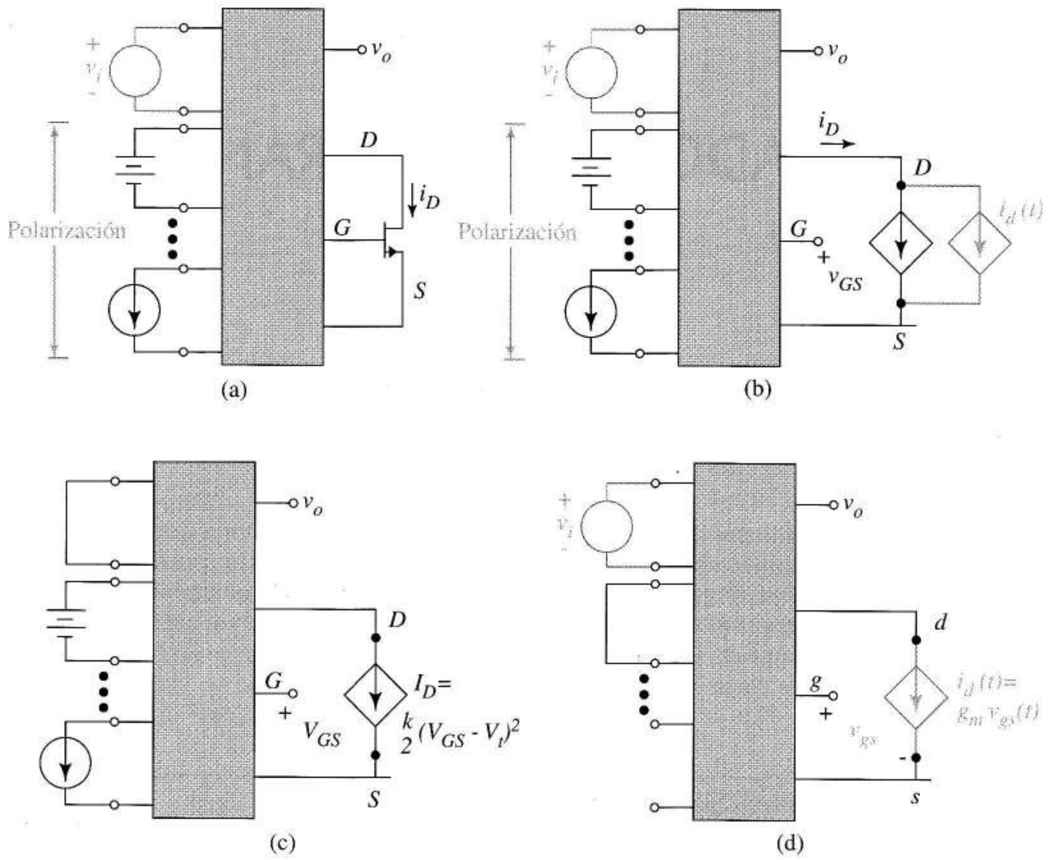


FIGURA 7.1 Análisis de gran y de pequeña señal: (a) amplificador con polarización y pequeña señal; (b) transistor sustituido por el modelo completo; (c) desconectando la señal queda el circuito de polarización; (d) desconectando la polarización queda el circuito equivalente en pequeña señal.

Circuito equivalente en pequeña señal Para simplificar el análisis usaremos la técnica de "divide y vencerás". Para calcular I_D y los otros valores de polarización, desconectaremos la señal y sustituimos el transistor por su modelo de gran señal como en la Figura 7.1c, técnica explicada en el Capítulo 5. Para calcular los componentes de la señal, desconectaremos las fuentes de polarización y sustituimos el transistor por su modelo de pequeña señal como en la Figura 7.1d, donde la notación compacta, $i_d(t) = g_m v_{gs}(t)$ destaca que la señal de corriente es proporcional a la señal de tensión. El circuito representado en la Figura 7.1d se denomina "equivalente en pequeña señal" del circuito original porque produce sus mismos valores en pequeña señal.

La ventaja de esta aproximación en dos etapas es que la Figura 7.1d es un circuito lineal que se presta a un sencillo análisis mejor que el circuito real, el de la Figura 7.1a que incluye un transistor

no lineal. El procedimiento se parece a la superposición en que superpone resultados de diversos análisis para obtener el resultado final, pero difiere de la verdadera superposición en que el segundo análisis depende de los resultados del primero. Así, g_m es el coeficiente de $v_{gs}(t)$ en (7.2) pero necesitamos el valor de V_{GS} o información equivalente del primer análisis para calcular el valor numérico de g_m para el segundo análisis. En circuitos lineales cada parte de un análisis por superposición es independiente y puede llevarse a cabo en cualquier orden.

Este procedimiento de "divide y vencerás" se aplica a circuitos de más de un transistor o con varios tipos de transistores. Antes de comenzar con la forma general del procedimiento veremos en más detalle los modelos del transistor en pequeña señal.

7.2 MODELOS DEL TRANSISTOR EN PEQUEÑA SEÑAL

7.2.1 MODELOS EN PEQUEÑA SEÑAL PARA EL FET

La Figura 7.2a muestra el modelo en pequeña señal para el MOSFET. Como la pequeña señal implica proyección sobre tangentes que aproximen la curva del dispositivo cerca del punto Q, como en la Figura 6.1c, la *transconductancia* se define como

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{Punto\ Q} \tag{7.3}$$

Lo que da, para el MOSFET de canal n

$$g_m = \left.\frac{\partial\left[(k/2)(v_{GS}-V_t)^2\right]}{\partial v_{GS}}\right|_{Punto\ Q} = k(V_{GS}-V_t)$$

que es el coeficiente de $v_{gs}(t)$ en (7.2). Sustituyendo $(V_{GS}-V_t)$ de la expresión de la corriente del punto Q,

$$I_D = \frac{k}{2}(V_{GS}-V_t)^2$$

obtenemos

$$g_m = \sqrt{2kI_D} \tag{7.4}$$

que usaremos en el futuro.

En un dispositivo de canal p, la tensión puerta-fuente y la corriente de drenador son negativas, así el modelo de pequeña señal obvio sería una fuente de corriente dependiente que se dirija de fuente a drenador, controlada por la tensión puerta-fuente. Si invertimos el sentido de la corriente de drenador y de la tensión de control, manteniendo g_m positivo, obtenemos la Figura 7.2a. Concluimos que el mismo modelo de pequeña señal describe los MOSFETs de canal p y n.

Para el JFET de canal n, la definición de g_m en (7.3) se aplica a (5.21) lo que da

$$g_m = 2\beta(V_{GS}-V_P)$$

Para expresar g_m en función de la corriente de polarización, despejamos $(V_{GS}-V_P)$ de (5.21) y lo sustituimos, dando

$$g_m = \sqrt{4\beta I_D} \quad (7.5)$$

La Figura 7.2b es el modelo en pequeña señal del JFET tanto para los JFETs de canal p como los de canal n. (Cuando "tanh" se aproxima a uno en la Ecuación (5.15) las ecuaciones del MESFET Y JFET son idénticas por lo que el modelo se usa para hacer estimaciones con MESFETs).

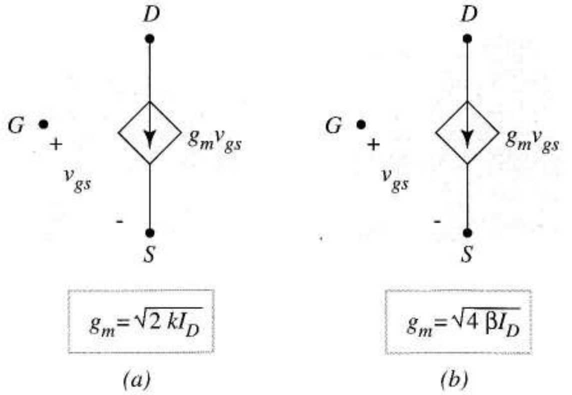


FIGURA 7.2 Modelos en pequeña señal para los FETs de canales n y p: (a) MOSFET; (b) JFET y MESFET.

Resistencia de salida del FET Algunas veces, r_o juega un papel vital en el análisis en pequeña señal y debería incluirse en el modelo en pequeña señal. Por ejemplo, veremos que r_o es casi siempre importante en los cálculos de la resistencia de salida. Para incluir la resistencia de salida del transistor, añadiremos r_o entre drenador y fuente de la Figura 7.2 usando $r_o = V_A/I_D$ para hallar su valor numérico. En otros casos, r_o es tan grande que se puede despreciar la corriente v_{DS}/r_o añadida a la de drenador, tanto comparándola con I_D de polarización como frente a $g_m v_{gs}$ (análisis de pequeña señal). Por esta razón, r_o se suele omitir ya que su contribución a la exactitud de los resultados es pequeña, oculta observaciones importantes y dificulta el análisis.

Ejercicio 7.1 El transistor de la Figura 7.3a tiene $k = 10^{-4}$ A/V^2 y $V_A = 90$ V. Hallar los valores de g_m y r_o.

Respuesta 2×10^{-4} A/V, 450 kΩ.

EJEMPLO 7.1 Dibujar el circuito equivalente en pequeña señal de la Figura 7.3a.

Solución Como la corriente de la fuente de 0,2 mA se usa para polarizar, debe ser desconectada antes de dibujar el equivalente en pequeña señal; i_s es la fuente de señal y debe incluirse. Reemplazando el transistor por su modelo, se obtiene la Figura 7.3b a partir de la 7.2a. ❑

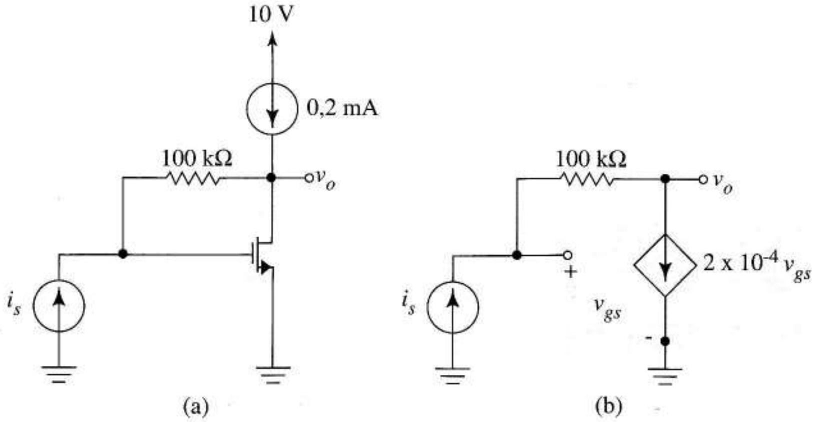


FIGURA 7.3 (a) Circuito amplificador; (b) circuito equivalente en pequeña señal.

7.2.2 MODELO EN PEQUEÑA SEÑAL DEL BIPOLAR

Para obtener un modelo de pequeña señal para el transistor bipolar, seguimos el mismo proceso que se aplicó a los MOSFETs; linealizaremos las ecuaciones no lineales del dispositivo en la proximidad del punto Q. Como la corriente de entrada al bipolar no es cero como en el FET, su modelo tendrá parámetros de entrada y salida. Las corrientes y tensiones son opuestas en los transistores pnp y npn; sin embargo, el mismo razonamiento empleado en los MOSFETs proporciona idénticos modelos en pequeña señal para los transistores npn que para los pnp. Por ello, sólo se detallará el caso npn.

Circuito de entrada Para el modelo en pequeña señal no podemos confiar en aproximaciones verticales en la característica de entrada como hicimos en el análisis en gran señal, sino que tendremos en cuenta su curvatura. Las Ecuaciones (4.5) y (4.10) describen el transistor activo; por ello

$$i_B = \frac{I_S}{\beta} e^{v_{BE}/V_T} \tag{7.6}$$

describe la característica de entrada de la Figura 7.4a. El circuito de polarización establece una tensión continua $v_{BE} = V_{BE}$ (estimada en 0,7V a temperatura ambiente en transistores de silicio) y una corriente de polarización I_B

$$I_B = \frac{I_S}{\beta} e^{V_{BE}/V_T}$$

Cuando añadimos una pequeña señal v_{be} a esta tensión de polarización, su corriente es

$$i_B = I_B e^{V_{BE}/V_T} = \frac{I_S}{\beta} e^{(V_{BE}+v_{be}/V_T)}$$

El desarrollo en serie de Taylor sobre el punto Q da

$$i_B = I_B + \frac{I_B}{V_T} v_{be} + \frac{1}{2!}\frac{I_B}{V_T^2} v_{be}^2 + \cdots = I_B + i_b + \text{té rminos de distorsión} \tag{7.7}$$

Comparando los términos correspondientes a la señal, vemos que $i_b = i_b(t)$ es proporcional a la tensión de la señal y puede expresarse como

$$i_b(t) = \frac{1}{r_\pi} v_{be}(t) \tag{7.8}$$

donde

$$r_\pi = \frac{V_T}{I_B} \tag{7.9}$$

es la *resistencia de entrada del transistor en emisor común.*

Como $1/r_\pi$ es el coeficiente del término lineal del desarrollo en serie de Taylor en (7.8), es la pendiente de la característica de entrada en el punto de trabajo del transistor como se ve en la Figura 7.4b. Cuando la distorsión es despreciable, las señales $i_b(t)$ y $v_{be}(t)$ se relacionan por la proyección sobre la tangente de la curva. Claramente, r_π es función del punto Q: con grandes valores en I_B, tenemos grandes pendientes y bajas r_π y viceversa.

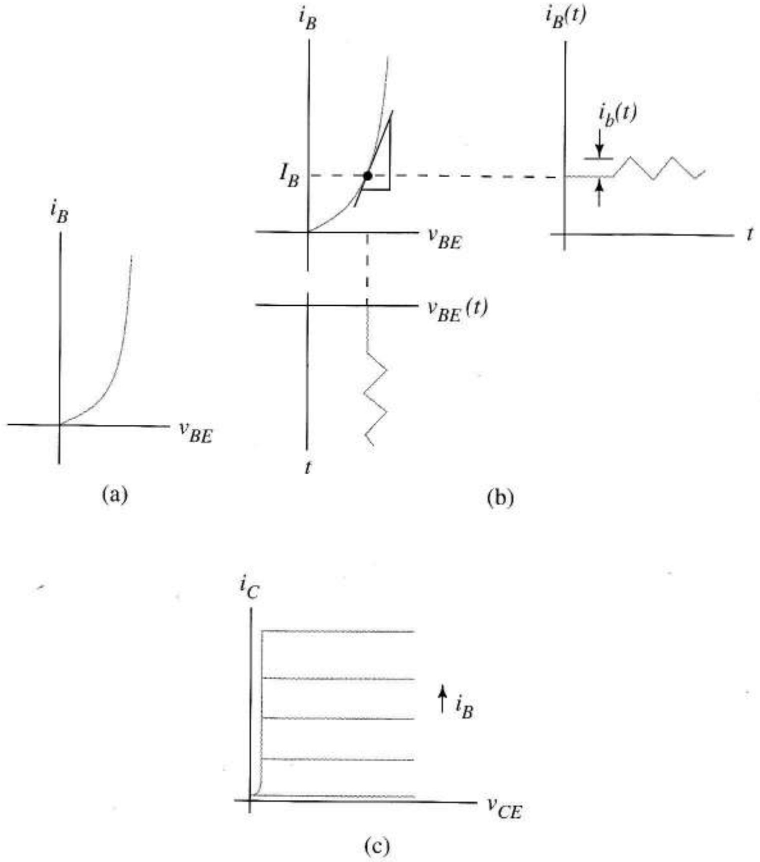


FIGURA 7.4 Características del bipolar en funcionamiento activo; (a) característica de entrada; (b) linealización de la entrada; (c) características de salida.

Circuito de salida La descripción del circuito de salida en la Figura 7.c es

$$i_C = \beta i_B$$

Cuando la señal $i_b(t)$ se suma a la corriente de polarización I_B,

$$i_C(t) = \beta\left[I_B + i_b(t)\right] = I_C + i_c(t) = I_C + \beta i_b(t)$$

Así, la ecuación en pequeña señal

$$i_c(t) = \beta i_b(t) \tag{7.10}$$

se relaciona con el trabajo en el entorno del punto de funcionamiento en continua en la característica de salida. De (7.8) y (7.10), concluimos que el modelo en pequeña señal del bipolar se parece al de la Figura 7.5a.

Se usa también ampliamente un modelo que emplea una fuente de corriente controlada por tensión, sobre todo cuando extendamos la teoría incluyendo los efectos dinámicos. Sustituimos i_b de (7.10) en (7.8) y renombramos v_{be} como v_π para cumplir con la notación convencional aceptada. Esto da

$$i_c = \beta \frac{1}{r_\pi} v_\pi = g_m v_\pi \tag{7.11}$$

que describe el modelo alternativo de la Figura 7.5b.

Dos ecuaciones relacionan g_m y r_π con los valores del punto Q. Igualando los coeficientes de v_π en (7.11) da

$$g_m r_\pi = \beta \tag{7.12}$$

resultando fácil de recordar ya que g_m es una conductancia, r_π una resistencia y β una ganancia de corriente adimensional. De (7.12) y (7.9) hallamos

$$g_m = \frac{\beta I_B}{V_T}$$

Como I_C es importante para analizar y diseñar el circuito de polarización, una ecuación más útil es

$$g_m = \frac{I_C}{V_T} \tag{7.13}$$

donde $V_T = kT/q \approx 25$ mV a temperatura ambiente. Como confiamos en los modelos en pequeña señal, las Ecuaciones (7.12) y (7.13) son de las pocas ecuaciones del texto a memorizar; están dadas en la Figura 7.5c.

En muchos casos, consideramos β constante y r_π y g_m funciones del punto Q del transistor. (De acuerdo con la Figura 4.30, β varía de hecho con el punto Q; sin embargo, como la curva para una sola temperatura es casi plana, podemos suponerla constante con poco error en la mayoría de los casos). Los modelos y ecuaciones de la Figura 7.5 se aplican directamente a los transistores pnp y npn.

Las Figuras 7.2 y 7.5b demuestran que los circuitos con bipolares y FET sólo se diferencian en la presencia de r_π; sin embargo, para corrientes de polarización comparables, los bipolares tienen significativamente mayor transconductancia que los FETs.

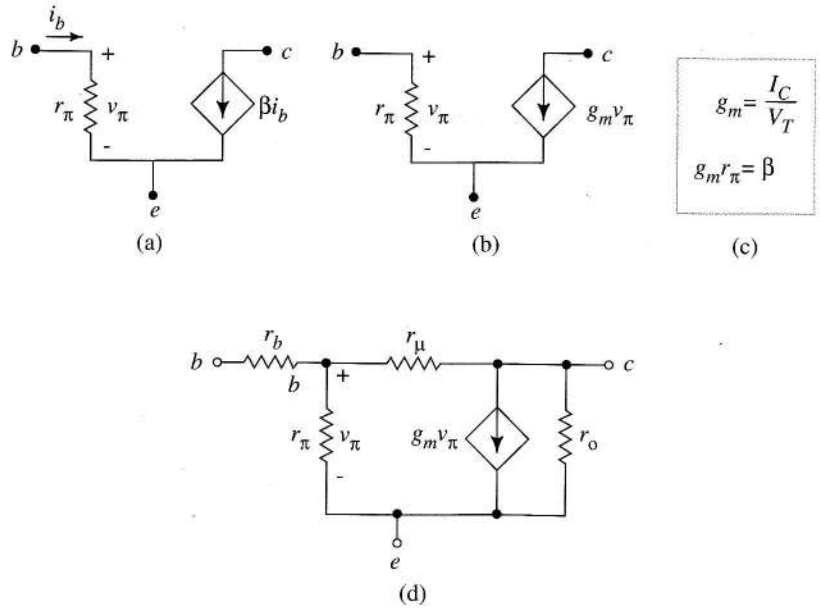


FIGURA 7.5 Modelos de pequeña señal para transistores npn y pnp: (a) modelo CCCS; (b) modelo VCCS; (c) ecuaciones para calcular los parámetros del modelo; (d) modelo incluyendo los efectos secundarios.

En la Figura 7.5d aparece un modelo más completo del bipolar incluyendo varios efectos secundarios del transistor. Debido a que es difícil de medir la gran dispersión de r_b, es pequeña en valor y sólo resulta crítica a altas frecuencias, la omitiremos en el análisis en baja frecuencia. La resistencia r_μ representa la realimentación interna en que la modulación del ancho de base provoca que la característica de entrada cambie ligeramente con la tensión de salida como en la Figura 4.34a y 4.34b. Como r_μ es del orden de $10\beta r_o$ una buena aproximación es el circuito abierto y suprimirla simplifica el análisis con poca pérdida de precisión. La modulación del ancho de la base también influye en la resistencia de salida $r_o = V_A/I_C$ que es crítica en algunos análisis. Cuando sea preciso, añadiremos r_O entre colector y emisor en los modelos de las Figuras 7.5a o b.

EJEMPLO 7.2 Hallar el circuito equivalente en pequeña señal de la Figura 7.6a, incluyendo los parámetros numéricos si los transistores son iguales y $\beta = 200$. Los transistores están polarizados en $I_C \approx I_E = 1$ mA.

Solución Usando $V_T = 25$ mV en (7.13) da $g_m = 1/25$ A/V. De la Ecuación (7.12), $r_\pi = 200 \times 25 = 5$ kΩ. Eliminando las fuentes y sustituyendo los transistores por unos modelos en pequeña señal se obtiene la Figura 7.6b. Es importante identificar correctamente la posición y polaridad de la variable de control con cada fuente dependiente. ❑

Ejercicio 7.2 Añadir r_o y r_μ al circuito equivalente del Ejemplo 7.2, suponiendo $V_A = 120$ V y $r_b = 0$, haciendo aproximaciones razonables para simplificar el circuito.

Respuesta 120 kΩ, 240 MΩ, Figura 7.6c.

7.2.3 OBTENCIÓN DE LOS PARÁMETROS DE PEQUEÑA SEÑAL A PARTIR DE LAS CURVAS CARACTERÍSTICAS

Las curvas características de entrada y salida suelen estar en las hojas de datos de los transistores o pueden obtenerse en un instrumento trazador de curvas del transistor. Viendo estos dibujos de las

corrientes de entrada y salida como funciones de dos variables, podemos situar todos los parámetros de pequeña señal en una amplia perspectiva y demostrar una forma práctica de obtenerlos en cualquier punto Q a partir de información gráfica.

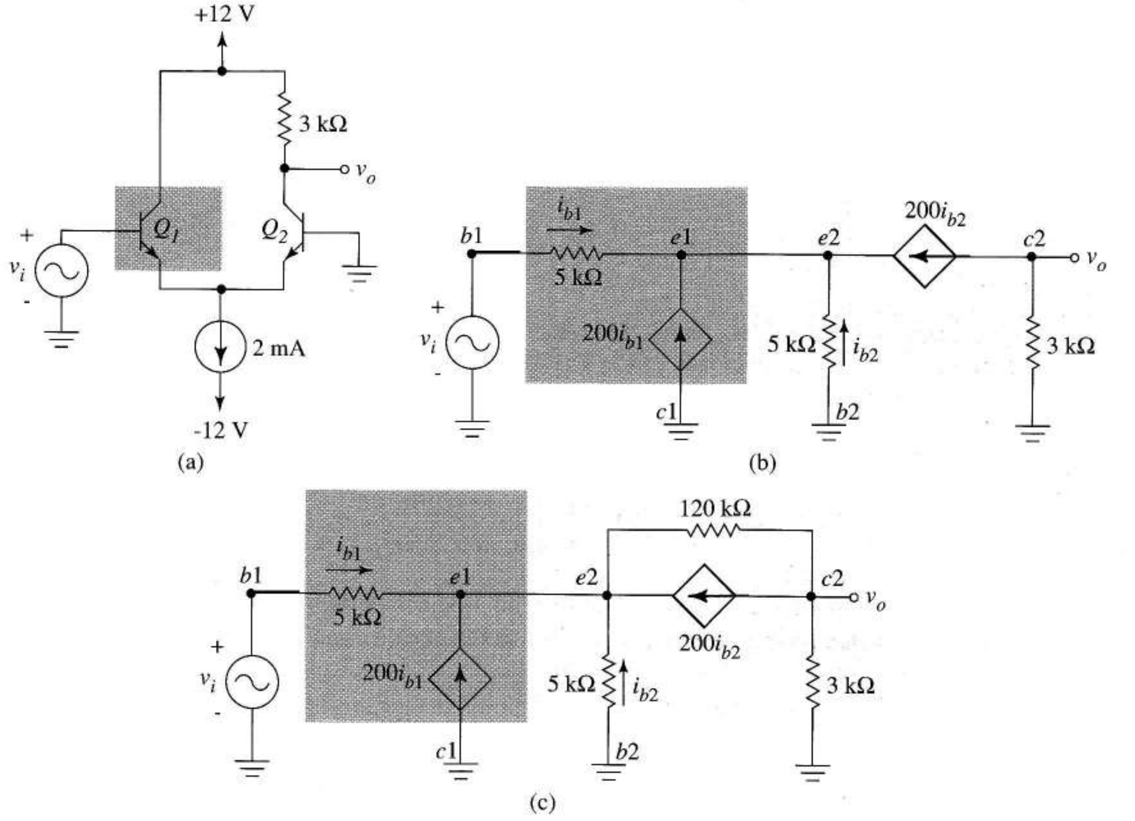


FIGURA 7.6 Hallando el equivalente en pequeña señal del bipolar: (a) circuito original; (b) circuito de pequeña señal; (c) circuito que incluye los valores r_o y r_μ del transistor.

La Figura 7.7a muestra las características de entrada del emisor común, una *familia de curvas* provocadas por la modulación del ancho de base, como se explicó en la Sección 4.9.3. Vemos las características de entrada como la representación de la función matemática

$$i_B = f\left(v_{BE}, v_{CE}\right)$$

Entonces, definimos

$$\frac{1}{r_\pi} = \left.\frac{\partial i_B}{\partial v_{BE}}\right|_{Punto\ Q} \approx \left.\frac{\Delta i_B}{\Delta v_{BE}}\right|_{v=V_{CE}} \tag{7.14}$$

Para calcular las derivadas, dibujamos una tangente a la curva $v_{CE} = V_{CE}$ en el punto Q y leemos los valores de i_B y v_{BE} sobre esta tangente, es decir, $\Delta_{iB} = I_{B2}–I_{B1}$ y $\Delta v_{be} = V_{BE2}–V_{BE1}$.

La Figura 7.7b muestra las características de salida de un transistor polarizado en el punto Q (V_{CE}, I_C). Viendo la corriente de colector como una función $i_C = g(v_{CE}, i_B)$, definimos

$$\beta = \left.\frac{\partial i_C}{\partial i_B}\right|_{Punto\ Q} \approx \left.\frac{\Delta i_C}{\Delta i_B}\right|_{v_{CE}=V_{CE}} \tag{7.15}$$

Así, estimamos β midiendo los correspondientes incrementos de i_C e i_B a lo largo de la línea vertical que dibujamos por el punto Q (Ecuación 7.15). Por ejemplo, $\Delta i_C = I_{C2}–I_{C1}$ y $\Delta i_B = I_{B2}–I_{B1}$. El parámetro de (7.15) se suele llamar la *beta en alterna o la beta en pequeña señal* para distinguirla de la beta en continua o en gran señal definida en el mismo punto Q por

$$\beta_{DC} = \left.\frac{I_C}{I_B}\right|_{Punto\ Q} \tag{7.16}$$

Si las características de salida fueran de verdad líneas horizontales espaciadas uniformemente como se suele suponer, las definiciones (7.15) y (7.16) serían idénticas. Como los transistores reales tienen variación de β con I_C por efecto Early, la distinción puede ser importante.

De la característica de salida, podemos evaluar r_o usando

$$\frac{1}{r_o} = \left.\frac{\partial i_C}{\partial v_{CE}}\right|_{Punto\ Q} \approx \left.\frac{\Delta i_C}{\Delta v_{CE}}\right|_{i_b=I_B} \tag{7.17}$$

definiendo los incrementos Δi_c y Δv_{CE} a lo largo de la curva constante I_B que cruza el punto Q.

Para medir la transconductancia, necesitamos la función de transferencia como en la Figura 7.7c. Entonces usamos

$$g_m = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_{Punto\ Q} \approx \left.\frac{\Delta i_C}{\Delta v_{BE}}\right|_{v_{CE}=V_{CE}} \tag{7.18}$$

Parece obvio que podemos aplicar la misma aproximación y medir los parámetros FET o, de hecho, los parámetros de cualquier dispositivo del que se tengan las curvas de entrada, salida y transferencia.

Magnitudes de pequeña señal en bipolares y FET En cualquier amplificador, el límite inferior de la amplitud de las señales depende del ruido inherente al circuito y el límite superior, de la distorsión. El margen dinámico, un importante parámetro, se define como

$$\text{margen dinámico} = 20 \log \left| \frac{\text{mayor señal útil}}{\text{menor señal útil}} \right|$$

que cuantifica el concepto. Los niveles de ruido quedan fuera del objetivo de este texto; sin embargo, sí que podemos estudiar ahora la distorsión en circuitos de pequeña señal.

Una señal de entrada es una "*pequeña señal*" si el término de distorsión producido en el transistor es, al menos, 10 veces menor que el término correspondiente a la señal. Para el MOSFET descrito por (7.1), esto da

$$|v_{gs}| \le \frac{1}{10} \times 2|V_{GS} - V_t| = 0{,}2\sqrt{\frac{2I_D}{k}} \tag{7.19}$$

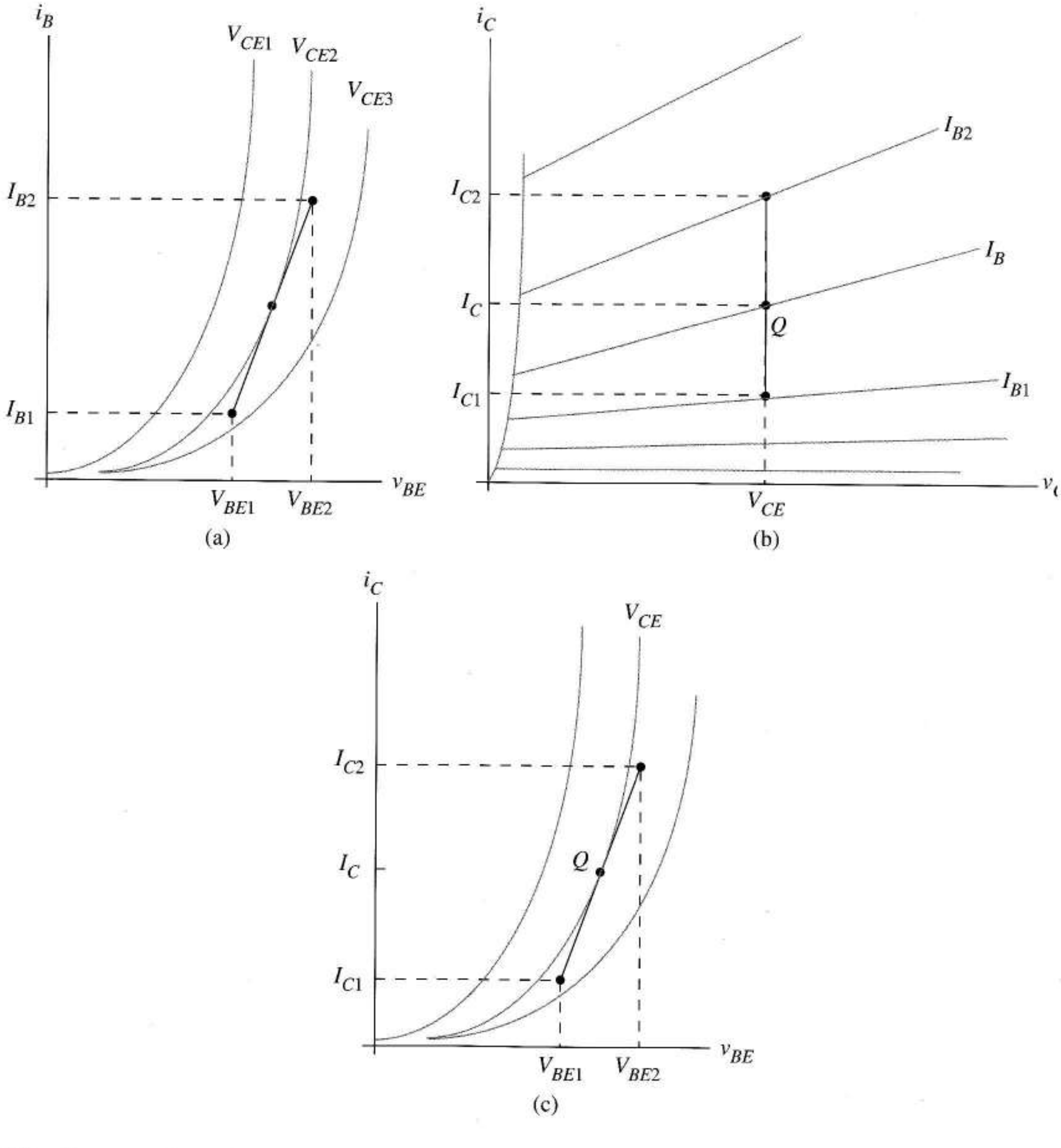


FIGURA 7.7 Construcción gráfica para evaluar los parámetros estáticos en pequeña señal: (a) para r_π; (b) para β; (c) para g_m.

Para transistores polarizados cerca de $I_D \approx k$, las señales pequeñas se limitan a picos cercanos a 280 mV.

Para bipolares, usamos (7.7) para definir las señales pequeñas. El error producido al truncar la serie de Taylor después de las dos primeros términos queda determinada por el resto R_2, donde

$$R_2 = \frac{1}{2!}\frac{I_B}{V_T^2}\xi_2^2, \quad \text{para } 0 \le \xi_2 \le |v_{be}|$$

Obviamente, el máximo error ocurre cuando $\xi_2 = v_{be}\pi$. Para que este máximo error sea despreciable comparado con la señal

$$\frac{1}{2!}\frac{I_B}{V_T^2}\left|v_{be}\right|^2 \leq \frac{1}{10}\frac{I_B}{V_T}\left|v_{be}\right|$$

Como $V_T = 0{,}025$ V a temperatura ambiente, las señales pequeñas en los circuitos con bipolares cumplen

$$\left|v_{be}\right| \leq \frac{V_T}{5} = 5 \text{ mV} \tag{7.20}$$

Como su función característica es más cuadrática que exponencial, el FET puede procesar señales significativamente mayores que el bipolar sin introducir distorsión. En el Capítulo 9 veremos la forma de reducir la distorsión usando realimentación; en el Capítulo 10 cuantificaremos la distorsión por lo que podremos medirla y satisfacer condiciones de diseño específicas. Mientras tanto, evitaremos la distorsión manteniendo señales pequeñas.

Ejercicio 7.3 Hallar la máxima señal que puede desarrollarse entre puerta y fuente en el circuito del Ejercicio 7.1 si la señal de salida no está distorsionada.

Respuesta 400 mV.

7.2.4 TRANSISTORES CONECTADOS COMO DIODO

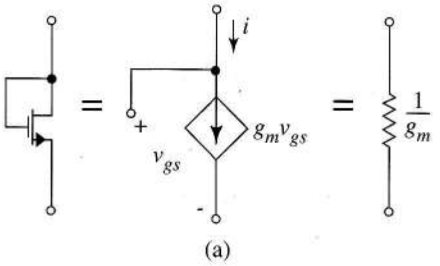
Previamente encontramos transistores conectados como diodos tanto con FET como con bipolares en fuentes de corriente constante; aparecen de nuevo en este capítulo como circuitos de carga activa. Justificaremos seguidamente que se puede reemplazar cualquier diodo de este tipo por una resistencia de $1/g_m$ ohmios siempre que tengamos un circuito de pequeña señal.

Dada la conexión del transistor en la Figura 7.8a, está siempre activo o al corte; en todos los circuitos interesantes, está activo. Pero cuando está activo el modelo del transistor en pequeña señal es algo especial ¡una VCCS *controlada por su propia tensión*! Vimos en el Capítulo 1 que un dipolo estático con corriente proporcional a la tensión es una resistencia. Como la constante de proporcionalidad es $1/g_m$, el diodo construido con el transistor es equivalente a la resistencia mostrada en la figura.

El mismo resultado se aplica al caso del bipolar. Cuando sustituimos el transistor en estado activo de la Figura 7.8b por su modelo en pequeña señal, encontramos de nuevo una fuente de corriente controlada por su propia tensión; así el circuito se reduce al paralelo $r_\pi \| 1/g_m$. De (7.12)

$$\frac{1}{g_m} = \frac{1}{\beta} r_\pi \tag{7.21}$$

Esto muestra que $1/g_m << r_\pi$ es siempre una buena aproximación. (Esta aproximación, por sí misma, es digna de atención ya que conduce a simplificaciones en los circuitos y en el análisis.) Finalmente, como en los modelos en pequeña señal de los dispositivos de canal p y pnp son iguales a los de canal n y npn, respectivamente, la equivalencia de la Figura 7.8 se aplica a todos los transistores conectados como diodo.



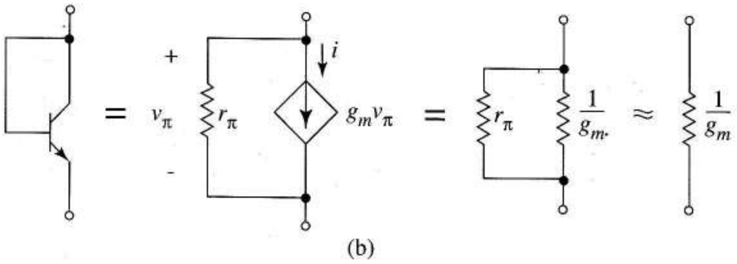


FIGURA 7.8 Equivalentes en pequeña señal de los transistores conectados como diodo: (a) transistor MOS; (b) bipolar.

7.3 CIRCUITOS EQUIVALENTES EN PEQUEÑA SEÑAL

Veremos en esta sección cómo introducir señales en los amplificadores sin perturbar las condiciones de polarización. Daremos, después un procedimiento general para dibujar el circuito equivalente en pequeña señal.

7.3.1 AMPLIFICADORES ACOPLADOS DIRECTAMENTE Y POR CONDENSADOR

Habiendo diseñado el circuito de polarización, el siguiente problema es introducir y sacar señales del circuito sin cambiar los puntos Q de los transistores. Una forma es usar acoplamiento directo y la alternativa, *acoplar mediante condensadores*.

Circuitos de acoplamiento directo La mayoría de los integrados y algunos circuitos discretos están diseñados para *acoplarse directamente*. Esto lleva consigo circuitos con la polarización cuidadosamente diseñada para mantener todos los transistores en su estado activo cuando la señal de entrada es cero. Estos circuitos suelen usar fuentes de alimentación dobles y hacer uso extensivo de fuentes de corriente para polarizar, como en la Figura 6.32. Con acoplamiento directo, simplemente conectamos la fuente de señal directamente a la entrada. Para analizar los circuitos de acoplamiento directo, desconectamos las fuentes de polarización y sustituimos cada transistor por su modelo en pequeña señal como en la Figura 7.1d.

EJEMPLO 7.3 Dibujar el circuito equivalente en pequeña señal de la Figura 7.9a.

Solución La Figura 7.9b muestra el resultado de desconectar las fuentes de continua V_{DD}, V_{GG} e I_{DD} y sustituir los transistores por sus modelos de la Figura 7.2. ❑

Ejercicio 7.4 Dibujar el equivalente en pequeña señal de la Figura 5.13a si los transistores de enriquecimiento están polarizados en $I_D = 1$ mA y tienen los parámetros $k = 0{,}5 \times 10^{-4}$ A/V^2 y $V_t = 3$ V. El transistor M_3 esta conectado como fuente de corriente constante.

Respuesta Figura 7.9c con $g_m = 3{,}16 \times 10^{-4}$ A/V.

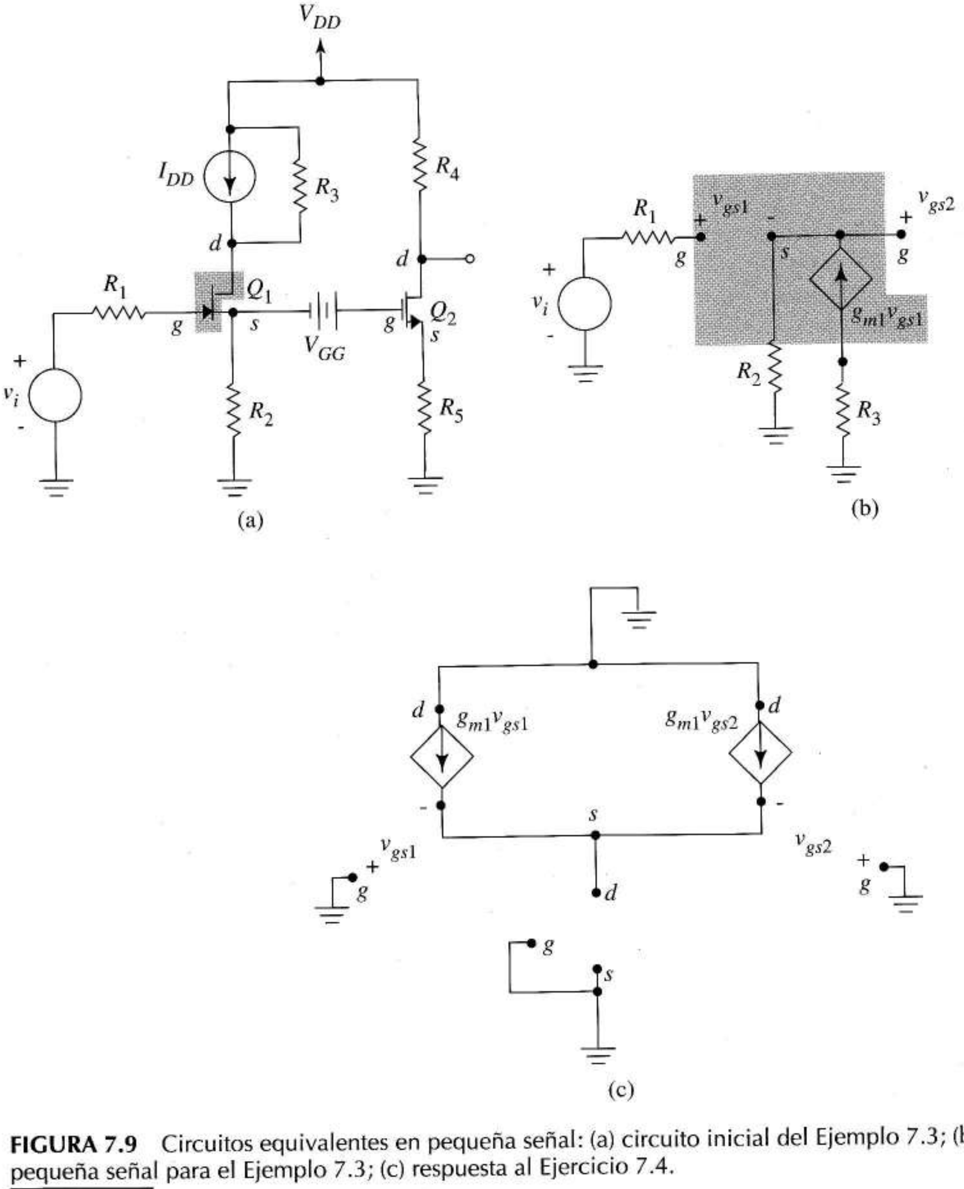


FIGURA 7.9 Circuitos equivalentes en pequeña señal: (a) circuito inicial del Ejemplo 7.3; (b) equivalente en pequeña señal para el Ejemplo 7.3; (c) respuesta al Ejercicio 7.4.

El amplificador operacional es el ejemplo más familiar de circuito con acoplamiento directo. Idealmente, su función de transferencia pasa por el origen del sistema de coordenadas $v_o - v_i$, permitiéndonos conectar fuentes y cargas directamente a los terminales de entrada y salida sin perturbar la polarización interna. Sin embargo, el procesamiento de señal con circuitos directamente aco-

plados no es siempre tan fácil. A veces, sólo se dispone de una fuente de alimentación simple para el operacional. Entonces, la función de transferencia no pasa por el origen y, para un funcionamiento correcto, las tensiones continuas en la entrada y la salida deben estar a la mitad de la tensión de alimentación.

Puede haber problemas de acoplamiento de señal cuando la salida de un amplificador es conectada a la entrada de otro. Cualquier tensión de desviación de la primera etapa puede perturbar la polarización de la segunda y llevar sus transistores a corte o saturación. El *condensador de acoplo* previene estos problemas.

Acoplamiento capacitivo La Figura 7.10a muestra un amplificador y una fuente de señal. Queremos usar v_i para producir pequeñas perturbaciones sobre el punto Q establecido pero manteniendo el transistor en estado activo cuando procesa esta señal. Supongamos el caso obvio: conectar v_i al amplificador cerrando el interruptor. Cuando $v_i = 0$, la tensión de puerta es cero, el divisor de tensión que pone la tensión de polarización V_G está cortocircuitado y no hay forma de hacer la puerta más positiva que la fuente con lo que el transistor esta cortado. Esto demuestra que podemos deshacer la polarización del transistor conectando directamente una fuente al amplificador si el circuito diseñado no preveía esa posibilidad. El mismo problema se aplica a los circuitos bipolares.

La Figura 7.10b muestra una solución correcta pero poco práctica. La fuente serie de V_G voltios asegura que la tensión de la puerta será siempre $v_G = v_i + V_G$. Esta solución es poco práctica porque no hay pilas de todos los posibles valores.

En la Figura 7.10c aparece una solución, el *condensador de acoplo C* conectado entre la fuente y el amplificador. $v_i = 0$ carga *automáticamente C* a V_G voltios dejando como estaba la polarización. Eso sí, siempre hay una constante de tiempo *RC* asociada al condensador y si elegimos *C* grande, hacemos esta constante también muy grande. Entonces, si aplicamos una señal $v_i(t)$ que *cambie rápidamente*, el condensador es incapaz de cargarse y descargarse porque su constante de tiempo es demasiado grande. Si la tensión del condensador en $V_G = Q_C/C$ y si Q_C no cambia con la señal, *C* actúa como una pila (Figura 7.10b) salvo que se *ajusta, automáticamente* a cualquier tensión. Por supuesto, si la señal es tan lenta que el condensador puede modificar apreciablemente su carga durante un ciclo de la señal, se carga y descarga con la señal y aparece una caída de tensión de señal en él. Esto reduciría la señal en la puerta provocando una caída de la tensión de salida a bajas frecuencias. (Este cambio de ganancia se introdujo en términos generales en el Capítulo 1 y se introducirá en más detalle en el Capítulo 8). Otra forma de comprender el condensador de acoplo es considerar el análisis senoidal. Si *C* es suficientemente grande, su impedancia $1/j\omega C$ a las señales senoidales puede ser despreciable incluso a frecuencias más bajas. En efecto, *C* actúa como un cortocircuito a todas las frecuencias de la señal de entrada; sin embargo en continua, que corresponde a $\omega = 0$, *C* es un circuito abierto a efectos de polarización. Como el condensador de acoplo bloquea la continua, siempre se sustituye por un circuito abierto para el análisis del punto *Q*. Por la misma razón, usaremos condensadores para *acoplar* la señal de salida de los amplificadores a la resistencia de carga como en la Figura 7.10d.

Otro uso de los condensadores de acoplo es el *acoplamiento entre etapas* para los amplificadores en cascada como C_I en la Figura 7.11. Este condensador se carga a la diferencia de niveles de continua entre las dos etapas permitiendo que cada circuito se polarice independientemente. Sin los condensadores de acoplo, las tensiones de desviación y las derivas térmicas se amplificarían en cada etapa lo que podría hacer poco útil un amplificador multietapa al llevar su salida a la saturación, problema ilustrado en la Figura 1.36. El condensador de acoplo elimina el problema bloqueando la continua, pero permitiendo que las variaciones rápidas sean amplificadas por las etapas siguientes. El precio a pagar es que los *amplificadores con acoplamiento capacitivo* no pueden amplificar señales muy lentas y, por ello, su ganancia cae a bajas frecuencias.

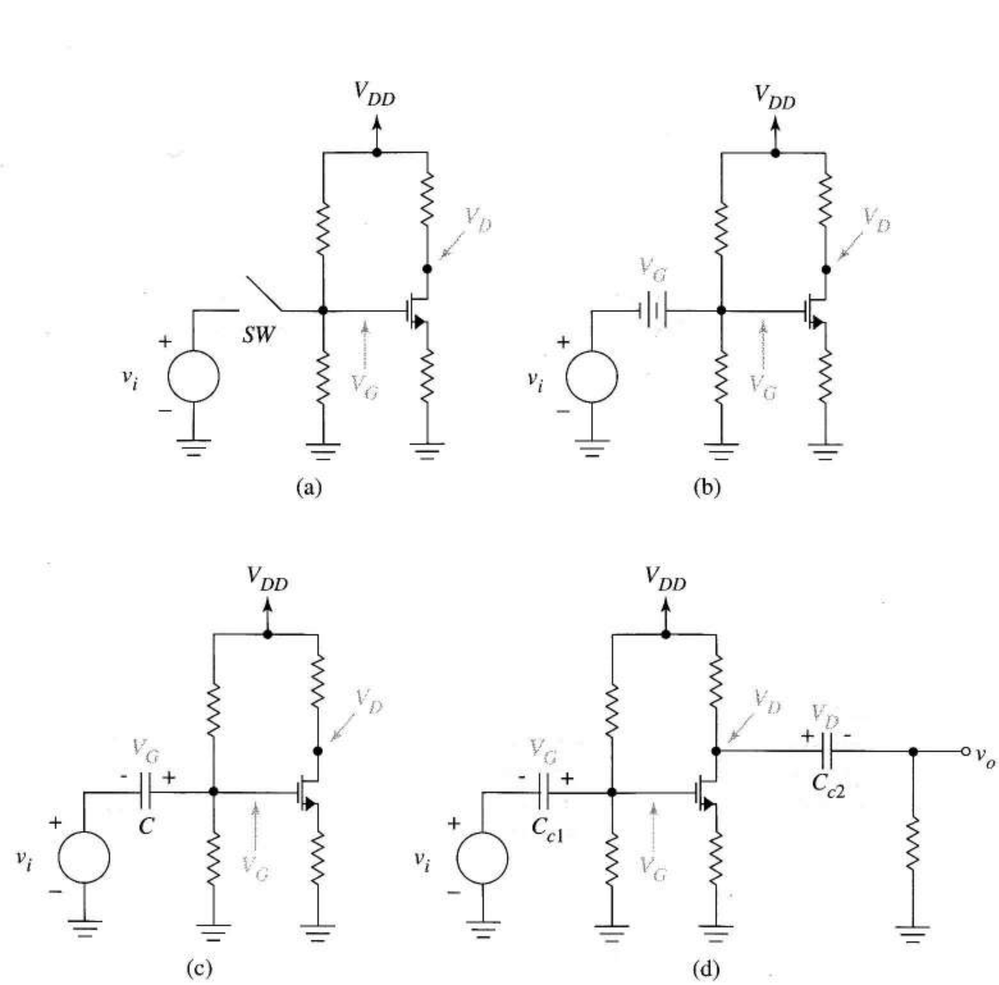


FIGURA 7.10 Acoplamiento capacitivo: (a) acoplamiento directo; (b) fuente manteniendo la adecuada polarización; (c) condensador de acoplamiento para la señal de entrada; (d) acoplamiento capacitivo de entrada y salida.

Los condensadores de acoplo se usan tanto en circuitos de pequeña señal FET como bipolares. Como funcionan esencialmente como fuentes de tensión, no se tratarán en los equivalentes en pequeña señal, es decir, cada condensador de acoplo se sustituirá por un cortocircuito, el equivalente de desconectar la fuente de continua V_G de la Figura 7.10b.

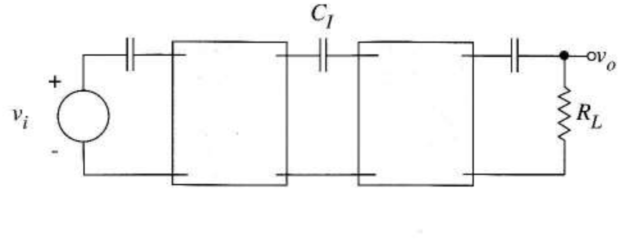
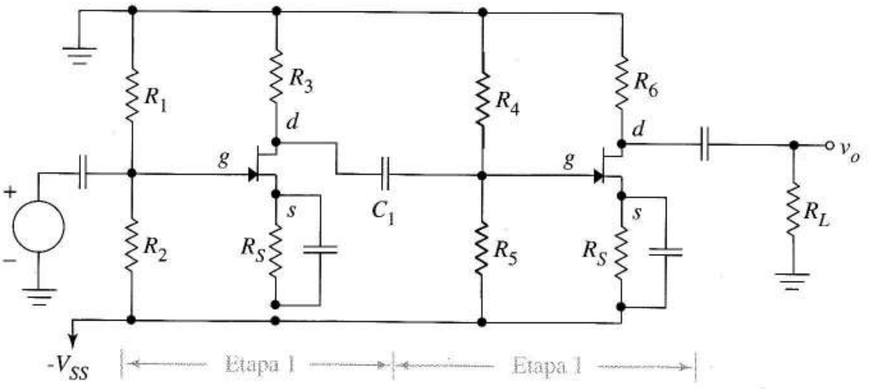


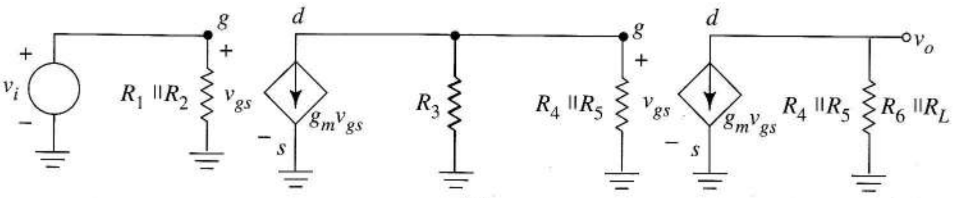
FIGURA 7.11 Condensador C_I de acoplo usado para transferir señales entre las etapas del amplificador.

Condensador de desacoplo[1] En amplificadores discretos, hay otro tipo de condensador que necesita un tratamiento especial de pequeña señal: el *condensador de desacoplo*. Veremos la inclusión de condensadores en ciertos lugares para subir la ganancia o por otras razones. Como los condensadores de desacoplo, los de acoplo son grandes y funcionan como baterías donde el punto de vista del análisis por lo que se sustituyen por circuitos abiertos en el análisis del punto Q y por cortocircuitos en el de pequeña señal. En el siguiente capítulo estudiaremos el análisis en alta frecuencia así que todos los condensadores que aparezcan serán de acoplo o de desacoplo.

La Figura 7.12a muestra un amplificador de dos etapas con resistencias de fuente R_S cortocircuitadas en alterna[1]. La señal externa se acopla al amplificador mediante condensadores grandes y lo mismo ocurre con la resistencia de carga. La Figura 7.12b muestra el equivalente en pequeña señal en el que los condensadores de acoplo y desacoplo están sustituidos por cortocircuitos.



(a)



(b)

FIGURA 7.12 Amplificador de dos etapas: (a) esquema detallado; (b) equivalente en pequeña señal.

La siguiente generalización de ideas de la Figura 7.1 es esencial para gran parte de lo que se verá en los capítulos sucesivos. *Todos los circuitos con transistores que se exciten mediante fuentes de señales pequeñas* se pueden analizar de la siguiente forma:

Análisis del circuito de polarización

1. Eliminar las *fuentes de señal*; dejar las fuentes de polarización.
2. Sustituir los condensadores de acoplo y desacoplo por *circuitos abiertos*.
3. Sustituir cada transistor por su *modelo de gran señal*.
4. Hallar el punto Q de cada transistor.

[1] N. del T. En realidad el condensador de desacoplo o "de bypass" se podría denominar "de cortocircuito en alterna" aunque se ha preferido la primera nomenclatura.

Modelos en pequeña señal

5. De los datos del punto Q, calcular los valores de los parámetros de los modelos en pequeña señal de cada transistor. Esto necesita I_C en los bipolares e I_D en los FETs.

Análisis en pequeña señal

6. Eliminar las fuentes de polarización; dejar las fuentes de señal.
7. Sustituir los condensadores de acoplo y desacoplo por cortocircuitos.
8. Sustituir los transistores por sus modelos de pequeña señal.
9. Analizar el circuito resultante para determinar los efectos de la señal.

Los pasos 6, 7 y 8 describen la forma de dibujar exactamente el circuito de pequeña señal, extendiendo el concepto de la Figura 7.1d a circuitos de más de un transistor, más de una fuente de señal, de corriente o de tensión, *circuitos* con condensadores de acoplo y desacoplo, con bipolares, o mixtos con bipolares y FETs. Suele ser útil dibujar el *esquema equivalente en pequeña señal* definido sólo por los pasos 6 y 7, lo que deja el símbolo del transistor en el esquema mostrando más claramente su localización y orientación.

En lo que queda de texto, usaremos el análisis en pequeña señal para estudiar gran variedad de circuitos interesantes. Para explicar características generales y facilitar comparaciones, obtendremos expresiones para las ganancias, las resistencias de entrada y salida. Algunas veces sustituiremos valores numéricos para ir conociendo los valores típicos; sin embargo, nuestro objetivo no es tener una colección de ecuaciones que faciliten posteriormente la resolución de problemas introduciendo números en ellas, si no que será aplicar los principios de análisis en pequeña señal a estos circuitos y a cualesquiera otros que podamos encontrar en el futuro.

Comenzaremos con tres amplificadores básicos, nombrados según la colocación del transistor respecto de la entrada y de la salida. Los circuitos con FET se denominan amplificadores en fuente común, puerta común y drenador común; los de bipolares se llaman amplificadores en emisor común, base común y colector común. Los aspectos importantes de cada circuito son la ganancia de tensión, la ganancia de corriente y las resistencias de entrada y salida. Al hallar expresiones para estos parámetros tendremos el primer ejemplo de análisis en pequeña señal.

7.4 AMPLIFICADORES EN EMISOR COMÚN Y FUENTE COMÚN

7.4.1 AMPLIFICADOR EN EMISOR COMÚN

El *amplificador en emisor común* es el que el transistor tiene su emisor común a los circuitos de entrada y salida; tiene muchas aplicaciones por su versatilidad. Usaremos el análisis en pequeña señal para demostrar que este circuito puede tener altas ganancias de tensión, corriente y potencia. Sus resistencias de entrada y salida dan valores medios comparadas con otros amplificadores.

La Figura 7.13a muestra una versión con componentes discretos del amplificador en emisor común. El transistor se polariza mediante un circuito de cuatro resistencias, condensadores de acoplo conectando la fuente externa y la carga y un condensador que cortocircuita en alterna la resistencia de emisor. La flecha define las resistencias de entrada y salida vistas desde los terminales de entrada y salida del amplificador. Definiremos las ganancias de corriente y tensión en relación con la entrada y salida del amplificador.

Para ver el papel de determinados componentes utilizaremos los pasos 6 y 7 del procedimiento general para dibujar el esquema en pequeña señal. Esto da la Figura 7.13b donde $R_P = R_1 \| R_2$. Comparando este circuito con los amplificadores ideales del Capítulo 1, como el de la Figura 1.19b, el transistor, R_C y R_P son los componentes del amplificador. El esquema en pequeña señal identifica claramente la configuración, mostrando en este caso un emisor que es común a la entrada y a la salida. Para un análisis detallado usaremos el equivalente en pequeña señal, Figura 7.13c. Para hallar la ganancia de tensión observemos primero que v_o es la tensión producida por la corriente $g_m v_\pi$ circulando por $R_L \| R_C$; así

$$v_o = -g_m v_\pi \frac{R_L R_C}{R_C + R_L}$$

Como la señal en la entrada del amplificador es v_π,

$$A_v = \left(-g_m R_L\right) \frac{R_C}{R_C + R_L} \tag{7.22}$$

Esto expresa A_v en función de la expresión básica de ganancia $-g_m R_L$ que incluye una inversión en la señal y el factor de carga introducido por la resistencia de polarización R_C.

Ahora hallamos la ganancia de corriente A_i. A partir del divisor de corrientes de la Figura 7.13c

$$i_o = \frac{R_C}{R_L + R_C}\left(-g_m v_\pi\right)$$

La corriente de entrada del amplificador es

$$i_i = \frac{v_\pi}{R_{PP}}$$

donde $R_{PP} = r_\pi \| R_P$. La relación de estas corrientes es

$$A_i = -g_m \frac{r_\pi R_P}{R_P + r_\pi} \frac{R_C}{R_L + R_C}$$

Obtenemos un resultado más cómodo después de utilizar (7.12)

$$A_i = \frac{R_P}{R_P + r_\pi}\left(-\beta\right) \frac{R_C}{R_L + R_C} \tag{7.23}$$

Observemos que los factores de carga de entrada y salida, las expresiones de los divisores de corriente, limitan la ganancia de corriente a una fracción de $-\beta$, la ganancia de corriente inherente al transistor.

Como el circuito de la Figura 7.13c es unidireccional, para hallar R_i conectamos una fuente o generador de prueba al puerto señalado con la flecha R_i. Esto da

$$R_i = R_P \| r_\pi \tag{7.24}$$

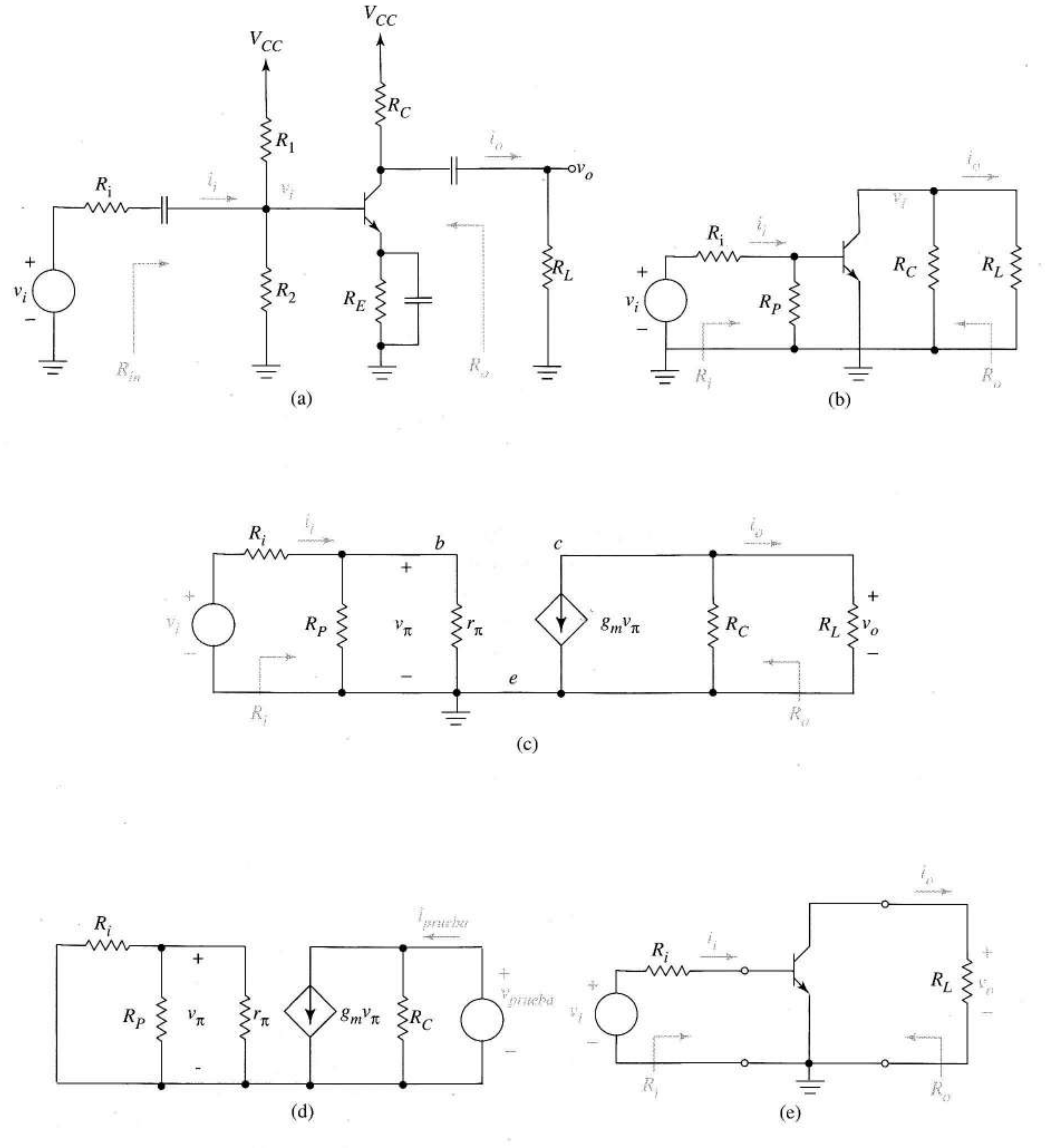


FIGURA 7.13 Amplificador en emisor común con componentes discretos: (a) circuito original; (b) esquema en pequeña señal; (c) equivalente en pequeña señal; (d) circuito para hallar R_o; (e) con infinita R_P y R_C.

Para hallar R_o aplicamos su definición como en la Figura 7.13d. Como en la entrada del circuito falta excitación, $v_\pi = 0$, la corriente dependiente se anula y la fuente de prueba ve sólo R_C. Así,

$$R_o = R_C$$

Con este resultado en mente, observemos que el factor de carga en (7.22) es exactamente del mismo tipo del que vimos en el Capítulo 1.

Habitualmente, omitimos r_o en el análisis del amplificador en emisor común porque contribuye poco a los resultados. En la Figura 7.13c, r_o se combinaría con R_C, que suele ser una resistencia mucho menor, dando la expresión más precisa

$$R_o = R_C \parallel r_o \tag{7.25}$$

Valores numéricos Para llegar a comprender lo que pueden hacer los amplificadores discretos en emisor común necesitamos examinar algunos valores numéricos representativos. Después, veremos mejoras técnicas de polarización que ayuden al transistor a desarrollar sus potencialidades inherentes, punto de vista que se relaciona con el uso de las etapas en emisor común en integrados, como subcircuitos.

En el Ejemplo 4.2 analizamos un circuito de polarización como el de la Figura 7.13a con $\beta = 100$. Los valores de las resistencias fueron $R_1 = 68$ kΩ, y $R_2 = 68$ kΩ que daban $R_P = 27{,}8$ kΩ, $R_C = 39$ kΩ y $R_E = 68$ kΩ. El punto Q del transistor fue (2,3 V, 0,118 mA). Para este punto Q, (7.13) da $g_m = 0{,}118/0{,}025 = 4{,}72$ mV/A. De la Ecuación (7.12),

$$r_\pi = \frac{\beta}{g_m} = \frac{100}{4{,}72 \times 10^{-3}} = 21{,}2 \text{ k}\Omega$$

Suponiendo una tensión Early de 100 V en (4.21) da

$$r_o = 847 \text{ k}\Omega$$

Sean, respectivamente, 5 kΩ y 50 kΩ las resistencias de la fuente de señal y carga. Las Ecuaciones (7.22) y (7.23) dan ganancias de tensión y corriente de

$$A_v = (-236) \times 0{,}438 = -103{,}4$$

y

$$A_i = 0{,}567 \times (-100) \times 0{,}438 = -24{,}8$$

La ganancia de potencia queda determinada por

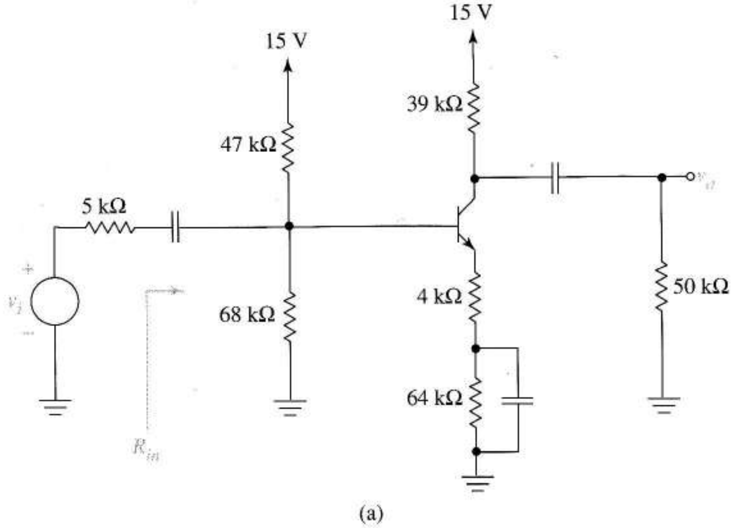
$$A_P = A_v A_i = 2.564$$

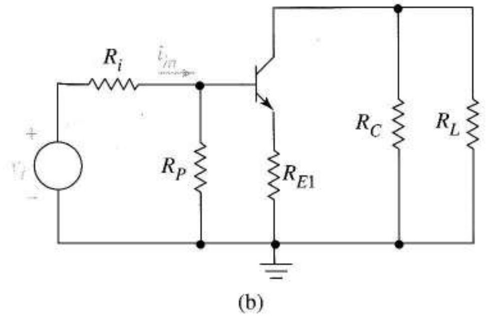
De (7.24), $R_i = 12$ kΩ y de (7.25), $R_o = 37{,}3$ kΩ.

Ahora supongamos que podemos usar fuentes de corriente para polarizar el transistor con lo que R_P y R_C son infinitas en la Figura 7.13b. Entonces los efectos parásitos de los componentes de polarización desaparecen –como en la Figura 7.13e– y las Ecuaciones (7.22) a (7.25) toman formas que demuestren mejor las capacidades y limitaciones del transistor por sí mismo, digamos

$$A_v = -g_m R_L,\ A_i = -\beta,\ R_i = r_\pi \text{ y } R_o = r_o$$

Efecto de los condensadores de desacoplo de emisor y fuente A veces aceptamos con gusto una pérdida de ganancia para alcanzar otros objetivos tales como la reducción de la sensibilidad a la variación de los parámetros o la mejora del ancho de banda. La teoría desarrollada en el Capítulo 9 demostrará que podemos conseguirlo suprimiendo el condensador de emisor (fuente) de los amplificadores en emisor (fuente) común. Para analizar este aspecto numéricamente, analizamos la ganancia del amplificador de la Figura 7.13a con parte de R_E, R_{E1} sin cortocircuitar en alterna tal y como muestra la Figura 7.14a. Los valores de los componentes son los mismos que usamos antes en las estimaciones. La polarización y la estabilidad del punto Q quedan inalteradas ya que la resistencia de emisor en el circuito de polarización sigue siendo 68 kΩ. Las Figuras 7.14b y c muestran el nuevo esquema en pequeña señal y el equivalente.





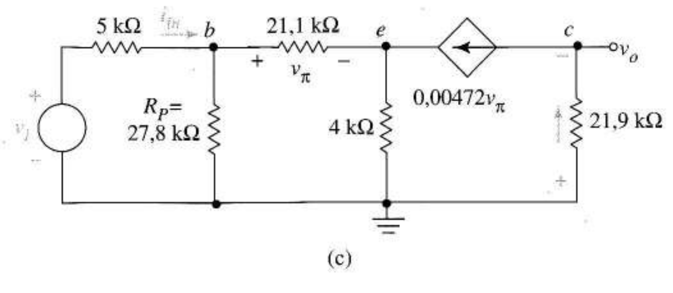


FIGURA 7.14 Efecto de cortocircuitar en alterna sólo parcialmente la resistencia de emisor: (a) circuito original; (b) esquema en pequeña señal; (c) equivalente en pequeña señal.

Aplicando la ley de Kirchhoff de las corrientes al emisor da

$$\frac{v_\pi}{21{,}1\text{ k}} + 0{,}00472v_\pi = \frac{v_b - v_\pi}{4\text{ k}}$$

lo que implica que

$$v_b = 20{,}1 v_\pi$$

Al circular sobre la resistencia de 21,9 K, la corriente dependiente produce v_o,

$$v_o = (-0{,}00472 v_\pi)\ 21{,}9\ \text{k} = \left(-0{,}00472 \frac{v_b}{20{,}1}\right) 21{,}9\ \text{k}$$

La ganancia del amplificador es, ahora,

$$A_v = -\frac{v_o}{v_b} = \frac{-0{,}00472}{20{,}1} \times\ 21{,}9\ \text{k} = -5{,}14$$

comparada con –103,3 que tenía con la resistencia de emisor cortocircuitada en alterna.

Otro efecto de dejar parte de la resistencia de emisor sin cortocircuitar es aumentar la resistencia de entrada. En la Figura 7.14c, R_i es la relación entre la tensión del nodo b e i_i. La ley de Kirchhoff de las corrientes aplicadas a ese punto da

$$i_i = \frac{v_b}{27{,}8\ \text{k}} + \frac{v_\pi}{21{,}1\ \text{k}} = \frac{v_b}{27{,}8\ \text{k}} + \frac{v_b/20{,}1}{21{,}1\ \text{k}}$$

Despejando el cociente da

$$R_i = \frac{v_b}{i_i} = 26{,}1\ \text{k}\Omega$$

comparada con 12 kΩ cuando la resistencia de emisor está totalmente cortocircuitada. El cambio real es que la resistencia equivalente a la derecha de R_P (Figura 7.14b) ha cambiado de $r_\pi = 21{,}1$ kΩ en la Figura 7.13c a 424 kΩ. Esto nos sugiere que, en un caso ideal, dejar la resistencia de emisor para incrementar la resistencia de entrada es más eficaz que la polarización por fuente de corriente donde R_P es infinita.

7.4.2 AMPLIFICADOR EN FUENTE COMUN

Igual que el amplificador en emisor común, el circuito en fuente común, estructuralmente relacionado con el primero, produce relativamente elevadas ganancias de tensión y corriente, un desfase de 180° y valores moderados de resistencias de entrada y salida. La Figura 7.15a muestra un *amplificador en fuente común* con componentes discretos. En el Ejemplo 6.1 diseñamos el circuito de polarización para obtener un punto Q de (4 V, 2 mA) con los parámetros del transistor de $k = 0{,}5 \times 10^{-3}$ A/V^2 y $V_t = 2$ V. Diseñamos, también con $R_p = R_1 \| R_2 = 2$ MΩ.

Las Figuras 7.15b y c muestran el esquema en pequeña señal y su equivalente, destacando que la fuente es *común a la entrada y a la salida* por el condensador de desacoplo. Comparando las Figuras 7.15c y 7.13c se ve que los circuitos equivalentes en emisor común y fuente común son,

virtualmente, el mismo, como lo son sus expresiones de ganancias y resistencias de entrada y salida. Para el amplificador en fuente común, las ganancias de tensión y corriente son, respectivamente

$$A_v = \left(-g_m R_L\right)\frac{R_D}{R_D + R_L} \tag{7.26}$$

y

$$A_i = \left(-g_m R_P\right)\frac{R_D}{R_D + R_L} \tag{7.27}$$

Ambas expresiones incluyen los factores de carga introducidos por el circuito de polarización. En (7.27) la magnitud adimensional $g_m R_p$ representa la ganancia de corriente. Debido a la resistencia infinita de entrada del FET, el amplificador en fuente común tiene por sí mismo ganancia de corriente infinita, en contraste con el valor β de los bipolares. La Ecuación (7.27) indica que la ganancia de corriente queda limitada por R_P y depende del diseño del circuito de polarización.

Por definición

$$R_i = R_P \tag{7.28}$$

comprobando por qué hacemos R_P grande cuando diseñamos el circuito de polarización. La resistencia de salida es R_D cuando se omite la r_o del modelo del transistor, o

$$R_o = r_o \parallel R_D \tag{7.29}$$

si no se incluye.

Como el FET es un circuito abierto en la entrada en lugar de r_π, el amplificador en fuente común tiene mejores perspectivas de acabar con alta resistencia de entrada que el de emisor común. En el Capítulo 1 vimos lo importante que esto es para reducir la pérdida de señal por la carga de entrada.

Para obtener valores numéricos, usaremos primero (7.4) con I_D = 2 mA y k = 0,5 mA/V^2 para hallar g_m = 1,41 mA/V. Para V_A = 100 V, r_o = 50 kΩ, R_P = 2 MΩ según el diagrama. Sustituyendo los valores conocidos en las Ecuaciones (7.26) a (7.29) da

$$A_v = (-70{,}5)(0{,}0385) = -2{,}71$$

$$A_i = (-2{,}82 \times 10^3)(0{,}0385) = -10^9$$

$$A_P = 295,\ R_i = 2\ \text{M}\Omega,\ y\ R_o = 1{,}92\ \text{k}\Omega$$

Volviendo atrás, advertimos que si elegimos un valor de R_D mayor durante el diseño del circuito de polarización, obtendríamos mayores ganancias de tensión y corriente. Es buena idea examinar los requisitos de pequeña señal antes de polarizar.

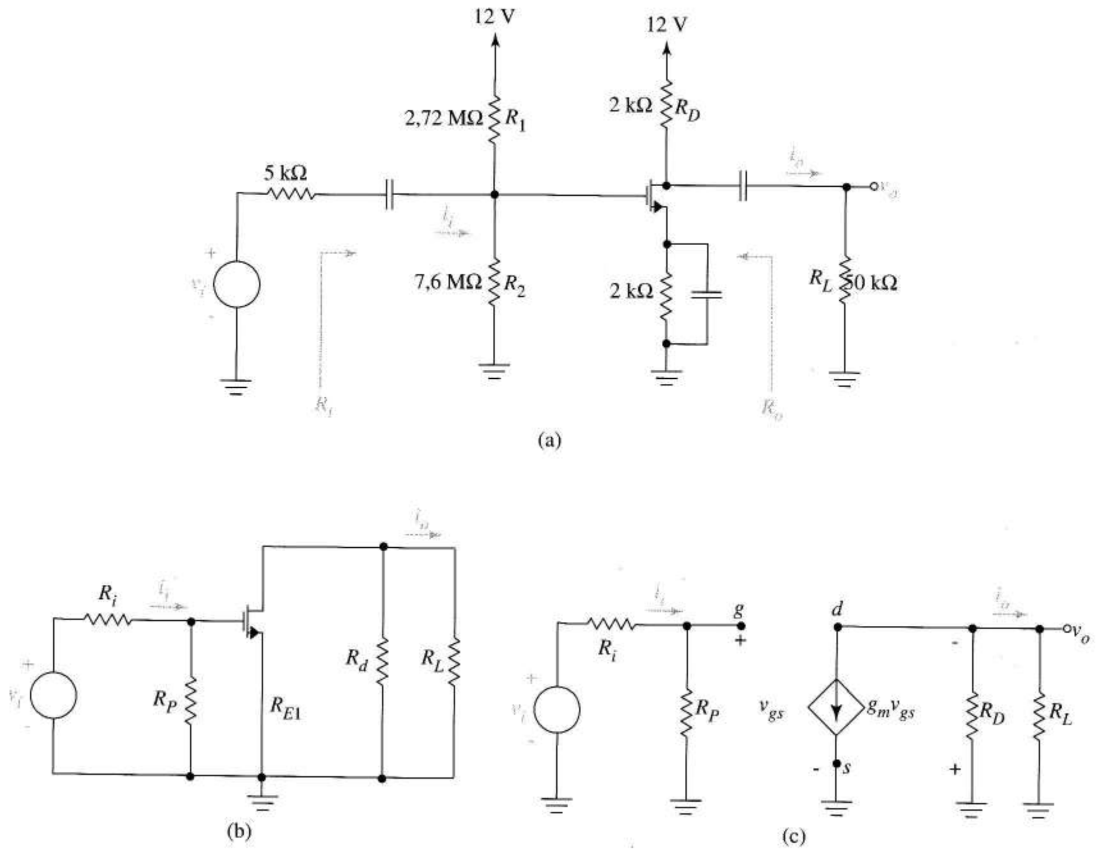


FIGURA 7.15 Amplificador en fuente común: (a) esquema del circuito discreto; (b) esquema en pequeña señal; (c) equivalente en pequeña señal.

7.4.3 LÍMITES PARA SEÑALES PEQUEÑAS

Las Ecuaciones (7.19) y (7.20) establecen límites superiores para el funcionamiento en pequeña señal. Con estas desigualdades podemos estimar las máximas señales de entrada y salida que podemos tener sin introducir distorsión.

EJEMPLO 7.4 En el amplificador de la Figura 7.13a y c usamos previamente los valores: $R_e = 5$ kΩ, $R_P =$ 27,8 kΩ, $r_\pi = 21{,}2$ kΩ, $v_o/v_\pi = -103{,}4$.

a) Hallar la mayor v_o que podamos obtener sin distorsión.

b) Hallar el mayor valor de v_e que podemos aplicar sin que se distorsione la salida.

Solución a) La Ecuación (7.20) implica que la mayor v_{be} permisible es 5 mV en las Figuras 7.13a y c. Cuando la ganancia es −103,4, $\|v_o\| \leq (103{,}4)5 \times 10^{-3} = 0{,}517$ V.

b) El divisor de tensión de la Figura 7.13c atenúa v_e en

$$\frac{27{,}8\ \text{k} \parallel 21{,}1\ \text{k}}{5\ \text{k} + 27{,}8\ \text{k} \parallel 21{,}1\ \text{k}} = 0{,}706$$

Así, cualquier v_i mayor de 5 mV/0,706 = 7,08 mV podría causar distorsión. ❑

Ejercicio 7.5 En el amplificador de las Figuras 7.15b y c, $R_e = 300\ \text{k}\Omega$, $R_P = 2\ \text{M}\Omega$ y $v_o/v_{gs} = -28{,}2$. a) Hallar el valor máximo de v_o que podemos obtener sin distorsión.

Sugerencia Como I_D y k son conocidos, suponer $I_D \approx k$.

b) Hallar el mayor valor de v_e que podemos aplicar sin distorsionar la forma de onda de la salida.

Respuesta 7,98 V, 325 mV.

Esta estimación de la máxima salida útil nos ayuda a seleccionar el punto Q que permita señales con toda la amplitud evitando que el transistor entre en las zonas de corte o saturación (óhmica).

7.4.4 APROXIMACIONES Y EQUIVALENCIAS

Examinando las contribuciones de los parámetros individuales del transistor y del circuito a las expresiones algebraicas podemos mejorar nuestro conocimiento y desarrollar nuestra intuición en los cálculos manuales. Sin embargo, para algunos circuitos, un análisis directo es tedioso, dado a errores de cálculo y produce expresiones demasiado complejas para ser útiles. En estos casos nos centraremos en aproximaciones, equivalencias y transformaciones que simplifiquen el circuito sin cambiar lo esencial de su funcionamiento; a veces, el uso de un modelo alternativo del transistor lleva a una solución fácil.

Aprendimos a ignorar r_o a menos que tengamos alguna razón para pensar que fuese importante, a sustituir una fuente de corriente controlada por su propia tensión por una resistencia equivalente y a sustituir el diodo construido con un transistor por otra resistencia. Otra simplificación se puede tener cuando la combinación paralela incluye el valor $1/g_m$. Para los circuitos de polarización habituales, especialmente en los bipolares, $1/g_m$ es mucho menor que las otras resistencias lo que nos permite sustituir el paralelo por $1/g_m$. La Ecuación (7.12) justifica siempre la aproximación $1/g_m << r_\pi$ cuando se aplican estos parámetros a transistores bipolares con idénticas corrientes de polarización. La *transformación de la fuente de corriente* que se presenta en la siguiente sección es otra poderosa herramienta en el análisis.

7.5 AMPLIFICADORES EN BASE COMÚN Y PUERTA COMÚN

7.5.1 AMPLIFICADORES EN PUERTA COMÚN

El diseño del amplificador en puerta común con componentes discretos podría comenzar con el circuito de polarización de cuatro resistencias de la Figura 7.16a. El condensador de desacoplo conecta la puerta a masa y la señal v_e se acopla capacitivamente a la fuente del transistor mientras que la

carga R_L se conecta al drenador. Sustituyendo la alimentación, el condensador de desacoplo y los de acoplo por cortocircuitos se obtiene el esquema en pequeña señal y su equivalente (7.16b y c) las resistencias de polarización R_S y R_D son "males necesarios" asociados con las técnicas empledas en el uso de componentes discretos que, a veces, enturbian las características propias del circuito en puerta común. Por ello, examinaremos una versión más idealizada del circuito, la Figura 7.17a que demuestra mejor sus propiedades. Damos por supuesto que el circuito está polarizado en su zona activa, quizá por fuente de corriente en un amplificador integrado. La Figura 7.17b da el equivalente en pequeña señal.

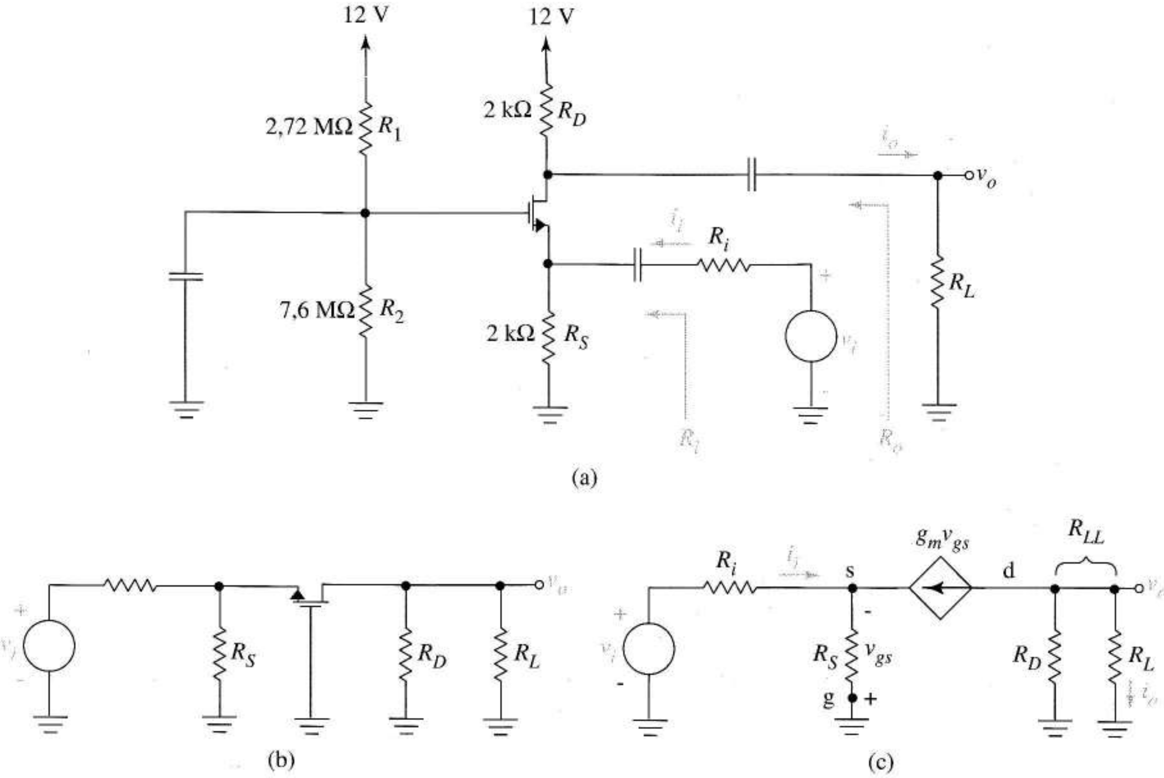


FIGURA 7.16 Amplificador discreto en puerta común: (a) circuito original; (b) esquema en pequeña señal; (c) equivalente en pequeña señal.

No es difícil hallar las expresiones de las ganancias y de la resistencia de entrada por análisis directo; de todas formas, introduciremos una equivalencia de circuito que es muy útil a la hora de analizar circuitos más complejos. En el Capítulo 1 usamos curvas vi para examinar las restricciones que imponen las fuentes de corriente sobre los circuitos. Siempre podemos sustituir una fuente de corriente, independiente o dependiente por fuentes de corriente en serie idénticas. Haciéndolo en la Figura 7.17b da la Figura 7.17c. Esto crea un nuevo nodo (señalado con una flecha en el diagrama). Como entra y sale la misma corriente del nodo, se puede conectar a cualquier punto del circuito; en este caso resulta ventajoso conectarlo a masa, dando la Figura 7.17d. A esto le llamaremos la "*transformación de la fuente de corriente*". Como hay una fuente de corriente controlada por su propia tensión en la Figura 7.17d, el circuito resulta equivalente al de la Figura 7.17e.

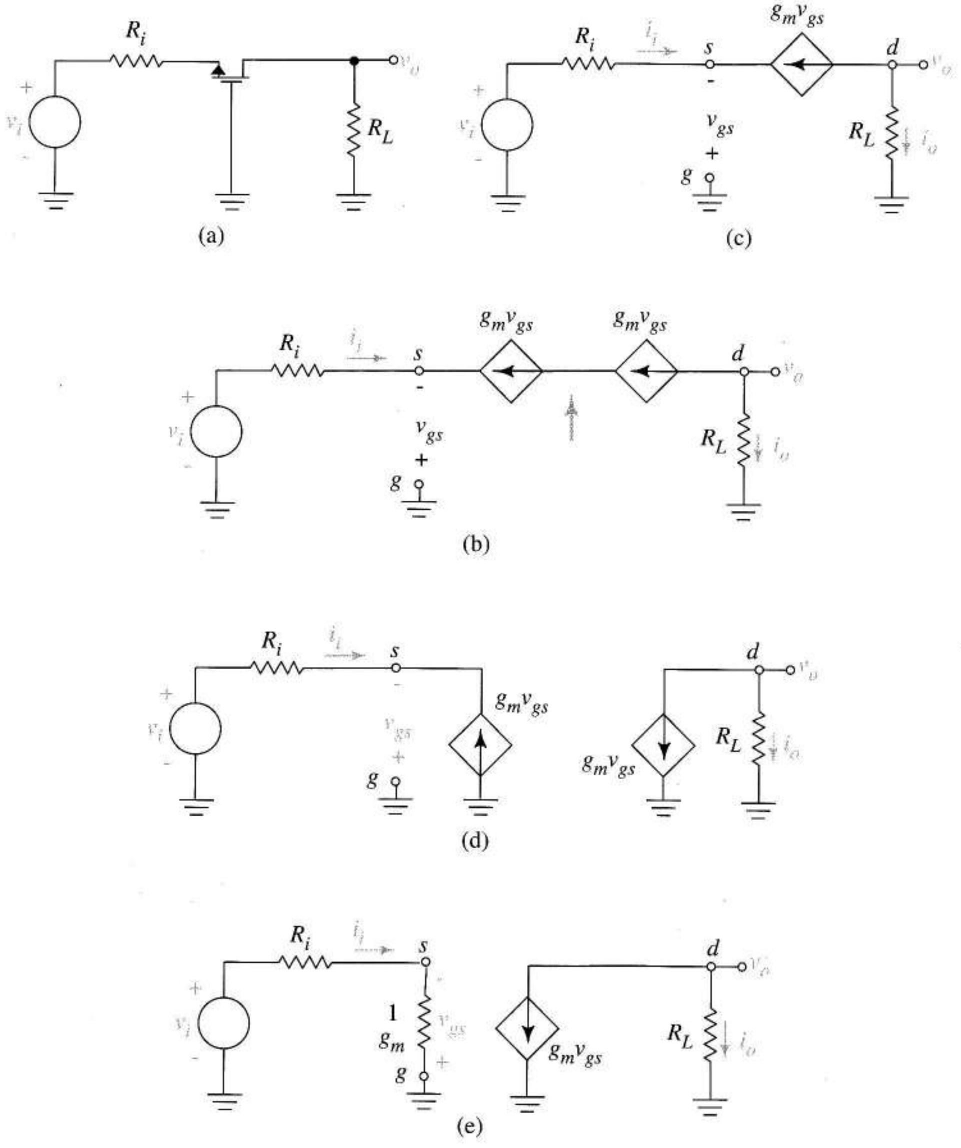


FIGURA 7.17 Amplificador básico en puerta común: (a) esquema en pequeña señal; (b) equivalente en pequeña señal; (c) resultado de añadir una fuente de corriente igual en serie; (d) después de conectar el nuevo nodo a masa; (e) circuito equivalente alternativo para el amplificador en puerta común.

A partir de este circuito, calculamos la ganancia de tensión, que es

$$A_b = \frac{v_o}{-v_{gs}} = \frac{-\left(g_m v_{gs}\right)R_L}{-v_{gs}} = g_m R_L \tag{7.30}$$

la misma que la del amplificador en fuente común salvo que no está desfasada 180º. La ganancia de corriente es

$$A_i = \frac{i_o}{i_i} = \frac{-g_m v_{gs}}{i_i} = \frac{-g_m\left[-i_i\left(1/g_m\right)\right]}{i_i} = 1 \qquad (7.31)$$

resultando bastante obvio en las Figuras 7.17a y b. La baja resistencia de entrada

$$R_i = \frac{1}{g_m} \qquad (7.32)$$

obvia en la Figura 7.17e es una característi-
ca especial del circuito en puerta común. La baja impedancia de entrada puede ser útil en ocasiones y la causa de elegir una configuración en puerta común.

Si aplicamos la definición de resistencia de salida a uno de los equivalentes de la Figura 7.17 vemos que R_o es infinita. Esto no es una estimación incorrecta aunque si incluimos la r_o del transistor en el análisis obtenemos una mejor estimación de las capacidades de este circuito. En la Figura 7.18 aparece la Figura 7.17b con r_o incluida, la señal eliminada y una fuente de prueba conectada a la salida. La corriente de drenador se obtiene aplicando Kirchhoff

$$i_{test} = g_m v_{gs} + \frac{v_{test} - \left(-v_{gs}\right)}{r_o}$$

Como i_{test} circula a través de R_e, $v_{gs} = -i_{test}R_e$. Sustituyéndolo en la ecuación y despejando v_{test}/i_{test} da

$$R_o = r_o\left(1 + g_m R_e\right) + R_e \approx r_o\left(1 + g_m R_e\right) \qquad (7.33)$$

Esta ecuación indica que la resistencia de salida del emisor común es potencialmente mucho mayor que r_o, el límite superior de la resistencia de salida de la fuente común como se dijo en (7.29).

En resumen, el amplificador básico en puerta común tiene, potencialmente, altas ganancias de tensión y resistencia de salida, ganancia de corriente unidad y baja resistencia de entrada, características que apuntan hacia una CCCS de transmitancia unidad.

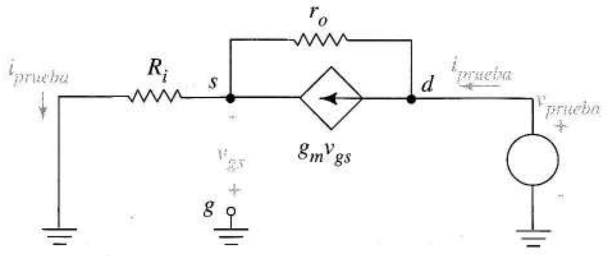


FIGURA 7.18 Circuito usado para hallar la resistencia de salida del circuito en puerta común.

7.5.2 AMPLIFICADOR EN BASE COMUN

Este amplificador se parece al circuito de puerta común tanto en estructura como en propiedades. La implementación discreta se puede hacer con un sistema de polarización de cuatro resistencias y un condensador de acoplo conectando la base a la masa. La señal se introduce por el emisor y cualquier

carga externa se puede acoplar capacitivamente al colector. El esquema en pequeña señal de la versión integrada del circuito está en la Figura 7.19a, siendo la Figura 7.19b su equivalente en pequeña señal. Comparándolos con los de la Figura 7.17a y b, se muestra que la única diferencia sustancial entre los circuitos es la presencia de r_π.

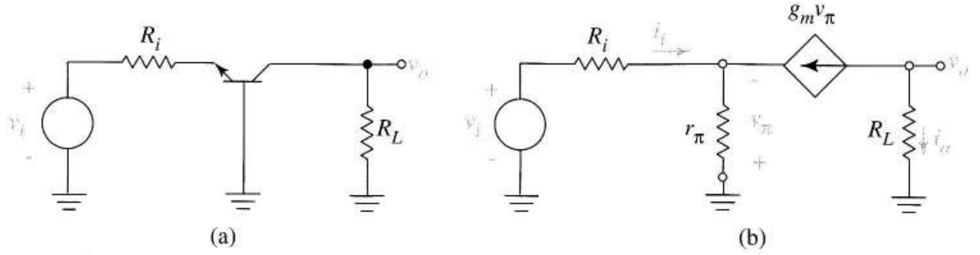


FIGURA 7.19
Amplificador en base común: (a) esquema en pequeña señal; (b) circuito equivalente en pequeña señal.

Ejercicio 7.6 Utilizar la transformación de la fuente corriente para hallar las expresiones de la ganancia de tensión, la resistencia de entrada y la ganancia de corriente del circuito en base común.

Respuesta Ecuaciones (7.34), (7.35) y (7.36).

El circuito en base común de la Figura 7.19 tiene las siguientes propiedades en pequeña señal

$$A_v = g_m R_L \tag{7.34}$$

$$R_i = r_e = \frac{r_\pi(1/g_m)}{r_\pi + (1/g_m)} \approx \frac{1}{g_m} \tag{7.35}$$

$$A_i = g_m = \frac{r_\pi(1/g_m)}{r_\pi + (1/g_m)} = \frac{\beta}{\beta+1} \approx 1 \tag{7.36}$$

y

$$R_o \approx r_o\left(1 + g_m \frac{R_e r_\pi}{R_e + r_\pi}\right) \tag{7.37}$$

EJEMPLO 7.5 Obtener la Ecuación (7.37) y hallar las aproximaciones para los dos casos $R_e >> r_\pi$ y $R_e << r_\pi$.

Solución Añadiendo r_π entre puerta y fuente en la Figura 7.18 y cambiando la notación v_{gs} a v_π se obtiene el circuito de test para obtener la resistencia de salida del circuito en base común. Si combinamos R_e con r_π y repetimos el análisis del puerta común, la Ecuación (7.33) se convierte en (7.37). Cuando $R_e >> r_\pi$, la ecuación se convierte en $R_o \approx r_o(1 + g_m r_\pi) = r_o(1 + \beta)$; para $R_e << r_\pi$ obtenemos

$$R_o \approx r_o(1 + g_m R_e)$$

la misma expresión que hallamos para el amplificador en puerta común (7.33). Observemos que para todos los valores R_e, el amplificador en base común tiene una resistencia de salida mayor que r_o. ❑

Al igual que el de puerta común, el amplificador en base común es un circuito de uso especial con elevada ganancia de tensión (no invertida), ganancia unitaria de corriente, pequeña resistencia de entrada y alta resistencia de salida.

7.5.3 MODELOS ESPECIALES PARA EL TRANSISTOR EN BASE COMÚN Y PUERTA COMÚN

A continuación, introduciremos modelos alternativos para el transistor con un ejemplo y un ejercicio y utilizaremos la transformación de la fuente de corriente para relacionarlos con los modelos que ya conocemos.

EJEMPLO 7.6 Utilizar la transformación de la fuente de corriente para demostrar que podemos representar el bipolar por su equivalente en base común de la Figura 7.20a donde $r_e \approx 1/g_m$.

Solución En la Figura 7.20b aparece el modelo del bipolar de 7.5b en configuración base común. Aplicando a este último circuito la transformación y sustituyendo la fuente controlada por su propio terminal da la Figura 7.20c en la que

$$r_e = r_\pi \parallel \frac{1}{g_m}$$

se denomina resistencia de entrada en base común. La resistencia r_e es la homóloga de r_π en la Figura 7.4b siendo la pendiente de la tangente de la característica de entrada de base común i_E–v_{BE} en el punto Q. Queda un último paso, sustituir la VCCS de la Figura 7.20c por una CCCS. Para esto

$$g_m v_\pi = g_m r_e i_e = g_m\left(\frac{r_\pi}{g_m r_\pi + 1}\right) i_e = \frac{\beta}{\beta+1} i_e = \alpha i_e$$

El resultado es la Figura 7.20a. ❑

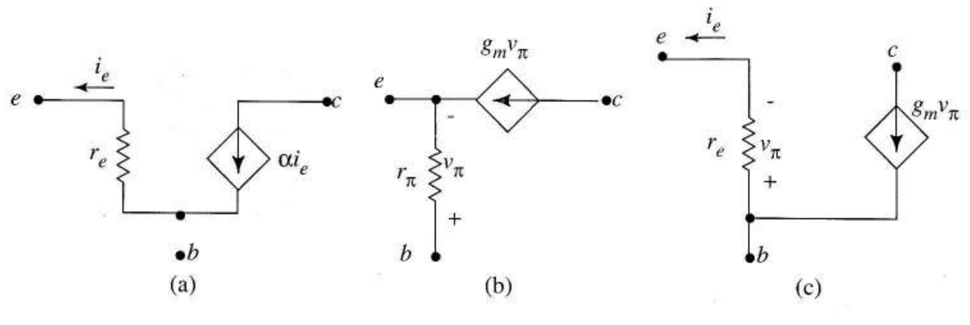


FIGURA 7.20 Ejemplo de transformación de la fuente de corriente: (a) equivalente en base común; (b) modelo emisor común pero en configuración emisor común; (c) circuito equivalente después de dos simplificaciones.

El modelo de base común es muy útil para analizar el amplificador en base común porque divide el equivalente en pequeña señal en zonas separadas que son fáciles de analizar. El modelo de base común aventaja al de emisor común en la representación de uso general

que hace del transistor destacando lo básico del funcionamiento como transistor, $i_c = \alpha i_e$, de la Figura 4.2. Otros usan el modelo en base común sólo para simplificar circuitos difíciles, yendo hacia el resultado final sin aplicar la transformación de la corriente al circuito. Otros la ignoran utilizando la transformación de corriente cuando se necesite para simplificar circuitos. En cualquier caso, la resistencia r_e tiende a aparecer de cuando en cuando y cuando lo hace, las siguientes representaciones son dignas de conocerse

$$r_e = r_\pi \left\| \frac{1}{g_m} = \frac{r_\pi}{1+\beta} \approx \frac{1}{g_m} \right.$$

La Figura 7.21a muestra un *modelo de puerta común* para el FET. Cuando consideramos que $\alpha \approx 1$ y $r_e \approx 1/g_m$ para el bipolar, hay una destacable similitud entre las Figuras 7.20a y 7.21a. Concluimos que los bipolares y los FETs limitan los circuitos que los incluyen de una misma manera, un hecho que no es obvio de otra forma. El uso del modelo de puerta común en el análisis necesita tener en cuenta que la corriente de puerta debe ser nula (por la ley de Kirchhoff de corrientes en la Figura 7.21a), propiedad imprescindible en cualquier modelo para el FET.

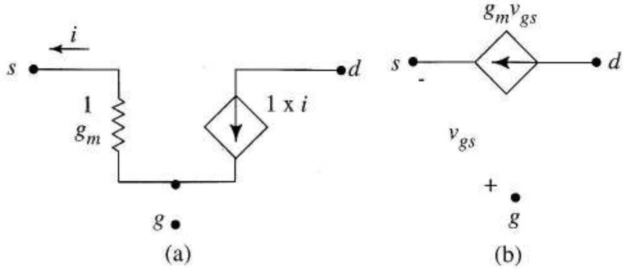


FIGURA 7.21 (a) Modelo FET en puerta común; (b) punto de partida para la obtención del modelo.

Ejercicio 7.7 Utilizar la transformación de la fuente de corriente para convertir el circuito de la Figura 7.21b en el de la Figura 7.21a.

7.6 AMPLIFICADORES EN COLECTOR COMÚN Y DRENADOR COMÚN

Los circuitos de base común/puerta común de la sección previa daban bajas ganancias de corriente y resistencias bajas de entrada y altas de salida. Los circuitos colector común/drenador común que estudiaremos a continuación tienen propiedades complementarias: baja ganancia de tensión, alta resistencia de entrada y baja de salida.

7.6.1 AMPLIFICADOR EN DRENADOR COMÚN (SEGUIDOR DE FUENTE)

La Figura 7.22a muestra un amplificador en *drenador común* con componentes discretos, también denominado *seguidor de fuente*. La señal entra por puerta y sale por fuente. El circuito de polarización de *tres resistencias* establece el punto *Q*, ya que la resistencia de drenador no contribuye beneficiosamente al funcionamiento en pequeña señal. Cuando eliminamos V_{DD} para obtener el esquema de pequeña señal, obtenemos la Figura 7.22b donde $R_P = R_1 \| R_2$ y donde el drenador es común a la entrada y a la salida. Analizaremos la versión integrada de la Figura 7.22c que ilustra mejor las características generales del seguidor de fuente. Suponemos funcionamiento en zona activa producido por las fuentes de continua que acabamos de eliminar.

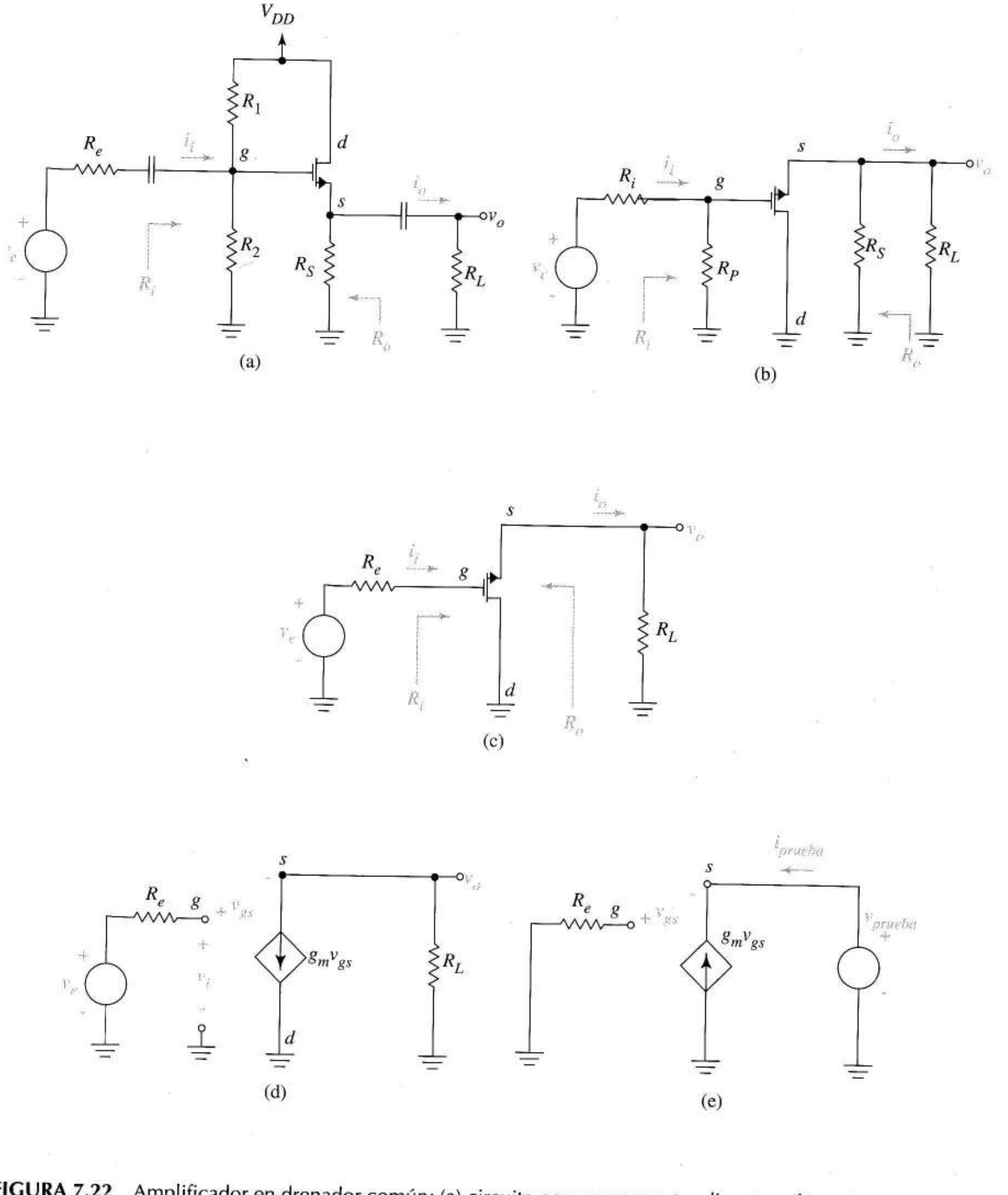


FIGURA 7.22 Amplificador en drenador común: (a) circuito con componentes discretos; (b) esquema en pequeña señal para el circuito discreto; (c) esquema en pequeña señal para la versión integrada; (d) equivalente en pequeña señal de la versión integrada; (e) circuito de prueba para hallar la resistencia de salida.

Las dos características del seguidor de fuente son obvias a partir del equivalente en pequeña señal de la Figura 7.22d

$$R_i = \infty \tag{7.39}$$

y

$$A_i = \infty \tag{7.40}$$

(Las resistencias de entrada y la ganancia de corriente son finitas en las versiones con componentes discretos debido a la presencia de R_P). Para hallar la ganancia de tensión observemos que

$$v_o = g_m v_{gs} R_L$$

y

$$v_{gs} = v_i - v_o$$

Sustituyendo v_{gs} y despejando la ganancia de tensión da

$$A_v = \frac{v_o}{v_i} = \frac{v_o}{v_{gd}} = \frac{g_m R_L}{1 + g_m R_L} \tag{7.41}$$

Destaquemos que la ganancia de tensión es menor que la unidad como se predijo y que no hay cambio de fase. Para obtener la resistencia de salida usamos el circuito de test de la Figura 7.22e. Esto da

$$i_{test} = -g_m\left(-v_{test}\right)$$

o

$$r_o = \frac{1}{g_m} \tag{7.42}$$

una resistencia de salida relativamente pequeña que es independiente de la resistencia de la fuente R_e. Es fácil demostrar que para la Figura 7.22b, $R_o = R_s || 1/g_m$.

Ejercicio 7.8 Suponiendo que el transistor de la Figura 7.22c está polarizado en 1 mA y tiene $k = 0{,}5$ mA/V^2, hallar la ganancia de tensión y la resistencia de salida si $R_e = 5$ kΩ y $R_L = 2$ kΩ. ¿Cómo puede el diseñador disminuir R_o?

Respuesta 0,667, 1 kΩ. Polarizando con mayor corriente de drenador o especificando mayor *W/L* para el transistor.

EJEMPLO 7.7 Suponiendo que el transistor de las Figuras 7.22a y b está polarizado con 1 mA y tiene $k = 0{,}5$ mA/V^2, hallar las expresiones de las ganancias de tensión y corriente. Evaluar las ganancias de corriente y tensión para $R_e = 5$ kΩ, $R_S = 5$ kΩ, $R_P = 2$ MΩ y $R_L = 2$ kΩ.

Solución En vez de analizar directamente la Figura 7.22b podemos explotar las similitudes entre las Figuras 7.22b y c. En la primera, la corriente del transistor $g_m v_{gs}$ circula a través de $R_{LL} = R_S || R_L$ en lugar de R_L. Así, la ganancia de tensión de (7.41) se convierte en

$$A_v = \frac{v_o}{v_{gd}} = \frac{g_m R_{LL}}{1 + g_m R_{LL}} = \frac{10^{-3}(5\text{ k}\|2\text{ k})}{1 + 10^{-3}(5\text{ k}\|2\text{ k})} = 0{,}588$$

En la Figura 7.22b, la corriente de entrada es v_{gd}/R_P y la corriente de salida es v_o/R_L. Así, tenemos

$$A_i = \frac{R_P v_o}{R_L v_{gd}} = \frac{R_P}{R_L}\frac{g_m R_{LL}}{1+g_m R_{LL}} = \frac{2\times 10^6}{2\times 10^3}0{,}588 = 588$$

❑

7.6.2 AMPLIFICADOR EN COLECTOR COMÚN (SEGUIDOR DE EMISOR)

El circuito *seguidor de emisor* o *colector común* es muy conocido por su elevada ganancia de corriente, ganancia de tensión menor que uno, alta resistencia de entrada y baja resistencia de salida igual que el seguidor de fuente. En su forma discreta se parece a la Figura 7.22a excepto en el transistor. En el problema 7.39 se darán los resultados del análisis para un seguidor de emisor discreto. Aquí nos concentraremos en la versión integrada, representada por los circuitos de pequeña señal de las Figuras 7.23a y b.

Comparando estos circuitos, es obvio que la ganancia de corriente del seguidor de emisor es

$$A_i = \frac{i_o}{i_i} = \beta + 1 \tag{7.43}$$

Como la corriente de emisor es siempre (β + 1) veces la de base, las resistencias quedan multiplicadas o divididas por (β + 1), propiedad útil para reducir los efectos de la carga a la entrada o a la salida. Veremos primero que la resistencia de carga se multiplica para proporcionar alta impedancia de entrada. La consecuencia de este desarrollo será un método muy sencillo para hallar la ganancia de tensión del seguidor de emisor. Después, examinaremos la forma en que el circuito divide la resistencia para dar una baja resistencia de salida.

En la Figura 7.23b las corrientes i_b y βi_b se unen en el emisor y circulan juntas por R_L produciendo una tensión

$$v_o = [(\beta+1)i_b]R_L = [(\beta+1)R_L]i_b$$

Consideremos el circuito sustituido por su equivalente, Figura 7.23c en el que la corriente i_b circula a través de la resistencia multiplicada, $(\beta+1)R_L$. Como vemos, esto produce la misma tensión de salida que el circuito original. Como la Figura 7.23c es equivalente a las Figuras 7.23a y b, la resistencia de entrada del seguidor de emisor es

$$R_i = r_\pi + (\beta+1)R_L \tag{7.44}$$

y su ganancia de tensión es

$$A_v = \frac{v_o}{v_b} = \frac{(\beta+1)R_L}{r_\pi + (\beta+1)R_L} \tag{7.45}$$

Al cambio que convierte la Figura 7.23b en la 7.23c la llamaremos "*transformación de resistencia*".

Para hallar la resistencia de salida, como se definió en la Figura 7.23a, sustituimos R_L por una fuente de prueba y eliminamos la señal como en la Figura 7.23d.

Según este circuito,

$$i_{test} = -(\beta+1)i_b = -(\beta+1)\frac{-v_{test}}{r_\pi + R_i}$$

que significa

$$R_o = \frac{v_{test}}{i_{test}} = \frac{r_\pi + R_i}{(\beta+1)} \quad (7.46)$$

Concluimos que en el seguidor de emisor, Figura 7.23a, la resistencia de la fuente R_e y la del transistor r_π se dividen para producir una baja resistencia de salida (7.46).

Hemos demostrado que los seguidores de fuente y emisor tienen ganancia de tensión de aproximadamente uno, alta resistencia de entrada, baja resistencia de salida, atributos que recuerdan al seguidor con operacionales estudiado en el Capítulo 2. Como ellos, los seguidores con transistores son útiles como *buffers* que contribuyen a la ganancia de potencia reduciendo el efecto de carga de entrada y salida. Cuando estudiemos la respuesta frecuencial en el Capítulo 8, la realimentación en el 9 y los amplificadores de potencia en el 10, apreciaremos mejor estos circuitos.

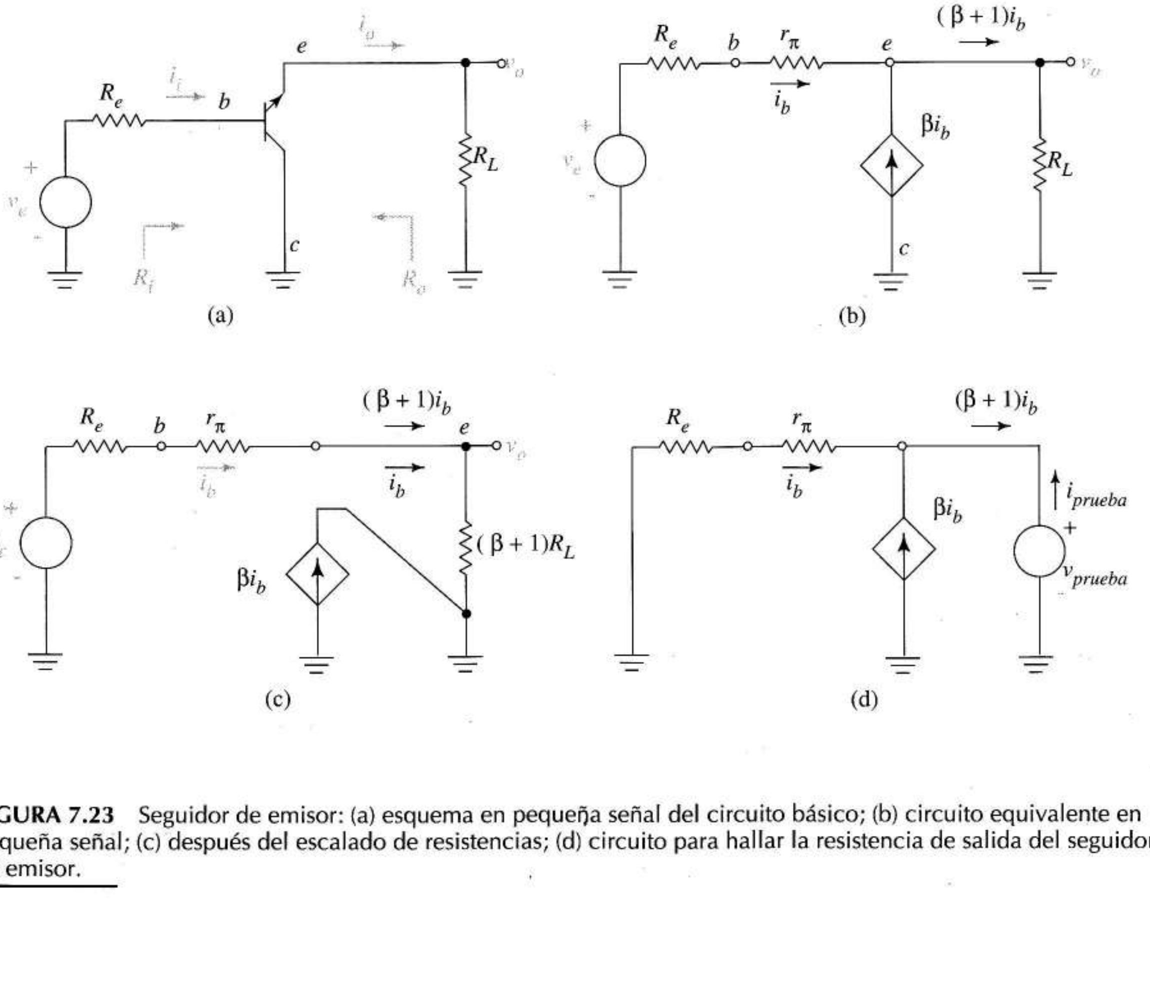


FIGURA 7.23 Seguidor de emisor: (a) esquema en pequeña señal del circuito básico; (b) circuito equivalente en pequeña señal; (c) después del escalado de resistencias; (d) circuito para hallar la resistencia de salida del seguidor de emisor.

Escalado de resistencia en los bipolares En el esquema en pequeña señal de las Figuras 7.24a y b se aprecia de forma general *la importancia del escalado de resistencias* que usaremos frecuentemente en los capítulos que quedan. Las consecuencias de este escalado en el seguidor de emisor se aplican también cuando hay alguna conexión al colector, como la carga, siempre que r_o sea suficientemente grande. La entrada está definida por la base y el nodo z (que no necesita estar a masa); cualquier resistencia R entre el emisor y el nodo z se multiplica por $(\beta + 1)$ antes de añadirlo a r_π; en la salida, definida por el emisor y el nodo z en la Figura 7.24b, la resistencia Thèvenin R_{TH} se añade a r_π y las dos se dividen por $(\beta + 1)$. Aunque la última prueba dependa del equivalente en pequeña señal del transistor, se suele aplicar el resultado directamente sobre el esquema en pequeña señal.

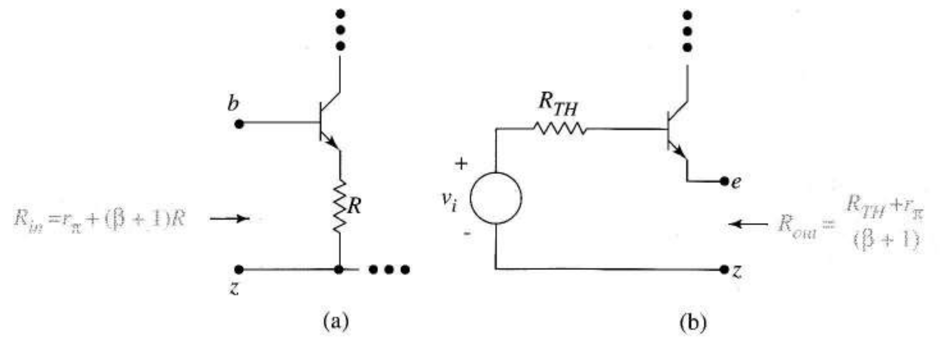


FIGURA 7.24 Escalado de resistencias para el bipolar: (a) en la base; (b) en el emisor.

EJEMPLO 7.8 Hallar R_i para el circuito de la Figura 7.14a usando el escalado de resistencias mejor que un análisis directo. Sabemos que $r_\pi = 1{,}21$ kΩ y $\beta = 100$.

Solución Mirando directamente entre base y masa, a la derecha de 47 k y 68 k vemos

$$R_{i1} = 21{,}1 \text{ k} + (100 + 1)4 \text{ k} = 425 \text{ k}$$

En el circuito en pequeña señal, esta resistencia está en paralelo con $R_P = 47 \text{ k}\|68 \text{ k}\Omega = 27{,}8 \text{ k}\Omega$. Así

$$R_i = R_{i1}\|R_P = 425 \text{ k}\|(47 \text{ k}\|68 \text{ k}) = 26{,}1 \text{ k}$$

Observemos que la resistencia de polarización R_P reduce la efectividad de la transformación en la entrada del amplificador. ❑

Ejercicio 7.9 En la Figura 7.14b la resistencia de emisor R_{E1} entre emisor y masa ve una resistencia de salida R_o. Desde el punto de vista de R_{E1}, el circuito es el mismo que el de la Figura 7.24b. Hallar la expresión de R_o en función de R_i y R_P explotando esta observación y después evaluar la expresión usando los valores de la Figura 7.14b donde R_{E1} es la resistencia de 4 kΩ. Sabemos que $r_\pi = 21{,}1$ kΩ y $\beta = 100$.

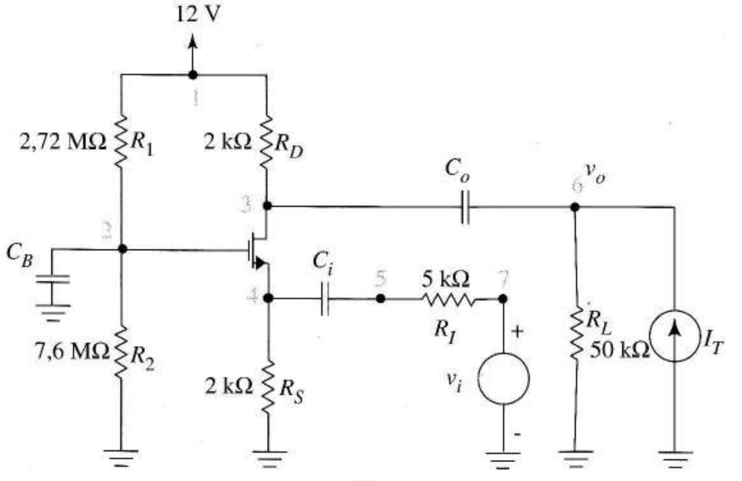
Respuesta $R_o = 251\ \Omega$.

7.7 ANÁLISIS SPICE EN PEQUEÑA SEÑAL

El análisis en pequeña señal de SPICE da valores numéricos precisos para magnitudes como las ganancias de corriente y tensión y las resistencias de entrada y salida. Esto nos permite verificar los

cálculos manuales y ayudarnos a valorar la importancia de las variaciones de los parámetros secundarios como el efecto del sustrato o la resistencia de salida que se suelen omitir para hacer más cómodo el análisis manual. El SPICE analiza en continua con ecuaciones no lineales de gran señal para calcular el punto Q de cada transistor y antes del análisis en alterna calcula los parámetros de pequeña señal como g_m, r_π, y r_o en ese punto Q. Si incluimos la sentencia .OP, el SPICE los incluye en el fichero de salida.

Cuando especificamos análisis en alterna e incluimos una fuente de alterna y una frecuencia o margen de frecuencias, el SPICE construye el apropiado modelo lineal de pequeña señal para el punto Q calculado y hace el análisis senoidal en permanente para calcular las tensiones y corrientes solicitadas en forma fasorial. Como el SPICE linealiza el modelo y la amplitud de entrada no está determinada, todas las salidas son proporcionales a esa excitación. Entonces, para hallar la ganancia de tensión mediante el análisis de alterna SPICE, aplicamos una señal de 1 V a la entrada; el valor del fasor de salida resultante es la ganancia de tensión, aun pudiendo haber saturado o cortado el modelo no lineal del amplificador. Hemos reemplazado los condensadores de acoplo y desacoplo por cortocircuitos en el análisis de pequeña señal. En SPICE, podemos asignarles valores muy grandes como 1000 F ocasionando buenos cortocircuitos a 1000 Hz. En el próximo capítulo veremos valores más reales para estos condensadores.



(a)

```
EXAMPLE 7.9
COMMON GATE AMPLIFIER
VDD 1 0 DC 12
R1 1 2 2.72E6
R2 2 0 7.6E6
RD 1 3 2K
RS 4 0 2K
RI 5 7 5K
RL 6 0 50K
CB 2 0 1000
CIN 4 5 1000
COUT 3 6 1000
VIN 7 0 AC 1
IT 0 6 AC 0
M1 3 2 4 0 TRAN
.MODEL TRAN NMOS VTO=2
+KP=0.5E-3 LAMBDA=0.01
*+GAMMA=0.37
.AC LIN 1 1000 1000
.PRINT AC V(6)
.PRINT AC I(VIN)
.END
```

(b)

FIGURA 7.25 (a) Amplificador en puerta común; (b) código SPICE para hallar la ganancia de tensión y las resistencias de entrada y salida.

EJEMPLO 7.9 Calcular con SPICE la ganancia de tensión y las resistencias de entrada y salida del amplificador de la Figura 7.25a definiéndolas para el propio amplificador, es decir, entre fuente y masa para la entrada y drenador y masa para la salida. Los valores de los parámetros son $k = 0{,}5$ mA/V^2, $V_t = 2$ V y $V_A = 100$ V.

Solución La Figura 7.25b es el código SPICE. La sentencia .AC solicita un análisis en alterna a una única frecuencia de 1 kHz. Los condensadores de 1000F permiten la correcta polarización resultando cortocircuitos a los

1.000 Hz de la señal de test. El generador de test IT, inicialmente desconectado, es decir en circuito abierto, se conecta para medir la resistencia de salida. La primera ejecución de SPICE ignora el efecto del sustrato ya que el asterisco convierte GAMMA = 0,37 en un comentario. En la siguiente ejecución se suprimirá el asterisco.

Al comprobar los resultados SPICE, como en el laboratorio, el primer examen de los valores de continua revela los problemas de conexión y los errores graves y siempre será el primer paso. Aquí, este primer paso da valores de continua razonables para las corrientes del transistor y las tensiones en los nodos.

Como A_v y R_i se definen en relación con la entrada del amplificador (nodo 5), el valor de la resistencia del generador se cambió a 0,0001 Ω, un cortocircuito de hecho. Cuando se aplica una tensión alterna VIN = 1 V, V(6) es el valor numérico de la ganancia de tensión e I(VIN) es, salvo por el signo, la inversa de la resistencia de entrada. El análisis SPICE dio como resultado $A_v = 2{,}72$ y $R_i = 522\ \Omega$. Al introducir el efecto del sustrato se alteran algo los niveles de continua de la tensión en fuente y drenador dando $A_v = 2{,}85$ y $R_i = 505\ \Omega$. Para el amplificador en puerta común ¡ambos cambios son mejoras!

Para hallar la resistencia de salida, desconectaremos (hacemos cero) VIN, restablecemos el valor inicial de RI 5 kΩ y cambiamos IT a 1 A. Como R_o se define mirando a la izquierda de RL, subimos RL a 1000 MΩ en la simulación, es decir, un circuito abierto. En estas condiciones, V(6) es, numéricamente, la resistencia de salida del amplificador. Debido a RD, su valor es de 2 kΩ como esperábamos. ❑

Ejercicio 7.10 ¿Cuánto se acercan al cortocircuito los condensadores de la Figura 7.25b? Calcular el valor de su impedancia.

Respuesta $|Z_C| = 1{,}59 \times 10^{-7}\Omega$.

7.8 AMPLIFICADORES CON VARIOS TRANSISTORES

Los circuitos de las secciones precedentes en emisor/fuente común, base/puerta común y colector/drenador común son bloques fundamentales en la mayoría de los diseños integrados. Veremos ahora dos formas de capitalizar mejor las propiedades de estos amplificadores elementales. La primera es combinar amplificadores elementales en amplificadores multietapa. La otra es usar cargas activas para explotar las capacidades intrínsecas de los transistores, técnica que podemos extender a los amplificadores con varios transistores. Empecemos revisando y comparando las propiedades de los amplificadores elementales con bipolares. Las de los FET son muy parecidas.

7.8.1 RESUMEN DE AMPLIFICADORES CON UN TRANSISTOR

La Tabla 7.1 resume los resultados clave de las secciones precedentes. Las expresiones de R_o suponen una resistencia interna de la fuente R_e que no está en los diagramas.

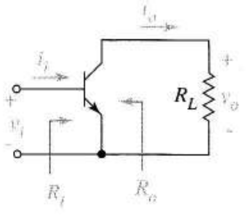
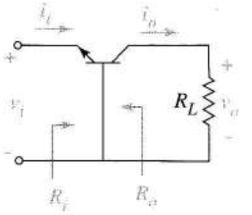
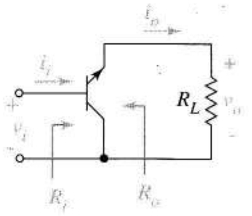
En relación con el circuito en emisor común, la conexión en base común ofrece una división de la resistencia de entrada y una multiplicación de la de salida, ambas, por un factor $(\beta + 1)$ si $R_e >> r_\pi$. La ganancia de tensión es la misma, salvo en el signo, pero la ganancia de corriente es más o menos uno.

El seguidor de emisor tiene esencialmente la misma ganancia de corriente del amplificador en emisor común pero su ganancia de tensión es menor que uno. Debido al término $(\beta + 1)R_L$ en la resistencia de entrada es fácil alcanzar grandes valores con este circuito. La de salida es mucho menor.

7.8.2 AMPLIFICADORES CON DOS TRANSISTORES

En la Figura 7.26 aparecen los esquemas en pequeña señal de tres amplificadores con dos transistores muy populares. Suponemos que los dos transistores en cada circuito tienen las mismas corrientes de polarización, lo que a menudo vemos en la polarización en circuitos integrados. Para relacionar sus propiedades con las de los amplificadores individuales usaremos los resultados de la Tabla 7.1.

TABLA 7.1 Configuración tradicional del amplificador BJT

Nombre	Esquema en pequeña señal	A_v	A_i	R_i	R_o
Emisor común		$-g_m R_L$	$-\alpha$	r_π	r_o
Base común		$g_m R_L$	α	$\dfrac{r_\pi}{\beta+1} = r_e$	$r_o[1 + g_m(R_e \,//\, r_\pi)]$
Seguidor de emisor		$\dfrac{(\beta+1)R_L}{(\beta+1)R_L + r_\pi}$	$(\beta+1)$	$r_\pi + (\beta+1)R_L$	$\dfrac{R_e + r_\pi}{\beta+1}$

Amplificador cascodo El circuito emisor común/base común de la Figura 7.26a se conoce más como *configuración cascodo*. Su resistencia de entrada es r_π, la de la etapa en emisor común. Como la carga de Q_1 es la pequeña resistencia r_e de la etapa en base común, la ganancia de tensión es sólo de

$$-g_m r_e = -g_m \frac{r_\pi}{\beta+1} = \frac{-\beta}{\beta+1} \approx -1$$

aunque su ganancia de corriente es $-\beta$. El transistor Q_2 tiene ganancia de corriente α , dando una ganancia global de corriente de

$$\frac{i_o}{i_i} = -\alpha\beta \approx -\beta \tag{7.47}$$

La ganancia total de tensión es

$$A_v = \frac{v_o}{v_i} = \frac{-\alpha\beta i_i R_L}{i_i r_\pi} = -\alpha g_m R_L \approx -g_m R_L \tag{7.48}$$

que puede ser mayor debido a que la segunda etapa tiene elevada ganancia de tensión. Como en el base común Q_2 se gobierna por una fuente de resistencia $R_e = r_o$, la resistencia de salida del cascodo es

$$R_o \approx r_o(\beta+1) \tag{7.49}$$

Estas ecuaciones muestran que el amplificador cascodo bipolar tiene las ganancias de tensión y corriente y resistencia de salida del emisor común combinadas con la alta resistencia de salida del circuito en base común. En el Capítulo 8 veremos que cuando se tienen en cuenta las capacidades parásitas del transistor, este circuito tiene excelente respuesta en alta frecuencia.

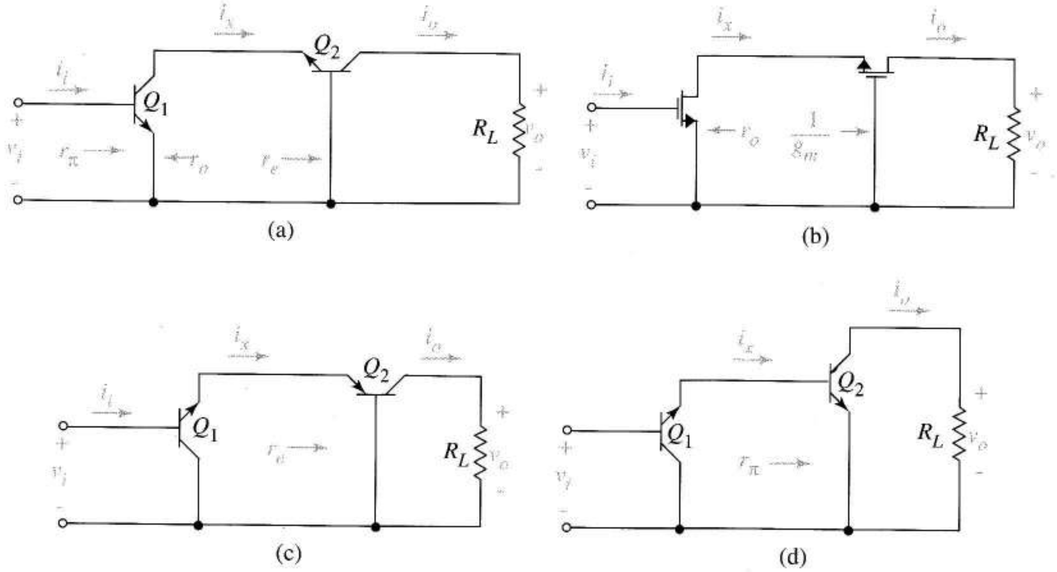


FIGURA 7.26 Amplificadores de dos etapas: (a), (b) en cascada; (c) amplificador CC/BC; (d) amplificador CC/EC.

Ejercicio 7.11 Hallar para el cascodo FET de la Figura 7.26b, la resistencia de entrada, la ganancia de tensión de la primera etapa, la ganancia de tensión global, la ganancia de corriente de la segunda etapa, la ganancia global de corriente y la resistencia de salida.

Sugerencia Utilizar las Ecuaciones (7.30) a (7.33).

Respuesta ∞, -1, $-g_mR_L$, 1, ∞, $r_o(1 + g_mr_o)$.

Amplificador CC/BC[2] La Figura 7.26c muestra un amplificador en colector común/base común. Q_1, del seguidor de emisor, tiene la resistencia de entrada del amplificador en base común, Q_2, como carga. Esta resistencia se multiplica y se suma a la r_π de Q_1 para dar la resistencia de entrada de

$$R_i = r_\pi + (\beta+1)r_e = 2r_\pi \tag{7.50}$$

[2]N. del T. Se usarán las siglas CC, EC y BC para las configuraciones en colector, emisor y base común, en ese orden.

De la Tabla 7.1, la ganancia de tensión de Q_1 es sólo

$$\frac{(\beta+1)r_e}{(\beta+1)r_e+r_\pi}=0{,}5$$

donde hemos usado (7.38); su ganancia de corriente es $\alpha(\beta+1)$. La corriente de salida es $\alpha(\beta+1)i_i$; por ello, la ganancia global de tensión del amplificador CC/BC es

$$G_v=\frac{v_o}{v_i}=\frac{\alpha(\beta+1)i_iR_L}{i_i 2r_\pi}=\frac{[\beta/(\beta+1)](\beta+1)R_L}{2r_\pi}=0{,}5g_mR_L \tag{7.51}$$

donde, de nuevo, la ganancia de tensión se consigue en la etapa de salida.

Amplificador CC/EC La Figura 7.26d es un amplificador CC/EC. Como la resistencia de carga de Q_1 es r_π

$$R_i=r_\pi+(\beta+1)r_\pi=(\beta+2)r_\pi \tag{7.52}$$

La ganancia de tensión de la primera etapa es (Tabla 7.1)

$$\frac{(\beta+1)r_\pi}{(\beta+1)r_\pi+r_\pi}=\frac{(\beta+1)}{(\beta+2)}\approx 1$$

Las ganancias de corriente de la primera y segunda etapa son, respectivamente, $(\beta+1)$ y $-\beta$ dando una ganancia global de

$$A_i=-\beta(\beta+1) \tag{7.53}$$

La ganancia de tensión es

$$\begin{aligned}A_v&=\frac{i_oR_L}{i_iR_i}=A_i\frac{R_L}{R_i}\\&=-\beta(\beta+1)\frac{R_L}{(\beta+2)r_\pi}\approx -g_mR_L\end{aligned} \tag{7.54}$$

En los tres circuitos con dos transistores, la etapa de salida desarrolla la ganancia de tensión, aunque la ganancia de corriente de la primera incrementa significativamente la ganancia de potencia de la configuración. En el Capítulo 8 veremos que estas etapas y las correspondientes con FET tienen ventajas sobre las simples en cuanto a respuesta frecuencial. Los problemas propuestos analizan las versiones con FET de las Figuras 7.26c y d, denominados drenador común/puerta común y drenador común/fuente común, respectivamente.

Par Darlington El *par Darlington*, Figura 7.27a, es un pariente cercano del de la Figura 7.26d con la misma ganancia de corriente pero se suele ver como un *transistor equivalente* de muy alta. El equivalente en pequeña señal de la Figura 7.27b muestra que con transistores idénticos

$$i_c=\beta i_b+\beta i_x=\beta i_b+\beta(\beta+1)i_b\approx\beta^2 i_b$$

Por la transformación de la resistencia, la r_π de Q_2 se multiplica y añade a la r_π de Q_1 para dar

$$R_i=r_\pi+(\beta+1)r_\pi\approx(\beta+1)r_\pi$$

como se indica en el equivalente de la Figura 7.27c. En el problema 7.60 obtendremos el equivalente en gran señal de la Figura 7.27d. A veces se añade una fuente de corriente al par Darlington como en la Figura 7.27e para que ambos se polaricen a corrientes de colector comparables; a veces se usa una resistencia para este mismo fin.

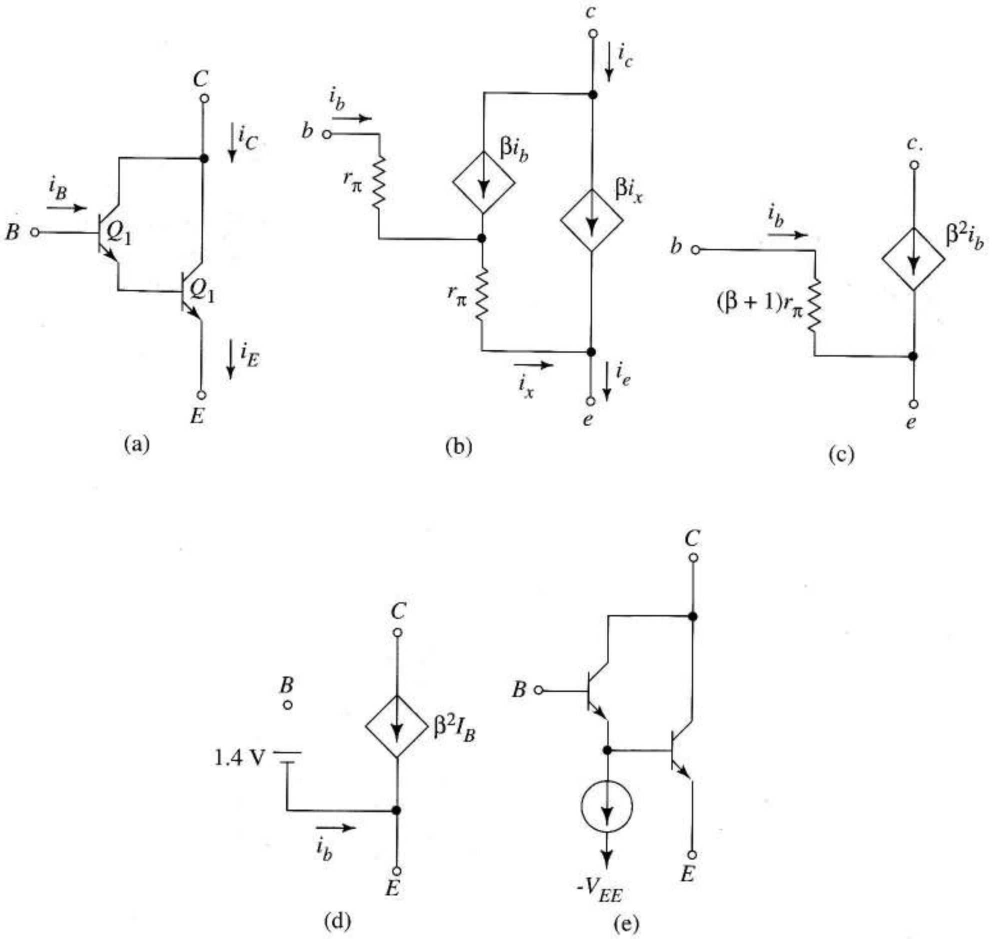


FIGURA 7.27 Par Darlington: (a) conexión real; (b) equivalente en pequeña señal; (c) modelo en pequeña señal; (d) modelo de gran señal; (e) con corriente de polarización adicional.

El Darlington se puede usar para sustituir al transistor en los seguidores de emisor de las etapas de salida de los amplificadores. El par proporciona menor resistencia de salida por la división de la resistencia de salida del amplificador precedente en $(\beta^2 + 1)$ en lugar de $(\beta + 1)$ y asegura gran ganancia de potencia ya que su corriente de entrada es pequeña.

Como los transistores pnp integrados tienen bajos valores de en algunas tecnologías de fabricación, los pnp construidos con Darlington se suelen usar para proporcionar alta ganancia de corriente. La Figura 7.28 da otro camino para obtener un equivalente de alta beta de un transistor pnp. Podemos usar los modelos de pequeña señal para obtener la equivalencia de esta conexión con un transistor pnp con $\beta \approx \beta_p \beta_n$ y $r_\pi = r_{\pi p}$ donde los subíndices p y n relacionan los parámetros con los transistores que constituyen el sistema. Como en el par Darlington, la fuente de corriente de conti-

nua o la resistencia de polarización se suele añadir al circuito para obtener mayor corriente de colector que la corriente de base del transistor de salida.

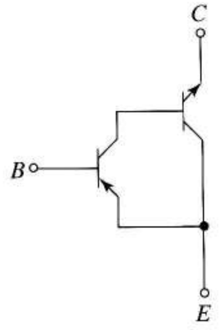


FIGURA 7.28 Transistor pnp compuesto.

Amplificador MOS con resistencia de carga FET La Figura 7.29a muestra un amplificador en fuente común que usa un diodo creado con un transistor de enriquecimiento. Ignorando el efecto del sustrato en M_L, el modelo de pequeña señal de la Figura 7.29b indica que la ganancia de tensión es

$$A_v = -\frac{g_{mA}}{g_{mL}}$$

donde g_{mA} y g_{mL} son respectivamente las transconductancias del transistor del amplificador, M_A y de carga M_L. Como la corriente I_D es común a los dispositivos, (7.4) implica

$$A_v = -\sqrt{\frac{k_A}{k_L}} = \sqrt{\frac{(W/L)_A}{(W/L)_L}} \tag{7.55}$$

Esto indica que la ganancia depende de W/L en los transistores del amplificador y de carga. Una interesante característica es que este amplificador puede adaptarse sorprendentemente a grandes señales sin distorsión ya que la recta de carga no lineal (cuadrática) de la Figura 5.20b compensa exactamente el espaciado no uniforme (cuadrático) de las características de salida del transistor.

La Figura 7.29c es una de las más elegantes soluciones, el amplificador complementario simétrico MOS (CMOS). Como el circuito básico se usa también como inversor lógico, lo estudiaremos en detalle en el Capítulo 13. Aquí sólo indicamos que sin la resistencia R la función de transferencia tiene la forma de la curva en la Figura 7.29d, donde la parte vertical de la curva es una región de muy alta ganancia. Como las corrientes de puerta son nulas, la resistencia R obliga a que el punto Q se sitúe en la curva a trazos $v_o = v_i$ polarizando el transistor en la zona de alta ganancia. Como las fuentes de los transistores de canal p y n se conectan, respectivamente, al punto más positivo y más negativo del circuito, ninguno de los dos sufre el efecto del sustrato. En el problema 7.63 usaremos un modelo de pequeña señal para hallar la ganancia.

7.8.3 SUBCIRCUITOS DE CARGA ACTIVA

Los amplificadores operacionales y otros circuitos integrados necesitan subcircuitos con alta ganancia de tensión. Como los amplificadores en emisor/fuente común y base/puerta común así como alguna de las configuraciones de dos transistores tienen ganancias de tensión

$$|A_v| = g_m R_L$$

los métodos que consiguen elevadas R_L son muy interesantes. Ya hemos visto que podemos obtener valores razonables de ganancia evitando el excesivo espacio en el chip o pasos extra de fabricación usando resistencias no lineales de carga mediante transistores conectados adecuadamente. Podemos lograr mayor ganancia usando la propia resistencia de salida del transistor como R_L.

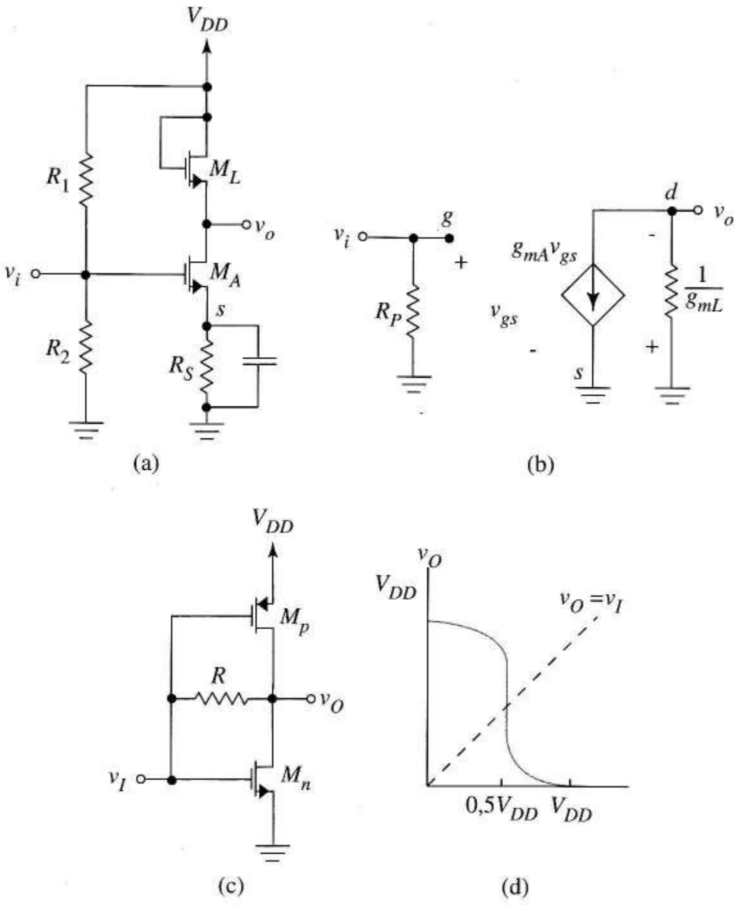


FIGURA 7.29 Amplificadores con dos transistores: (a) amplificador con carga de enriquecimiento; b) equivalente en pequeña señal del amplificador con carga de enriquecimiento; (c) amplificador CMOS; (d) función de transferencia y punto de trabajo del amplificador CMOS.

Ganancia intrínseca de los transistores Las Figuras 7.30a y b nos introducen en la idea clave. Como las fuentes de corriente sustituyen a las resistencias pasivas de polarización, se denominan amplificadores con *carga activa*. Sus equivalentes en pequeña señal de las Figuras 7.30c y d muestran que ambos tienen ganancia de tensión

$$A_v = -g_m r_o = -\mu \tag{7.56}$$

que *depende sólo de los parámetros del transistor*. El producto $\mu = g_m r_o$ es la *ganancia intrínseca del transistor*, un parámetro indicativo de la *ganancia de tensión que el transistor tiene por sí mismo*.

En los bipolares, sustituyendo (7.13) y (7.14) da

$$\mu = \frac{I_C}{V_T}\frac{V_A}{I_C} = \frac{V_A}{V_T} \tag{7.57}$$

Aunque g_m y r_o dependen por separado de I_C, la *ganancia intrínseca del bipolar es independiente del punto Q*. Para valores como $V_A = 120$ V y $V_T = 0{,}025$ V, $\mu = 4.800$. Para el MOSFET, las Ecuaciones (7.4) y (5.26) dan

$$\mu = \sqrt{\frac{2k}{I_D}}V_A \tag{7.58}$$

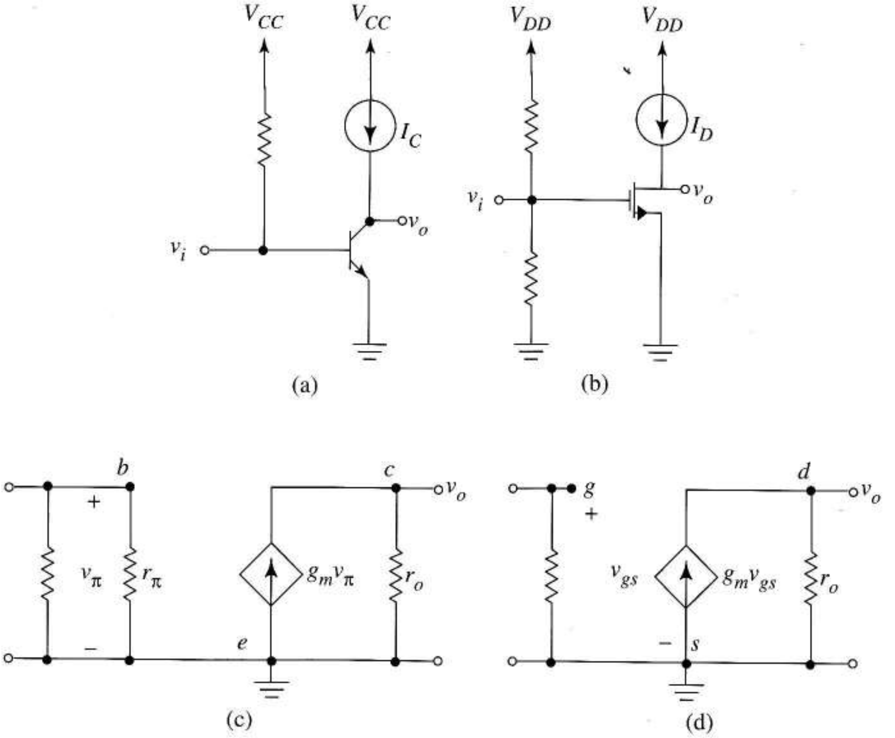


FIGURA 7.30 Amplificadores de alta ganancia: (a) bipolar; (b) FET; (c) modelo en pequeña señal para el amplificador con bipolar; (d) ídem para el que usa FET.

que indica que la ganancia intrínseca del MOSFET baja con la corriente de polarización. Para $V_A = 80$ V y $k = 10^{-3}$A/V^2, un FET polarizado con 0,02 mA tiene $\mu = 800$ con lo que también es posible ganancia elevada en circuitos FET de una sola etapa. Obsérvese que ambos circuitos tienen $R_o = r_o$, la propia resistencia del transistor.

Los circuitos particulares de la Figura 7.30 introducen la idea de la carga activa de forma simple; sin embargo, los transistores tienen ganancia tan grande que es difícil polarizarlos en sus zonas activas ya que los valores de las resistencias son demasiado críticas. Después de que se estudien los amplificadores diferenciales en la próxima sección, mejoraremos nuestro conocimiento de la forma real de polarización. Mientras tanto, analizaremos las técnicas de carga activa utilizando esquemas en pequeña señal que suponen adecuada polarización.

Amplificador en puerta común con carga activa El amplificador en puerta común con carga activa de las Figuras 7.31a y b da una alta ganancia en circuito abierto. Aplicando la ley de Kirchhoff de las corrientes a la salida (Figura 7.31b) da

$$\frac{v_o - v_i}{r_o} + g_m(-v_i) = 0$$

Despejando v_o/v_i da

$$A_v = 1 + \mu \approx \mu \tag{7.59}$$

Ya obtuvimos las resistencias de entrada y salida de este amplificador, (7.32) y (7.33), respectivamente; las damos a continuación al completo, llamando a la resistencia de la fuente de señal R_e

$$R_i = \frac{1}{g_m} \tag{7.60}$$

$$R_o = r_o\left(1 + g_m R_e\right) \tag{7.61}$$

El problema 7.64 muestra que la ganancia en circuito abierto del amplificador en base común con carga activa es también μ.

Ahora analicemos algunos circuitos cascodo con dos, tres resistencias y carga activa que son capaces, también, de producir altas ganancias de tensión. Como antes, ignoramos la resistencia de salida de las fuentes de corriente para simplificar el análisis y demostrar mejor las capacidades inherentes de los circuitos.

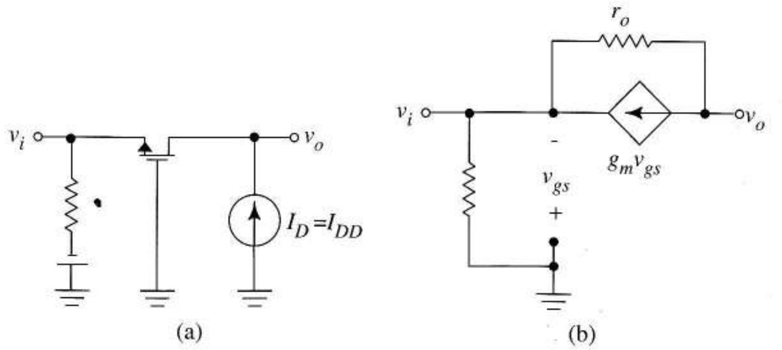


FIGURA 7.31
Circuito básico en puerta común con carga activa:
(a) esquema;
(b) circuito equivalente en pequeña señal.

La Figura 7.32a muestra el esquema en pequeña señal del amplificador cascodo con carga activa MOS. (La fuente ideal de carga entre el drenador de M_2 y masa ha sido desconectada). En la Figura 7.32b cada corriente dependiente sólo circula a través de la resistencia de su propio terminal; por lo tanto,

$$v_o = -v_{gs2} - g_{m2} r_{o2} v_{gs2} = -\left(1 + \mu_2\right) v_{gs2}$$

y

$$v_{gs2} = r_{o1} g_{m1} v_i = \mu_1 v_i$$

Sustituyendo v_{gs} y despejando v_o/v_i da la ganancia en circuito abierto

$$A_v = \frac{v_o}{v_i} = \mu_1\left(1 + \mu_2\right) \approx -\mu_1 \mu_2 \tag{7.62}$$

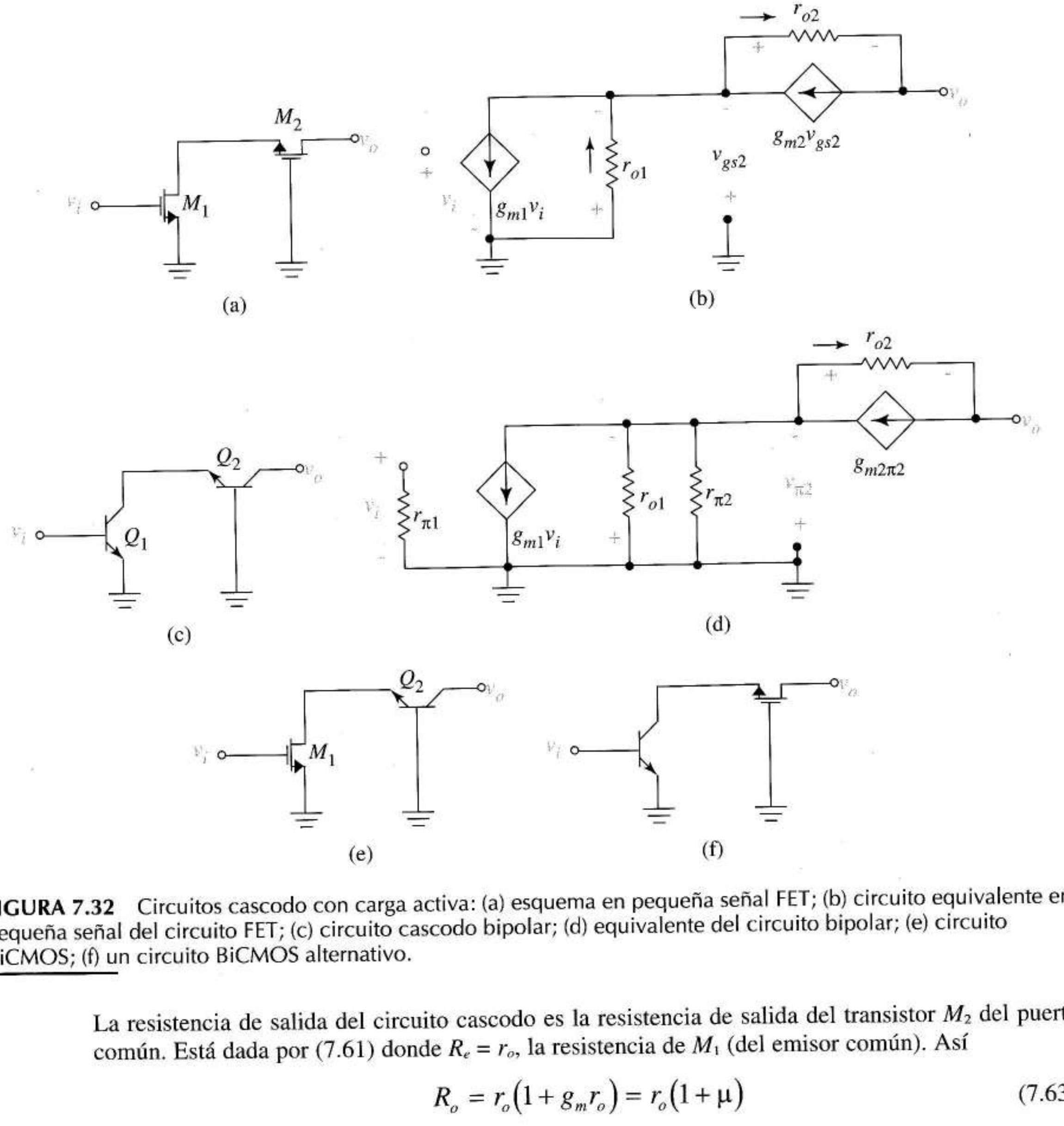


FIGURA 7.32 Circuitos cascodo con carga activa: (a) esquema en pequeña señal FET; (b) circuito equivalente en pequeña señal del circuito FET; (c) circuito cascodo bipolar; (d) equivalente del circuito bipolar; (e) circuito BiCMOS; (f) un circuito BiCMOS alternativo.

La resistencia de salida del circuito cascodo es la resistencia de salida del transistor M_2 del puerta común. Está dada por (7.61) donde $R_e = r_o$, la resistencia de M_1 (del emisor común). Así

$$R_o = r_o\left(1 + g_m r_o\right) = r_o\left(1 + \mu\right) \tag{7.63}$$

(Utilizando la misma notación para las resistencias de salida de M_1 y M_2 suponemos que ambas tienen la misma tensión Early y corriente de drenador.)

La Figura 7.32c es el cascodo bipolar con carga activa. Observemos que en su equivalente, Figura 7.32d, la aproximación $r_{\pi2} \| r_{o1} \approx r_{\pi2}$ crea un circuito de la misma estructura que la Figura 7.32b donde $r_{\pi2}$ sustituye a r_{o1}. Así, $g_{m1}r_{\pi2}$ sustituye a μ_1 en la Ecuación (7.62) y la ganancia es

$$A_v = -g_{m1}r_{\pi2}\left(1 + \mu_2\right) \approx -\beta_2\mu_2 \tag{7.64}$$

La sustitución $g_{m1}r_{\pi2} = \beta_2$ supone que los dos transistores tienen la misma corriente de colector y, por ello, la misma g_m. La resistencia de salida la da la Ecuación (7.49)

$$R_o = r_o(\beta_1 + 1)$$

Las Figuras 7.32e y f muestran las estructuras híbridas del cascodo disponibles en tecnología BiCMOS que combina los bipolares con los MOS de simetría complementaria. Salvo por la ausencia de $r_{\pi1}$, el equivalente de la Figura 7.32e es el mismo que el de la Figura 7.32d. En el problema 7.67 hallaremos para este circuito

$$A_v \approx -g_{m1}r_{\pi2}g_{m2}r_{o2} = -g_{m1}\beta_2 r_{o2} = -\frac{g_{m1}}{g_{m2}}\beta_2\mu_2 \qquad (7.65)$$

El amplificador de la Figura 7.32f tiene la misma estructura que el de la Figura 7.32b salvo por $r_{\pi1}$ en los nodos de entrada, que no afecta al análisis. Sin embargo, su ganancia y resistencia de salida son las dadas por las Ecuaciones (7.62) y (7.63). Para los cuatro cascodos, vemos que los circuitos con cargas activas tienen ganancias que superan las propias de cada transistor.

Doble cascodo con carga activa Las Figuras 7.33a y b describen el *amplificador cascodo doble* con MOSFET. De nuevo las corrientes quedan confinadas a sus bucles individuales, dando

$$v_x = g_{m1}r_{o1}v_i$$

$$-v_y = -v_x - g_{m2}r_{o2}v_x$$

y

$$v_o = -v_y - g_{m3}r_{o3}v_y$$

Sustituyendo da

$$v_o = -\mu_1 v_i - \mu_2(\mu_1 v_i) - \mu_3[\mu_1 v_i + \mu_2(\mu_1 v_i)]$$

y la expresión final

$$\frac{v_o}{v_i} = -[1 + \mu_2 + \mu_3(1 + \mu_2)]\mu_1 \approx \mu_3\mu_2\mu_1 \qquad (7.66)$$

Ejercicio 7.12 Con los resultados obtenidos, hallar la resistencia de salida del doble cascodo de la Figura 7.33a sabiendo que los transistores y sus corrientes de drenador son idénticas.

Respuesta $R_o = r_{o3}[1 + g_{m3}r_{o2}(1 + g_{m2}r_{o1})] \approx \mu^2 r_o$.

En las Figuras 7.33c y d aparece un amplificador BiCMOS doble cascodo muy habitual. Como $r_{\pi2} << r_{o1}$, el circuito equivalente se simplifica en tres bucles aislados de dos elementos a través de los cuales circulan sus respectivas corrientes. De las leyes de Kirchhoff

$$v_o = -v_x - \mu_2 v_x - \mu_3 v_y$$

y

$$v_y = v_x(1+\mu_2)$$

Sustituyendo v_y da

$$v_o = -(1+\mu_2)v_x - \mu_3(1+\mu_2)v_x = -(1+\mu_2+\mu_3+\mu_2\mu_3)v_x$$

Pero con $r_{o1} \| r_{\pi 2} \approx r_{\pi 2}$ vemos que

$$v_x = g_{m1} r_{\pi 2} v_i$$

Así, que la ganancia es

$$A_v = \frac{v_o}{v_i} = -(1+\mu_2+\mu_3+\mu_2\mu_3) g_{m1} r_{\pi 2} \approx -\mu_2\mu_3 g_{m1} r_{\pi 2}$$

Si Q_1 y Q_2 tienen la misma corriente de polarización, $g_{m1} = g_{m2}$. De aquí obtenemos la ganancia

$$A_v = -\beta_2\mu_2\mu_3 \tag{7.67}$$

EJEMPLO 7.10 Obtener la resistencia de salida con los resultados previamente obtenidos para el amplificador doble cascodo de la Figura 7.33c suponiendo transistores iguales con la misma polarización.

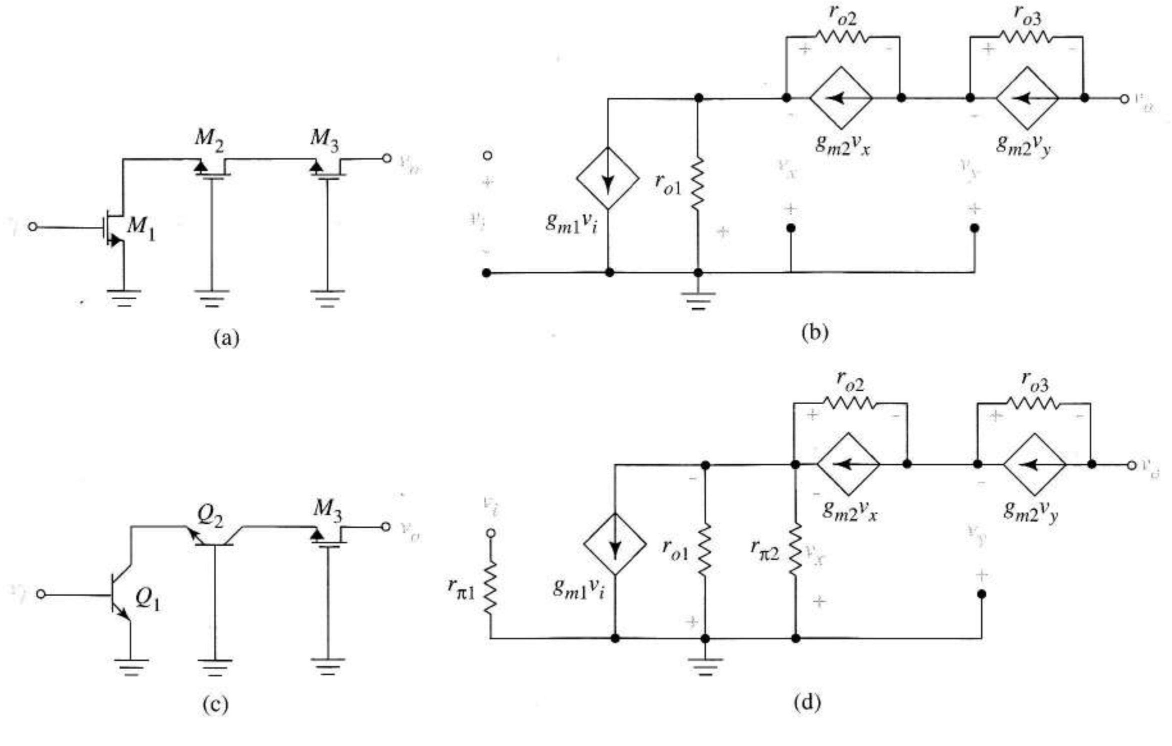


FIGURA 7.33 Circuito doble cascodo con carga activa: (a) esquema en pequeña señal para el MOS; (b) equivalente en pequeña señal para el MOS; (c) esquema en pequeña señal para el BiCMOS; (d) equivalente en pequeña señal para el BiCMOS.

Solución Podemos usar la expresión (7.61) del puerta común para M_3 con la adecuada R_e. Esta última es la resistencia de salida (7.49) del cascodo. Para $\beta >> 1$ esto da

$$R_o = r_{o3}\left(1 + g_{m3}\beta r_{o2}\right) \approx \mu_3 \beta r_{o2}$$ ❑

Como asunto práctico, los circuitos con cargas activas producen menor ganancia de tensión de lo que predecían las ecuaciones debido a que la resistencia de salida de las fuentes de corriente actúan como carga. Es decir, todos los esquemas de pequeña señal desde la Figura 7.30 a la 7.33 deberían tener la resistencia de salida en pequeña señal, R_o, de la fuente de corriente conectada entre la salida y masa. El problema 7.66 estudia este efecto.

7.8.5 RESISTENCIA DE SALIDA DE UNA FUENTE DE CORRIENTE

Los amplificadores con carga activa de las Figuras 7.30 a 7.33 tienen elevada resistencia de salida por sí mismos. Para tener su elevada ganancia, la fuente de colector o de drenador debe tener alta resistencia de salida. Algunas de las fuentes de corriente del Capítulo 6 tienen alta resistencia de salida. Veremos cómo hallar la resistencia de salida de una fuente en pequeña señal. Primero obtendremos un resultado muy general que puede aplicarse a gran variedad de circuitos incluidas algunas fuentes de corriente.

Incremento de R_o con resistencias de fuente o emisor Se puede subir la resistencia de salida añadiendo una resistencia en serie con el emisor (fuente) del transistor de salida. Dejamos el caso FET para el problema 7.75 y estudiamos aquí el caso bipolar.

La Figura 7.34a muestra el esquema equivalente en pequeña señal; R_{TH} es la resistencia Thèvenin que se ve a la entrada del circuito; la Figura 7.34b es el circuito equivalente. La ley de Kirchhoff de corrientes en el colector da, utilizando un divisor de tensión

$$i_{test} = \beta\left[\left(\frac{-R_E}{R_E + R_{TH} + r_\pi}\right) i_{test}\right] + \frac{v_{test} - i_{test} R_P}{r_o}$$
$$= \left(-\beta\frac{R_E}{R_E + R_{TH} + r_\pi} - \frac{R_P}{r_o}\right) i_{test} + \frac{v_{test}}{r_o}$$

BIBLIOTECA

donde $R_P = (R_{TH} + r_\pi) \| R_E$. Despejando v_{test}/i_{test} da

$$R_o = R_P + \left(1 + \beta\frac{R_E}{R_E + R_{TH} + r_\pi}\right) r_o$$

y de aquí se llega a la expresión general

$$R_o \approx \left(1 + \frac{\beta R_E}{R_{TH} + r_\pi + R_E}\right) r_o \qquad (7.68)$$

Se presentan dos casos, ambos mostrando incrementos en la resistencia de salida r_o a partir del valor cuando $R_E = 0$.

Caso 1 Cuando la suma $r_\pi + R_{TH}$ es pequeña, $r_\pi + R_{TH} << R_E$, (7.68) se reduce a

$$R_o = \approx (1+\beta) r_o \tag{7.69}$$

Caso 2 Cuando r_π es grande, $r_\pi >> R_{TH} + R_E$, (7.68) se reduce a

$$R_o = \approx (1 + g_m R_E) r_o \tag{7.70}$$

Veremos ahora que la fuente Widlar es un buen ejemplo del Caso 2.

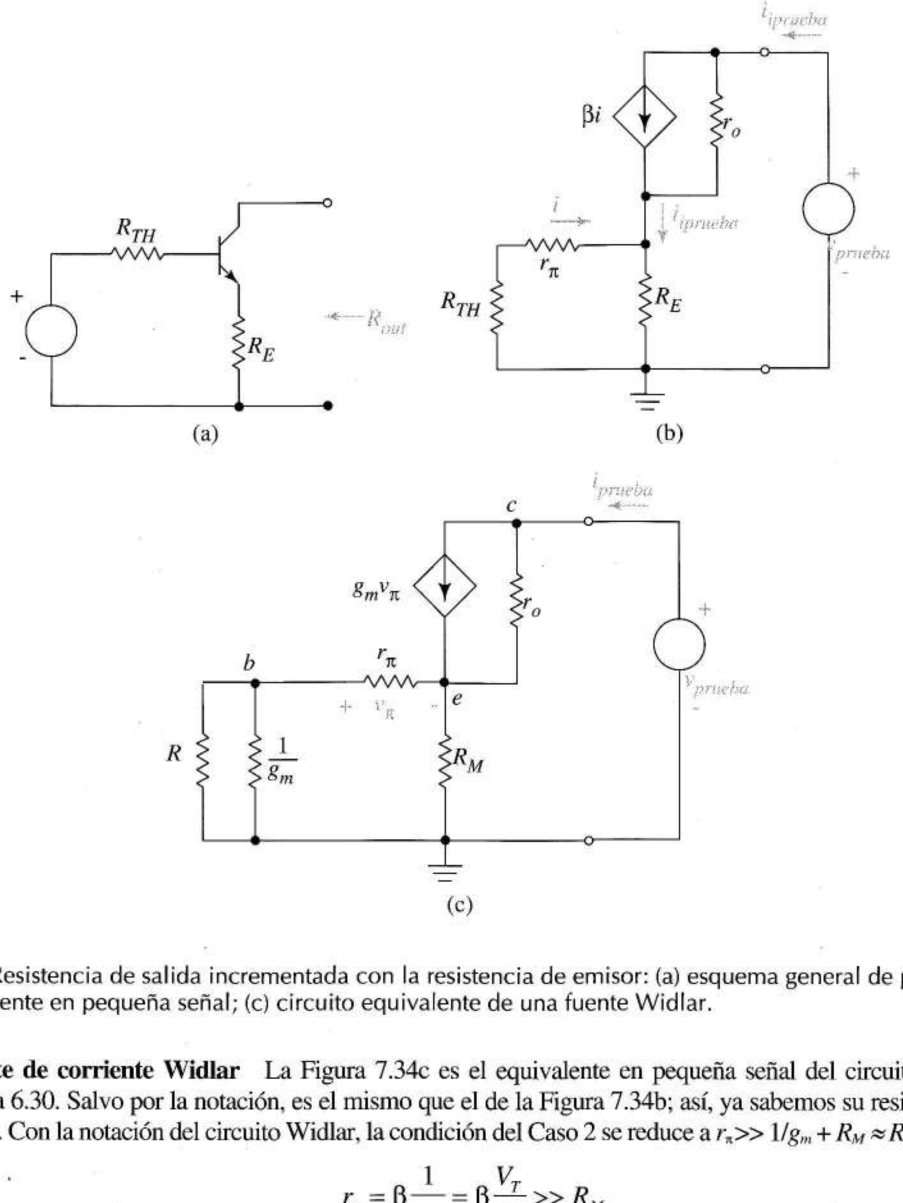


FIGURA 7.34 Resistencia de salida incrementada con la resistencia de emisor: (a) esquema general de pequeña señal; (b) equivalente en pequeña señal; (c) circuito equivalente de una fuente Widlar.

Fuente de corriente Widlar La Figura 7.34c es el equivalente en pequeña señal del circuito Widlar, Figura 6.30. Salvo por la notación, es el mismo que el de la Figura 7.34b; así, ya sabemos su resistencia de salida. Con la notación del circuito Widlar, la condición del Caso 2 se reduce a $r_\pi >> 1/g_m + R_M \approx R_M$, es decir

$$r_\pi = \beta \frac{1}{g_m} = \beta \frac{V_T}{I_O} >> R_M$$

donde I_O suele ser muy pequeña en circuitos Widlar. En función de la ganancia, podemos escribir (7.30) como

$$R_o \approx (1 + g_m R_M) r_o \approx \mu R_M \tag{7.71}$$

Y ahora sabemos el origen de la Ecuación (6.40)

Resistencia de salida de la fuente cascodo Los circuitos cascodo y doble cascodo con carga activa suelen usar espejos de corriente cascodo y doble cascodo para asegurar fuentes de corriente con alta impedancia de salida. El siguiente ejemplo muestra que el espejo cascodo MOS, familiar desde el Capítulo 6, tiene resistencia de salida

$$R_o \approx \mu r_o \tag{7.72}$$

donde μ es la ganancia intrínseca del transistor de salida.

EJEMPLO 7.11 A partir de la fuente de corriente cascodo de la Figura 6.29b obtener la Ecuación (7.72).

Solución La Figura 7.35a es el equivalente en pequeña señal. Como $v_x = 0$, la fuente dependiente de M_2 esta desconectada como en la Figura 7.35b. Como quiera que $v_y = -i_{test} r_o$, la ley de Kirchhoff de corrientes toma la forma

$$i_{test} = g_m(-i_{test} r_o) + \frac{v_{test} - i_{test} r_o}{r_o}$$

que conduce a

$$R_o = (2 + \mu) r_o \approx \mu r_o$$

Observemos que si sustituimos la referencia de corriente de la Figura 6.29b por una resistencia, la forma más sencilla de obtener una referencia de corriente, añadimos una resistencia a las Figuras 7.35a y b pero esto no produce cambios en el análisis ni en el resultado. ❑

Ejercicio 7.13 La Figura 7.35c es el circuito equivalente del amplificador de la Figura 7.33a con una ganancia en circuito abierto dada por la Ecuación (7.66) y la resistencia de salida calculada en el Ejercicio 7.12. La resistencia de carga es la resistencia de salida del espejo cascodo obtenido en el ejemplo precedente. Hallar la ganancia de tensión $A = v_o/v_i$ del amplificador si todos los transistores son idénticos.

Respuesta

$$A = \frac{-\mu^3}{1 + \mu} \approx -\mu^2$$

7.9 AMPLIFICADORES DIFERENCIALES

7.9.1 INTRODUCCIÓN

En la Sección 1.5 vimos que los amplificadores diferenciales no sólo amplifican la señal sino que reducen las componentes de modo común no deseadas en la entrada que podrían degradar la señal. Aquí veremos sus estructuras internas aunque antes se recomienda un repaso de las definiciones y conceptos relacionados con los amplificadores diferenciales.

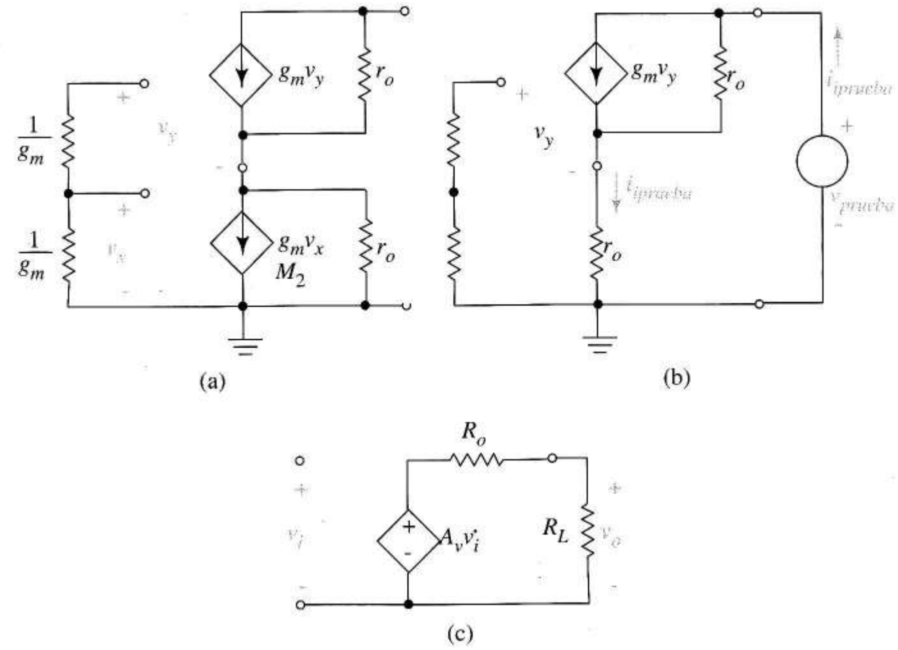


FIGURA 7.35 Resistencia de salida de la fuente de corriente cascodo: (a) equivalente en pequeña señal; (b) circuito simplificado con generador de prueba; (c) circuito equivalente para el amplificador doble cascodo polarizado por un espejo de corriente cascodo.

Las *etapas diferenciales* se basan en pares de transistores iguales fáciles de obtener en diseños integrados. Explotando las posibilidades de ecualización de los transistores integrados para cancelar las desviaciones y desviación térmica de los parámetros, los diseñadores son capaces de crear amplificadores de alta ganancia usando etapas de ganancia *directamente acopladas*. Sin los condensadores de acoplo, estos circuitos pueden amplificar bajas frecuencias, incluso acercarse a la continua. La fuente de corriente de polarización que usan estas etapas simplifica la interconexión entre subcircuitos de un integrado dado o entre el propio circuito integrado y otros componentes externos. El circuito FET básico se denomina *par acoplado por fuente* y el bipolar, *par acoplado por emisor*.

Primero analizaremos la polarización de cada par acoplado y después lo estudiaremos en pequeña señal para ver cómo procesa las señales diferenciales y de modo común. Como los pares acoplados por fuente o emisor son más complejos y versátiles que los amplificadores de una entrada los estudiaremos de forma diferente. En lugar de hallar directamente la ganancia, R_i y R_o mediante análisis en pequeña señal, construiremos dos modelos globales del amplificador, uno para las señales diferenciales y otro para las de modo común. Esto nos permitirá ver la respuesta a excitaciones genéricas por superposición y nos ayudará a comprender el funcionamiento del circuito en gran variedad de situaciones de señal y de carga. Para aplicar las técnicas de pequeña señal, sustituimos el amplificador por el adecuado modelo, mejor que los transistores individuales y después conectamos fuentes externas y cargas al modelo del amplificador.

7.9.1 PAR ACOPLADO POR FUENTE

La Figura 7.36a muestra un par acoplado por fuente; los nodos de entrada son a y b y los de salida, x e y. Las tensiones de entrada v_A y v_B incluyen las componentes de señal y polarización. La fuente de corriente continua, ideal en el esquema, suele ser uno de los circuitos espejo/referencia descritos en el Capítulo 6.

Polarización Para analizar la polarización, colocamos los nodos de entrada a masa como en la Figura 7.36b donde se incluyen valores numéricos para ayudarnos a clarificar los principios de la polarización. Como los transistores son idénticos y hay simetría en el circuito, la corriente de polarización I_O se divide en partes iguales, haciendo $I_D = I_O/2 = 2$ mA para cada transistor. Las tensiones de drenador son

$$V_D = V_{DD} - R_D I_D = 10 - 5 = 5 \text{ V}$$

Como los transistores trabajan en activo, las corrientes de drenador conocidas deben satisfacer (5.7) y, como siempre, esto significa caídas específicas puerta-fuente. Por ejemplo, para $k = 4$ mA/V^2 y $V_t = 1$,

$$I_D = 2mA = \frac{4 \times 10^{-3}}{2}\left(V_{GS} - 1\right)^2$$

que implica $V_{GS} = 2$ V. Esto significa $V_S = -2$ V en la Figura 7.36b. A partir de esta información, vemos que la tensión del punto Q de cada transistor es

$$V_{DS} = V_D - V_S = 5 - (-2) = 7 \text{ V}$$

La tensión en la fuente de corriente

$$V_S - \left(-V_{SS}\right) = -2 - (-8) = 6 \text{ V}$$

debe superar, en este caso, el mínimo (por ejemplo, $V_{DS,\,mín}$ en la Figura 6.22d).

Límites de entrada en modo común La Figura 7.36c nos ayuda a comprender cómo la tensión de entrada en modo común afecta a la polarización. Por simetría, I_O debe dividirse en partes iguales aún en presencia de V_I. De esta forma, V_I no cambia las corrientes ni las tensiones de drenador porque ni I_D ni V_{GS} *cambian siempre que los transistores estén activos*. Así, como V_I hace las puertas más positivas, V_S sigue a V_I manteniendo siempre una caída fija ($V_{GS} = 2$ V en este ejemplo) por debajo de las puertas. Como V_S sube al crecer V_I mientras V_D es constante, V_{DS} baja hasta que el punto Q alcance la zona óhmica de las curvas características. La condición

$$V_{DG} = V_D - V_{I,\,máx} = -V_t$$

define el *límite positivo del modo común* del circuito. $V_{I,\,máx}$ es la mayor entrada positiva de modo común para que los transistores funcionen en zona activa. En la Figura 7.36c

$$V_{I,máx} = V_D + V_t = 5 + 1 = 6 \text{ V}$$

La tensión de fuente sigue también a V_I aunque sea negativa, siempre dejando V_{GS} voltios por debajo de V_I. Pero a la vez que V_S baja, la tensión en la fuente de corriente disminuye hasta alcanzar su mínimo valor aceptable, $V_{CS,\,mín}$. Esta condición establece el límite negativo del modo común. Especificamente,

$$V_S - \left(-V_{SS}\right) = \left(V_{I,\,mín} - V_{GS}\right) + V_{SS} \geq V_{CS,\,mín}$$

donde $V_{CS,\,mín}$ es la mínima tensión de la fuente de corriente.

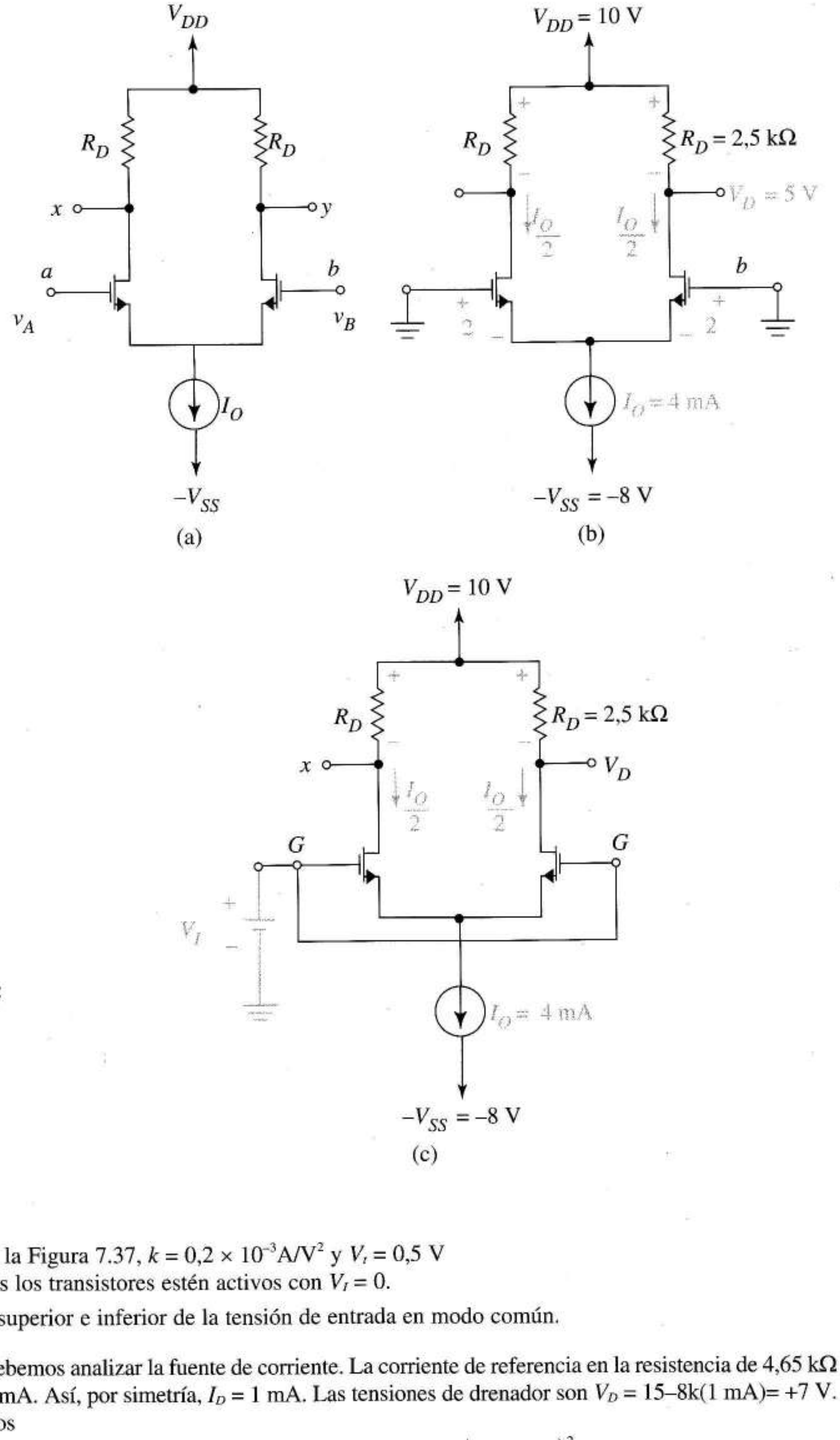


FIGURA 7.36
(a) Amplificador acoplado por fuente; (b) polarización cuando las entradas están a masa; (c) amplificador con excitación de modo común.

EJEMPLO 7.12 En la Figura 7.37, $k = 0{,}2 \times 10^{-3}$A/V^2 y $V_t = 0{,}5$ V

a) Verificar que todos los transistores estén activos con $V_I = 0$.

b) Hallar los límites superior e inferior de la tensión de entrada en modo común.

Solución Primero debemos analizar la fuente de corriente. La corriente de referencia en la resistencia de 4,65 kΩ es $I_O = 9{,}3/4{,}65$ k $= 2$ mA. Así, por simetría, $I_D = 1$ mA. Las tensiones de drenador son $V_D = 15$–8k(1 mA)= +7 V. Para MOSFETs activos

$$1 \times 10^{-3} = 0{,}1 \times 10^{-3}\left(V_{GS} - 0{,}5\right)^2$$

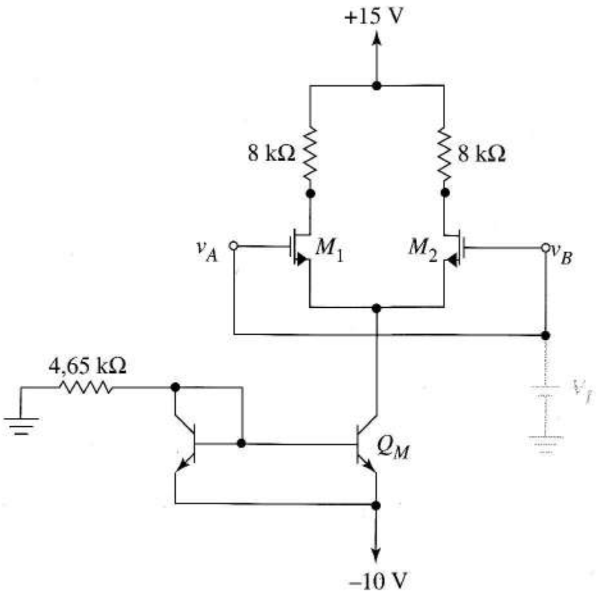


FIGURA 7.37
Par acoplado por fuente para el Ejemplo 7.12.

dando $V_{GS} = 3,66$ V. Con $v_G = V_I = 0$, $V_S = -3,66$ V y cada MOSFET esta polarizado en $V_{DS} = 7 - (-3,66) = 10,7$ V e $I_D = 1$ mA. Con el colector de Q_M a −3,66 V y su emisor a −10 V, $V_{CE} = 6,34$ V bastante por encima de los 0,2 V necesarios para evitar la saturación.

b) Como V_I se hace positivo, los MOSFETs llegan a la zona óhmica cuando

$$V_D - V_G = 7 - V_{I,\,máx} = -0,5 \text{ V}$$

Por lo que el límite superior del modo común es $V_{I,\,máx} = +7,5$ V. Con entradas negativas, Q_M empieza a saturarse cuando

$$V_{CE} = V_C - V_E = \left(V_{I,\,mín} - 3,66\right) - (-10) = 0,2 \text{ V}$$

Así, el límite inferior del modo común es

$$V_{1,mín} = 0,2 - 10 + 3,66 = -6,14\ V$$

Concluimos que el circuito esta correctamente polarizado siempre que

$$-6,14\ V \le v_I \le 7,5\ V$$

❑

Ejercicio 7.14 Recalcular el margen de entrada en modo común para el amplificador del Ejemplo 7.12 si la fuente de corriente constante se sustituye por una fuente de $I_O = 1$ mA con una tensión de salida mínima de 2,5 V. Lo demás no se modifica.

Respuesta $-4,76 \text{ V} \le v_I \le 11,5 \text{ V}$

En el margen permitido para las tensiones de entrada en modo común, M_1 y M_2 están correctamente polarizados para el trabajo en pequeña señal; más aún, como las corrientes de drenador no dependen de las entradas en modo común, tenemos modelos de pequeña señal y, así, el par acoplado por fuente se acomoda automáticamente a gran variedad de tensiones de entrada. Con una referencia de corriente independiente para la fuente de corriente, la corriente de drenador y, por ello, el funcionamiento en pequeña señal sería independiente de los valores de la alimentación. En estos diseños, las alimentaciones determinan los límites de los modos común pero no los valores de g_m y r_o. Aunque este estudio presentó los límites de modo común en función de las entradas en continua, el mismo límite se aplica a las componentes en modo común variables en el tiempo.

Ahora que sabemos cómo se polariza el par acoplado por fuente, examinaremos su funcionamiento en pequeña señal. Como cualquier entrada es una superposición de componentes diferenciales y de modo común, obtendremos primero el modelo que se aplica a las señales diferenciales. Después iremos al caso de modo común.

Modelo en pequeña señal para el modo diferencial La Figura 7.38a muestra el amplificador diferencial acoplado por fuente con una señal de modo diferencial pura; la Figura 7.38b es el equivalente en pequeña señal. La notación $g_{m1} = g_{m2} = g_m$ supone transistores iguales con las mismas corrientes de polarización. Los diagramas también incluyen la resistencia de salida R_o de la fuente de corriente, que pronto aprenderemos a omitir. La ley de Kirchhoff de las corrientes en la fuente da

$$g_m\left(v_{gs1} + v_{gs2}\right) = \frac{v_s}{R_o}$$

El diagrama muestra que

$$\frac{v_d}{2} - v_{gs1} = v_s = -\frac{v_d}{2} - v_{gs2}$$

Cuando despejamos v_{gs1} y v_{gs2} y sustituimos en la primera ecuación, obtenemos

$$g_m\left(\frac{v_d}{2} - v_s - \frac{v_d}{2} - v_s\right) = g_m\left(-2v_s\right) = \frac{v_s}{R_o}$$

que tiene como solución $v_s = 0$. Por la simetría del circuito y de la excitación, hay una *masa virtual* en el punto de conexión de las fuentes lo que significa que este punto queda a tensión de masa para cualquier entrada diferencial. Cuando sustituimos $v_s = 0$ en el segundo grupo de ecuaciones, hallamos que

$$v_{gs1} = \frac{v_d}{2}, \quad v_{gs2} = -\frac{v_d}{2}$$

Así, siempre cae la mitad de v_d entre la puerta y la fuente de cada transistor, con las polaridades indicadas en la Figura 7.38c. Como los extremos de R_o están a tensión de masa, no circula corriente por R_o y, por ello, la suprimimos del diagrama. Una mayor simplificación en la figura lleva consigo dar la vuelta a las direcciones de las fuentes de corriente dependientes y a la tensión de control de M_2.

Como la fuente está *siempre* a tensión de masa, las resistencias R_D de la Figura 7.38c están en paralelo con una fuente de corriente dependiente. Haciendo las transformaciones de fuente y omitiendo las fuentes de señal a la entrada, obtenemos la Figura 7.38d, un modelo para el *amplificador completo* de la Figura 7.38a que muestra exactamente la respuesta del par acoplado por fuente a la excitación en modo diferencial.

Este amplificador tiene resistencia de entrada infinita, importante característica del par acoplado por emisor. Dos fuentes dependientes producen tensiones complementarias respecto de masa, significando que cualquier señal diferencial pura que se aplique entre a y b se traduce en una señal diferencial pura entre las salidas x e y. En cada salida, la tensión en circuito abierto es proporcional a la señal diferencial de entrada, con ganancia dada por $g_mR_D/2$. Entre las dos salidas se produce una tensión en circuito abierto, $v_x-v_y = (-g_mR_D)v_d$.

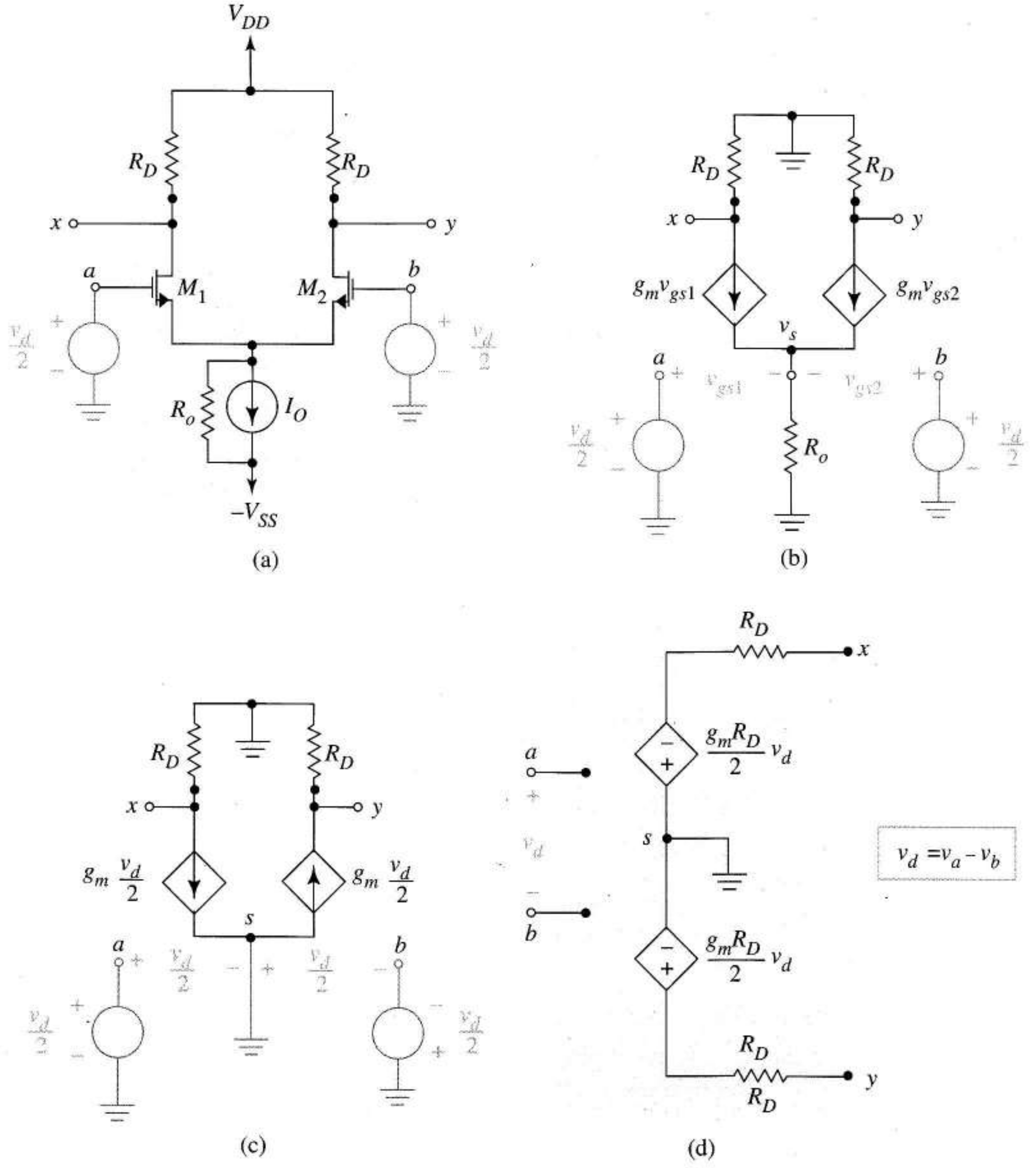


FIGURA 7.38 Par acoplado por fuente con excitación diferencial: (a) circuito; (b) equivalente en pequeña señal; (c) equivalente con las restricciones de simetría; (d) modelo final del par acoplado por fuente para señales diferenciales.

La presencia de dos señales diferenciales da mayor libertad al usuario. En la Figura 7.38a podemos tomar cualquiera de las salidas x o y como *salida asimétrica* o tomar su diferencia para duplicar la ganancia. Resumiendo, sin carga externa, la *ganancia diferencial* del amplificador es

$$A_d = -g_m R_D \tag{7.73}$$

para salida diferencial y

$$A_{d(s-e)} = \pm \frac{g_m R_D}{2} \tag{7.74}$$

para las salidas asimétricas.

Cuando sustituimos el equivalente en pequeña señal de la Figura 7.38d del amplificador, podemos ver las dos opciones; también podemos ver la naturaleza exacta de la carga como demostraremos a continuación.

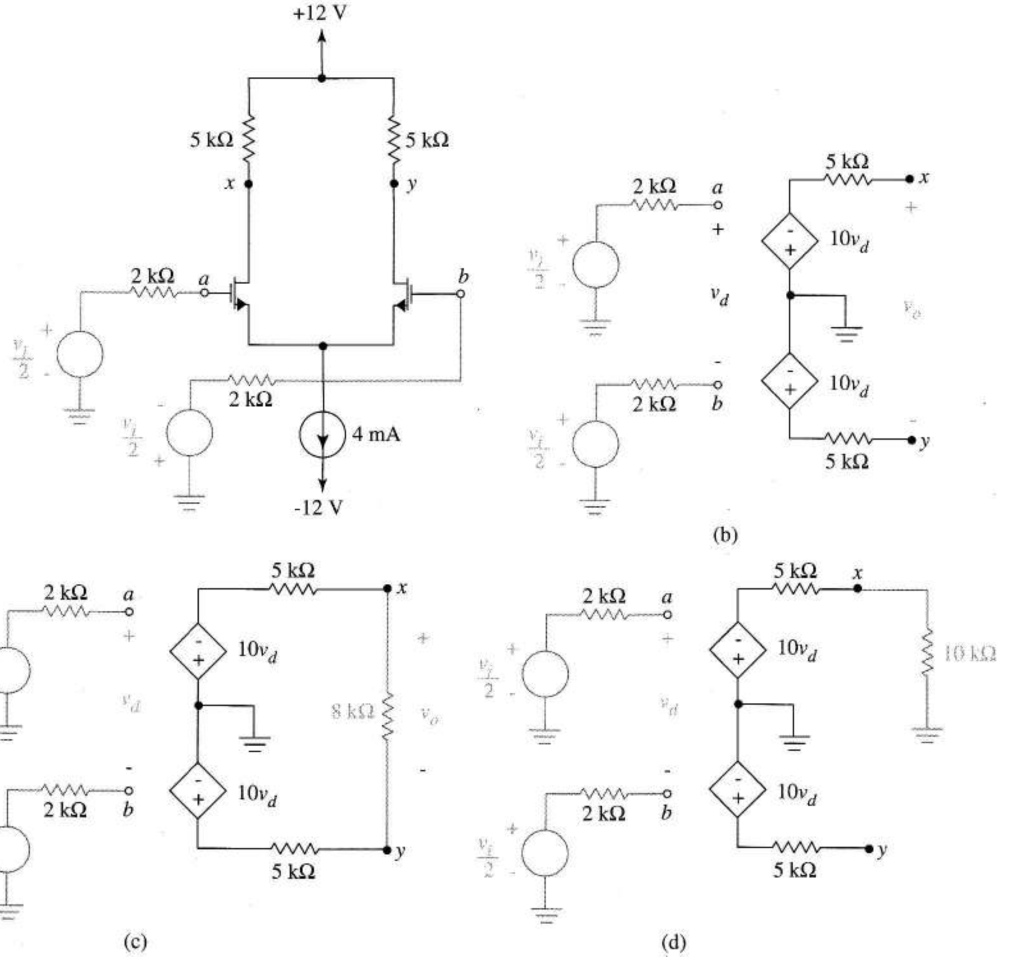


FIGURA 7.39 Diagramas para el Ejemplo 7.13: (a) circuito original; (b) circuito con el amplificador sustituido por su equivalente; (c) equivalente mostrando los efectos de carga del apartado (c); (d) ídem para el apartado (d).

EJEMPLO 7.13 El amplificador diferencial de la Figura 7.39a utiliza transistores con $k = 4$ mA/V^2 y $V_t = 1{,}1$ V. Hallar v_o en función de v_i si

a) v_o es la tensión de circuito abierto del nodo x respecto del y.

b) v_o es la tensión en circuito abierto de y.

c) v_o es la tensión sobre una resistencia R_L de 8 kΩ entre x e y.

d) v_o es la tensión sobre una resistencia de 10 kΩ con un extremo a masa y el otro acoplado capacitivamente a x.

Solución a) Como $I_D = 2$ mA, los transistores tienen transconductancia

$$g_m = \sqrt{2I_D k} = 4 \times 10^{-3}\,\mathrm{A/V}$$

por ello, la ganancia del circuito equivalente del amplificador diferencial es

$$A_{d(s-e)} = \frac{\pm(g_m R_D)}{2} = \pm 10$$

La Figura 7.39b muestra el equivalente en pequeña señal con el modelo sustituyendo al amplificador. Por la resistencia de entrada infinita, no hay carga de entrada; por lo tanto, $v_d = v_i$. La tensión en circuito abierto en x con relación a y es la suma de las tensiones en las fuentes dependientes, o $-20v_d$. Concluimos que $v_o = -20v_i$.

b) Cuando v_o se define como la tensión en el nodo y en la Figura 7.39a. De la Figura 7.39b, $v_o = +10v_i$.

c) Situar una resistencia de 8 kΩ entre x e y (Figura 7.39a) no molesta a la polarización por lo que el modelo de la Figura 7.39b sigue describiendo al amplificador. Conectando 8 kΩ entre x e y como en la Figura 7.39c, hay efecto de carga. La suma de tensiones $-20v_d$ generada internamente se divide entre la carga y la resistencia interna. Sólo aparece

$$v_o = \frac{8\ \mathrm{k}}{8\ \mathrm{k} + 5\ \mathrm{k} + 5\ \mathrm{k}} \times (-20v_i) = -8{,}89v_i$$

en la resistencia de carga de 8 kΩ.

d) La Figura 7.39d muestra el circuito en pequeña señal con la carga conectada. Por la carga de salida

$$v_o = v_x = \frac{10\ \mathrm{k}}{10\ \mathrm{k} + 5\ \mathrm{k}} \times (-10v_i) = -6.67v_i$$

❑

Ejercicio 7.15 Hallar la tensión de salida diferencial, $v_o = v_x - v_y$ si se acoplan capacitivamente resistencias de 5 kΩ y 10 kΩ entre masa y los nodos x e y de la Figura 7.39a.

Respuesta 11,7 v_d.

Modelo de pequeña señal en modo común Analizaremos ahora la forma de procesar la componente en modo común. La Figura 7.40a es el equivalente en pequeña señal de la Figura 7.36a para la señal de modo común v_c. De nuevo incluimos la resistencia de salida de la fuente de corriente. En el nodo de fuente, la ley de Kirchhoff obliga a

$$2g_m v_{gs} = \frac{v_s}{R_o} = \frac{v_c - v_{gs}}{R_o}$$

Despejando v_{gs} da

$$v_{gs} = \frac{1}{1+2g_m R_o} v_c \approx \frac{1}{2g_m R_o} v_c$$

ya que R_o es muy grande. Lo que establece que las fuentes dependientes producen corrientes de drenador

$$g_m v_{gs} = \frac{g_m}{2g_m R_o} v_c = \frac{1}{2R_o} v_c$$

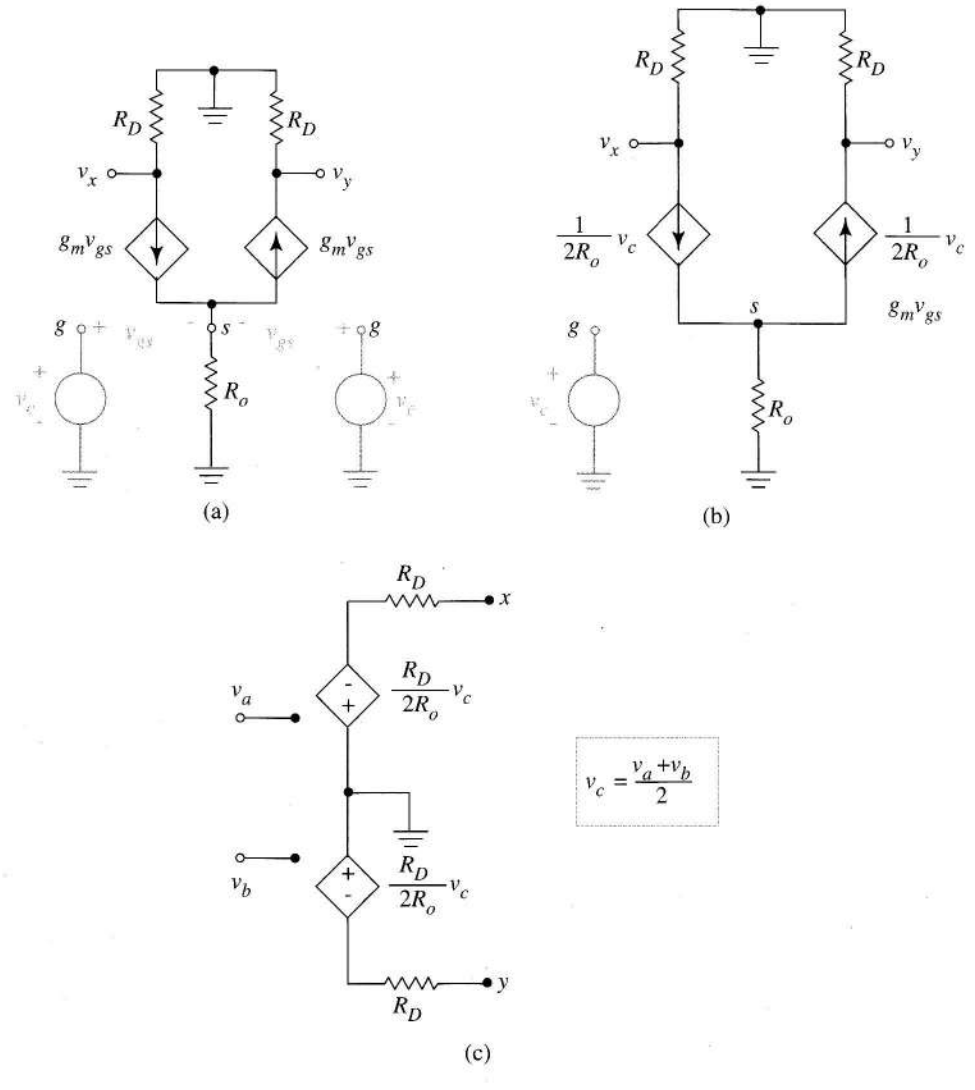


FIGURA 7.40 Modelo del amplificador para las entradas de modo común: (a) equivalente en pequeña señal de la Figura 7.36a; (b) equivalente mostrando el control de la VCCS mediante v_c; (c) modelo final en pequeña señal para una entrada de modo común.

En la Figura 7.40b marcamos de nuevo las fuentes dependientes para mostrar este control mediante v_c. A continuación, hallamos el equivalente Thèvenin entre cada una de las salidas y masa. Las tensiones en circuito abierto son

$$v_x = v_y = \left(-\frac{1}{2R_o}v_c\right)R_D = -\frac{R_D}{2R_o}v_c$$

Para hallar las resistencias Thèvenin quitamos la señal de entrada v_c. Pero al hacer $v_c = 0$, desconectamos las fuentes dependientes, dando $R_{THEV} = R_D$. La transformación Thèvenin da el circuito equivalente en modo común de la Figura 7.40c. Concluimos que cualquier señal de modo común pura aplicada a la entrada del amplificador de la Figura 7.36a produce una señal de salida en modo común pura; la misma tensión, en amplitud y fase aparece en x e y.

Cuando usamos una tensión diferencial, v_x–v_y *se suprime completamente* la salida en modo común, al menos en teoría, con lo que la ganancia en modo común es

$$A_c = 0 \tag{7.75}$$

Por las ligeras desigualdades en los valores de los componente, el rechazo del modo común baja algo de este ideal. Cuando empleamos una salida asimétrica, la ganancia en modo común es

$$A_{c(s-e)} = -\frac{R_D}{2R_o} \tag{7.76}$$

Como R_o es la resistencia de salida de la fuente de corriente, la ganancia $A_{c(s-e)}$ es menor que uno. Sin embargo, para una fuente de corriente de muy alta R_o, $A_{c(s-e)}$ puede ser mucho menor que uno. Así, las señales de modo común se reducen en amplitud al pasar a través del amplificador sin que importe como se defina la salida.

Amplificador diferencial con excitación general La Figura 7.41 proporciona la idea final del funcionamiento del amplificador diferencial combinando los circuitos diferenciales y de modo común.

Para cualesquiera entradas, v_a y v_b, su entrada diferencial v_d controla dos fuentes de tensión dependientes de fase opuesta y produce una señal amplificada en modo diferencial (pura) entre x e y. La componente de modo común v_c controla simultáneamente dos fuentes de tensión dependientes de la misma fase, produciendo una señal pura de modo común atenuada en los nodos de salida.

Obsérvese que este circuito general se reduce a los dos casos especiales que se tienen cuando se aplican señales *puras* diferenciales y de modo común. $v_c = 0$ para una señal diferencial pura. Esta desconecta las fuentes de modo común y reduce el circuito al de la Figura 7.38d. Cuando se aplica una señal de modo común puro, $v_d = 0$ por definición y el circuito se reduce al de la Figura 7.40c.

La razón de rechazo de modo común depende de la definición de la salida del circuito. Cuando se toma entre x e y, las componentes de modo común se cancelan, pero no lo hace la componente diferencial, dando RRMC infinita. Cuando se toma la salida entre uno de los nodos de salida y masa, aparecen tanto la componente diferencial como la de modo común y la RRMC hallada es

$$\text{RRMC}_{(s-e)} = \frac{A_{d(s-e)}}{A_{c(s-e)}} = g_m R_o \tag{7.77}$$

una ecuación que destaca la importancia de la elevada resistencia de salida de la fuente de corriente.

En los amplificadores diferenciales FET no hay efecto de carga en la entrada. En la salida sólo se produce el efecto si hay carga entre los nodos de salida o entre una salida y masa. De la Figura 7.41, queda claro que la RRMC no queda afectada por la carga de salida debido a que tanto las señales diferenciales como las de modo común están sujetas al mismo factor de carga.

Como los modelos en pequeña señal de los MOSFETs y JFETs de canal n y p son idénticos, tanto la Figura 7.41 como todas las conclusiones y casos especiales analizados se aplican a *todos* los amplificadores diferenciales acoplados por fuente y no sólo a los MOSFETs de canal n que hemos usado en la demostración.

Aunque en la Figura 7.41 se resume toda la información relevante, para resolver problemas reales es más sencillo usar las Figuras 7.38d y 7.40c y superposición.

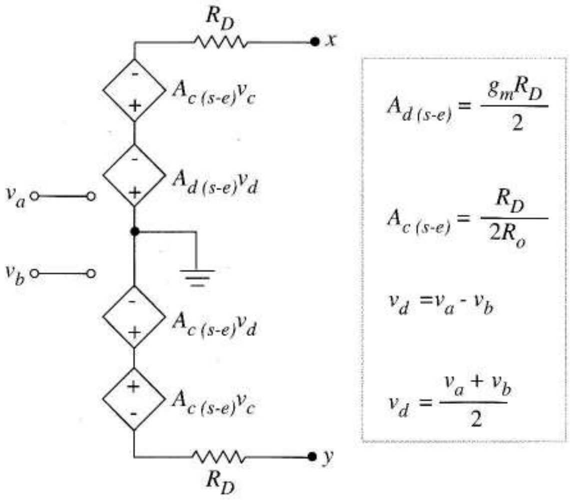


FIGURA 7.41 Circuito equivalente completo para un amplificador diferencial acoplado por fuente.

EJEMPLO 7.14 Los transistores de la Figura 7.42a tienen los parámetros $k = 4 \times 10^{-3}$ A/V^2 y $V_t = 1{,}1$ V. La tensión Early de Q_M es 110 V. Si la entrada es

$$v_A = 0{,}022 \text{ sen } \omega_1 t + 0{,}050 \text{ sen } \omega_2 t$$

$$v_B = -0{,}020 \text{ sen } \omega_1 t + 0{,}053 \text{ sen } \omega_2 t$$

hallar mediante superposición

a) La salida $v_x(t)$.

b) La salida diferencial $v_x(t) - v_y(t)$.

c) La salida $v_x(t)$ con una resistencia de carga de 4 kΩ acoplada al nodo x capacitivamente y referida a masa.

Solución La fuente de corriente de la Figura 7.42a, analizada en el Ejemplo 7.12 producía $I_O = 2$ mA. Como $R_o = r_o$ en este espejo,

$$R_o = r_o = \frac{110}{2 \times 10^{-3}} = 55 \text{ k}\Omega$$

Con cada FET polarizado en $I_D = 1$ mA

$$g_m = \sqrt{2kI_D} = \sqrt{2\left(4\times10^{-3}\right)10^{-3}} = 2{,}83\times10^{-3}\,\text{A/V}$$

Las fuentes dependientes de la Figura 7.38d tienen ganancia 0,5 $g_mR_D = 11{,}3$, dando la Figura 7.42b. Según la Figura 7.40c, 0,5 $R_D/R_o = 0{,}073$, dando la Figura 7.42c.

Las componentes diferenciales y de modo común son

$$v_d = 0{,}042 \text{ sen } \omega_1 t - 0{,}003 \text{ sen } \omega_2 t$$

$$v_c = 0{,}001 \text{ sen } \omega_1 t + 0{,}052 \text{ sen } \omega_2 t$$

a) De la Figura 7.42b, la componente diferencial de v_x es

$$v_{xd}(t) = -11{,}3 v_d(t) = -0{,}475 \text{ sen } \omega_1 t + 0{,}034 \text{ sen } \omega_2 t$$

Según la Figura 7.42c, la componente en modo común es

$$v_{xc}(t) = -0{,}073 v_c(t) = -7{,}3\times10^{-5} \text{ sen } \omega_1 t - 3{,}80\times10^{-3} \text{ sen } \omega_2 t$$

Por superposición

$$v_x(t) = v_{xd}(t) + v_{xc}(t) = -0{,}475 \text{ sen } \omega_1 t + 0{,}030 \text{ sen } \omega_2 t$$

b) A partir de la Figura 7.42b, la salida en modo diferencial es

$$\left(v_x - v_y\right)_{dm} = -22{,}6 v_d$$

De la Figura 7.42c, la componente en modo común de la salida es

$$\left(v_x - v_y\right)_{cm} = 0$$

Por lo tanto

$$v_o(t) = v_x(t) - v_y(t) = -0{,}949 \text{ sen } \omega_1 t + 0{,}068 \text{ sen } \omega_2 t$$

c) Tratando el condensador de acoplo como un cortocircuito, situamos la resistencia de 4 kΩ entre x y masa en la Figura 7.42b y c. Esto reduce la tensión de salida del nodo x en cada caso en el factor 4 k/(4 k + 8 k) = 1/3. Así

$$v_o = (1/3) v_x(t)$$

Utilizando la respuesta del apartado (a)

$$v_o = -0{,}158 \text{ sen } \omega_1 t + 0{,}010 \text{ sen } \omega_2 t$$

❑

Ejercicio 7.16 Se conecta una resistencia de 4 kΩ entre x e y en la Figura 7.42a. Si la señal de entrada es la descrita en el Ejemplo 7.14, hallar la tensión en ella.

Respuesta $v_o(t) = -0{,}190 \text{ sen } \omega_1 t + 0{,}0136 \text{ sen } \omega_2 t$.

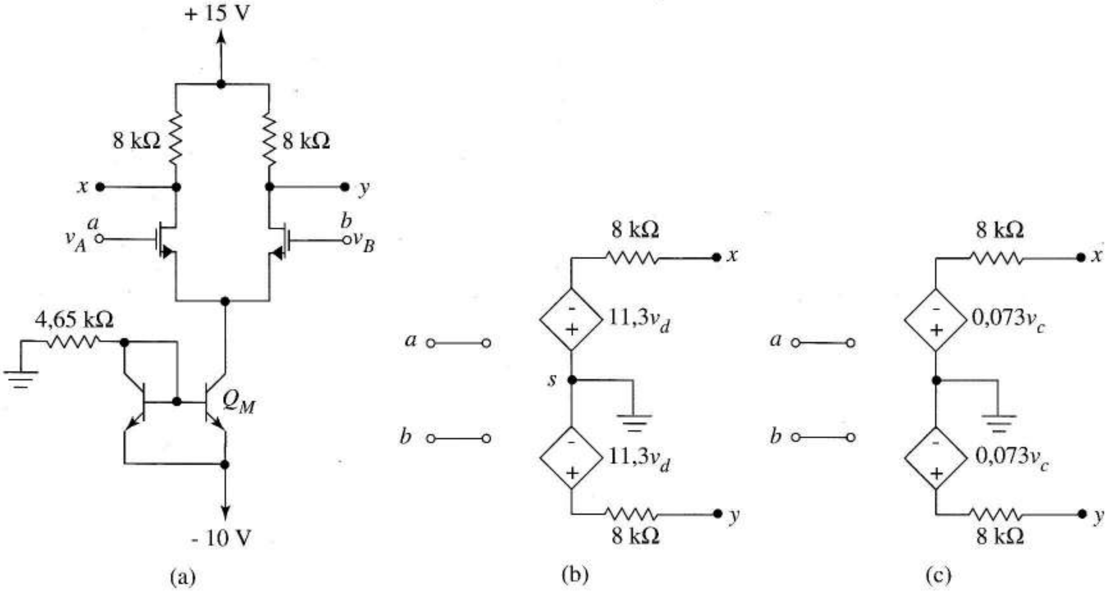


FIGURA 7.42 Amplificador del ejemplo 7.14: (a) circuito original; (b) equivalente diferencial de la Figura 7.38d; (c) equivalente en modo común de la Figura 7.40c.

Conversión de señales diferenciales en asimétricas El circuito de la Figura 7.43a es un amplificador diferencial con una salida asimétrica, v_y. Suponiendo transistores idénticos, la anterior demostración nos lleva, ahora, al equivalente de la Figura 7.43b, amplificando las señales diferenciales y reduciendo las de modo común. También convierte las señales diferenciales en asimétricas que, después, pueden ser amplificadas por un amplificador de una entrada. Se ha suprimido la resistencia de drenador ya que ocuparía espacio en el chip y no tiene funcionalidad. También existe un circuito similar con bipolares.

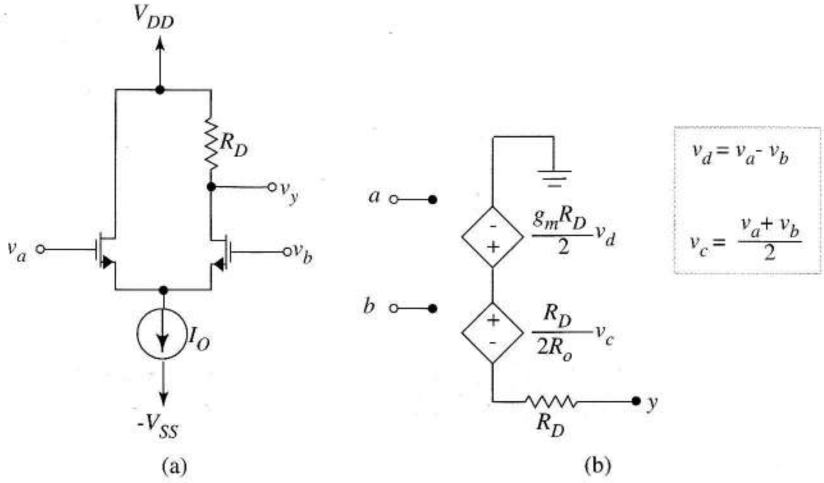


FIGURA 7.43 Conversion de señal diferencial en asimétrica: (a) circuito original; (b) equivalente en pequeña señal.

7.9.2 AMPLIFICADOR DIFERENCIAL ACOPLADO POR EMISOR

El amplificador diferencial acoplado por emisor de la Figura 7.44a se parece al circuito acoplado por fuente; sin embargo, el bipolar proporciona mayor ganancia y resistencia de entrada finita. Antes de estudiar la polarización y los modelos de pequeña señal, describiremos su funcionamiento en gran señal. Este desarrollo nos explicará cómo evitar la distorsión y proporcionará la primeros conocimientos sobre dos aspectos claves muy importantes en capítulos posteriores: la lógica acoplada por emisor y el multiplicador analógico basado en células de Gilbert.

Funcionamiento en gran señal del par acoplado por emisor Sean v_A y v_B dos tensiones cualesquiera para las que los transistores están en activa y, por ello, descritos por (4.5). Esto significa

$$i_{C1} = I_{S1}e^{(v_A - v_E)/V_{T1}} \text{ y } i_{C2} = I_{S2}e^{(v_B - v_E)/V_{T2}}$$

en la Figura 7.44a

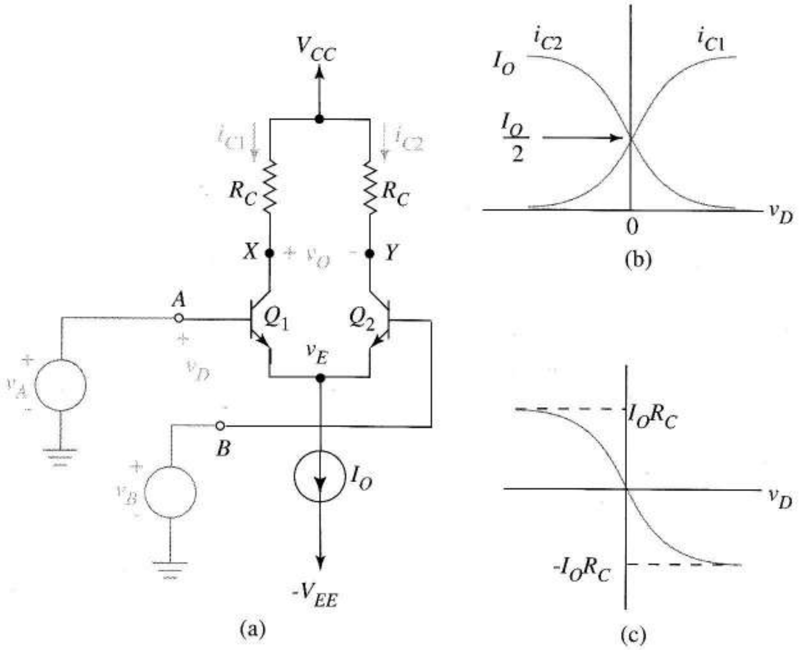


FIGURA 7.44 Funcionamiento en gran señal del par acoplado por emisor: (a) circuito; (b) representación de las corrientes de colector respecto a la tensión de entrada; (c) función de transferencia.

Si los transistores son idénticos y están cercanos en el chip, las corrientes de saturación y las tensiones térmicas son iguales y varían de la misma manera con la temperatura. En estas condiciones, la relación de corrientes de colector es

$$\frac{i_{C1}}{i_{C2}} = e^{(v_A - v_B)/V_T} = e^{v_D/V_T} \qquad (7.78)$$

donde $v_D = v_A - v_B$ es la tensión diferencial de entrada, *no necesariamente pequeña*. Para una β suficientemente grande, $i_C \approx i_E$ y, por ello, la ley de Kirchhoff se convierte en

$$i_{C1} + i_{C2} = I_O \qquad (7.79)$$

Despejando i_{C2} y sustituyendo en (7.78) da

$$i_{C1} = \left(I_O - i_{C1}\right)e^{v_D/V_T}$$

Cuando despejamos i_{C1} obtenemos

$$i_{C1} = \frac{I_O e^{v_D/V_T}}{1+e^{v_D/V_T}} = \frac{I_O}{1+e^{-v_D/V_T}} \tag{7.80}$$

Se obtiene una expresión similar para i_{C2} despejando i_{C1} en (7.79) y sustituyendo en (7.78), es decir

$$i_{C2} = \frac{I_O}{1+e^{v_D/V_T}} \tag{7.81}$$

La Figura 7.44b muestra las Ecuaciones (7.80) y (7.81) en función de v_D. Cuando $v_D = 0$, los transistores se reparten I_O en partes iguales. Cuando v_D se hace más positiva, Q_1 toma mayor parte de la corriente total a expensas de Q_2; en caso de v_D negativa, i_{C2} sube a expensas de i_{C1}. En la parte plana de las curvas en los extremos uno de los transistores se lleva toda la corriente y el otro se corta.

Ahora estudiaremos la función de transferencia de tensión en gran señal. En la Figura 7.44a

$$v_O = v_X - v_Y = \left(V_{CC} - R_C i_{C1}\right) - \left(V_{CC} - R_C i_{C2}\right) = R_C\left(i_{C2} - i_{C1}\right) \tag{7.82}$$

Si despejamos i_{C1}, en la Ecuación (7.79) y sustituimos, obtenemos

$$v_o = R_C\left(2i_{C2} - I_O\right)$$

Sustituimos i_{C2} de 7.81. Esto da

$$v_o = R_C\left(\frac{2I_O}{1+e^{v_D/V_T}} - I_O\right) = R_C I_O\left(\frac{1-e^{v_D/V_T}}{1+e^{v_D/V_T}}\right)\frac{e^{-v_D/2V_T}}{e^{-v_D/2V_T}} = R_C I_O\left(\frac{e^{-v_D/2V_T} - e^{v_D/2V_T}}{e^{-v_D/2V_T} + e^{v_D/2V_T}}\right)$$

Por definición de tangente hiperbólica

$$v_O = -R_C I_O \tanh\left(\frac{v_D}{2V_T}\right) \tag{7.83}$$

que se indica en la Figura 7.44c. El dibujo es la función de transferencia de un amplificador diferencial inversor con tensión de desviación nula que "se satura" para valores positivos o negativos de v_D suficientemente grandes. La pendiente en el origen es la ganancia de tensión en pequeña señal

$$\frac{v_o}{v_d} = \frac{dv_O}{dv_D} = -R_C\frac{I_O}{2V_T} = -R_C\frac{I_C}{V_T} = -g_m R_C$$

como se comprobó en el análisis en pequeña señal. El lector puede hallar una función de transferencia similar a la de la Figura 7.44c obtenida para los pares acoplados por fuente en el texto de Gray y Meyer citado en las referencias.

En la lógica acoplada por emisor y en las celdas de Gilbert -dos aplicaciones de los pares acoplados por emisor que luego estudiaremos- vemos el par Q_1–Q_2 como un *interruptor de corriente* con-

trolado por v_D que conmuta la corriente de uno a otro transistor. Desde este punto de vista, sustituimos v_O de la Ecuación en (7.83) en (7.82) y despejamos la diferencia de corriente, dando la *ecuación de conmutación de corriente*

$$i_{C2} - i_{C1} = -I_O \tanh\left(\frac{v_D}{2V_T}\right) \tag{7.84}$$

Polarización La Figura 7.45 muestra la polarización del amplificador diferencial acoplado por emisor. Sea $V_I = 0$. Por la simetría del circuito y la igualdad entre transistores, las corrientes de colector son de 0,5 mA, produciendo 3,5 V en cada resistencia de colector como en la Figura 7.45b. Con una caída V_{BE} de 0,7 V, la tensión de emisor es $V_E = 0,7$ V. Así

$$V_{CE} = V_C - V_E = (9 - 3{,}5) - (-0{,}7) = 6{,}2 \text{ V}$$

con lo que los transistores están en zona activa.

La tensión en la fuente de corriente es –0,7 – (–9) = 8,3 V. Una consideración particular de los circuitos bipolares es la necesidad de corrientes de base. *Siempre que haya camino en continua desde cada base a masa*, las corrientes de base son I_C/β (si no hay camino, los transistores se cortan y no se puede amplificar). Algunos operacionales tienen amplificadores diferenciales en sus etapas de entrada y como las corrientes de base son imprescindibles para su funcionamiento, tienen *corrientes de polarización de entrada*. Si hay pequeñas diferencias entre las dos mitades del circuito, las corrientes de polarización difieren ligeramente, produciendo *corriente de desviación*[3] *de entrada*. En el Capítulo 2 se estudiarán las consecuencias de las corrientes de polarización y desviación en los circuitos con operacionales.

A partir de la Figura 7.45b vemos que mientras los transistores estén activos, $V_{BE} = V_I - 0{,}7$ V. Si V_I sube, V_E también sube; sin embargo, las corrientes de colector siguen en 0,5 mA por lo que la corriente de colector permanece en 5,5 V. Con ello, V_{CE} baja al subir V_I. Cuando V_{CE} alcance $V_{CE,\,sat}$, $Q1$ y Q_2 se saturan. Esto fija un límite superior para $V_{I,\,máx}$. En este caso

$$V_{I,\,máx} -0{,}7 + 0{,}2 = 5{,}5$$

o $V_{I,\,máx} = 6$ V. En general, los transistores se saturan cuando

$$V_{I,máx} - V_{BE} + V_{CE,\,sat} = V_{CC} - R_C\,\frac{I_o}{2}$$

Con V_I negativo, la tensión en la fuente de corriente baja. Si ésta usa un espejo bipolar básico, la mínima entrada en modo común $V_{I,\,mín}$ esta dada por

$$V_{I,\,mín} - 0{,}7 - 0{,}2 = -9 \text{ V}$$

o

$$V_{I,\,mín} = -8{,}1 \text{ V}$$

[3]N. del T. El término "corriente de desviación" se puede encontrar como corriente de *offset* u *offset* de corriente aunque en este texto hemos preferido la traducción al castellano por reflejar perfectamente el sentido electrónico del parámetro.

De forma más general

$$V_{I,\,mín} - V_{BE} - V_{CS,\,mín} = -V_{EE}$$

donde $V_{cs,\,mín}$ es la mínima tensión para que la fuente de corriente funcione correctamente

Suponiendo que hay camino para la circulación de las corrientes de base y no se superan los límites del modo común, los transistores y la fuente de corriente funcionan adecuadamente en un gran margen de tensiones de polarización con parámetros en pequeña señal más o menos invariables. La alimentación afecta a los límites del modo común directamente y, según el diseño de la fuente de corriente, puede o no afectar a los parámetros en pequeña señal.

El siguiente ejemplo muestra que tanto el punto Q de los transistores como la tensión de modo común están relacionados con la resistencia externa del circuito de base.

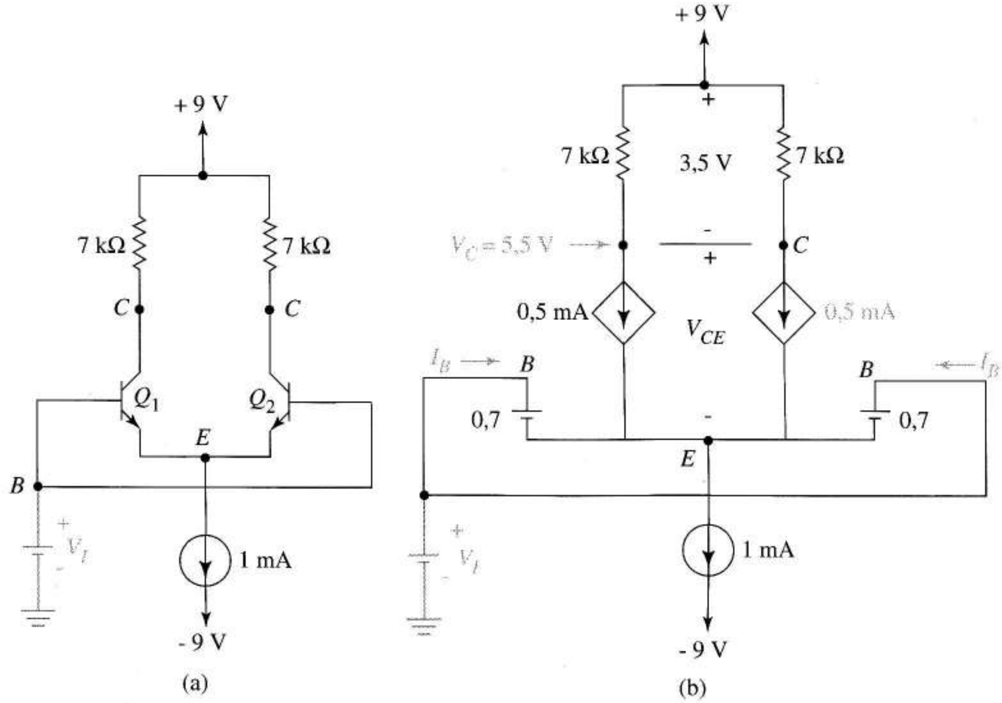


FIGURA 7.45 Polarización del par acoplado por emisor: (a) circuito; (b) modelo en gran señal.

EJEMPLO 7.15 En la Figura 7.46, los transistores tienen $\beta = 80$. Hallar el punto Q de cada transistor si $R_B = 50$ kΩ.

Solución Las corrientes de base son (0,5 mA)/80 β = 6,25 μA. Como las corrientes de base circulan por las resistencias de 50 kΩ, las bases están polarizadas en

$$V_B = -50 \times 10^3 (6,25 \times 10^{-6}) = -0,313 \text{ V}$$

La tensión de emisor es –0,313 – 0,7 = –1,01 V. Como $V_C = 9 - 3,5 = 5,5$ V, $V_{CE} = 5,5 - (-1,01) = 6,51$ V. Así, Q_1 y Q_2 están polarizados en (6,51 V, 0,5 mA) ❑

Ejercicio 7.17 En el circuito del Ejemplo 7.15, incrementar R_B lleva a tensión insuficiente en la fuente de corriente. Hallar el límite superior de R_B para una correcta polarización de la fuente usando un espejo bipolar.

Respuesta $R_{B,\,máx} = 1,30$ MΩ

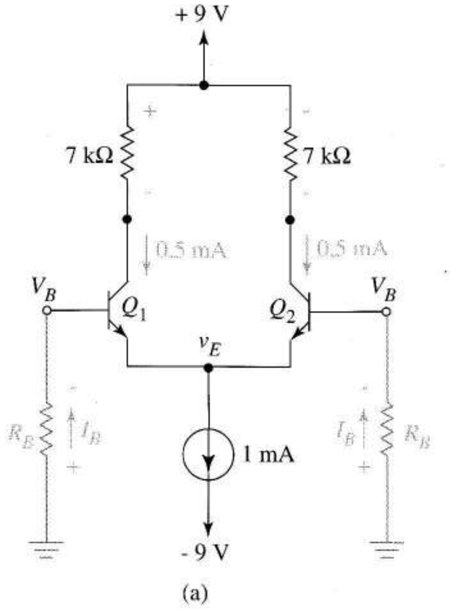


FIGURA 7.46 Las resistencias del circuito de base provocan entrada de continua en modo común.

Una forma de reducir las corrientes de polarización es usar *transistores superbeta*, bipolares con una base extraordinariamente estrecha (conseguida en un paso extra de difusión) con β de 2.000 a 5.000. Por la estrechez de la base se obtienen valores de BV_{CE0} pequeños por lo que sólo se usan estos transistores en las etapas de entrada de los amplificadores donde las señales son muy débiles. Otra forma de conseguir corrientes de polarización bajas es usar fuentes de corriente Widlar que dan pequeñas corrientes de polarización de colector.

Modelo en pequeña señal en modo diferencial La Figura 7.47a muestra un amplificador diferencial bipolar con excitación diferencial pura y la Figura 7.47b es su equivalente en pequeña señal. Como en el par acoplado por fuente, la simetría del circuito y la excitación crean una masa virtual con lo que podemos ignorar la resistencia de salida de la fuente de corriente. Otra consecuencia de la masa virtual es que $v_{\pi 1} = 0{,}5v_d = -v_{\pi 2}$. La Figura 7.47c incorpora esta observación. La Figura 7.47d es equivalente ya que en la entrada del circuito hay corrientes dependientes de la misma magnitud y sentido contrario. El modelo final, Figura 7.47e, se obtiene de la conversión de la fuente de corriente combinando las $r_\pi s$.

Lo principal de esta demostración es que el amplificador de la Figura 7.47a funciona como el modelo de la Figura 7.47e cuando se excita con una pequeña señal en modo diferencial. Entre los nodos de entrada, la fuente ve una resistencia de entrada $2r_\pi$ con posibilidad de causar carga de entrada. La tensión v_d es amplificada y reproducida en los nodos de salida como en el circuito FET. Comparando las Figuras 7.47e y 7.38d, la única diferencia real es la resistencia de entrada finita del circuito bipolar.

El siguiente ejemplo demuestra las cargas de entrada y salida en un amplificador de dos etapas acopladas directamente.

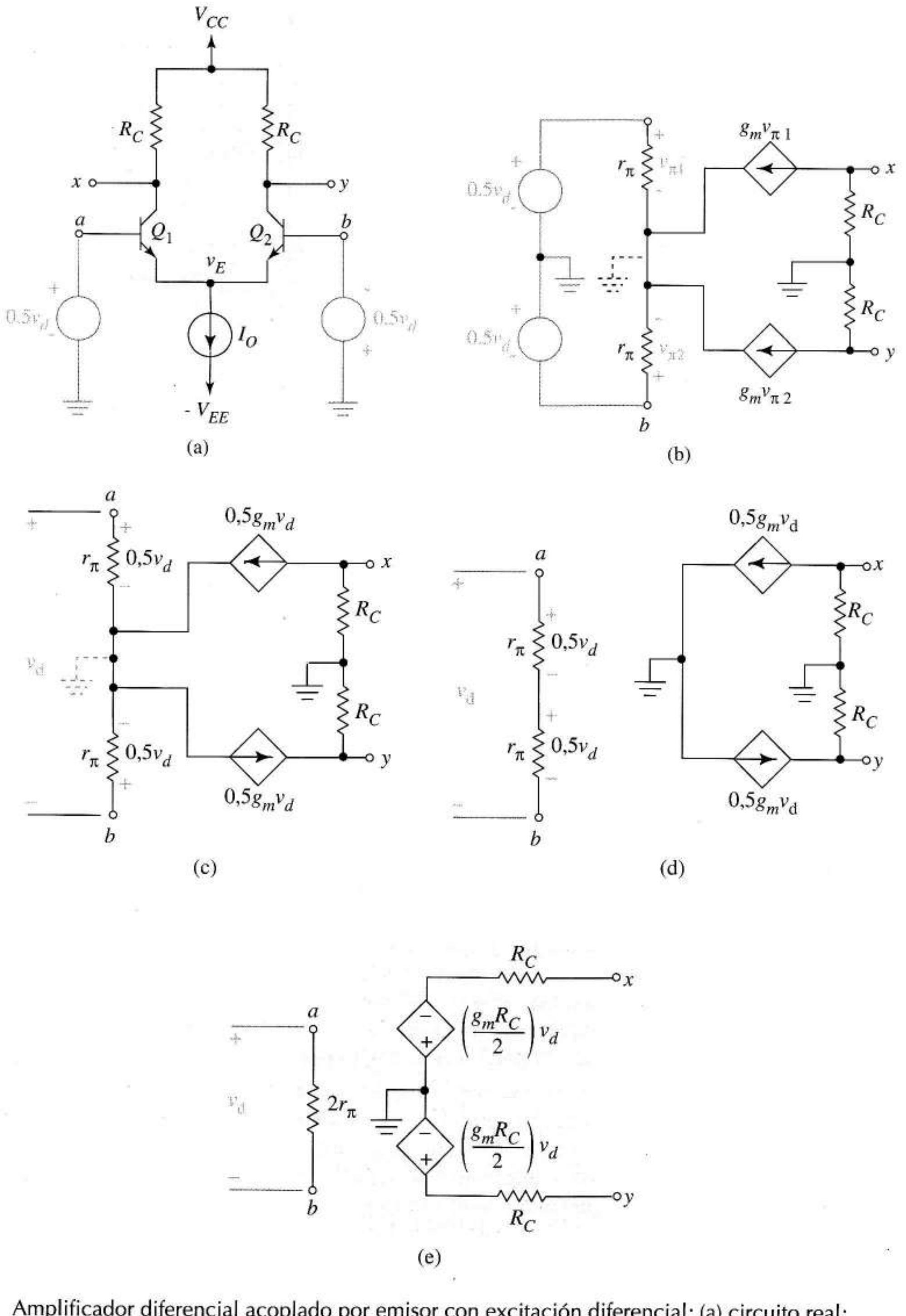


FIGURA 7.47 Amplificador diferencial acoplado por emisor con excitación diferencial: (a) circuito real; (b) equivalente en pequeña señal; (c) y (d) pasos del desarrollo; (e) circuito equivalente final para el amplificador.

EJEMPLO 7.16 Todos los transistores de la Figura 7.48a tienen β =250. Hallar la ganancia v_o/v_i del amplificador de dos etapas.

Solución La primera etapa tiene excitación diferencial pura y su salida produce la excitación de la segunda etapa; por lo tanto, el modelo de la Figura 7.47e es adecuado para las dos etapas.

Los transistores de la primera etapa están polarizados en 0,25 mA, dando g_m = 0,01 A/V y r_π = 25 kΩ. Los de la segunda etapa están polarizados en 1 mA, con g_m = 0,04 A/V y r_π = 6,25 kΩ. El equivalente en pequeña señal del circuito completo es la Figura 7.48b, donde las etiquetas de los nodos relacionan el equivalente con el circuito original.

Por la carga de entrada al primer circuito,

$$v_d = \frac{50\text{ k}}{50\text{ k} + 20\text{ k}} v_i = 0{,}714 v_i$$

Está internamente amplificada en 200 y sometida a los efectos de la carga entre etapas, dando

$$v_2 = \frac{-12{,}5\text{ k}}{12{,}5\text{ k} + 40\text{ k}} \times 200 v_d = -47{,}6 v_d$$

La tensión v_2 es amplificada en 80 antes de que la carga de salida la disminuya a

$$v_o = \frac{9\text{ k}}{9\text{ k} + 4\text{ k}} 80 v_2 = 55{,}4 v_2$$

En total,

$$v_o = -55{,}4 \times 47{,}6 \times 0{,}714 v_i = -1.883 v_i$$

por lo que la ganancia es –1.883 ❑

Rediseñando el circuito de polarización se cambia la ganancia en circuito abierto y la resistencia de entrada.

Ejercicio 7.18 Hallar la nueva ganancia de tensión en el ejemplo anterior si se cambian los 2 mA de polarización de la segunda etapa a 1 mA.

Respuesta –1.521.

Modelo equivalente de pequeña señal en modo común La Figura 7.49a muestra el amplificador diferencial bipolar con excitación de modo común y la Figura 7.49b, su equivalente en pequeña señal. La Figura 7.49c es la misma salvo que la salida de las dos fuentes de corriente $2g_m v_\pi$ pase al circuito de entrada a través de una nueva fuente de corriente. Aunque la finalidad de este paso no quede clara, el equivalente si lo está. El símbolo de masa indicado a trazos señala dónde podría hacerse una conexión real a masa sin afectar al funcionamiento del circuito (las tensiones en las fuentes de corriente pueden ser cualesquiera).

La Figura 7.49d es equivalente a la Figura 7.49c aunque estén separadas las dos partes del circuito porque están excitadas con las mismas fuentes. Observemos que la fuente de corriente en la entrada del circuito puede etiquetarse de nuevo como

$$2g_m v_\pi = 2g_m\left(i\frac{r_\pi}{2}\right) = \beta i$$

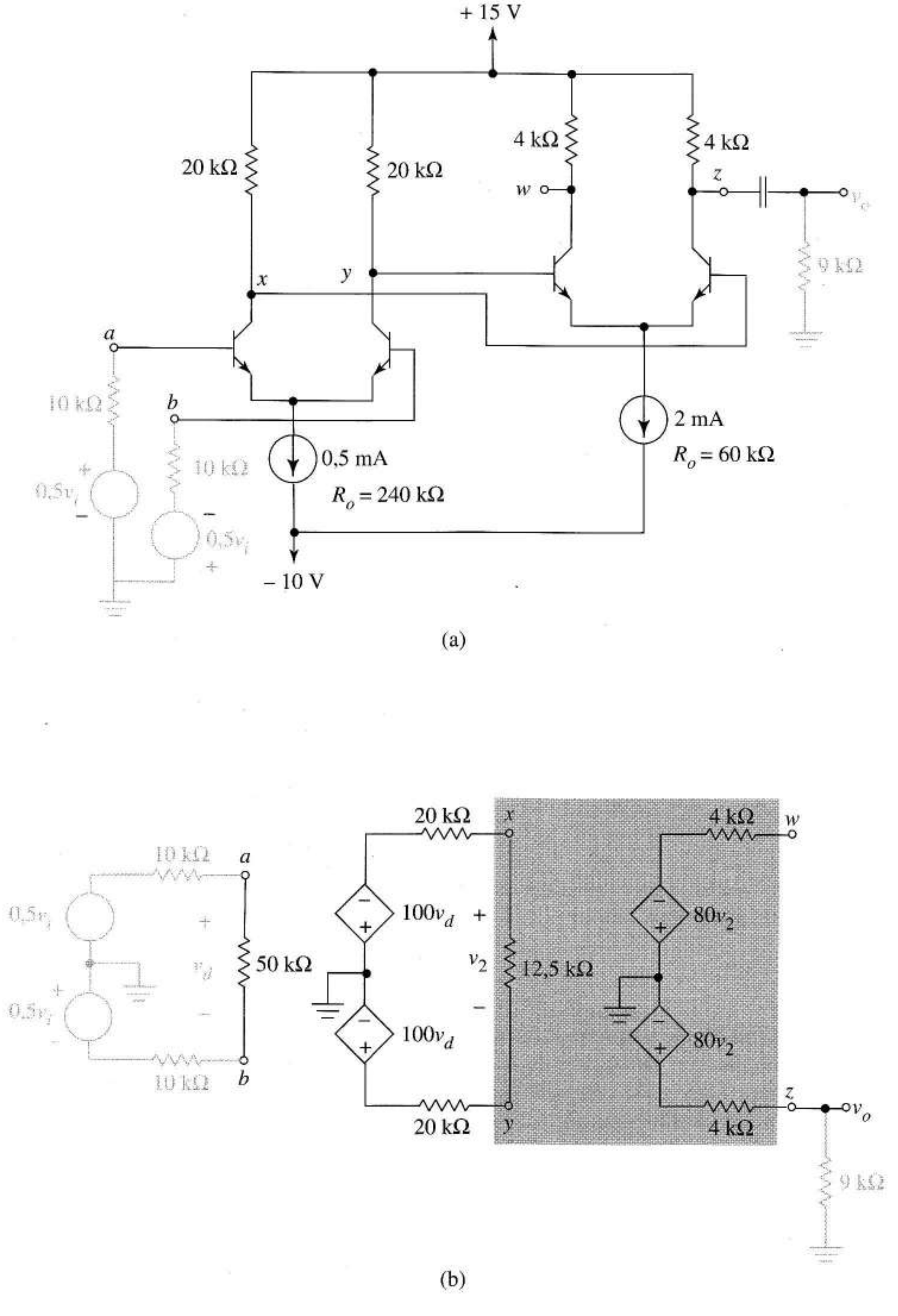


FIGURA 7.48 Circuito para demostrar las cargas de entrada y entre etapas: (a) circuito original; (b) equivalente en pequeña señal con los modelos de los amplificadores diferenciales.

La transformación de resistencia da la Figura 7.49e. Para obtener la forma final del circuito, necesitamos relacionar la variable v_π que controla las fuentes dependientes con la entrada de modo común v_c. La Figura 7.49e muestra que v_π se relaciona con v_C por la ecuación del divisor de tensión

$$v_\pi = \frac{r_\pi / 2}{(r_\pi / 2) + (\beta + 1)R_o} v_c$$

Como $(\beta + 1)R_o >> r_\pi/2$

$$g_m v_\pi \approx \frac{g_m r_\pi}{2(\beta + 1)R_o} v_c \approx \frac{1}{2R_o} v_c$$

donde el último paso supone $\beta >> 1$. El equivalente final, la Figura 7.49f, se obtiene etiquetando de nuevo las fuentes y realizando la transformación de la fuente.

Es interesante comparar los resultados previos. Obsérvese que la Figura 7.49f tiene la misma estructura que el modelo general del modo común de la Figura 1.29 salvo en la salida diferencial. Nuestra demostración indica los orígenes de la resistencia de entrada en modo común y de la resistencia de salida de la Figura 1.29e relacionando la ganancia de modo común con parámetros específicos del amplificador. Comparemos ahora la Figura 7.49f con el equivalente en modo común del caso FET (Figura 7.40c). Salvo en la notación, los circuitos de salida son idénticos. La entrada bipolar, sin embargo, es más compleja que el circuito abierto del caso FET.

Equivalente completo del amplificador diferencial acoplado por emisor La Figura 7.50 modela el amplificador diferencial acoplado por emisor para cualquier señal de entrada. Como el correspondiente acoplado por fuente, Figura 7.41, el circuito se simplifica para las señales diferenciales o de modo común puras. Con una señal diferencial pura $v_c = 0$. Esto elimina las fuentes de modo común y reduce el circuito de salida a la Figura 7.47e. Es fácil demostrar que la simetría del modo diferencial en el circuito de entrada hace exactamente nula la corriente que circula por $(\beta + 1)R_o$, con lo que la resistencia se puede sustituir por un circuito abierto, dando el circuito de entrada de la Figura 7.47e. Por otro lado, la excitación de modo común reduce el circuito a la Figura 7.49f.

Cuando la salida es diferencial, las componentes de modo común se cancelan, dando RRMC infinita. En el caso de una sola salida, la Figura 7.50 da

$$\text{RRMC}_{(s-e)} = \frac{(g_m R_C)/2}{R_C/(2R_o)} = g_m R_o \tag{7.85}$$

Como la Ecuación (7.77) para el par acoplado por fuente, esta ecuación demuestra que, para conseguir RRMC elevadas, la fuente de corriente debe tener alta resistencia de salida. Para la fuente de corriente básica

$$R_o = r_o = \frac{V_A}{2I_C}$$

donde V_A es la tensión Early e I_C es la corriente de polarización de amplificación de los transistores. Para este caso especial, (7.58) implica

$$\text{RRMC}_{(s-e)} = \frac{I_C}{V_T}\frac{V_A}{2I_C} = \frac{V_A}{2V_T} = 0{,}5\ \mu$$

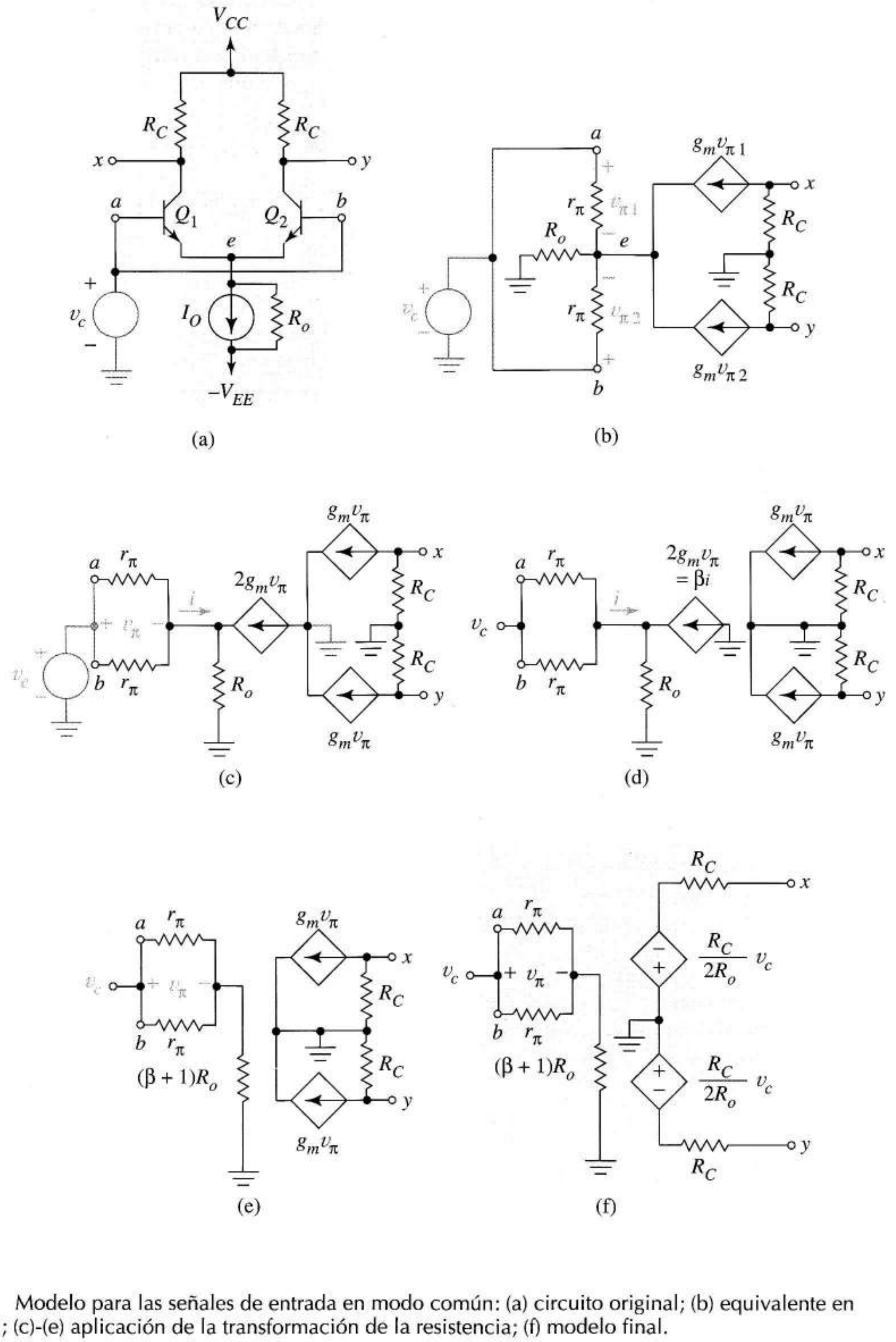


FIGURA 7.49 Modelo para las señales de entrada en modo común: (a) circuito original; (b) equivalente en pequeña señal; (c)-(e) aplicación de la transformación de la resistencia; (f) modelo final.

donde V_A es la tensión Early y μ es la ganancia intrínseca de tensión del espejo. Para V_A = 120 V, esto da aproximadamente 120 (2 × 0,025) = 2400 ó 67,6 dB.

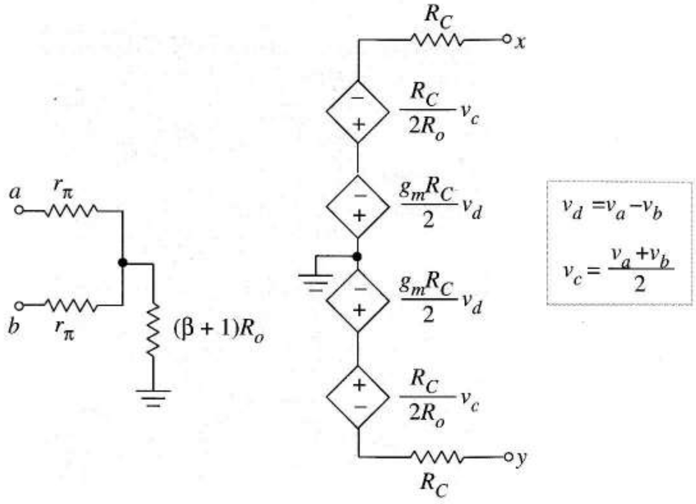


FIGURA 7.50
Modelo completo del amplificador diferencial acoplado por emisor para cualquier entrada de pequeña señal.

EJEMPLO 7.17 Todos los transistores de la Figura 7.51a tienen β = 320 y V_A = 125 V. El área del transistor del espejo es la mitad de la del transistor de referencia.

a) Hallar la resistencia de entrada que ve una señal diferencial.

b) Hallar la ganancia en modo diferencial, la de modo común y la RRMC con una salida asimétrica.

Solución La corriente de referencia es

$$I_{REF} = \frac{0-(-12+0{,}7)}{10\text{ k}} = 1{,}13\text{ mA}$$

por lo tanto, $I_O = 0{,}5 \times I_{REF} = 0{,}565$ mA. Las corrientes de colector de Q_1 y Q_2 son 0.283 mA dando $g_m = 11{,}3 \times 10^{-3}$ A/V y $r_\pi = 28{,}3$ kΩ.

a) De la Figura 7.47e, la resistencia de entrada es $2r_\pi = 56{,}6$ kΩ.

b) En la misma figura

$$A_{d(s-e)} = \frac{g_m R_c}{2} = \frac{11{,}3 \times 10^{-3} \times 12\text{ k}}{2} = 67{,}8$$

Para el transistor espejo

$$R_o = r_o = \frac{V_A}{I_O} = \frac{125}{0{,}565 \times 10^{-3}} = 221\text{ k}\Omega$$

por lo tanto

$$A_{c(s-e)} = \frac{R_c}{2R_o} = \frac{12\text{ k}}{2 \times 221\text{ k}} = 0{,}0271$$

El cociente da $RRMC_{(s-e)}$ = 2.502 ó 68 dB. ❑

Ejercicio 7.19 Hallar la ganancia $v_o(t)/v_{sd}(t)$ si la fuente de señal de la Figura 7.51b se conecta al amplificador del Ejemplo 7.17.

Sugerencia Modificar las respuestas del ejemplo incluyendo las cargas de entrada.

Respuesta 57,6.

Ejercicio 7.20 Calcular la máxima entrada en modo común y la corriente de polarización del amplificador de la Figura 7.51a usando los resultados del Ejemplo 7.17.

Respuesta 9,1 V, 0,884 μA.

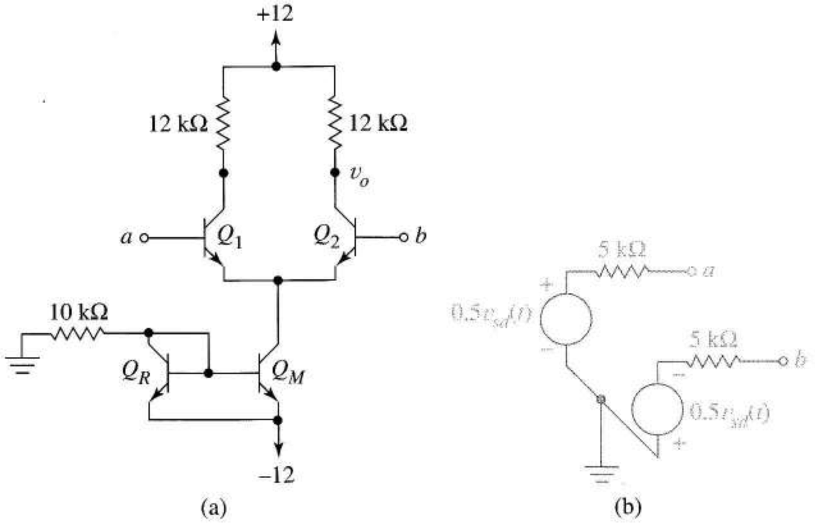


FIGURA 7.51 (a) Amplificador diferencial del Ejemplo 7.17; (b) fuente de señal del Ejercicio 7.19.

EJEMPLO 7.18 La Figura 7.52 muestra el amplificador de la Figura 7.51, Ejemplo 7.17, con una fuente externa y una carga conectada. Hallar v_o/v_i.

Solución Como la excitación es de modo común, necesitamos los valores de los parámetros del modelo de la Figura 7.49f. En el Ejemplo 7.17 hallaremos $r_\pi = 28{,}3$ kΩ, $R_o = 221$ kΩ y $R_c/2R_o = 0{,}0271$. Como quiera que

$$(\beta+1)R_o = (321)221\ \text{k}\Omega = 70{,}9\ \text{M}\Omega$$

el circuito equivalente es el de la Figura 7.52b.

Por definición, v_c es la media de los valores en a y b. El divisor de tensión da

$$v_c = \frac{(28{,}3\ \text{k}/2) + 70{,}6\ \text{M}}{[(28{,}3\ \text{k}/2) + 70{,}6\ \text{M}] + 50\ \text{k}} v_i = 0{,}999 v_i$$

lo que supone una carga de entrada mínima. La carga de salida

$$v_o = \frac{8\ \text{k}}{8\ \text{k} + 12\ \text{k}}(-0{,}0271)v_c = -0{,}0108 v_c$$

Combinándolos, se obtiene una ganancia de modo común $v_o/v_i = -0{,}0108$. ❑

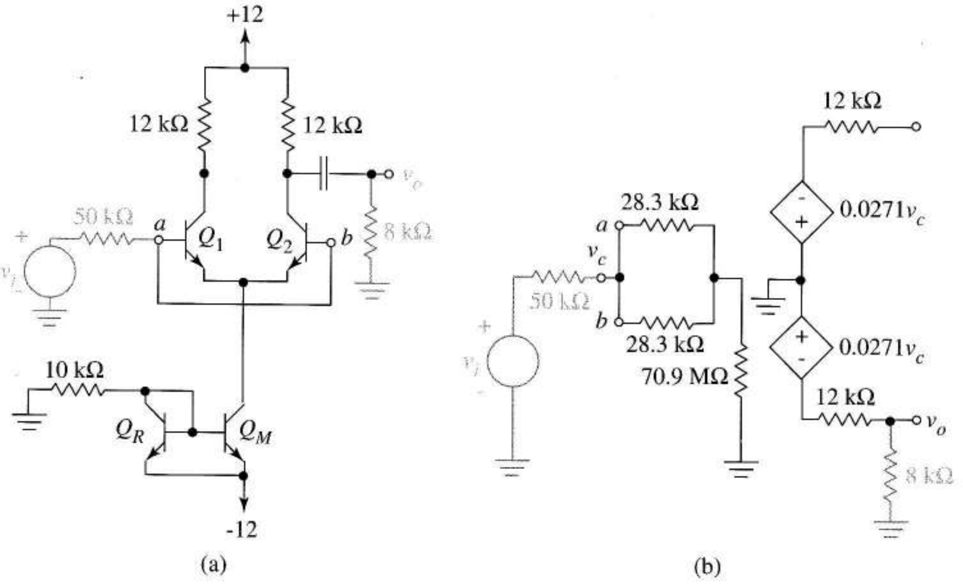


FIGURA 7.52 Circuito de modo común con carga de entrada y salida: (a) circuito inicial; (b) equivalente en pequeña señal.

EJEMPLO 7.19 Mejorar la RRMC del amplificador diferencial del Ejemplo 7.17 sustituyendo la fuente de corriente básica por una fuente Wilson con la misma corriente de salida y tres transistores idénticos.

Solución Suponemos que los dos transistores de la fuente Wilson son idénticos al del espejo de la Figura 7.51. A partir de (6.33)

$$R_o = \frac{\beta r_o}{2} = \left(\frac{320}{2}\right)(221\ \text{k}\Omega) = 35{,}4\ \text{M}\Omega$$

En el Ejemplo 7.17 hallamos que $g_m = 11{,}3 \times 10^{-3}$ A/V. De (7.85),

$$\text{RRMC} = 11{,}3 \times 10^{-3} \times \left(35{,}4 \times 10^{6}\right) = 4{,}00 \times 10^{5}$$

ó 112 dB, una considerable mejora sobre los 68 dB del diseño inicial. La Figura 7.53 muestra esta nueva fuente de corriente y

$$R = \frac{12 - 2 \times 0{,}7}{0{,}565\ \text{mA}} = 18{,}8\ \text{k}\Omega$$

completa el diseño. ❑

Ejercicio 7.21 Comparar los límites inferiores de las entradas en modo común del circuito inicial con el de la fuente Wilson.

Respuesta −11,1 V frente a −10,4 V para el de la fuente Wilson.

Aunque la resistencia de entrada de un amplificador diferencial acoplado por emisor sea finita, no quiere decir que sea pequeña. Como r_π es inversamente proporcional a I_C podemos conseguir elevadas resistencias de entrada usando una fuente de corriente con I_O muy pequeña. La fuente Widlar

es muy útil en este sentido y como su resistencia de salida es elevada, RRMC es también bastante grande. A continuación damos otra alternativa para obtener elevadas resistencias de entrada.

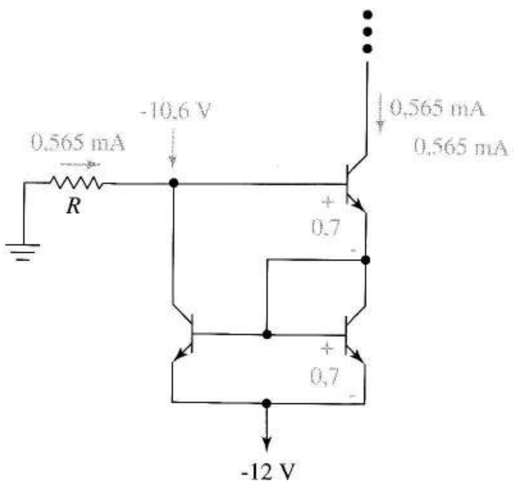


FIGURA 7.53 Fuente de corriente del Ejemplo 7.19 mejorando la RRMC.

7.9.3 PAR ACOPLADO POR EMISOR CON RESISTENCIAS DE EMISOR NO CORTOCIRCUITADAS

Añadiendo resistencias de emisor, como en la Figura 7.54a, sube la resistencia de entrada del amplificador diferencial acoplado por emisor. El precio a pagar por esta modificación es la reducción de la ganancia diferencial. El único cambio en la polarización es la inclusión de pequeñas caídas de continua $(I_O/2)R_E$. En esta sección introducimos el *análisis del medio amplificador*, una técnica que aprovecha la simetría del circuito y de las señales de los amplificadores diferenciales.

Modelo en modo diferencial Cuando se aplica una señal diferencial al circuito de la Figura 7.54a, la simetría del circuito y de la señal obliga a los emisores a estar al potencial de masa. Un eje vertical de simetría atraviesa las alimentaciones y la fuente de corriente dividiendo el amplificador en dos mitades iguales –*medio amplificador*– que sólo se diferencian en la fase de la tensión de entrada como en la Figura 7.54b. Podemos obtener toda la información necesaria tratando sólo la parte superior del medio amplificador que es todo lo que nos molestaremos en dibujar.

La Figura 7.54c es el medio amplificador con las resistencias escaladas. La tensión de control v se relaciona con v_d mediante

$$v = \frac{r_\pi}{r_\pi + (\beta + 1)R_E} \frac{v_d}{2}$$

por lo tanto, la corriente dependiente es

$$g_m v = \frac{\beta}{2[r_\pi + (\beta + 1)R_E]} v_d$$

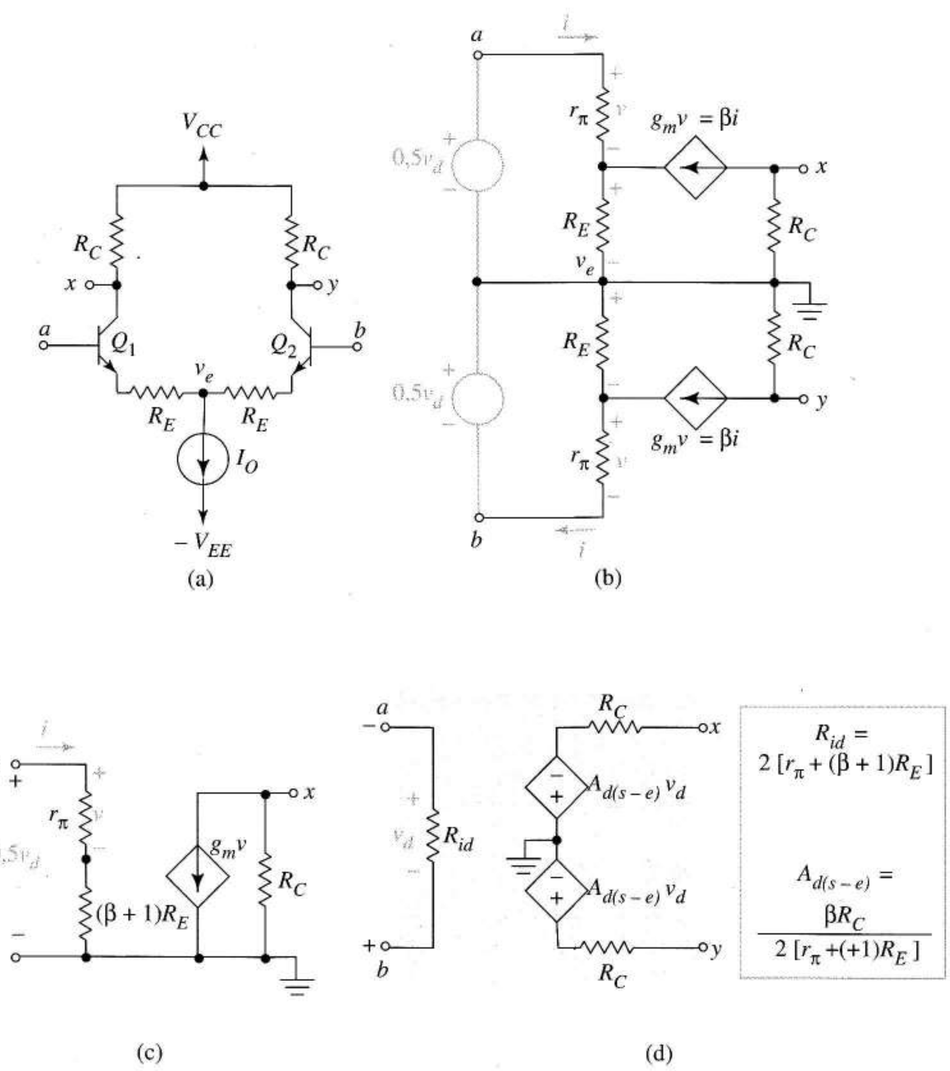


FIGURA 7.54 Modelo diferencial cuando no se cortocircuitan las resistencias de emisor; (a) amplificador; (b)-(c) pasos de la demostración; (d) modelo final.

Para obtener un circuito equivalente comparable a los anteriores, hacemos una transformación en la fuente y combinamos los dos medios amplificadores. Esto nos da la Figura 7.54d. Como comprobación, observemos que este circuito se reduce a la Figura 7.47e cuando R_E se hace cero.

Comparándolas, R_E reduce la ganancia e incrementa R_i. (De paso, damos una explicación teórica para el estudio numérico de la Figura 7.14a donde demostramos que si sólo se cortocircuitaba parcialmente la resistencia de emisor, disminuía la ganancia y se incrementaba la resistencia de entrada de un amplificador en emisor común.)

Modelo de modo común La Figura 7.55a es el esquema en pequeña señal destacando el eje vertical de simetría que tenemos cuando aplicamos una señal de modo común a un amplificador diferencial.

Como con la *excitación de modo común no hay masa virtual*, habrá que incluir la resistencia de salida de la fuente de corriente que aparecerá como dos resistencias en paralelo respetando, así, la simetría.

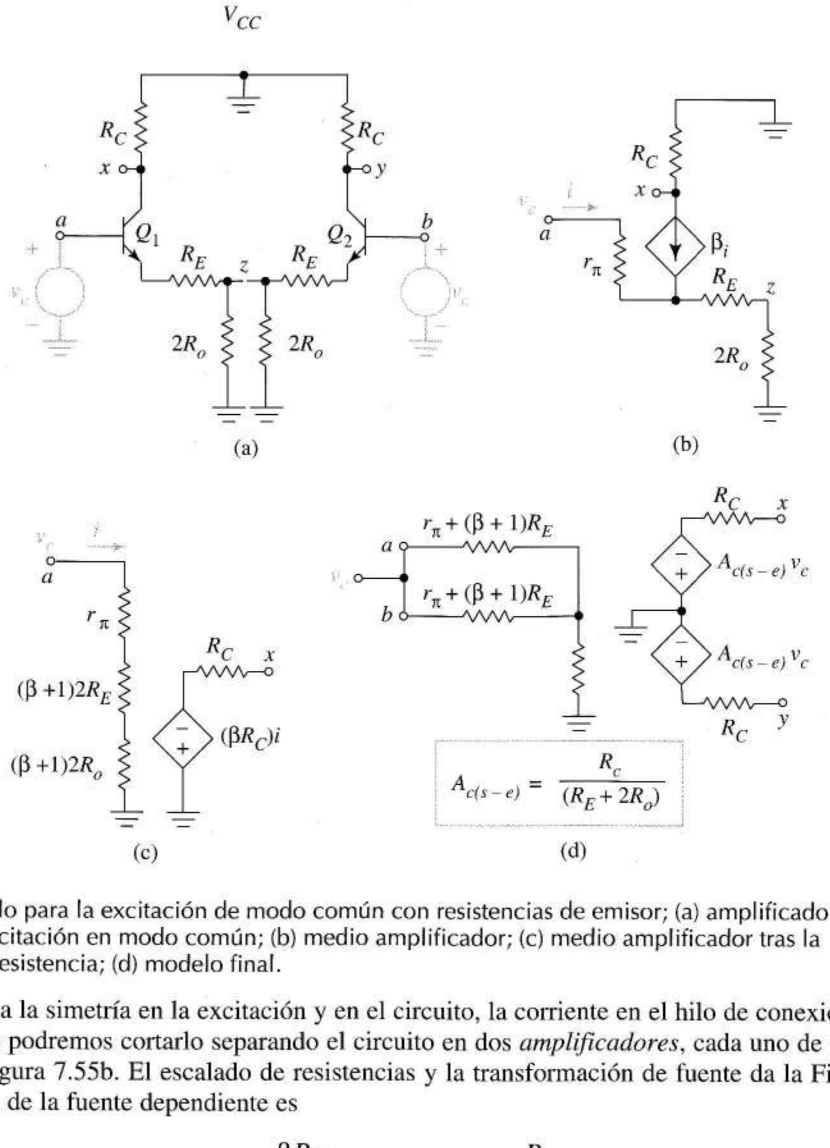


FIGURA 7.55 Modelo para la excitación de modo común con resistencias de emisor; (a) amplificador de pequeña señal con excitación en modo común; (b) medio amplificador; (c) medio amplificador tras la transformación de la resistencia; (d) modelo final.

Debido a la simetría en la excitación y en el circuito, la corriente en el hilo de conexión z es nula con lo que podremos cortarlo separando el circuito en dos *amplificadores*, cada uno de ellos, como el de la Figura 7.55b. El escalado de resistencias y la transformación de fuente da la Figura 7.55c. La tensión de la fuente dependiente es

$$\beta R_C i = \frac{\beta Rc}{r_\pi + (\beta+1)(R_E + 2R_o)} v_c \approx \frac{R_C}{(R_E + 2R_o)} v_c = A_{c(s-e)} v_c$$

en función de v_c donde $Ac(s\text{–}e)$ es la ganancia de modo común del medio amplificador.

Las dos mitades se recombinan en la Figura 7.55d dando el equivalente global. Por la excitación de modo común, las tensiones en los extremos superiores de las resistencias $(\beta + 1)R_o$ son idénticas por lo que pueden unirse sin más (deshaciendo el cambio que se hizo para pasar de la Figura 7.55a a la 7.55b). En el límite, cuando R_E se acerca a cero, la Figura 7.55d se reduce a la 7.49f. Concluimos,

pues, que las resistencias de emisor hacen caer la ganancia y suben la impedancia de entrada de las señales de modo común siendo, ambas cosas, mejoras en el circuito.

7.9.4 AMPLIFICADORES CON CARGAS ACTIVAS

Las Figuras 7.56a y b muestran amplificadores diferenciales con cargas activas bipolares y MOSFET. A diferencia de los anteriores, éstos no tienen simetría vertical con lo que no se prestan al mismo tipo de análisis. Los circuitos sin embargo, son simétricos desde el punto de vista de sus terminales de base y emisor; en consecuencia, suponemos una división ecualizada de la corriente de polarización y para el caso de análisis del modo diferencial, una masa virtual en el emisor o en el terminal de fuente. Una vez polarizados y trabajando en pequeña señal, el funcionamiento de bipolares y MOSFETs es casi idéntico así que elegimos el circuito bipolar para su estudio detallado ya que este tiene una complicación adicional: resistencia de entrada finita.

Con las entradas a masa y los transistores iguales, I_O se divide aproximadamente en partes iguales polarizando cerca de $I_O/2$. Tras una tediosa demostración, Gray y Meyer (citados en las referencias al final del capítulo) concluyeron que la tensión del punto Q en la salida es V_{BE} por debajo de V_{CC}.

Los circuitos de la Figura 7.56a y b tienen entradas diferenciales y salida asimétrica. Cuando se aplica una señal, la función de $Q_3(M_3)$ es copiar la señal de corriente de $Q_1(M_1)$ en el circuito de salida. Comprobaremos que esto dobla la ganancia diferencial y reduce la ganancia de modo común. Este copiado ya se mencionó en la Figura 6.35 pero es la primera vez que lo encontramos en un circuito real. El siguiente análisis explica detalladamente su funcionamiento.

La Figura 7.56c es el equivalente en pequeña señal de la Figura 7.56a para el caso diferencial. El diagrama tiene en cuenta la simplificación $1/g_{m3}||r_{\pi4}||r_{\pi o1} \approx 1/g_{m3}$. Como las corrientes de polarización y los transistores son iguales, las cuatro g_mS son idénticas; sin embargo, en el diagrama se respetan los subíndices para recordar su origen.

La tensión de salida es

$$v_o = \left[g_{m2}\frac{v_2}{2} - g_{m4}v_x \right]\left(r_{o4} \| r_{o2}\right)$$

La señal en la entrada de Q_1 se reproduce sobre $1/g_{m3}$ mediante la fuente dependiente, dando

$$v_x = -g_{m1}\left(\frac{1}{g_{m3}}\right)\frac{v_d}{2} = -\frac{v_d}{2}$$

Sustituyendo este valor de V_x en la expresión anterior y usando la notación gm nos da

$$v_o = \left[g_m\frac{v_d}{2} + g_m\frac{v_d}{2} \right]\left(r_{o4} \| r_{o4}\right) = g_m\left(r_{o4} \| r_{o2}\right)v_d$$

La ganancia de tensión es

$$A_d = \frac{v_o}{v_d} = g_m\left(r_{o4} \| r_{o2}\right) \qquad (7.86)$$

Observemos que el copiado de corrientes duplica la ganancia al añadir el segundo término entre corchetes.

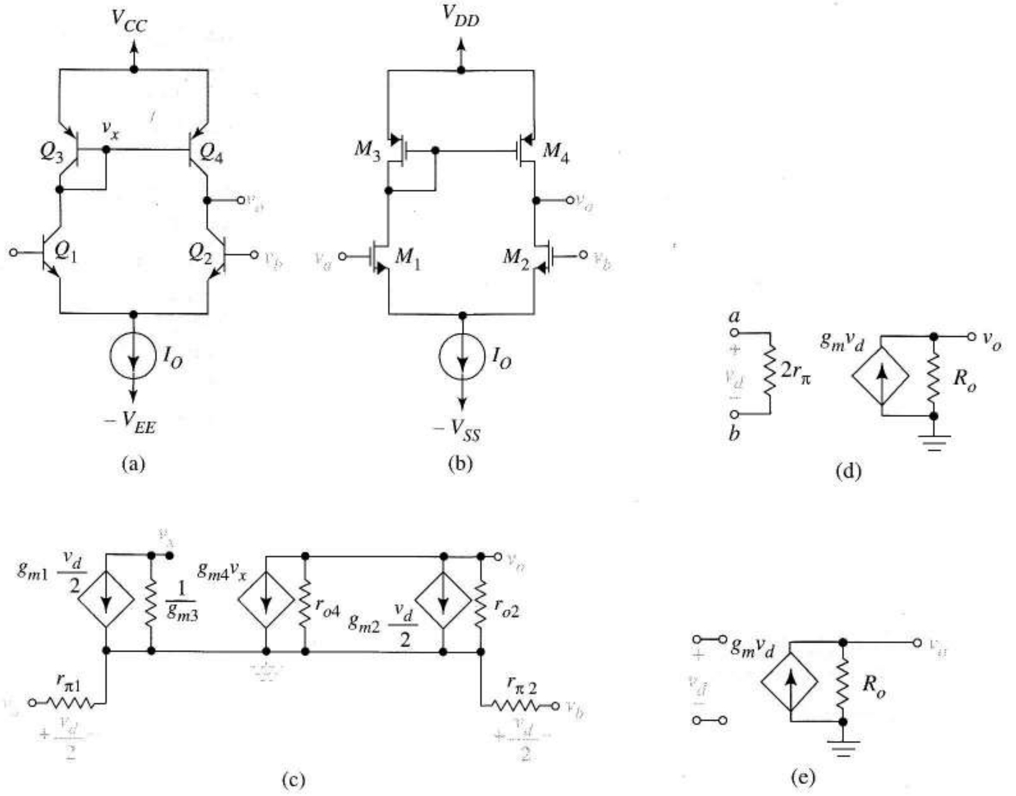


FIGURA 7.56 Cicuitos con carga activa: (a) bipolar; (b) CMOS; (c) equivalente en pequeña señal suponiendo excitación diferencial pura; (d) equivalente simplificado para la excitación diferencial; (e) equivalente de la Figura 7.56b.

Combinando las fuentes de corriente, las resistencias de salida y de entrada, se obtiene el equivalente de la Figura 7.56d. La ganancia en circuito abierto puede llegar a ser muy alta. Si desarrollamos $r_{o4} \| r_{o2}$ en la Ecuación (7.86) como producto de sumas y multiplicamos numerador y denominador por g_m, la expresión (7.86) se convierte en

$$A_d = \frac{\mu_2 \mu_4}{\mu_2 + \mu_4} \tag{7.87}$$

donde μ es la ganancia intrínseca del transistor. La resistencia de salida es

$$R_o = r_{o4} \| r_{o2} \tag{7.88}$$

Este circuito con carga activa es una versión práctica del emisor común con carga activa de la Figura 7.30a. La ganancia real, (7.87) es del mismo orden de magnitud que la ideal $-\mu$ prevista en la Ecuación (7.56). Salvo por la ausencia de r_π, el análisis en pequeña señal para el circuito FET de la Figura 7.56b es idéntico; el equivalente final es la Figura 7.56e y el amplificador queda descrito por las Ecuaciones (7.86)-(7.88).

EJEMPLO 7.20 El amplificador con carga activa de la Figura 7.57 tiene los siguientes parámetros: $V_{AP} = 60$ V, $\beta_p = 50$, $\beta_N = 350$ y $V_{AN} = 130$ V donde los subíndices P y N indican, respectivamente, transistores pnp y npn. Hallar con SPICE:

a) El punto Q de los transistores de salida y la tensión en la fuente de corriente cuando las dos bases están a masa.

b) La ganancia de tensión en modo diferencial.

c) La resistencia de entrada vista por la fuente de señal en modo diferencial.

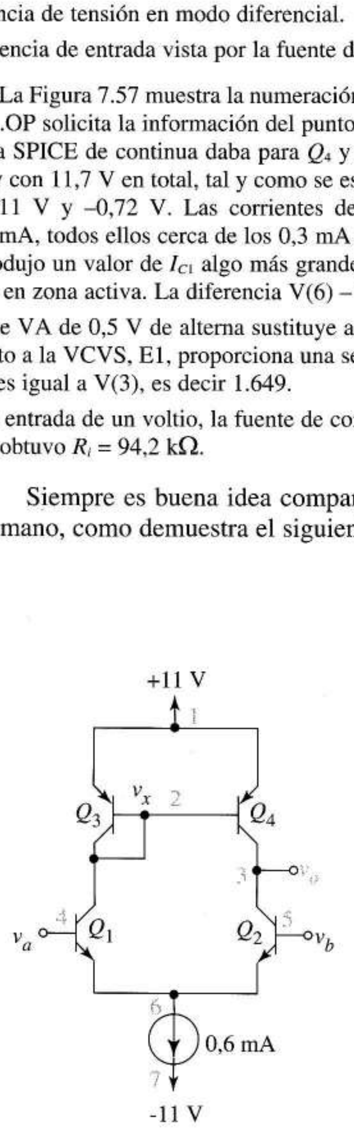
Solución La Figura 7.57 muestra la numeración de las nodos y el código SPICE para el análisis en alterna. La instrucción .OP solicita la información del punto Q.

a) La salida SPICE de continua daba para Q_4 y Q_2, $V_{CE} = -2{,}40$ V y 9,34 V respectivamente, lejos ambos de saturación y con 11,7 V en total, tal y como se esperaba. Los valores de polarización de Q_1 y Q_3 dieron respectivamente, 11 V y $-0{,}72$ V. Las corrientes de colector fueron $I_{C2} = I_{C4} = 0{,}297$ mA, $I_{C1} = 0{,}301$ mA e $I_{C3} = 0{,}289$ mA, todos ellos cerca de los 0,3 mA esperados. Como V_{CE} fue mayor para Q_1 que para Q_2, el efecto Early produjo un valor de I_{C1} algo más grande. Concluimos que todos los transistores están adecuadamente polarizados en zona activa. La diferencia V(6) – V(7) = 10,3 V es suficiente para la fuente de corriente.

b) La fuente VA de 0,5 V de alterna sustituye a la fuente de continua en el nodo 4 para realizar el análisis en alterna. Junto a la VCVS, E1, proporciona una señal diferencial pura de 1 V. En estas condiciones, la ganancia diferencial es igual a V(3), es decir 1.649.

c) Con una entrada de un voltio, la fuente de corriente I(VA) es la inversa de la resistencia de entrada, para la que SPICE obtuvo $R_i = 94{,}2$ kΩ. ❑

Siempre es buena idea comparar los resultados SPICE con las estimaciones hechas a mano, como demuestra el siguiente ejercicio.




```
EXAMPLE 7.20
VCC 1 0 DC 11
Q3 2 2 1 PTRAN
Q4 3 2 1 PTRAN
.MODEL PTRAN PNP BF=50 VA=60
Q1 2 4 6 NTRAN
Q2 3 5 6 NTRAN
.MODEL NTRAN NPN BF=350 VA=130
I0 6 7 DC 0.6MA
VEE 7 0 DC -11
*NEXT TWO LINES=PURE DIFF. MODE INPUT
VA 4 0 DC 0
*VA 4 0 AC 0.5
E1 5 0 4 0 -1
.OP
AC LIN 10 100 1000
.PRINT AC V(3)
.PRINT AC I(VA)
.END
```

FIGURA 7.57 Circuito con los nodos numerados correspondientes a SPICE y el código correspondiente al Ejemplo 7.20.

Ejercicio 7.22 Comprobar los resultados SPICE, $A_d = 1.649$, $R_i = 94{,}2\ \text{k}\Omega$ del Ejemplo 7.20 mediante análisis manual.

Respuesta $A_d = 1.645$, $R_i = 58{,}8\ \text{k}\Omega$.

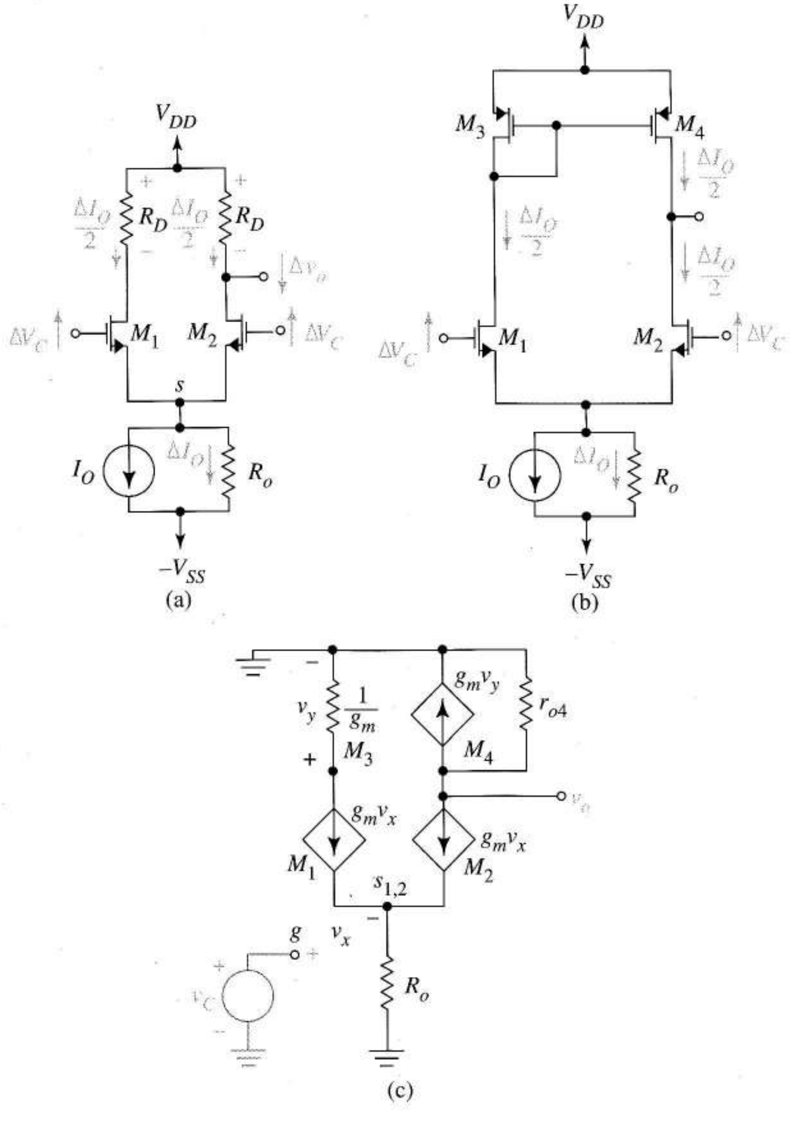


FIGURA 7.58 Rechazo del modo común en circuitos con carga pasiva y activa: (a) propagación del modo común en circuitos con carga pasiva; (b) circuito con carga activa mostrando como la corriente en M_3 y M_4 se opone a los cambios en M_2; (c) circuito equivalente en pequeña señal.

La ganancia de tensión obtenida en el Ejercicio 7.22 está muy próxima al valor SPICE; sin embargo, hay bastante discrepancia entre los dos valores de la resistencia de entrada. Deberíamos *pensar* que la expresión teórica $R_i = 2r_\pi$ es sólo válida cuando se ignoran las resistencias de salida r_o, de Q_1 y Q_2, aislando las fuentes de corriente de los circuitos base-emisor. Con r_{o1} y r_{o2} en el circuito, los transistores de entrada "perciben" el desequilibrio de la carga y la tensión del nodo 6 no se queda a masa. Esto es fácil de comprobar sustituyendo la tensión Early en la sentencia .MODEL para Q_1 y Q_2. Después de esta modificación el SPICE calcula $R_i = 60{,}5\ \text{k}\Omega$, valor que sólo se diferencia en un

4% del previsto. Después de este ejercicio, la prudencia aconseja que no sólo deberíamos comprobar los resultados SPICE con la teoría sino incrementar los estudios teóricos para conseguir simulaciones más realistas.

Gracias a unos espejos de corriente, tanto los amplificadores con carga activa MOS como los bipolares tienen un excelente rechazo del modo común lo que se demuestra intuitivamente a continuación, al compararlos con los de carga pasiva.

La Figura 7.58a indica la propagación de la señal de modo común hacia la salida en el caso de un amplificador con carga pasiva. Cualquier incremento ΔV_C por encima de la polarización provoca un incremento en la tensión en R_o produciendo una corriente adicional ΔI_O que se divide en partes iguales. El incremento en la corriente de drenador de M_2 circula por R_D provocando un cambio en la salida.

La Figura 7.58b, sin embargo, muestra la cancelación del incremento de corriente debido a que cualquier cambio de corriente es copiado por M_3. En el equivalente en pequeña señal de la Figura 7.58c se ve más claramente. Ignorando las resistencias de salida de M_1 y M_2, la señal de modo común produce una tensión v_x que crea corrientes dependientes iguales en M_1 y M_2. La tensión en M_3, $v_y = (-g_m v_x)(1/g_m) = -v_x$ produce en M_4 una corriente idéntica en magnitud y sentido a la de M_2 (ambas circulan hacia abajo con $v_x > 0$). Por la ley de corrientes de Kirchhoff, la corriente en r_{o4} será nula, haciendo $v_o = 0$, perfecto rechazo del modo común. Las mismas ideas se pueden aplicar a la versión bipolar.

EJEMPLO 7.21 Modificar el código SPICE de la Figura 7.57 para tener una señal de modo común y una resistencia de salida de la fuente de corriente de 100 kΩ. Hallar con SPICE la ganancia en modo común con y sin resistencias de salida en los transistores de entrada.

Solución Los cambios en el código SPICE son: la transmitancia en la línea E1 cambia a +1, la tensión de la fuente VA pasa a 1 V, se añade una nueva resistencia ROUT = 100 k entre los nodos 6 y 7. De esta forma, la tensión V(3) es igual, numéricamente, a la ganancia en modo común. La ganancia en modo común calculada con y sin las resistencias de salida de Q_1 y Q_2 son, respectivamente, $3{,}28 \times 10^{-3}$ y $3{,}68 \times 10^{-4}$. Utilizando la ganancia diferencial de 1.649 obtenida en el Ejemplo 7.20, tenemos una RRMC de 114 dB y 113 dB, respectivamente. La salida de la simulación indicaba que la transconductancia real de Q_3 difería de la de Q_1 lo que explica la ganancia de modo común no nula. ❑

Ejercicio 7.23 Hallar una expresión para la ganancia en modo común del circuito de la Figura 7.58c si la transconductancia de M_3, g_{m3} es distinta de la de los demás transistores, g_m.

Respuesta $A_c = \frac{r_{o4}}{2R_o}\left(\frac{g_m}{g_{m3}} - 1\right)$

Amplificador diferencial cascodo La Figura 7.59 muestra la evolución de los circuitos con carga activa en el caso de los circuitos cascodo, tan populares en operacionales MOS. El circuito de la Figura 7.59a se convierte en el de la Figura 7.59b al sustituir los transistores de canal n y p con dispositivos complementarios modificando adecuadamente la polarización. La Figura 7.59c es una forma más convencional de dibujar la Figura 7.59b, aunque los equivalentes en pequeña señal son idénticos. La ganancia y la resistencia de salida se dan en las Ecuaciones (7.86) a (7.88) con los subíndices referidos a los transistores de salida complementarios. La nueva versión del circuito tiene una ventaja sobre la inicial como primera etapa de un amplificador multietapa. Si las entradas son cercanas a masa, la salida está por debajo del nivel de masa, es decir, cerca de $-V_{SS}$ en lugar de cerca de V_{DD} como en el primer amplificador. Los transistores del tipo contrario han desplazado hacia abajo el nivel de polarización lo que permitirá ir incrementando los niveles de continua en las siguientes etapas. Ahora es posible llevar la salida del amplificador multietapa al potencial de masa lo que es interesante en operacionales y otros circuitos.

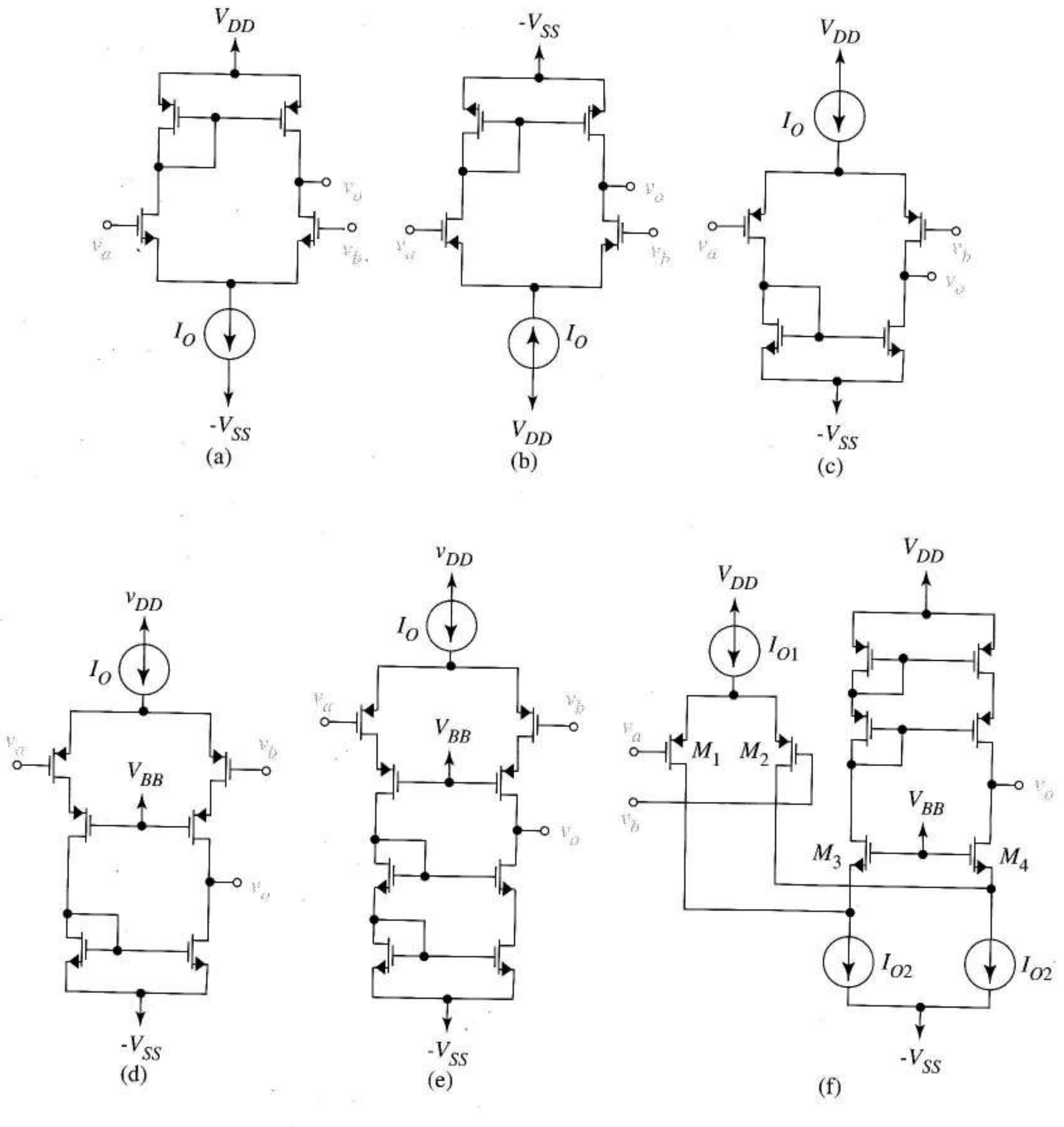


FIGURA 7.59 Evolución de un amplificador cascodo: (a) amplificador con carga activa; (b) tras la sustitución de los transistores por los de tipo complementario; (c) representación convencional del mismo circuito; (d) pares cascodo sustituyendo a los transistores en fuente común; (e) espejo de corriente cascodo para ganancia elevada y resistencia de salida alta; (f) amplificador cascodo.

En la Figura 7.59d, los transistores de entrada del fuente común de la Figura 7.59c fueron sustituidos por pares cascodo (ver el esquema en pequeña señal para entradas en distintos modos con masa virtual en los terminales de fuente de los transistores de entrada). La fuente V_{BB} se hace fácilmente en el propio chip. Como en el circuito original, la corriente de salida del circuito cascodo de la izquierda es copiada hacia la salida para duplicar la ganancia. Sabemos que la transconductancia de los amplificadores cascodo es la misma que en el caso fuente común, g_m, sin embargo, el casco-

do tiene un mayor potencial de ganancia por sí mismo debido a su elevada resistencia de salida. Al sustituir el espejo básico por un espejo cascodo, como en la Figura 7.59e, se permite que el amplificador cascodo materialice este potencial por la gran resistencia de salida de la fuente. El espejo cascodo copia la corriente de señal de la misma forma que el básico. Lo que significa todo esto es que el amplificador cascodo también se modela con la Figura 7.56e, aunque R_o es el equivalente paralelo de la resistencia de salida del espejo cascodo, μr_o de la Ecuación (7.72) y la resistencia de salida del amplificador cascodo. A partir de (7.63), esta ultima es $r_o(1 + g_m r_o)$. Así, en el amplificador diferencial cascodo de la Figura 7.59e

$$R_o = (\mu r_o) \parallel [(1 + g_m r_o) r_o] \approx 0{,}5 \mu r_o \tag{7.89}$$

y la ganancia en circuito abierto es

$$g_m R_o = 0{,}5 \mu^2 \tag{7.90}$$

Este circuito se usa a menudo como amplificador de transconductancia con una ganancia real de tensión mucho menor que el valor de cortocircuito debido a la baja resistencia externa de carga.

La Figura 7.59f es una variación del *amplificador cascodo* que desarrolla una elevada ganancia de tensión e, incluso, algunas veces constituye un amplificador operacional de una etapa. Como las corrientes I_{o2} son mayores que $0{,}5 I_{o1}$ todos los transistores de salida están adecuadamente polarizados aunque los transistores en puerta común M_3 y M_4 de la entrada del cascodo sean dispositivos de canal n.

Como el circuito en pequeña señal es igual que el de la Figura 7.59e, la Figura 7.59f también se explica mediante las Ecuaciones (7.89) y (7.90); sin embargo, observemos que tanto la entrada como la salida pueden estar al potencial de masa.

7.10 ASPECTOS AVANZADOS EN EL DISEÑO Y ANÁLISIS EN CONTINUA

Ahora que nos hemos familiarizado con los amplificadores más comunes, podemos comprender mejor la relación entre el diseño de los circuitos de polarización con la pequeña señal y otros parámetros del amplificador. También están relacionados con la polarización y el análisis en continua, las tensiones y corrientes de desviación de entrada, lo que también se estudiará en esta sección.

7.10.1 DISEÑO EN PEQUEÑA SEÑAL Y POLARIZACIÓN

Ganancia de tensión y resistencias de entrada y salida Como los parámetros del transistor en pequeña señal cambian con el punto Q, la pequeña señal y la polarización están muy relacionadas en el diseño. Aquí trataremos de las ideas y compromisos que debe tener en cuenta el diseñador.

Consideremos la ganancia de tensión y las resistencias de entrada y salida de un amplificador. En muchos circuitos bipolares la ganancia incluye el producto

$$g_m R_L = \left(\frac{I_C}{V_T} \right) R_L$$

La resistencia de entrada está relacionada con

$$r_\pi = \frac{\beta}{g_m} = \beta\left(\frac{V_T}{I_C}\right)$$

y la resistencia de salida es proporcional a

$$r_o = \frac{V_A}{I_C}$$

Si un diseño necesita valores altos de ganancia y resistencia de entrada, la situación de I_C en esas ecuaciones podría ser un problema al seleccionar un punto Q que satisfaga ambos requisitos. Algunas veces, se puede conseguir elevada resistencia de entrada con una etapa especial de entrada como un seguidor de emisor. Debido a I_C, la resistencia de salida tiende a oponerse a la ganancia de tensión y se podría necesitar una etapa en base común en la salida que consiga tanto una elevada ganancia como elevada resistencia de salida.

También es interesante ver que una determinada ganancia $g_m R_C$ impone restricciones al diseño del circuito de polarización. Observemos que un valor dado

$$g_m R_C = \left(\frac{1}{V_T}\right) I_C R_C$$

supone una caída determinada de tensión $I_C R_C$ en la resistencia de colector. Esto fue ignorado cuando hablamos por primera vez del circuito de polarización con cuatro resistencias. Ahora vemos que, en diseños discretos de cuatro resistencias, la elevada ganancia está enfrentada a la estabilidad del punto Q ya que parte de la tensión de alimentación disponible debe mantenerse tanto en $I_C R_C$ como en $I_E R_E$. En pares acoplados por emisor, si se asigna una tensión de polarización $I_C R_C$ más grande para lograr ganancia elevada, se reduce el límite superior del modo común. La idea de la carga activa nos libera de la solución de compromiso entre la ganancia y la resistencia de salida en el caso bipolar. Como

$$g_m r_o = \frac{I_C}{V_T}\frac{V_A}{I_C} = \frac{V_A}{V_T}$$

la ganancia es independiente del punto Q.

En circuitos FET, todo esto se simplifica por la infinita resistencia de entrada. Las ecuaciones para el MOSFET

$$g_m = \sqrt{2kI_D}$$

y

$$g_m = \sqrt{4\beta I_D}$$

para el JFET muestran que la ganancia alta va asociada con grandes corrientes de polarización. La dependencia no es tan fuerte como en los diseños bipolares debido a la variación cuadrática. Sin embargo, asignar caída de tensión $I_D R_S$ grande en los circuitos de polarización de cuatro resistencias para los casos FET para conseguir estabilidad del punto Q supone un compromiso con la ganancia.

Para el FET con carga activa

$$g_m r_o = \sqrt{\frac{2k}{I_D}} V_A$$

para los MOSFETs y

$$g_m r_o = \sqrt{4\beta I_D} \frac{V_A}{I_D} = \sqrt{\frac{4\beta}{I_D}} V_A$$

para los JFETs. Esto supone que la alta ganancia y la elevada resistencia de salida se produce con polarización con bajas corrientes de drenador. Aparecen más adelante otros compromisos relacionados con el diseño de la polarización.

Amplitud de señal y distorsión Las aplicaciones lineales necesitan transistores en zona activa con lo que debemos seleccionar puntos Q para los que los transistores ni se saturen ni se corten cuando se introduzcan señales. De esta forma, la amplitud requerida establece la máxima proximidad permitida del punto Q a cualquiera de los extremos.

De esta forma, debemos distinguir dos tipos de amplificadores, los de pequeña señal y los de gran señal o *amplificadores* de *potencia*; sólo en estos últimos es necesaria una gran variación de la señal.

La distorsión de no linealidad tiene lugar cuando las señales atraviesan regiones extensas de la función de transferencia del transistor. La Ecuación (7.19) muestra qué corrientes de polarización elevadas (g_m grandes) favorecen la baja distorsión en los FETs; la Ecuación (7.20) indica que esta propiedad no es compartida por los bipolares.

7.10.2 DESVIACIONES[4] DE ENTRADA

Aunque algunos amplificadores integrados usan componentes idénticos, hay unas inevitables diferencias en los parámetros que llevan a la aparición de tensiones y corrientes de desviación. Examinaremos ahora los factores que contribuyen a estos efectos y relacionan los valores de desviación medidos con las tolerancias de fabricación.

Amplificador diferencial acoplado por emisor Si ambas bases están a masa en un amplificador real como a la de la Figura 7.60a, la tensión de salida V_D, diferirá de su teórico valor nulo. Para contrarrestar este efecto, supongamos que conectamos una fuente externa V_{OS} a la entrada y la ajustamos al valor adecuado para hacer nula V_D. Por definición, la *tensión de desviación de entrada* del amplificador diferencial es V_{OS}.

Con ambos transistores activos, la ley de Kirchhoff de las tensiones y la Ecuación (4.5) dan

$$V_{OS} = V_{BE1} - V_{BE2} = V_T \ell n\left[\frac{I_{C1}}{I_{S1}}\right] - V_T \ell n\left[\frac{I_{C2}}{I_{S2}}\right] = V_T \ell n\left[\frac{I_{C1}}{I_{C2}}\frac{I_{S2}}{I_{S1}}\right] \tag{7.91}$$

suponiendo que las temperaturas en ambos transistores son iguales. Como V_D es cero por la fuente externa,

$$V_D = I_{C2}R_{C2} - I_{C1}R_{C1} = 0$$

[4]N. del T. Igual que cuando se habló de las corrientes de desviación, el término "desviaciones de entrada" recoje perfectamente la idea del parámetro real y se ha preferido el término en castellano pese a que, en algunos textos, se encuentra el término en inglés "*offset*".

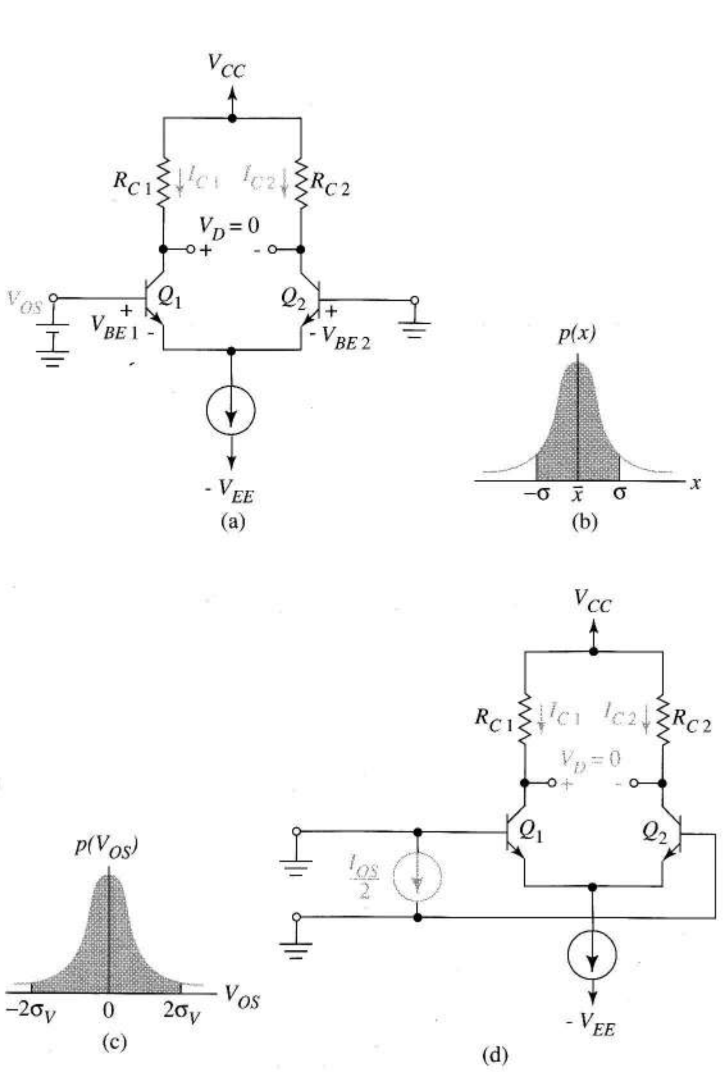


FIGURA 7.60
Desviación de entrada: (a) definición de tensión de desviación; (b) densidad de probabilidad; (c) función de probabilidad para variaciones en la tensión de desviación; (d) definición de corriente de desviación de entrada.

Esto implica

$$\frac{I_{C1}}{I_{C2}} = \frac{R_{C2}}{R_{C1}} \tag{7.92}$$

Si hay diferencias entre las resistencias o en las corrientes de saturación que causan la desviación, buscaremos la relación de V_{OS} con ellas. Sustituyendo (7.92) en (7.91) da

$$V_{OS} = V_T \ell\text{n}\left(\frac{R_{C2} I_{S2}}{R_{C1} I_{S1}}\right) = V_T\left[\ell\text{n}\left(\frac{R_{C2}}{R_{C1}}\right) + \ell\text{n}\left(\frac{I_{S2}}{I_{S1}}\right)\right] \tag{7.93}$$

Observemos las derivas con la temperatura debidas a $V_T = kT/q$.

Para relacionar V_{OS} con las diferencias entre parámetros, definimos la resistencia media de colector

$$R_C = \frac{R_{C1} + R_{C2}}{2}$$

y la variación de R_C en la fabricación

$$\Delta R_C = R_{C1} - R_{C2}$$

Despejando simultáneamente R_{C1} y R_{C2}, podemos escribir su cociente como

$$\frac{R_{C2}}{R_{C1}} = \frac{R_C - (\Delta R_C/2)}{R_C + (\Delta R_C/2)} = \frac{[1 - (\Delta R_C/2R_C)]}{[1 + (\Delta R_C/2R_C)]} \approx 1 - \frac{\Delta R_C}{R_C} \tag{7.94}$$

Para justificar este último paso despreciamos las caídas en otros términos debidas a $\Delta R_C/R_C$ suponiéndolas pequeñas. Destaquemos que el valor nominal de R_C que varía fuertemememente de una serie de integrados a otra, se cancela. La variación unitaria que queda está relacionada con las tolerancias de las máscaras de fabricación del chip, asunto ya tratado en la Sección 3.3.6. Operando de la misma forma con la corriente de saturación en la Ecuación (7.93) da

$$\frac{I_{S2}}{I_{S1}} \approx 1 - \frac{\Delta I_S}{I_S}$$

Sustituyéndola en (7.93) da

$$V_{OS} = V_T \ell\text{n}\left(1 + \frac{\Delta R_C}{R_C}\right) + V_T \ell\text{n}\left(1 - \frac{\Delta I_S}{I_S}\right)$$

Las pequeñas variaciones unitarias justifican la aproximación $\ln(1 + x) \approx x$ dando la expresión final de la desviación

$$V_{OS} = -V_T\left(\frac{\Delta R_C}{R_C} + \frac{\Delta I_S}{I_S}\right) \tag{7.95}$$

con lo que podemos estimar numéricamente V_{OS}.

Usaremos una curva de densidad de probabilidad como la Figura 7.60b para describir las variaciones aleatorias del parámetro x que podían ocurrir durante la fabricación del circuito integrado. La curva da una probabilidad relativamente alta a los valores cercanos a x y baja probabilidad a los más alejados. En especial, la probabilidad de que x esté entre dos determinados valores a y b es el área bajo la curva para $a < x < b$. La campana de Gauss se caracteriza mediante dos parámetros: la media que define el eje vertical de simetría de la curva y la desviación estándar σ que describe la extensión de la dispersión de la curva en relación con su valor medio. La probabilidad de que $-\sigma < x < \sigma$ es de aproximadamente el 68% y la probabilidad de que $-2\sigma < x < 2\sigma$ es del 96%.

Tras varias series de fabricación de circuitos integrados se obtuvieron variaciones de $x = \Delta R_C/R_C$ daban una campana de Gauss con media nula y desviación estándar del 1%. Las variaciones de $\Delta I_S/I_S$ tienen también media gaussiana nula y una desviación estándar del 5%

Para un estadístico, la Ecuación (7.95) describe la tensión de desviación como $-V_T$ veces la suma de dos variables aleatorias, descritas por curvas gaussianas de probabilidad conocidas. Como $\Delta R_C/R_C$ y $\Delta I_S/I_S$ son variaciones independientes, la teoría de probabilidad dice que V_{OS} es también una variable aleatoria con una curva de probabilidad gaussiana como la de la Figura 7.60c. más aún, la desviación estándar de esta curva, σ_V, cumple

$$\sigma_V^2 = V_T^2\left(\sigma_R^2 + \sigma_I^2\right) \tag{7.96}$$

Así, para desviaciones del 1% en la resistencia y del 5% en la corriente de saturación

$$\sigma_V = \sqrt{(0{,}025)^2\left[(0{,}01)^2 + (0{,}05)^2\right]} = 1{,}27 \text{ mV}$$

Con esta información estadística, podemos predecir que el 96% de los amplificadores diferenciales de una serie grande tendrán tensiones de desviación que estarán entre ±2 veces la desviación estándar, es decir, caerá dentro del margen

$$-2{,}54 \text{ mV} < V_{OS} < 2{,}54 \text{ mV}$$

Una aproximación similar nos llevaría a una descripción estadística de la corriente de desviación de entrada.

Corriente de desviación de entrada Cualquier pequeña diferencia entre las corrientes de base provoca tensión de salida no nula cuando situemos las dos entradas a masa. Podemos forzar una salida nula cancelando esta diferencia de corriente con una fuente de corriente externa como en la Figura 7.60d. Esto es

$$I_{OS} = I_{B1} - I_{B2}$$

y, entonces, se aplica (7.92). Como la corriente de desviación de entrada tiene que ver con las corrientes de base en vez de los de colector, reescribimos (7.92) como

$$\beta_1 I_{B1} R_{C1} = \beta_2 I_{B2} R_{C2} \tag{7.97}$$

La definición de I_{os} y la Ecuación (7.97) nos lleva a

$$I_{OS} = I_{B1}\left(1 - \frac{\beta_1}{\beta_2}\frac{R_{C1}}{R_{C2}}\right)$$

Utilizando nuestras definiciones de ΔR_C y R_C y definiendo $\Delta\beta$ y β de la misma forma, da

$$I_{OS} = I_{B1}\left[1 - \left(\frac{1+\Delta\beta/2\beta}{1-\Delta\beta/2\beta}\right)\left(\frac{1+\Delta R_C/2R_C}{1-\Delta R_C/2R_C}\right)\right]$$

Expresando I_{B1} en función de su variación y despreciando los términos pequeños, nos lleva a

$$I_{OS} = I_B\left(1 + \frac{\Delta I_B}{2I_B}\right)\left[1 - \left(1 + \frac{\Delta\beta}{\beta}\right)\left(1 + \frac{\Delta R_C}{R_C}\right)\right]$$

Operando y despreciando los productos de variaciones (de segundo orden)

$$I_{OS} = -I_B\left[\frac{\Delta\beta}{\beta} + \frac{\Delta R_C}{R_C}\right] \tag{7.98}$$

Los datos estadísticos indican que β es una variable gaussiana de media nula y desviación del 10% aproximadamente. Como el caso anterior para la tensión de desviación, concluimos que la corriente de desviación de entrada es una variable aleatoria gaussianas con media nula y desviación estándar

$$\sigma_1 = \sqrt{I_B^2\left(\sigma_B^2 + \sigma_R^2\right)} \tag{7.99}$$

Observemos que en las Ecuaciones (7.98) y (7.99) la corriente de desviación depende de la corriente de polarización y, por tanto, del punto Q del transistor. En el par acoplado por emisor, al polarizar con elevadas corrientes de colector para lograr altas ganancias, también sube la corriente de desviación.

Desviaciones en los pares acoplados por fuente Para el par acoplado por fuente, la demostración de la tensión de desviación es muy paralela a la del caso bipolar. Primero, destaquemos que los transistores MOS activos cumplen la Ecuación (5.7). Por lo tanto, la fuente externa situada en la entrada debe cumplir

$$V_{OS} = V_{GS1} - V_{GS2} = \left(\sqrt{\frac{2}{k_1}I_{D1}} + V_{t1}\right) - \left(\sqrt{\frac{2}{k_2}I_{D2}} + V_{t2}\right)$$

Por definición, esta fuente lleva la tensión de salida a cero, provocado

$$I_{D2} = \frac{R_{D1}}{R_{D2}} I_{D1}$$

Incluyendo esto, las expresiones de la desviación se convierten en

$$\begin{aligned} V_{OS} = V_{GS1} - V_{GS2} &= \sqrt{\frac{2}{k_1}I_{D1}} - \sqrt{\frac{2}{k_2}I_{D1}\frac{R_{D1}}{R_{D2}}} + \Delta V_t \\ &= \Delta V_t + \sqrt{\frac{2}{\mu_n C_{ox}}I_{D1}}\left[\sqrt{\frac{1}{(W/L)_1}} - \sqrt{\frac{1}{(W/L)_2}\frac{R_{D1}}{R_{D2}}}\right] \end{aligned}$$

donde $\Delta V_t = V_{t1} - V_{t2}$ y donde k se obtiene de (5.8).

Las causas de V_{OS} son las desigualdades en R_D, en las relaciones W/L y en las tensiones umbrales. Cuando expresamos las resistencias y W/L en función de sus medias y desviaciones estándar, igual que hicimos con los bipolares, despreciando los términos de segundo orden y manteniendo sólo los dos primeros términos de la descomposición de las funciones cuadráticas, obtenemos

$$V_{OS} = \Delta V_1 + \sqrt{\frac{2}{\mu_n C_{ox}}I_{D1}}\left[\left(\frac{-\Delta R_D}{R_D}\right) - \left(\frac{-\Delta(W/L)}{(W/L)}\right)\right] \tag{7.100}$$

Es posible una deriva térmica a través de μ y la presencia de I_{D1} muestra que la tensión de desviación en el par acoplado por fuente MOSFET depende del punto Q. También se añade directamente a la tensión de desviación de entrada la diferencia entre tensiones umbrales, ΔV_t. La tensión de desviación es una variable aleatoria de media cero con desviación estándar σ_V, que se relaciona con las desviaciones de los parámetros desiguales mediante

$$\sigma_V = \sqrt{\sigma_{V_t}^2 + \frac{2}{\mu_n C_{ox}} I_{D1}\left(\sigma_R^2 + \sigma_{W/L}^2\right)} \tag{7.101}$$

La tensión de desviación de los pares acoplados por fuente JFET se analiza en el texto de Gray y Meyer que se da en las referencias al final del capítulo.

7.11 SUMARIO

En este capítulo hemos visto los modelos de pequeña señal que describen las perturbaciones de pequeña señal alrededor del punto de funcionamiento del transistor. Los valores de los parámetros del modelo dependen tanto de la estructura física del transistor como de su punto de trabajo. La validez del modelo depende de poder mantener las señales lo suficientemente pequeñas como para que la distorsión sea despreciable. Para analizar el funcionamiento en pequeña señal de un circuito electrónico lineal, caso, por ejemplo, de un amplificador, utilizaremos el circuito equivalente en pequeña señal. Obtuvimos este circuito del esquema original desconectando las fuentes continuas de polarización, sustituyendo los condensadores de acoplo y desacoplo por cortocircuitos y sustituyendo cada transistor por su modelo de pequeña señal. Si nos detenemos un poco antes de este último paso, aún tenemos los símbolos de los transistores en el esquema de pequeña señal. Esta representación nos ayuda a reconocer el papel del transistor en el circuito mostrando su orientación y, con cierta experiencia, puede usarse para formular la ecuación del circuito. El análisis en pequeña señal supone hallar expresiones algebraicas para las señales del circuito. Usaremos normalmente relaciones entre señales del tipo de ganancia, ya sea de tensión, corriente o potencia y resistencias de entrada y salida. Las expresiones algebraicas suelen ser aproximaciones que nos ayudan a comprender el funcionamiento general del circuito, lo que es importante en el diseño. La transformación de la fuente de corriente y el concepto de escalado de resistencias en los bipolares son dos herramientas muy útiles que simplifican el análisis manual. Los simuladores como el SPICE nos dan una poderosa herramienta numérica de gran precisión. Las simulaciones son particularmente útiles para ayudarnos a determinar el efecto de los factores secundarios que hemos omitido deliberadamente en el análisis manual para simplificarlo.

Hay tres configuraciones básicas de amplificador con un sólo transistor: emisor común, base común y colector común y los correspondientes al caso FET que poseen similares propiedades. Las configuraciones de emisor común y fuente común son amplificadores de uso general; los de base común y puerta común se parecen a fuentes de corriente de ganancia unidad con baja resistencia de entrada y alta resistencia de salida; los de colector común y drenador común son fuentes de tensión de ganancia unidad, con alta resistencia de entrada y baja resistencia de salida. Hay varias configuraciones con dos transistores muy usadas y de muy especial importancia en el diseño de circuitos integrados. Las propiedades de estas etapas están muy relacionadas con las de los circuitos de transistor único.

En los circuitos integrados análogicos, en la mayoría de los casos son amplificadores diferenciales con transistores apareados que aprovechan las ventajas de los transistores iguales. Con los amplificadores diferenciales aparecen nuevas consideraciones como los límites de entrada de modo común, las ganancias diferencial y de modo común y las salidas simples y dobles. Los efectos de carga en las entradas son algo más complejos que en el caso de amplificadores de una sola entrada. Los modelos específicos para el amplificador diferencial y el de modo común nos ayudan a comprender mejor el amplificador global y las posibilidades que tiene el usuario. Estos modelos también nos facilitan la compresión de los efectos de carga de entrada y salida y son la piedra angular para el análisis por superposición.

La ganancia de tensión y la resistencia de salida caen, a veces, por debajo de los valores propios del transistor debido a las resistencias de polarización. Las configuraciones con carga activa emplean fuentes de corriente para polarizar y espejos de señal para lograr llevar a la ganancia a la intrínseca de los transistores y la clave será la posibilidad de diseñar fuentes de corriente de muy alta resistencia de salida con la que se logrará también alta resistencia de salida y un efectivo rechazo del modo común.

Entre el diseño de pequeña señal y el de polarización hay muchas ligazones y será la experiencia del diseñador la que dirá cómo seleccionar el punto de trabajo y el circuito de polarización como solución de compromiso entre especificaciones conflictivas de funcionamiento en continua y pequeña señal.

Las pequeñas e inevitables diferencias en los parámetros claves de los amplificadores diferenciales son las causas de las tensiones y corrientes de desviación de entrada. Aunque no podamos predecir con exactitud la magnitud y polaridad de estas cantidades, podemos acotar los márgenes con un grado de incertidumbre mediante muestreo de los productos y sencillos cálculos estadísticos.

REFERENCIAS

1. ALVAREZ, A. R., ed. *BiCMOS Thechnology and Applications*. Boston: Kluwer Academic, 1989.
2. GRAY, P. R., y R. G. MEYER. *Analysis and Design of Analog Integrated Circuits*, 3ª ed. New York: John Wiley, 1993.
3. RANDOLPH, J. F., y M. KAC. *Analytic Geometry and Calculus*. New York: Macmillan, 1949.
4. TUINENGA, P. W. *SPICE A Guide to Circuit Simulation & Analysis Using PSpice*. Englewood Cliffs, NJ: Prentice Hall, 1988.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE. *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 7.2

7.1 Dibuje el equivalente en pequeña señal del circuito de la Figura P7.1 incluyendo las r_oS de los transistores. Simplifique el circuito tanto como sea posible suponiendo transconductancias y resistencias de salida idénticas.

7.2 Verifique que la ecuación de g_m de la Figura 7.2a se aplica a los MOSFETs de canal p. Utilice el siguiente procedimiento:

a) Halle la expresión de g_m utilizando (7.2).

b) Sustituya $(V_{GS} - V_t)$ expresando g_m en función de I_D. Debe escogerse la raíz que haga que el signo de g_m esté de acuerdo con la pendiente de la Figura 5.23b.

c) Dibuje el modelo en pequeña señal observando que los dispositivos de canal p tienen el sentido de corriente fuente-drenador.

d) Diga por qué el resultado es equivalente a la Figura 7.2a.

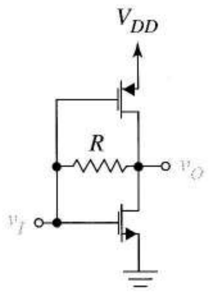


FIGURA P7.1

7.3 Dibuje el equivalente en pequeña señal del circuito de la Figura P7.3.

7.4 a) Dibuje el equivalente en pequeña señal del circuito de la Figura P7.4 incluyendo las resistencias de salida de los transistores del espejo pero no las del circuito de referencia

b) Repítalo sustituyendo la tensión de alimentación y la resistencia serie por una fuente de corriente de referencia I_{BB}.

7.5 a) Dibuje el equivalente en pequeña señal de la Figura P 7.5 incluyendo los valores de todos los componentes del diagrama, suponiendo $\beta = 99$ para hallar los parámetros de pequeña señal.

Sugerencia Ignore la corriente de base de Q_2.

b) Las tensiones Early son 110 V. Añada r_o al diagrama.

7.6 En la Figura P 7.6, $\beta = 1{,}78$ mA/V^2 y $V_p = -1{,}5$ V.

a) Halle los valores de V_{BB} y V_{GG} acordes con los valores de los parámetros y la corriente continua dados.

Sugerencia v_s debe desconectarse para los cálculos de polarización.

b) Dibuje el circuito equivalente en pequeña señal, dando los valores numéricos de todos los parámetros.

7.7 Dibuje el equivalente en pequeña señal de la Figura P7.7 indicando todos los valores incluida r_o. Los parámetros del transistor son $\beta = 100$ y $VA = 100$ V.

7.8 Las características de entrada y salida del transistor son las de la Figura P7.8.

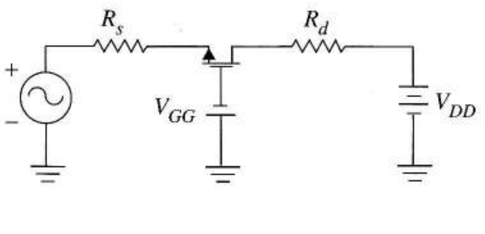


FIGURA P7.3

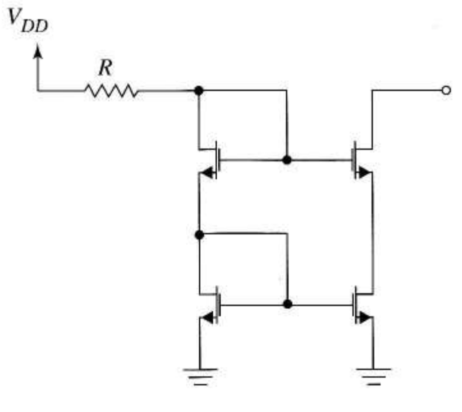


FIGURA P7.4

a) Estime β , r_o y r_π a partir de las curvas con el transistor polarizado en $(V_{CE}, I_C) = (2$ V, 2,5 mA).

b) Repita el apartado a) con el transistor polarizado en (1 V, 1 mA).

c) La Figura P 5.1 muestra la función de transferencia y la característica de salida de un MOSFET. Si se define g_m como la derivada parcial en el punto Q dado, evalúe su valor a partir de las características en $(V_{DS}, I_D) = (6$ V, 2 mA) y haga un dibujo indicando la forma de obtenerlo.

d) Evalúe g_m en el punto Q del apartado c) sin usar la función de transferencia. (En la Figura P5.1 se aplica la misma función de transferencia a todos los valores de V_{DS} de la zona activa). Explique mediante un dibujo cómo se obtuvo el resultado numérico.

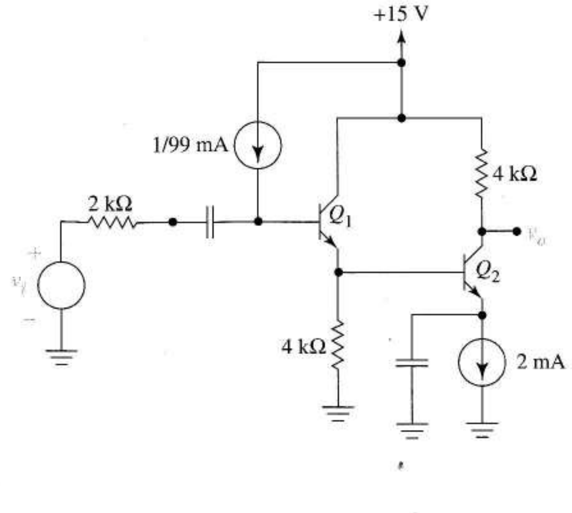


FIGURA P7.5

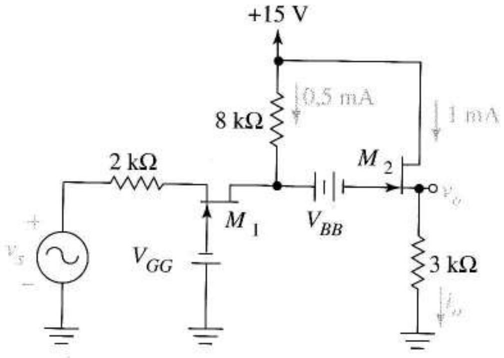


FIGURA P7.6

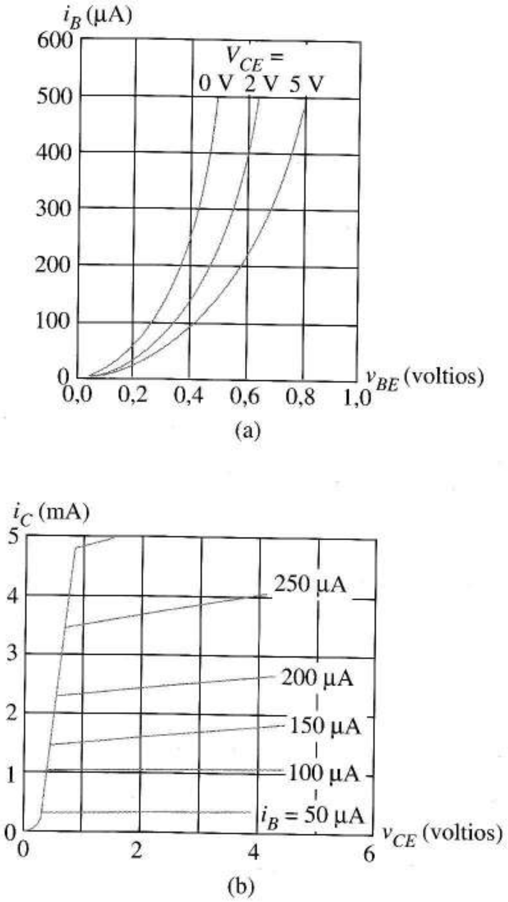


FIGURA P7.8

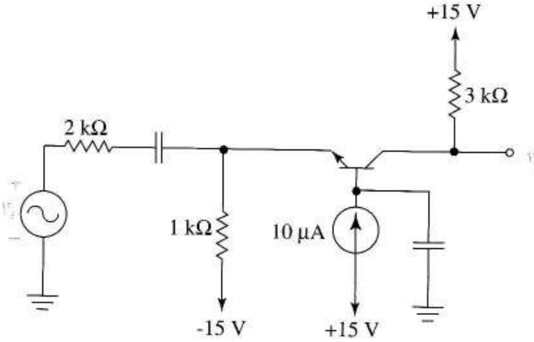


FIGURA P7.7

Sección 7.3

7.9 En la Figura P7.9, los transistores pnp tienen β = 40 y V_A = 60 V, los pnp tienen β = 220 y V_A = 125 V, V_{BB} es una fuente de polarización independiente con un valor consistente con la corriente de polarización de Q_1. Dibuje el equivalente en pequeña señal incluyendo las resistencias de salida de los transistores e indicando todos los valores de los componentes

7.10 Todos los transistores de la Figura P7.10 tienen $k = 9 \times 10^{-3}$ A/V^2 y V_t = 1,5 V.

a) Halle R_B para que I_O = 0,5 mA.

b) Dibuje el equivalente de pequeña señal para el apartado a).

Sugerencia Las corrientes de polarización de M_1 y M_2 son idénticas aunque difieran las corrientes de colector.

c) Si V_A = 100 V, añada las resistencias de salida al circuito.

7.11 En la Figura P7.11 g_m = 0,002 A/V.

a) Dibuje el equivalente en pequeña señal.

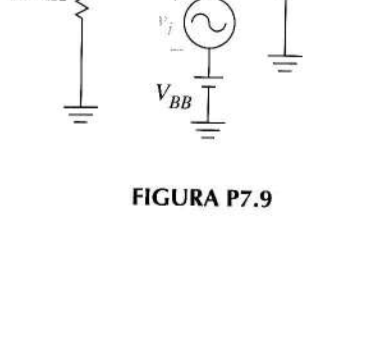


FIGURA P7.9

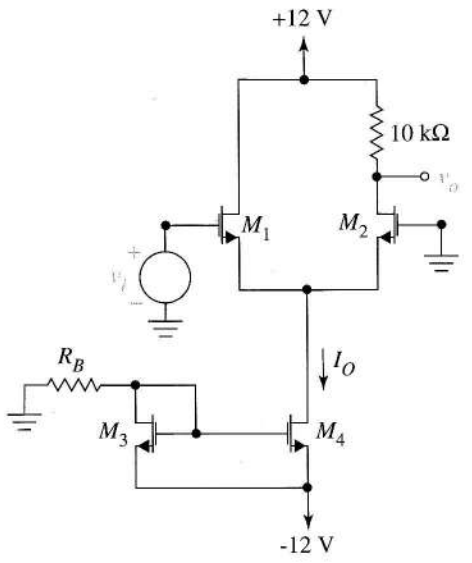


FIGURA P7.10

b) Añada r_o al circuito suponiendo $V_A = 95$ V.

7.12 Dibuje el modelo en pequeña señal de los circuitos de la Figura P7.12. Observe que la señal viene de una fuente de corriente en P7.12c.

7.13 Dibuje los equivalentes en pequeña señal de las Figuras 6.27a y b. En el primero indique la simplificación si la polarización de los transistores es idéntica.

7.14 Dibuje el equivalente en pequeña señal del circuito de la Figura 6.37a con la r_o del transistor de salida.

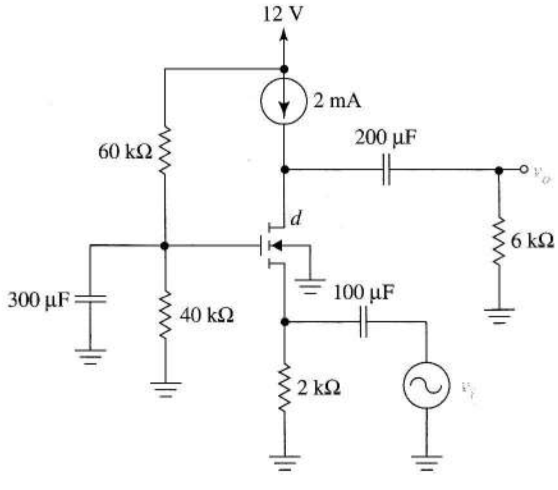


FIGURA P7.11

Sugerencia Primero sustituya el JFET por la Figura 6.37b y después identifique I_{DSS} como la corriente de polarización.

7.15 Dibuje los equivalentes en pequeña señal de los espejos cascodo de la Figura 6.29 incluyendo las r_o de los dos transistores del circuito de salida.

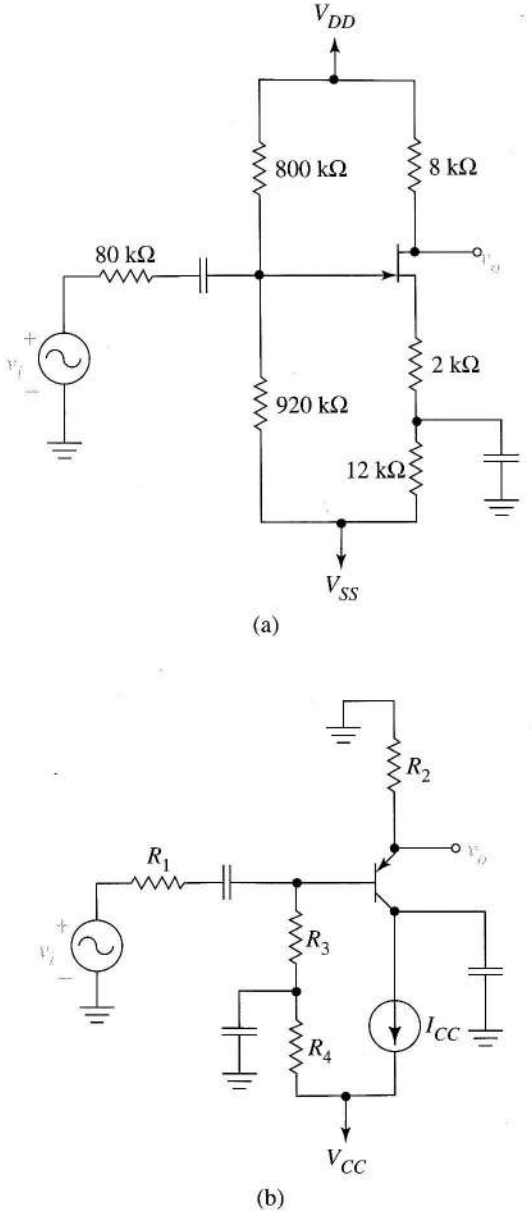


FIGURA P7.12

7.16 La Figura P7.16, como la 6.35 muestran cómo se reproduce la señal o ruido $v_s(t)$ en la salida de un espejo.

a) Dibuje el equivalente en pequeña señal sin r_o.

b) Relacione $i_s(t)$ con $v_s(t)$ usando el circuito del apartado a).

7.17 a) Dibuje el equivalente en pequeña señal de la Figura 7.29c y simplifique el circuito tanto como sea posible suponiendo los transistores iguales en corrientes de polarización, k y r_o.

b) En la Figura 7.29c sustituya R por dos resistencias en serie de valor $R/2$ y añada un condensador de desacoplo desde el punto de unión a masa.

c) Dibuje el equivalente en pequeña señal del circuito modificado con las suposiciones del apartado a).

7.18 Dibuje el equivalente en pequeña señal de la Figura P7.18.

Sección 7.4

7.19 Obtenga la expresión de la ganancia de tensión $A_v = v_o/v_e$ del amplificador de la Figura 7.13a en función de

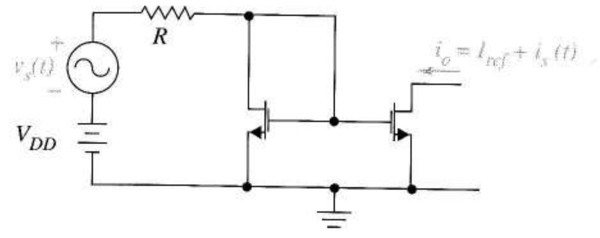


FIGURA P7.16

A_v, R_e y R_i y halle el valor numérico utilizando los parámetros del análisis del texto del circuito con $R_e = 5$ kΩ.

7.20 En la Figura P7.20, las tensiones umbral son $V_t = -3$ V y +3 V para los dispositivos de deplexión y enriquecimiento, respectivamente siendo $k = 10^{-4}$ A/V^2 y $V_A = 100$ V.

a) Dibuje el circuito equivalente en pequeña señal.

b) Halle v_o/v_{gs} y v_o/v_i.

c) Halle el mayor v_o sin distorsión usando (7.19).

7.21 Los parámetros del amplificador de la Figura P7.21 son $\beta = 120$, $k = 3 \times 10^{-3}$ A/V^2 y $V_t = -1$ V. Halle la ganancia y la máxima salida sin distorsión que permita la teoría de análisis en pequeña señal.

7.22 En el amplificador de la Figura P7.6:

a) Halle la ganancia de tensión v_o/v_i donde v_i es la señal en la fuente de M_1.

b) Halle la R_i vista por v_s si su resistencia de salida es 2 kΩ.

c) Halle la ganancia de corriente cuando la corriente de entrada es la corriente en v_s y la de salida es la que circula por la carga de 3 kΩ.

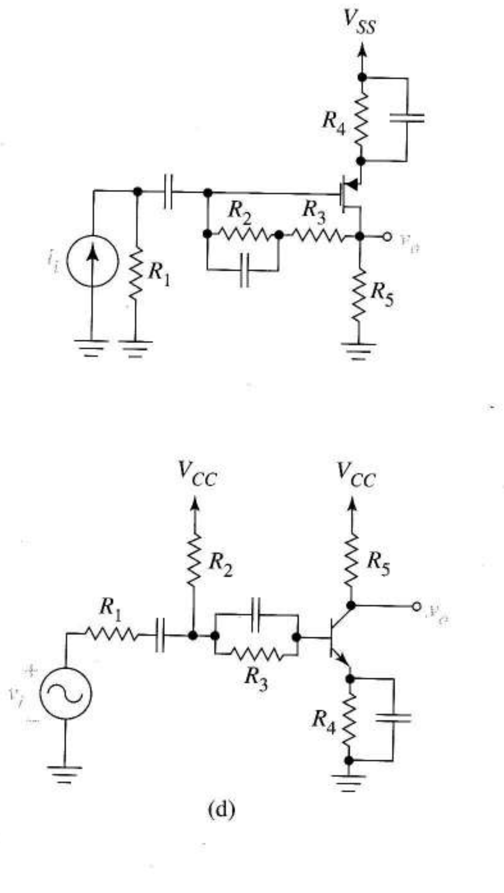


FIGURA P7.12 (Continuación)

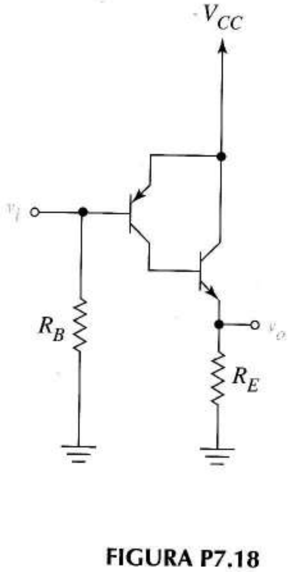


FIGURA P7.18

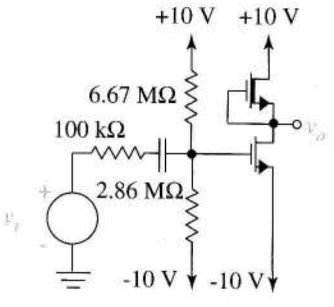


FIGURA P7.20

d) Halle la R_o que ve la resistencia de carga de 3 kΩ.

7.23 En el amplificador de la Figura P7.23 los parámetros de los transistores con $\beta = 120$ y $V_A = 130$ V para el bipolar y $k = 0,8 \times 10^{-4}$ A/V^2, $V_t = -0,9$ V y $V_A = 100$ V para el MOSFET. Suponga que la V_{DS} del FET es la adecuada para su funcionamiento en zona activa. Utilice el análisis en pequeña señal incluyendo las r_o de los transistores y halle la ganancia de tensión y las resistencias de entrada y salida del amplificador.

No se sorprenda por la alta ganancia.

Sección 7.5

7.24 Verifique las Ecuaciones (7.30), (7.31) y (7.32) analizando directamente la Figura 7.17b en lugar de realizar la transformación de la fuente de corriente.

7.25 a) Obtenga las expresiones algebraicas de las ganancias de tensión y corriente y la resistencia de entrada del amplificador discreto en puerta común de las Figuras 7.16a y c.

b) Reescriba la ganancia de tensión y la resistencia de entrada del apartado a) indicando que son, en realidad, las Ecuaciones (7.30) y (7.32) pero incluyendo los factores de carga debidos a la polarización.

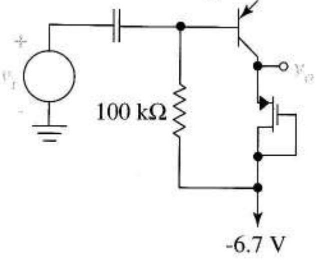


FIGURA P7.21

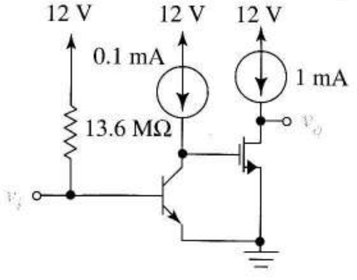


FIGURA P7.23.

7.26 Cuando polarizamos con fuentes de corriente para hacer R_D infinita, los amplificadores en fuente común y puerta común tienen resistencias de salida dadas por $R_o = r_o$ y (7.33) respectivamente. Compare los valores numéricos de las resistencias de salida si los amplificadores utilizan un FET polarizado en 2 mA con $k = 0,5$ mA/V^2 y $V_A = 100$ V. El de puerta común utiliza una fuente de señal de 5 kΩ de resistencia de salida.

7.27 Demuestre que el equivalente en pequeña señal del circuito multiplicador de V_{GS} de la Figura P6.85 es una resistencia de aproximadamente $1/g_m$ Ω.

Sugerencia Utilice la transformación de la fuente de corriente y una fuente de prueba y aproxime las resistencias en paralelo.

7.28 a) Sustituya el amplificador de la Figura 7.13a por uno de base común moviendo la fuente de señal y el condensador de desacoplo.

b) Dibuje el esquema en pequeña señal de este amplificador.

7.29 Diseñe un amplificador bipolar de una etapa con ganancia de tensión de unos 500, $R_i \leq 250$ Ω y $R_o \geq 80$ kΩ. Se pueden usar alimentaciones dobles pero se prefieren simples, si es posible.

Sugerncia La baja sensibilidad del punto Q se convierte en un aspecto importante para lograr las especificaciones.

7.30 Obtenga las expresiones de las ganancias de tensión y corriente y resistencia de entrada de la Figura P7.30 y compárelas con las Ecuaciones (7.34) a (7.36). Utilice el modelo del transistor de la Figura 7.5a.

7.31 Utilice el modelo del transistor en base común para hallar las ganancias de tensión y corriente, las resistencias de entrada y salida del amplificador en base común de la Figura P7.30 incluyendo r_o en la obtención de la resistencia de salida.

7.32 La Figura P7.32 es el esquema en pequeña señal del amplificador cascodo. Dibuje el equivalente en pequeña señal utilizando el modelo de la Figura 7.50 para los transistores. Halle las ganancias de tensión y corriente y la resistencia de entrada con ese equivalente.

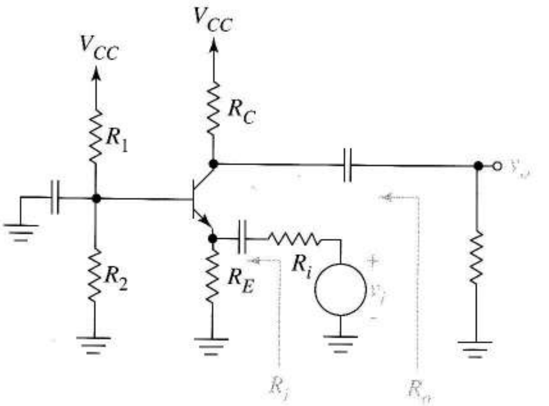


FIGURA P7.30

7.33 Dibuje la versión FET de la Figura P7.32 y halle la expresión de la ganancia de tensión.

7.34 En la Figura 7.19a sustituya el transistor por su modelo en base común de la Figura 7.20a y use el circuito obtenido para hallar la resistencia de entrada entre emisor y masa y la ganancia de tensión v_o/v_e.

7.35 Dibuje el equivalente en pequeña señal del circuito de la Figura P7.32 utilizando el modelo de la Figura 7.5a del transistor en emisor común y el de la 7.20a para el transistor en base común. A partir de él, halle las ganancias de tensión y corriente y la resistencia de entrada.

7.36 Sustituya el transistor de la Figura 7.17a por el equivalente en puerta común de la Figura 7.21a.

a) Halle la resistencia de entrada entre fuente y masa, la ganancia de corriente y la ganancia de tensión v_o/v_s del amplificador.

b) Halle la ganancia de tensión v_o/v_e.

c) Añada r_o entre fuente y drenador en el circuito equivalente y determine la resistencia de salida del amplificador.

7.37 Utilice el modelo FET en puerta común de la Figura 7.21a para hallar v_o/v_s, i_o/i_i y la resistencia de entrada del circuito de puerta común de la Figura 7.16a. Obsérvese que este modelo simplifica el equivalente desacoplando los circuitos de entrada y salida.

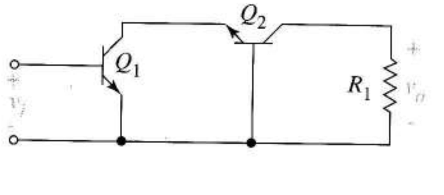


FIGURA P7.32

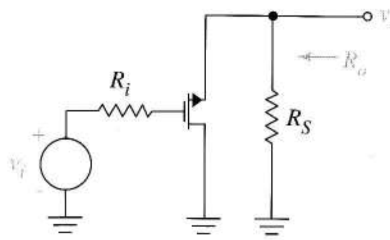


FIGURA P7.38

Sección 7.6

7.38 Halle la expresión de R_o en la Figura P7.38 ignorando r_o de dos formas:

a) Aplicando la definición de R_o y el análisis en pequeña señal.

b) Usando la resistencia de salida en la Ecuación (7.42) definida en la Figura 7.22c.

7.39 La Figura P7.39 muestra un seguidor de emisor con componentes discretos. Utilice la notación $R_P = R_1 || R_2$, $R_{II} = R_P \; || \; R_e$ y $R_{LL} = R_E \; || \; R_L$ para demostrar

$$\frac{v_o}{v_b} = A_v = \frac{(\beta+1)R_{LL}}{(\beta+1)R_{LL} + r_\pi}$$

$$(b)\; R_i = R_P \| \{r_\pi + (\beta+1)R_{LL}\}$$

$$\frac{i_o}{i_b} = \frac{(\beta+1)R_E}{R_E + R_L}$$

$$(d)\; A_i = \frac{i_b}{i_i} = \frac{R_P}{R_P + r_\pi + (\beta+1)R_{LL}}$$

$$R_o = R_E \left\| \frac{R_{II} + r_\pi}{\beta+1} \right.$$

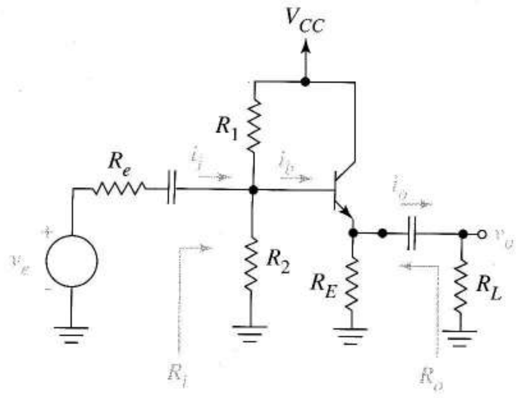


FIGURA P7.39

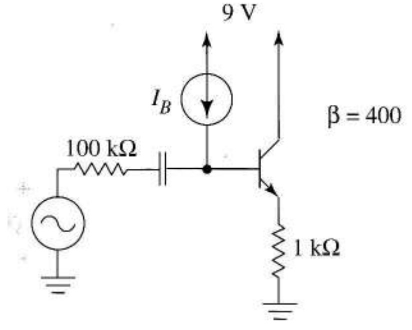


FIGURA P7.40

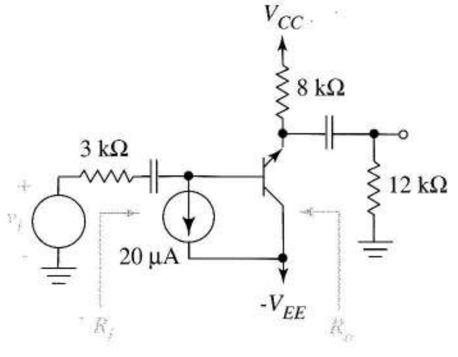


FIGURA P7.43

7.40 El transistor de la Figura P7.40 está polarizado en $V_{CE} = 4{,}5$ V.

a) Halle I_B.

b) Halle la resistencia de entrada que se ve entre base y masa hacia la derecha.

c) Halle la fracción de la señal v_e que se produce entre base y masa.

d) Halle la fracción de v_e que aparece en el terminal de emisor.

e) Halle la tensión que se desarrollaría sobre la resistencia de 1 kΩ si se coloca sobre la fuente externa y sin el amplificador.

7.41 Halle la resistencia de salida vista por la resistencia de 1 kΩ de la Figura P7.40 en $I_C = 2$ mA.

7.42 En la Figura P7.42 el transistor tiene $k = 0{,}5 \times 10^{-3}$ A/V^2 esta polarizado a 1 mA. Halle el valor numérico de R_o.

7.43 Halle R_i y R_o de la Figura P7.43 si el transistor tiene β = 80. Si puede, use los resultados anteriores. Si no, utilice el análisis en pequeña señal.

7.44 a) Estime el punto Q de los transistores de la Figura P7.44 mediante el análisis de infinita.

b) Halle R_i y R_o con la idea del escalado de resistencias de la Figura 7.24. Para este apartado suponga β = 30.

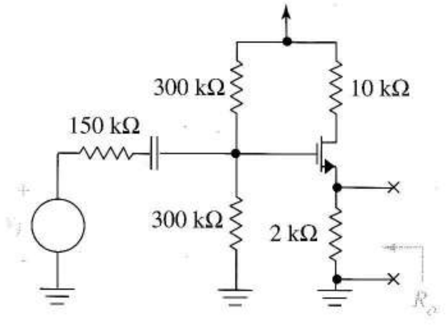


FIGURA P7.42

Sección 7.7

7.45 Halle la ganancia de tensión y las resistencias de entrada y salida del amplificador de la Figura P7.5 con SPICE. Ambos transistores tienen β = 99 y $V_A = 130$ V. La entrada del amplificador está entre la base de Q_1 y masa; la salida está entre el colector de Q_2 y masa.

7.46 Halle con SPICE la ganancia de tensión y las resistencias de entrada y salida del amplificador de la Figura P7.7. Los parámetros son β = 100 y $V_A = 100$ V.

7.47 En la Figura P7.7 los parámetros son β = 100 y V_A = 100. Añada una fuente de alterna entre el colector y el nodo de salida y utilícelo como fuente de prueba en la determinación SPICE de la resistencia de salida vista por la resistencia de 3 k. Compare la respuesta con la que se esperaría de la Ecuación (7.37).

¿Qué error porcentual se comete hallando la resistencia de salida de una estructura en base común de esta forma?

7.48 Halle con SPICE la ganancia de tensión y la resistencia de salida del amplificador del Problema 7.20. Incluya el coeficiente del efecto del sustrato, GAMMA = 0,33 en la simulación.

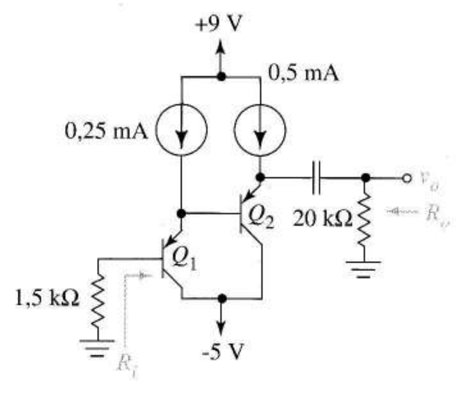


FIGURA P7.44

Sección 7.8

7.49 Sustituya el símbolo del bipolar por su equivalente en pequeña señal y verifique la primera fila de la Tabla 7.1. La entrada es una fuente ideal de tensión. Incluya r_o sólo para calcular R_o.

7.50 Utilice el modelo en pequeña señal de la Figura 7.20a para verificar los tres primeros datos de la segunda fila de la Tabla 7.1.

7.51 Construya una tabla como la 7.1 para amplificadores FET. La mayoría de los datos han sido obtenidos directa o indirectamente en el texto.

7.52 Los transistores de la Figura P7.52 tienen $\beta = 99$.

a) Dibuje el equivalente en pequeña señal mostrando el valor de todos los componentes.

b) Halle la ganancia v_x/v_i.

Sugerencia Utilice el modelo"βi_b" para Q_2.

c) Halle la ganancia v_o/v_i.

7.53 Los transistores de la Figura P7.52 tienen $\beta = 99$.

a) Dé el nombre de este amplificador.

b) Halle v_x/v_i y v_o/v_i con el análisis alterna de SPICE.

c) Halle con SPICE la resistencia de entrada entre la base de Q_1 y masa y la de salida vista por la resistencia de 12,4 Ω.

7.54 Los dos transistores de la Figura P7.54 están polarizados en 1 mA; $\beta = 100$. Halle la ganancia de tensión v_o/v_i.

7.55 Los transistores de la Figura P7.54 tienen $\beta = 275$ y $V_A = 185$ V.

a) Indique el nombre de este amplificador.

b) Halle v_o/v_i con SPICE. Halle también la resistencia de entrada a la derecha de la resistencia de la fuente de 2 k y la resistencia de salida a la izquierda de la carga de 2 k.

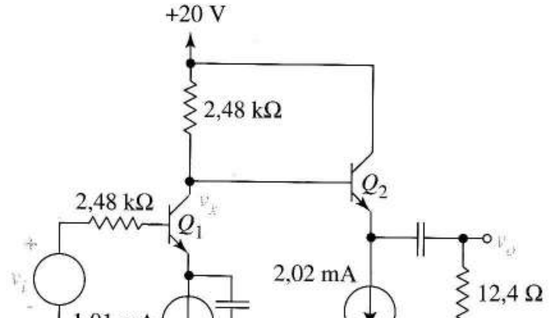


FIGURA P7.52

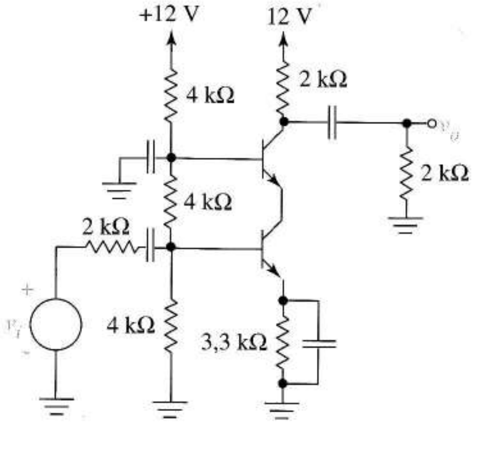


FIGURA P7.54

7.56 Los transistores de la Figura P7.56 están polarizados en 1,5 mA; sus parámetros son $k = 10^{-4}$ A/V^2 y $V_t = 0{,}8$ V. Halle v_o/v_i.

7.57 En la Figura P7.56 los parámetros del transistor son $k = 10^{-4}$ A/V^2, $V_t = 0{,}8$ V y $V_A = 100$ V. Halle con el análisis en alterna de SPICE y $f = 1.000$ Hz:

a) v_o/v_i.

b) La resistencia de entrada que ve la fuente de señal.

c) La resistencia de salida vista por la carga de 2,67 kΩ.

7.58 En la Figura 7.26c sustituya los transistores por MOSFTEs y dibuje el equivalente en pequeña señal. Suponga que ambos tienen transconductancia g_m e ignore r_o.

a) Halle la ganancia de tensión y la resistencia mediante este equivalente.

b) Incluya la r_o de los dos transistores. Halle la resistencia de salida que vería una carga R_L cuando se conectase una fuente ideal a la entrada.

Sugerencia Utilice la transformación de la fuente de corriente.

7.59 En la Figura 7.26d sustituya los transistores por MOSFETs y dibuje el equivalente en pequeña señal. Suponga que los transistores tienen transconductancia g_m e incluya r_o sólo en los transistores de la primera etapa.

a) Halle la ganancia de tensión y la resistencia de entrada con el equivalente en pequeña señal (suponga $g_m r_o >> 1$).

b) Incluya la r_o de los transistores. Halle la resistencia de salida vista por R_L cuando se conecta a la entrada una fuente ideal de tensión.

7.60 Empezando con la Figura 7.27a, utilice los modelos del transistor de gran señal y las aproximaciones generales de las Figuras 7.27 a-c para obtener la Figura 7.27d.

7.61 La Figura P7.61 es el equivalente en gran señal del transistor compuesto pnp de la Figura 7.28.

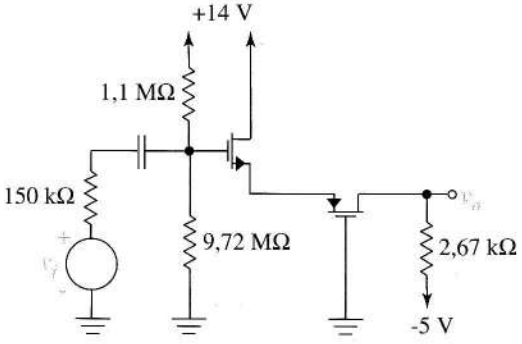


FIGURA P7.56

a) Simplifique el circuito hasta una fuente de tensión continua y una CCCS sencilla.

b) Dibuje el equivalente en pequeña señal de la Figura 7.28. Simplifique el circuito hasta llegar a una resistencia y una fuente de corriente dependiente.

7.62 En la Figura P7.62, $\beta_P = 10$ y $\beta_N = 80$.

a) Halle el punto Q de cada transistor.

b) Halle v_o/v_i.

c) Halle la resistencia de entrada entre el terminal de entrada y masa.

7.63 El amplificador CMOS de la Figura 7.29c emplea alimentación de 5 V. Los parámetros son $k = 0{,}8 \times 10^{-4}$ A/V^2, $|V_t| = 0{,}5$ V y $V_A = 100$ V.

a) Halle I_D. Calcule los valores numéricos de g_m y r_o suponiendo $v_i = 0{,}5\ V_{DD}$.

b) Suponiendo R tan grande como para que pueda considerarse un circuito abierto, dibuje el circuito equivalente en pequeña señal incluyendo los valores r_o. Halle la expresión de la ganancia de tensión.

c) Redibuje el circuito equivalente, incluyendo R y halle su ganancia de tensión.

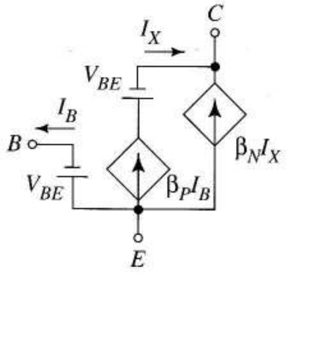


FIGURA P7.61

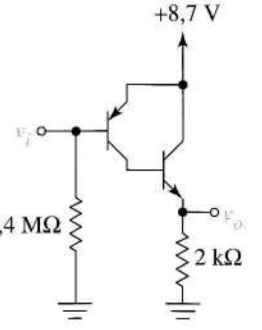


FIGURA P7.62

d) Según la expresión de ganancia del apartado c), halle una desigualdad de la que R forme parte y que, cuando se cumpla, reduzca la ganancia a la hallada en el apartado b). Utilizando los valores del apartado a), halle el valor de R mínimo para que quede justificada la expresión más simple de la ganancia.

7.64 Sustituya el transistor en la Figura 7.31a por un bipolar. Halle la ganancia de tensión en función de la ganancia intrínseca del transistor mediante el equivalente en pequeña señal.

7.65 Halle la ganancia de tensión del circuito con carga activa de la Figura P7.65.

7.66 Suponga que la fuente de corriente usada para polarizar añade R_o entre el terminal de salida y masa de la Figura 7.32a y b. Halle la ganancia de tensión con las Ecuaciones (7.62) y (7.63).

Sugerencia Vea la Figura 1.19.

7.67 Dibuje el circuito equivalente en pequeña señal de la Figura 7.32e y escriba las ecuaciones del análisis. Verifique con ellas la Ecuación (7.65).

7.68 a) Dibuje el circuito equivalente en pequeña señal de la Figura P7.68 incluyendo las resistencias de salida de los transistores.

b) Halle v_o/v_i en función de los parámetros del transistor.

7.69 a) Dibuje el esquema y el equivalente en pequeña señal del amplificador en drenador y puerta común con R_L infinita.

b) Obtenga la ganancia de tensión en función de las ganancias intrínsecas de los dos transistores.

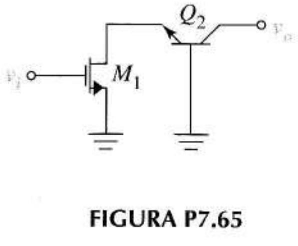


FIGURA P7.65

c) ¿Ofrece alguna mejora en cuanto a la ganancia de tensión sobre el amplificador con transistor único?

7.70 a) Dibuje el esquema y el equivalente en pequeña señal del amplificador en drenador y fuente común.

b) Obtenga la ganancia de tensión en función de las ganancias intrínsecas de ambos transistores.

c) ¿Mejora este circuito la ganancia de tensión sobre el caso del transistor único?

7.71 La Figura P7.71 muestra un circuito de alta ganancia denominado amplificador *cascodo doble*.

a) Halle su ganancia de tensión.

Sugerencia Este es un cascodo con circuito de carga.

b) Represente el amplificador cascodo por una VCVS y una resistencia de salida serie. Halle con este modelo la ganancia de tensión del circuito con MOSFET.

7.72 Halle la resistencia de salida del doble cascodo de la Figura P7.71 con la Tabla 7.1 y emplee algún tipo de aproximación para simplificar la respuesta.

Sugerencia Las resistencia de la fuente de Q_3 es la resistencia de salida de Q_2 y la resistencia de fuente de Q_2 es la resistencia de salida de Q_1.

7.73 Utilice el procedimiento descrito en el problema 7.72 para hallar la resistencia de salida del amplificador *MOSFET* doble cascodo.

Sugerencia La resistencia de salida de puerta común es (7.33) y la de fuente común es r_o.

7.74 a) Halle la resistencia de salida de la Figura 6.27b usando aproximaciones cuando sea posible.

b) Halle el valor de la resistencia de salida si $R = 5$ kΩ, los transistores son iguales y $k = 4$ mA/V², $V_A = 100$ V e $I_O = 2$ mA.

7.75 Analice el circuito de la Figura P7.75 demostrando que la resistencia R_S incrementa la resistencia de salida sobre el

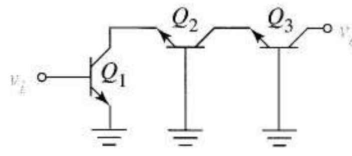


FIGURA P7.71

valor original r_o como ocurría con el circuito bipolar de la Figura 7.34. Como los FETs tienen infinita resistencia de entrada, obtenemos una expresión sencilla y única en lugar de los diferentes casos en función de los valores numéricos.

7.76 Para los circuitos como el de la Figura 7.34a, el texto de Gray y Meyer da muchas referencias a favor de la ecuación de la resistencia de salida

$$R_o = \left[1 + \frac{g_m R_E}{1 + (g_m R_E/\beta)}\right] r_o$$

Demuestre que esta expresión se obtiene a partir de la Ecuación (7.68) si se supone que $r_\pi >> R_{TH}$.

7.77 Halle la resistencia de salida del espejo cascodo bipolar de la Figura 6.29a.

Sección 7.9

7.78 En la Figura P7.78, $V_{DD} = 12$ V y $R_D = 120$ k, $k = 1{,}8$ mA/V² y $V_t = 0{,}9$ V todos los transistores. R es tal que $I_{D3} = 0{,}1$ mA. Con "*a*" y "*b*" a masa,

a) Halle el punto Q de los transistores.

b) Halle la tensión en la fuente de corriente.

c) Halle los límites del modo común.

7.79 Sean dos amplificadores iguales en cascada, cada uno como el de la Figura 7.36b con las puertas del segundo conectadas directamente a los drenadores del primero. Si $k = 4$ mA/V² y $V_t = 1$ V, determine si los transistores de la segunda etapa están polarizados en la región activa

7.80 a) Dibuje un circuito equivalente como el de la Figura 7.41 para la Figura P7.78. La tensión Early de M_3 es 50 V. El problema 7.78 da los demás valores numéricos.

b) Halle la RRMC en decibelios con salida asimétrica.

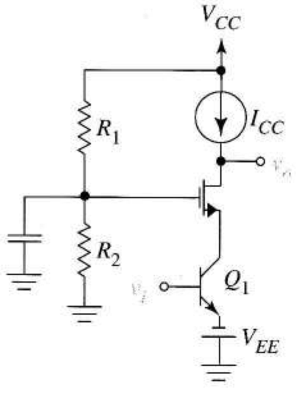


FIGURA P7.68

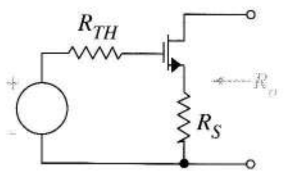


FIGURA P7.75

7.81 En la Figura P7.78, V_{DD} = 15 V y todos los transistores tienen k = 1,8 mA/V^2, V_t = 0,9 V, V_A = 50 V para M_3.

a) Halle I_{D3} para que la RRMC$_{(s-e)}$ sea 40 dB.

b) ¿Qué valor se necesita para R?

c) Elija R_D de tal forma que la tensión en R_D sea V_{DS} con las dos puertas a masa.

d) Halle la ganancia en modo diferencial del amplificador para una salida diferencial.

7.82 Halle la mayor pequeña señal que puede producir la salida del amplificador del Ejemplo 7.14 en modo diferencial.

Sugerencia Vea la Ecuación (7.19).

7.83 a) Dibuje el equivalente en pequeña señal de la Figura P7.83 como el de la Figura 7.41 que muestre los efectos del modo común y diferencial. Incluya las adecuadas expresiones de ganancia.

b) Este circuito tiene una baja ganancia. ¿Es bueno para cualquier aplicación? Explíquelo.

c) Diseñe una fuente de corriente básica bipolar para este circuito utilizando transistores que sean iguales a los dados. Dibuje el esquema equivalente completo incluyendo la fuente de corriente.

d) ¿Cambian los límites del modo común cuando la fuente reemplaza a la descrita en el apartado b)? Explíquelo.

e) Repita el apartado a) cambiando V_{CC} a +6 V y V_{EE} a –4 V.

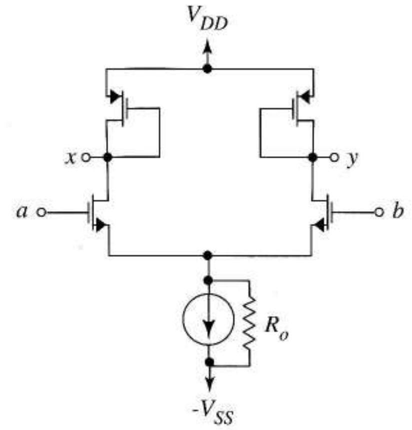


FIGURA P7.83

7.84 En la Figura 7.54a cambie las alimentaciones a ±5 V. Después,

a) Halle los puntos Q de los transistores y las tensiones en las fuentes de corriente cuando las bases están a masa.

b) Halle los límites del modo común suponiendo que la fuente de corriente es un circuito espejo bipolar.

7.85 En la Figura P7.85 los parámetros del transistor son β = 180, $V_{CE,\,sat}$ = 0,3 V, V_{BE} = 0,6 V.

a) Halle el punto Q del transistor y la tensión en la fuente de corriente con ambas bases polarizadas a +1 V.

b) Halle los límites del modo común si la fuente de corriente necesita, al menos, 1,2 V para su correcto funcionamiento.

7.86 En la Figura P7.85 los colectores se polarizaban a 6 V. Si el amplificador y la fuente de corriente necesitan más de 0,2 V para no saturarse, los emisores deben situarse entre 5,8 y 9,8 V. Estas condiciones suponen que el conjunto de los transistores y la fuente de corriente deben *trabajar con una tensión* total de 5,8–(–9,8) = 15,6 V. Halle la tensión de polarización en modo común V_{BB} que divida la tensión de trabajo a partes iguales, es decir, hace que V_{CE} = V_{CS} donde V_{CS} es la tensión de polarización en la fuente de corriente.

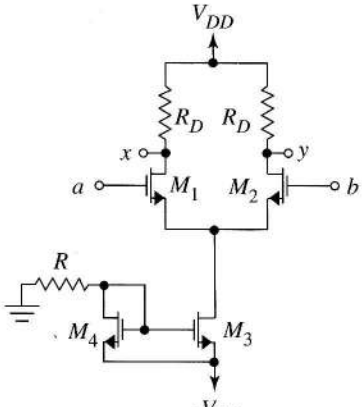


FIGURA P7.78

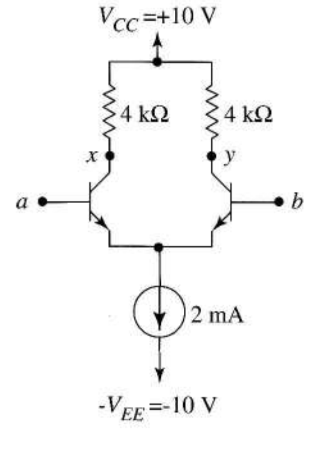


FIGURA P7.85

7.87 Halle los puntos Q del transistor y la tensión en la fuente de corriente si se conectan resistencias entre las entradas y masa del circuito de la Figura P7.85 si $\beta = 180$.

7.88 Demuestre la existencia de una masa virtual en la Figura 7.47b, es decir, elimine el símbolo a trazos y demuestre que $v_{\pi 1} = 0{,}5v_d$ y $v_{\pi 2} = -0{,}5v_d$.

Sugerencia Aplique la ley de Kirchhoff de las corrientes en emisor y después la de las tensiones al circuito de entrada.

7.89 La ganancia diferencial de un circuito se puede medir en la práctica mediante v_o y v_s con la otra entrada a masa como en la Figura P7.89 y usando después

$$A_d \approx A_M = \frac{v_o}{v_s}$$

Resuelva los detalles sobre estas justificaciones teóricas:

a) Halle los componentes diferencial v_d y de modo común v_c de la tensión de entrada en función de v_s.

b) Exprese v_o en función de las ganancias A_d y A_c y las señales v_d y v_c.

c) Sustituya los resultados de los apartados a) y b) en la expresión de A_M.

d) El porcentaje de error de este procedimiento es

$$\% \text{ error} = \frac{A_M - A_d}{A_d} \times 100$$

¿Qué error se tiene si RRMC = 1.000?

¿Cuál es la ventaja práctica de este método comparada con la aplicación de la señal diferencial pura?

7.90 En el amplificador diferencial de la Figura P7.85, $\beta = 180$.

a) Halle la RRMC en decibelios si se toma la entrada en el nodo y la fuente de corriente tiene $R_o = 80$ kΩ.

b) Represente este circuito particular en la forma de la Figura P7.47e indicando valores numéricos.

c) Se conecta una resistencia de 7 kΩ entre x e y. Halle la tensión de la señal en esta resistencia si la entrada viene del circuito de la Figura P7.90.

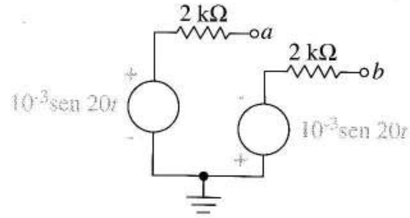


FIGURA P7.90

d) Halle la tensión de la señal producida en una resistencia de 3 k conectada a masa y conectada capacitivamente al nodo x si la señal viene de la Figura P7.90.

7.91 Suponga que en la Figura P7.85 la resistencia de salida de la fuente de corriente es la r_o de un transistor bipolar de $V_A = 90$ V. Calcule la tensión que aparece en la resistencia de 7 k referida a masa acoplada capacitivamente al nodo x cuando la entrada es como en la Figura P7.91.

7.92 En la Sección 7.8.2 estudiamos los esquemas en pequeña señal de varios amplificadores de dos transistores importantes sin considerar cómo estaban polarizados. La Figura P7.92 es la realización práctica de uno de esos amplificadores.

a) Indique el nombre del amplificador.

b) Dibuje el equivalente en pequeña señal indicando los valores numéricos si $\beta = 500$.

7.93 En la Figura P7.93, halle la tensión de entrada, v_d, si la amplitud de la salida en modo diferencial es 2 V y la salida es

a) $v_x - v_y$.

b) v_y.

c) La tensión es una resistencia de 10 kΩ situada entre los nodos x e y.

7.94 La salida del amplificador de la Figura P7.93 se toma entre x y masa.

a) Con una RRMC de 70 dB, ¿cómo tiene que ser de grande la resistencia de salida de la fuente de corriente?

b) Con esta resistencia de salida ¿se puede usar un espejo de corriente "básico" con un transistor de $V_A = 90$ V? Explique por qué.

FIGURA P7.89

FIGURA P7.91

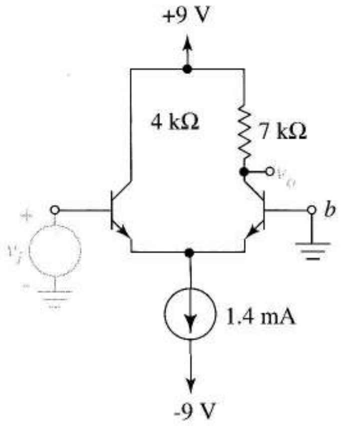


FIGURA P7.92

7.95 En la Figura P7.95 los parámetros de JFET son $\beta = 0{,}5$ mA/V^2 y $V_P = -2$ V; en el bipolar, $\beta = 100$.

(a) Halle los valores de continua de todos los nodos cuando las dos entradas están a masa.

(b) Halle la ganancia en pequeña señal v_1/v_d.

(c) Idem pero con v_2/v_d.

7.96 En la Figura P7.96 la fuente de corriente copia la corriente que produce el rizado de la alimentación, en el amplificador diferencial.

a) Este ruido ¿será un problema con salida diferencial, asimétrica, en ambos casos o en ninguno de ellos?

b) Estime la corriente del ruido en M_3 en función de v_r utilizando el circuito equivalente en pequeña señal. Ignore r_{03}.

c) Estime el rizado de tensión producido en y.

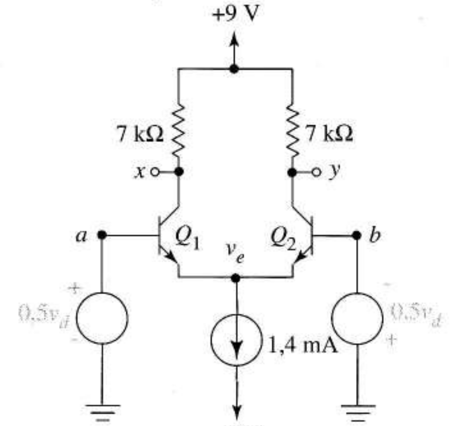


FIGURA P7.93

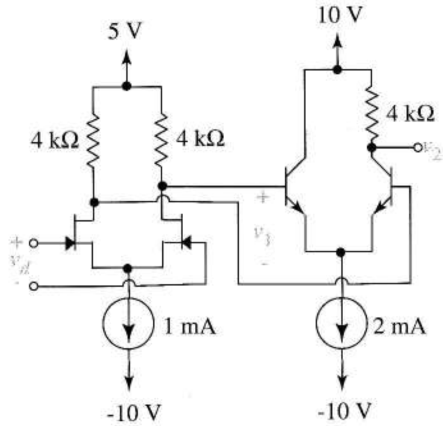


FIGURA P7.95

7.97 Los parámetros del JFET de la Figura P7.97 son $\beta = 2$ mA/V^2 y $V_P = -1$ V.

a) Ponga el valor de las tensiones en todos los nodos y la corriente de cada transistor cuando las dos entradas están a masa ignorando las corrientes de base.

b) Halle los límites del modo común.

c) Dibuje el equivalente en pequeña señal del circuito completo adecuado para cuando se aplique una señal diferencial pura a la entrada $\beta = 250$ en los transistores de la segunda etapa.

d) Con el equivalente del apartado c) halle v_o/v_d si v_d es la amplitud de la tensión diferencial pura de la entrada.

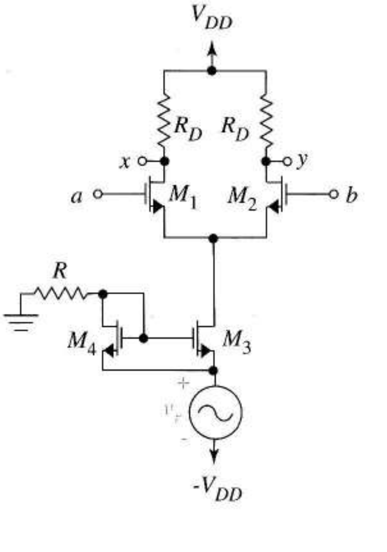


FIGURA P7.96

7.98 El amplificador CMOS de la Figura 7.56b usa MOSFETs con $|V_t| = 1{,}2$ V, $k = 8$ mA/V^2 y $V_A = 100$ V. Las alimentaciones son de ±10 V e $I_O = 0{,}5$ mA. Los sustratos están conectados de la forma habitual. Para lo siguiente, use SPICE.

a) Halle el punto Q de cada transistor, con las entradas a masa.

b) Halle la ganancia de tensión cuando la entrada es una señal diferencial pura.

c) Rehaga el apartado a) pero con el efecto del sustrato con coeficiente GAMMA = 0,30 en el código de los transistores.

7.99 La Figura P7.99 es un equivalente en pequeña señal del amplificador con carga activa de la Figura 7.56a con las entradas a masa. El circuito supone que las resistencias de salida provocan que las corrientes de colector se separen ligeramente de $0{,}5I_O$.

a) Justifique la estimación de la tensión de polarización de la salida.

$$V_o = V_{CC}\frac{V_{A2}}{V_{A2}+V_{A4}} - 0{,}7\frac{V_{A4}}{V_{A2}+V_{A4}}$$

donde V_{AK} es la tensión Early de Q_K.

Sugerencia Aplique la ley de Kirchhoff de tensiones en la salida para relacionar V_{CE2} con V_{CE4}. Halle otra excepción para igualar esas variables.

b) Estime V(3) del Ejemplo 7.20 con la expresión del apartado (a).

7.100 En la Figura P7.100, $V_{CC} = 10$ V, $R_C = 8$ kΩ, $\beta = 100$ e $I_O = 8$ mA.

a) Halle V_{CE} e I_C de los transistores con las entradas a masa.

b) Halle el límite superior del modo común si la tensión de salida de la fuente de corriente debe ser mayor de 3,3 V.

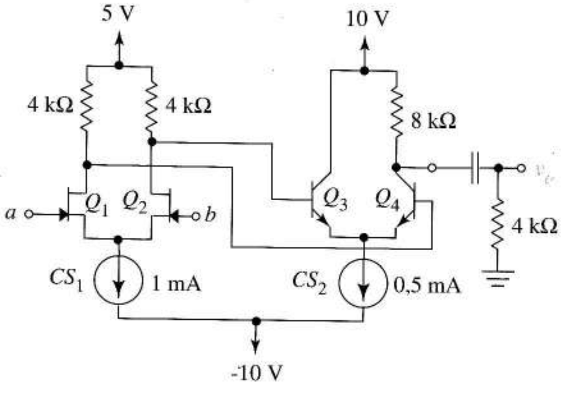


FIGURA P7.97

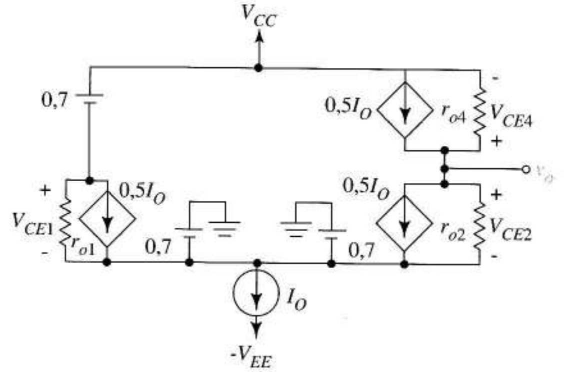


FIGURA P7.99

Compruebe la saturación de los transistores y el funcionamiento de la fuente de corriente.

7.101 a) Halle las expresiones algebraicas de R_i y $A_{d(s-e)}$ del amplificador diferencial en base común de la Figura P7.100 con excitación diferencial mediante el análisis del medio amplificador.

b) Halle $A_{c(s-e)}$ del amplificador de la Figura P7.100 mediante el análisis del medio amplificador; R_{oo} es la resistencia de salida de la fuente de corriente.

c) Halle la expresión de la resistencia total de entrada que debería presentar el amplificador de la Figura P7.100 a una señal de modo común.

d) Combine los resultados diferencial y de modo común en la forma de la Figura 7.50

7.102 a) Dibuje el equivalente en pequeña señal de la Figura P7.102. Suponga que existe una masa virtual en el nodo 9. Todos los transistores pnp tienen $\beta = 50$ y $V_A = 80$ V; los transistores npn tienen $\beta = 250$ y $V_A = 125$ V. Indique los valores de todos los elementos del circuito.

b) Identifique o clasifique el amplificador $Q_3 - Q_8$ según los subcircuitos que se reconozcan.

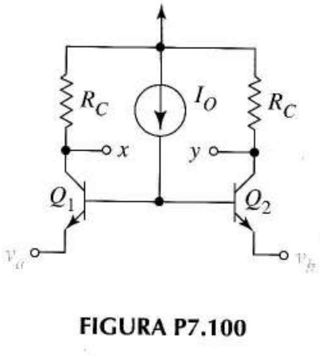


FIGURA P7.100

7.103 Halle las ganancias de modo común y diferencial de la Figura P7.102 con SPICE y usando los valores de los parámetros del Problema 7.102.

7.104 La Figura P7.104 está tan relacionada con el circuito de la Figura 7.56a que se pueden hallar sus parámetros esenciales sin hacer un nuevo análisis.

a) Halle las corrientes continuas de colector de los transistores de entrada.

b) Halle la resistencia de entrada si los transistores de entrada tienen $\beta = 280$

c) ¿Qué función tienen los tres transistores inferiores?

Sugerencia Considere la Figura 6.26.

Después halle la ganancia en modo diferencial si las tensiones Early son de 100 V.

7.105 Halle las ganancias en modo diferencial y de modo común del circuito de la Figura P7.104. Utilice los parámetros del Problema 7.104.

7.106 Diseñe un amplificador diferencial con bipolares con salida asimétrica que cumpla las siguientes especificaciones:

1. Trabaja con alimentación de ±15 V.
2. Su resistencia de entrada en pequeña señal sea ≥ 500 kΩ.
3. Utilice tan pocas resistencias como sea posible.
4. Sus resistencias sean menores de 100 kΩ.
5. Tenga $V_k = 120$ V y $\beta = 200$ en los transistores npn.
6. Tenga $V_A = 75$ V y $\beta = 50$ en los transistores pnp.

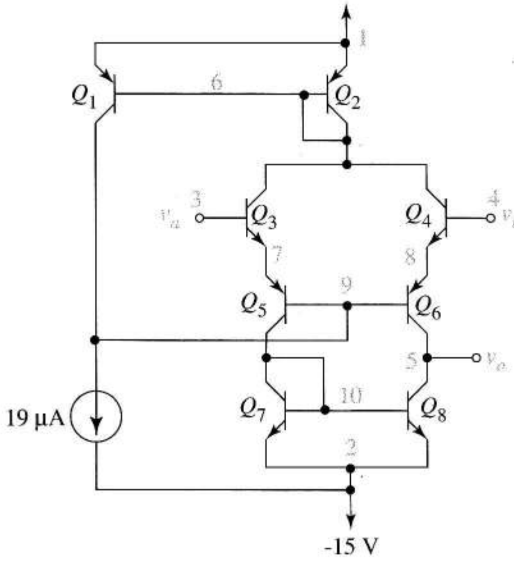


FIGURA P7.102

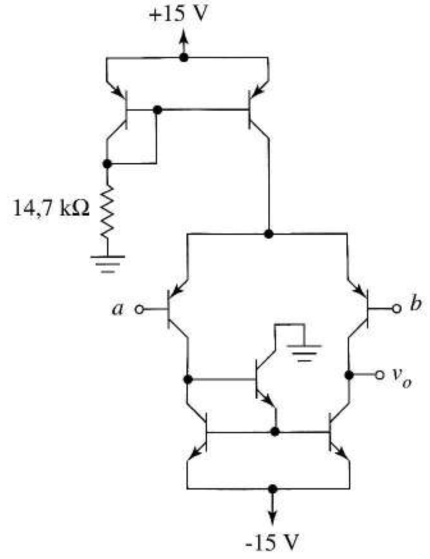


FIGURA P7.104

En el diseño final, estime la resistencia de entrada, de salida y ganancia diferencial.

Sección 7.10

7.107 Verifique el último paso de la deducción de la Ecuación (7.94).

7.108 Halle el margen de las tensiones de desviación de entrada de un par acoplado por emisor que corresponde a las tres desviaciones estándar si las variaciones unitarias en las resistencias de colector y en las corrientes de saturación tienen desviación estándar del 2% y 6% respectivamente.

7.109 Obtenga la expresión de la tensión de desviación de entrada de la Figura 7.54a usando la siguiente aproximación:

a) Aplique una fuente de tensión de desviación y exprese V_{Io} en función de las corrientes de colector, corrientes de saturación y resistencias de emisor suponiendo $I_C \approx I_E$.

b) Utilice definición de la desviación para sustituir la corriente de colector por una relación de resistencias y eliminar I_{C2} de la expresión.

c) Exprese las corrientes de saturación, los valores de las resistencias e I_{C1} incluyendo las variaciones unitarias.

d) Eliminando los términos de segundo orden y mediante la aproximación de los logaritmos naturales, reduzca la expresión a una forma sencilla.

7.110 a) Halle las ganancias diferencial y de modo común del amplificador de la Figura P7.85 con salida diferencial.

b) Suponga que $\Delta R/R = 0{,}03$ y $\Delta I_S/I_S = 0{,}15$ para obtener el peor caso de la tensión de desviación. Calcule la tensión de desviación.

c) Escriba el código SPICE de la Figura P7.85. Haga que los valores de las resistencias e I_S se desvíen tres veces la desviación estándar como se supuso en el apartado b). (Utilice el valor por defecto de $I_S = 10^{-16}$ A para la media.) Con ambos nodos a masa, halle la tensión de salida mediante el análisis en continua en SPICE. Compare este valor con la desviación calculada en el apartado b) multiplicada por la ganancia obtenida en el apartado a).

7.111 Un par acoplado por emisor está polarizado en I_B = 0,5 mA. Estime el margen de la corriente de desviación de entrada que incluya estadísticamente al 96% de los dispositivos si $\sigma_\beta = 0{,}1$ y $\sigma_R = 0{,}01$.

7.112 Halle el valor de diseño de la corriente de base de un par acoplado por emisor si el 96% de los dispositivos tienen corrientes de desviación de entrada de 25 μA o menos. Suponga $\sigma_\beta = 0{,}1$ y $\sigma_R = 0{,}01$.

7.113 a) Escriba una expresión de la tensión de desviación de entrada de la Figura P7.100 en función de V_T, I_{C1}, I_{C2}, I_{S1} e I_{S2}.

b) Haga que la expresión de la desviación dependa de V_T, R_1, R_2, I_{S1} e I_{S2}.

c) Reescriba la expresión como función de V_T, $\Delta R/2R$ y $\Delta I_S/2I_S$.

d) Simplifique el apartado c) para que se parezca a las ecuaciones de la desviación obtenidas en el texto.

Capítulo 8

RESPUESTA EN FRECUENCIA

En este capítulo analizaremos las propiedades dinámicas de los circuitos electrónicos en pequeña señal incluyendo las capacidades en nuestro análisis. Los condensadores de acoplo y desacoplo hacen que la ganancia disminuya en bajas frecuencias; las capacidades internas del transistor provocan la caída de la ganancia en alta frecuencia. En el análisis, la descripción cuantitativa de estas limitaciones de ganancia nos permite estimar el tiempo de subida y caída de pulsos amplificados y predecir la amplitud y distorsión de fase de señales continuas en el tiempo. Diseñar las ecuaciones resultantes nos permitirá tratar las especificaciones relacionadas con medidas dinámicas del funcionamiento del circuito. Este capítulo nos da el nivel de detalle necesario para comprender mejor los conceptos generales de las Secciones 1.6.4-1.6.9, y es aconsejable revisar estos conceptos. Como en capítulos anteriores, trataremos de dominar técnicas simplificadas de análisis manual que nos ayudarán a comprender y estimar resultados y utilizaremos a la vez simulaciones que complementarán nuestros cálculos manuales con una mayor precisión.

8.1 AMPLIFICADOR DE BANDA ANCHA

Todas las funciones de ganancia del amplificador –tensión, corriente, transresistencia y transconductancia– cambian con la frecuencia. En un *amplificador de banda ancha* que incluya condensadores de acoplo y/o de desacoplo, la variación de ganancia es como la de la Figura 8.1. Utilizaremos una definición arbitraria para distinguir las regiones superior e inferior, caracterizadas por caídas de ganancia, a partir del centro de la región en donde la ganancia es más o menos constante.

La línea (a trazos) 3 dB por debajo del valor máximo de ganancia corta a la curva de ganancia en las frecuencias ω_L y ω_H. Esto define las *regiones de baja, media y alta frecuencia* de la figura. En frecuen-

cias superiores a ω_H, las capacidades internas del transistor y las *capacidades parásitas* del cableado reducen la ganancia; por debajo de ω_L, las capacidades de acoplo y desacoplo hacen que la ganancia disminuya. La respuesta de un amplificador directamente acoplado, sin condensadores de desacoplo o acoplo, es como la de la Figura 1.40b. El ancho de banda del amplificador en radianes por segundo viene definido por $\omega_B = \omega_H - \omega_L \approx \omega_H$, en donde se suele justificar la aproximación, ya que $\omega_L << \omega_H$.

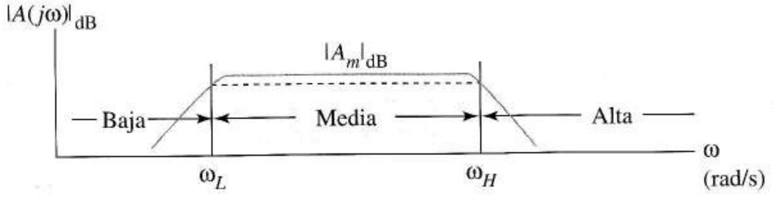


FIGURA 8.1 Definición de regiones de frecuencias bajas, medias y altas de un amplificador de banda ancha.

Circuitos equivalentes de media, baja y alta frecuencia El análisis de circuitos del Capítulo 7 ignoraba las capacidades internas del transistor, y trataba los condensadores de acoplo y desacoplo como cortocircuitos. En el contexto general de este Capítulo, comprobaremos que los modelos estáticos de circuito del Capítulo 7 sólo son válidos en las *frecuencias medias* trabajando siempre en pequeña señal. A partir de ahora nos referiremos a los *circuitos equivalentes en pequeña señal* del Capítulo 7 como *circuitos equivalentes en frecuencias medias*. Como estos circuitos no tienen capacidades, pronostican, sacrificando la precisión, ganancia constante en frecuencias medias.

Equivalente en baja frecuencia Para trabajar en la *región de baja frecuencia*, utilizaremos un *circuito equivalente en baja frecuencia*. Se construye exactamente como el equivalente en pequeña señal del Capítulo 7, salvo que se incluyen los condensadores de acoplo y desacoplo, tanto en el diagrama del circuito como en las ecuaciones. Como el circuito equivalente en baja frecuencia ignora las capacidades internas del transistor, las expresiones matemáticas obtenidas a partir del *análisis en baja frecuencia* aproximan los resultados en frecuencias medias, con el límite $s = j\omega \rightarrow \infty$ dado que en así los condensadores se aproximan a cortocircuitos.

Equivalente en alta frecuencia Para operar en la *región en alta frecuencia*, utilizaremos un *circuito equivalente en alta frecuencia*. Como el equivalente en frecuencias medias, todos los condensadores de acoplo y desacoplo se representan mediante cortocircuitos. El equivalente en alta frecuencia incluye las capacidades internas de todos los transistores, así como los valores medidos o estimados de las capacidades parásitas, si están disponibles. Como los condensadores de acoplo y desacoplo se tratan como cortocircuitos, los resultados del análisis en alta frecuencia se reducen a resultados en frecuencias medias con $s = j\,\omega \rightarrow$.

Objetivo de los cálculos en respuesta frecuencial Para evitar una innecesaria complejidad utilizaremos tres equivalentes sencillos, uno para cada zona de la respuesta frecuencial. Aunque sólo se justifica cuando hay mucha separación entre ω_H y ω_L, la técnica se aplica a muchos circuitos importantes entre los que se incluyen los amplificadores de audio y vídeo. Las simulaciones SPICE, que incluyen *todas* las capacidades, proporcionan curvas de respuesta frecuencial numéricas de gran precisión; sin embargo, a diferencia de las estimaciones manuales, no dan una idea de las principales razones físicas de que una curva tenga una forma en particular, ni sugieren por sí mismos cómo se puede mejorar un diseño. En contraste, un análisis manual aproximado contribuye una mejor comprensión y nos permite extraer información útil en el diseño. Las especificaciones relacionadas con el comportamiento dinámico incluyen el ancho de banda, valores de frecuencias de –3 dB, tiempo de subida,

decaimiento unitario, desplazamiento de fase y la *caída* de las asíntotas de la respuesta frecuencial. Siempre que necesitemos resultados numéricos que verifiquen nuestro trabajo para ayudarnos a detallar nuestras decisiones, los conseguimos de forma inmediata por medio de la simulación.

En la próxima sección, introduciremos un potente método para representar la respuesta frecuencial de cualquier función de transferencia. Esta técnica nos ayudará a comprender las respuestas en baja frecuencia y los circuitos equivalentes en alta frecuencia, y nos ayudará a comprender de forma general cómo se combinan esas respuestas frecuenciales para formar la respuesta frecuencial completa. Sin embargo, raramente tendremos oportunidad de aplicar las técnicas a las funciones de transferencia completas.

En su lugar confiaremos en las simulaciones SPICE para los diagramas de respuestas en frecuencia que incluyen en el mismo análisis toda la complejidad interna de nuestro circuito.

8.2 HERRAMIENTAS DE ANÁLISIS PARA DINÁMICA DE CIRCUITOS

Para generalizar nuestro análisis de circuitos, representaremos cada condensador mediante su impedancia compleja $1/sC$ y después formularemos las ecuaciones del circuito de la forma habitual. En esta notación, las expresiones que obtengamos para la ganancia, impedancia de entrada y de salida, son relaciones polinómicas en la frecuencia compleja s, denominadas de forma colectiva *funciones del sistema*. Por ejemplo, la ganancia de tensión, corriente y resistencia de entrada y salida se generalizan en las relaciones polinomiales $A_v(s)$, $A_i(s)$, $Z_i(s)$ y $Z_o(s)$.

Frecuentemente evaluaremos funciones del sistema con valores especiales de s. Para hallar el resultado de la excitación senoidal en la frecuencia ω por ejemplo, sustituiremos $s = j\omega$. Esto reduce el valor polinomial $A_v(s)$ al número complejo $A_v(j\omega)$ para cada frecuencia en radianes, ω. Las representaciones de magnitud y fase de $A_v(j\omega)$ frente a son las curvas de respuesta frecuencial de las que se habló en la Sección 1.6.4. Para comprobar los resultados hay dos valores especiales de s que son útiles. Como un valor continuo significa frecuencia cero, al tomar el límite de la función del sistema cuando $s \rightarrow 0$, obtenemos el mismo resultado que con el análisis en continua, es decir, reemplazando condensadores por circuitos abiertos y después analizando el circuito. Además, como $1/sC$ se aproxima a cero según s se aproxima a infinito, al tomar el límite de la función cuando $s \rightarrow \infty$ obtenemos el mismo resultado que al reemplazar cada condensador por un cortocircuito antes de analizarlo. Recordemos que todas las expresiones sobre ganancia y resistencias de entrada y salida que hemos estudiado en el Capítulo 7, asumían que los condensadores de acoplo y desacoplo eran lo bastante grandes como para ser tratados como cortocircuitos.

Como las funciones del sistema llevan asociadas variables de la transformada de Laplace, a partir de ahora nos referiremos a las variables en pequeña señal con mayúsculas siempre que el contexto sugiera funciones del sistema. Una vez obtenida una expresión compleja de la forma $A_v(j\omega)$, querremos en muchas ocasiones representar esta magnitud como una función de ω. Los diagramas de Bode que analizaremos brevemente a continuación, nos dan un modo rápido y fácil de hacerlo.

8.2.1 DIAGRAMAS DE BODE DE FUNCIONES ELEMENTALES

El diagrama de Bode es una estimación de la curva de respuesta frecuencial relacionando decibelios con frecuencias. La sencillez de los diagramas de Bode surge del uso de estimaciones asintóticas que se aproximan a determinadas funciones elementales. Construiremos los diagramas de expresiones más complicadas agregando gráficamente diagramas de funciones elementales. A continuación hay una breve introducción de los diagramas de Bode.

Respuesta frecuencial de la amplitud Siempre podemos escribir la expresión de la ganancia de un amplificador de la forma

$$A(s)=\frac{Ks^q(s+z_1)(s+z_2)\ \dots\ (s\cdot z_M)}{(s+p_1)(s+p_2)\ \dots\ (s+p_N)} \tag{8.1}$$

en la que K es una constante real; $-z_1$..., $-z_M$ son números denominados los *ceros* de $A(s)$, $—p_1$..., $-p_N$ son los polos de $A(s)$ y q es un entero positivo, negativo o cero. Para una excitación senoidal a frecuencia ω, $A(s)$ es

$$A(j\omega)=\frac{K_p(j\omega)^q(j\omega/z_1+1)(j\omega/z_2+1)\ \dots\ (j\omega/z_M+1)}{(j\omega/p_1+1)(j\omega/p_2+1)\ \dots\ (j\omega/p_N+1)} \tag{8.2}$$

en la que K_P es la nueva constante que se forma después de factorizar y combinar p_i y z_i con K.

La ganancia en decibelios del amplificador es

$$|A(j\omega)|_{dB}=20\ \log|K_P|+20\ q\ \log|j\omega|+\sum_{i=1}^{M}20\ \log\left|j\frac{\omega}{z_i}+1\right|-\sum_{K=1}^{N}20\ \log\left|j\frac{\omega}{p_k}+1\right| \tag{8.3}$$

Cada término de la Ecuación (8.3) es una de las cinco funciones elementales. La Figura 8.2 muestra el diagrama de Bode de cada una.

La primera función elemental es la constante 20 log $|K_p|$ representada en la Figura 8.2a. Cada factor s no cancelado en el numerador de la Ecuación (8.1) denominado *cero en el origen* añade 20 log $|j\omega|$ y tiene un diagrama de Bode de la forma de la Figura 8.2b –una línea recta que pasa por cero dB– cuando $\omega = 1$ rad/s. Un s sin cancelar en el denominador, que se da cuando q es negativo (*polo en el origen*), da la función elemental –20 log $|j\omega|$ –línea recta de pendiente negativa que pasa por $\omega =1$– como en la Figura 8.2c.

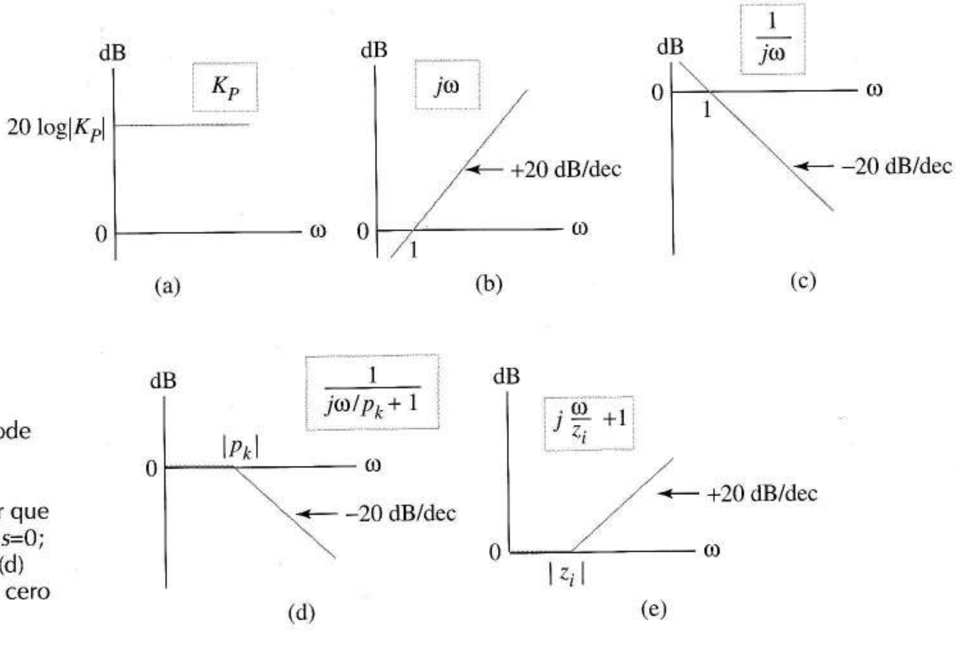


FIGURA 8.2 Diagramas de Bode de funciones elementales. (a) Constante mayor que uno; (b) cero en s=0; (c) polo en s=0; (d) polo en $s=P_k$; (e) cero en $s=z_i$.

En los diagramas de Bode, las pendientes se describen bien en unidades dB/octava o dB/década. Una *octava* es un factor que multiplica por dos y una *década* es un factor que multiplica por diez. Por lo tanto, 400 Hz es tres octavas superior a 50 Hz (es decir, $400 = 50 \times 2^3$) y cinco octavas inferior a 12.800 ($400 = 12.800 \div 2^5$). De forma similar, 3.000 Hz es una década superior a 300 Hz y tres décadas inferior a 3 MHz. Como las Figuras 8.2b y c son diagramas de $\pm 20 \log |j\omega|$, al sustituir $\omega = 1$ y $\omega = 10$ nos muestra que las pendientes son ± 20 dB/dec. Observemos que ±20 dB/dec quiere decir que la ganancia varía en un factor 10 (es decir, ± 20 dB) cuando la frecuencia se incrementa en un factor 10. Del mismo modo, sustituyendo $\omega = 1$ y $\omega = 2$ se puede ver que las pendientes se pueden expresar de forma equivalente como ±6 dB/octava (doble o mitad de la ganancia si la frecuencia se dobla).

La Figura 8.2d, es el diagrama de Bode de un *polo* de la Ecuación (8.3) con la forma

$$-20 \log \left| j\frac{\omega}{p_k} + 1 \right|$$

Cuando $\omega << |p_k|$, la función vale 0 dB; cuando $\omega >> |p_k|$

$$-20 \log \left| j\frac{\omega}{p_k} + 1 \right| \rightarrow -20 \log \left| j\frac{\omega}{p_k} \right|$$

una línea recta de pendiente −20 dB/década que pasa por $\omega = p_k$. El diagrama de Bode del término consiste en las dos asíntotas, cada una de ellas extendidas hacia la intersección. La expresión original muestra que en $\omega = p_k$ la curva real pasa por debajo de la aproximación del Bode, con un error de $-20 \log |j1+1| = -20 \log \sqrt{2} = -3$ dB. El diagrama de Bode del cero de la Figura 8.2e se parece al del polo, salvo que la pendiente de la curva *cambia* en −20 dB/década. Las frecuencias como z_i y p_k, en donde cambia la pendiente de la curva, se conocen como *frecuencias de corte*.

Las explicaciones completas de los diagramas de Bode, también incluyen una función de segundo orden elemental asociada con pares conjugados de polos o ceros. Aunque son importantes en electrónica, las funciones de segundo orden no se plantean en los circuitos de este capítulo.

8.2.2 SUMA GRÁFICA DE DIAGRAMAS DE BODE ELEMENTALES

Para representar la curva de la respuesta frecuencial en amplitud, primero expresaremos la función en la forma de la Ecuación (8.2) y después representaremos el valor en decibelios. A continuación, añadiremos de forma gráfica la curva de todos los ceros y polos del origen a la representación original. Como esta curva contribuye cero dB a la curva original en $\omega = 1$ rad/s, es fácil de realizar la suma gráfica. Después, añadiremos al diagrama existente las contribuciones de cada cero y polo, comenzando desde las frecuencias de corte más bajas y continuando, ordenadamente, hasta las más altas. Ninguna de estas curvas añade nada (cero dB) hasta llegar a la frecuencia de corte. Por encima de la frecuencia de corte, cada una suma o resta 20 dB/dec a la curva existente. Del proceso de suma gráfica se llega a que los polos o ceros de *multiplicidad* k dan pendientes de ± 6 k dB/oct (20 k dB/dec). Como las curvas de respuesta frecuencial, generalmente, llevan asociados grandes intervalos de frecuencias, los diagramas de Bode se suelen construir en papel semilogarítmico.

EJEMPLO 8.1 Representar el diagrama de Bode de

$$A_v(s) = \frac{8 \times 10^{13} s(s+20)}{(s+30)(s+400)(s+10.000)(s+100.000)}$$

Estimar la ganancia en 20 rad/s directamente a partir del diagrama de Bode, ignorando su error.

Solución Al sustituir $s = j\omega$ y factorizar en polos y ceros, obtenemos

$$A_v(j\omega) = \frac{8 \times 10^{13} \times 20}{30 \times 400 \times 10^4 \times 10^5} \frac{j\omega\,(j\omega/20+1)}{(j\omega/30+1)(j\omega/400+1)(j\omega/10^4+1)(j\omega/10^5+1)}$$

en donde la nueva constante es K_p = 133,3 ó 42,5 dB. La suma gráfica de la constante y del cero en el origen de las Figuras 8.2a y b se parece a la Figura 8.3a. Cada nuevo polo deja igual la curva a la izquierda de su punto de corte, pero se resta de la pendiente a la derecha como muestra la Figura 8.3b–e. La Figura 8.3 no intenta mostrar correctamente la escala de frecuencias en los ejes, sino el procedimiento de esta construcción.

A veces necesitamos hallar la ganancia en una frecuencia determinada, como 20 rad/s. Como 20 rad/s está una década y una octava por encima de 1 rad/s, la ganancia es 42,5 + 20 + 6 = 68,5 dB. (Esta estimación ignora el error del Bode en el punto de corte.) ❑

Ejercicio 8.1 En la función del Ejemplo 8.1, mover el polo de 400 rad/s a 30 rad/s para crear un polo doble. Representar el nuevo diagrama de Bode de magnitud y estimar la ganancia en decibelios en 8 rad/s.

Respuesta Figura 8.3f, 83 dB.

Diagrama de Bode de la fase Cada función elemental tiene también una curva de fase simple. Una constante K_P positiva o negativa contribuye bien cero o 180º. Los ceros y los polos en el origen, Figuras 8.2b y c, contribuyen en todas las frecuencias al desplazamiento constante de la fase +90º y –90º respectivamente. Un polo, como la Figura 8.2d, añade una curva de fase que cambia suavemente de 0º a –90º con una fase de –45º en la frecuencia de corte. La aproximación lineal de la Figura 8.4, que se extiende una década por encima y por debajo de la frecuencia del polo, es una estimación sencilla, pero útil. La curva de fase de un cero, como la de la Figura 8.2e, cambia suavemente de 0º a +90º con una fase de +45º en la frecuencia de corte. Las curvas de fase de funciones elementales se añaden del mismo modo que las curvas de amplitud.

8.3 RESPUESTA EN BAJA FRECUENCIA

La capacidad del amplificador de procesar las componentes en baja frecuencia de una señal se ve limitada por sus condensadores de acoplo y desacoplo. Los de desacoplo que incrementan la ganancia proporcionando caminos con baja impedancia evitando ciertas resistencias de polarización, funcionan peor a bajas frecuencias, dando como resultado una reducción en ganancia. Los condensadores de acoplo, que crean circuitos abiertos a las corrientes de polarización, también impiden variar lentamente a las componentes de la señal. En el análisis, el conocimiento matemático de la respuesta en baja frecuencia nos permite determinar el límite más bajo de las frecuencias de entrada de un amplificador dado. Al diseñar, este conocimiento nos permite seleccionar componentes que permitan que nuestro amplificador satisfaga determinadas especificaciones de baja frecuencia. Hay dos casos distintos que debemos distinguir: polos aislados y polos que interaccionan.

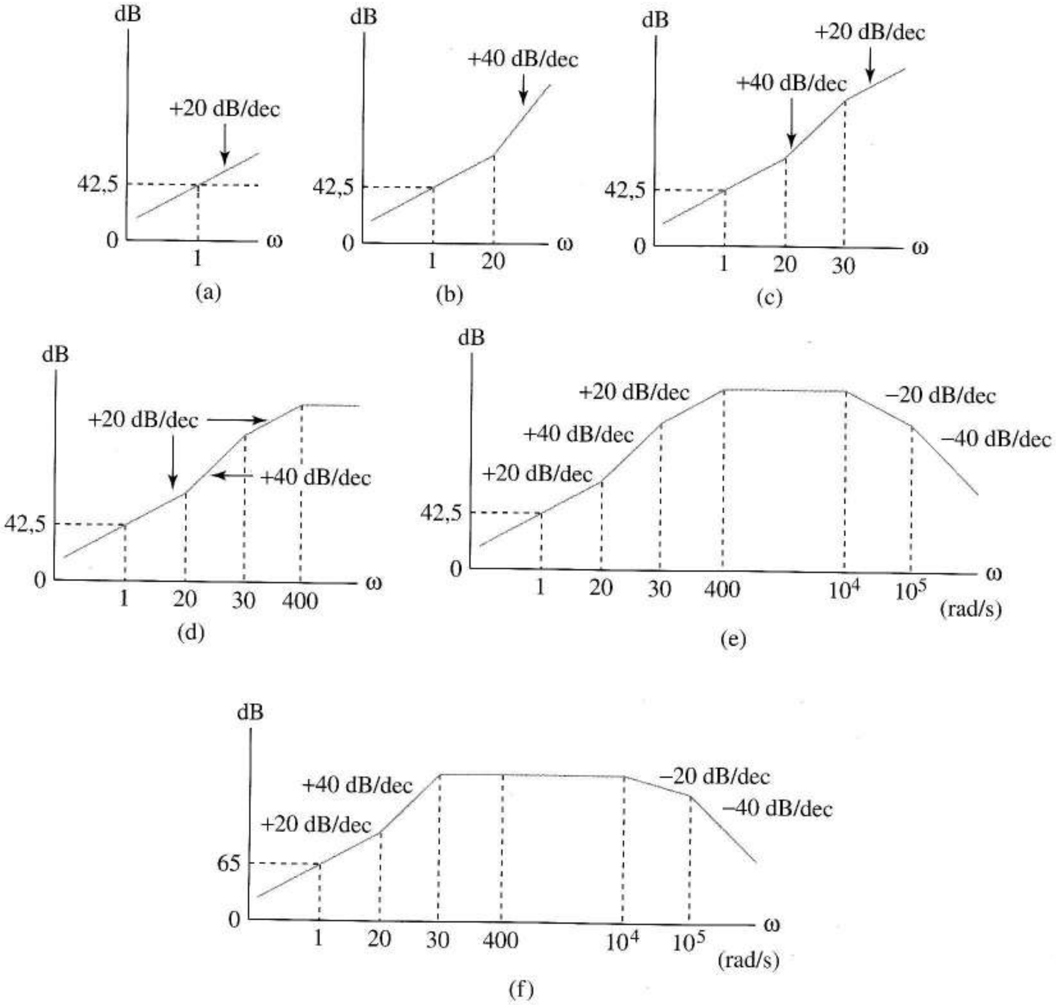


FIGURA 8.3 Construcción de diagrama de Bode: (a) constante más cero en el origen; (b) inclusión de un cero en 20 rad/s; (c) inclusión de un polo en 30 rad/s; (d) inclusión de un polo en 400 rad/s; (e) inclusión de polos en 10^4 y 10^5 rad/s; (f) diagramas de Bode del Ejercicio 8.1.

En circuitos de polos aislados podemos escribir ecuaciones que relacionen directamente frecuencias de corte de diagramas de Bode con condensadores individuales. Para amplificadores con polos que interaccionan, generalmente nos conformaremos con estimar la frecuencia de corte inferior. Comenzaremos con algunos sencillos casos especiales que nos ayuden a desarrollar la intuición y después avanzaremos hacia los circuitos más complejos.

8.3.1 EFECTOS INDIVIDUALES DE LOS CONDENSADORES DE ACOPLO Y DESACOPLO

Efecto de un condensador de desacoplo La Figura 8.5a es un amplificador de fuente común y la Figura 8.5b es su circuito equivalente en baja frecuencia, en donde $R_P = R_1 \,||\, R_2$ y $Z_s = R_S \,||\, (1/sC_S)$.

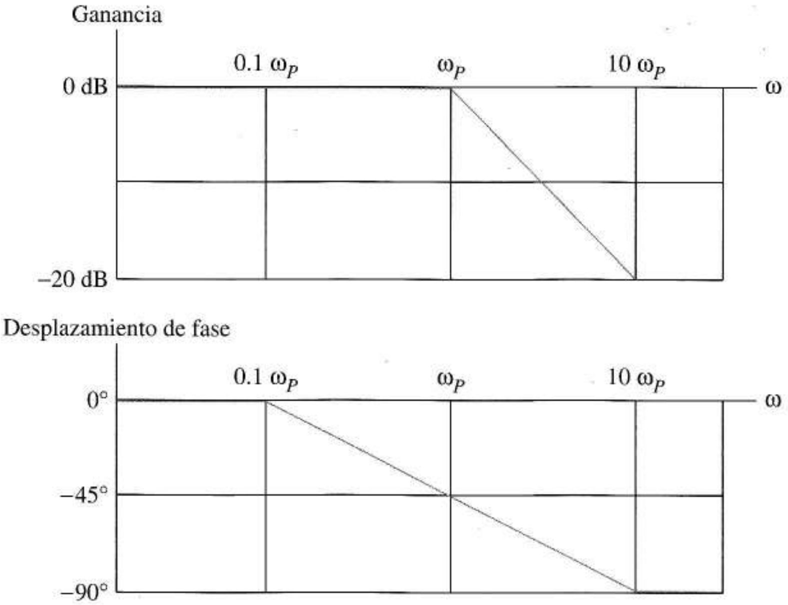


FIGURA 8.4 Ganancia aproximada y desplazamiento de fase aportados por un polo real.

La transformación de la fuente de corriente nos da la Figura 8.5c. Para comprender el efecto de C_S, hallaremos primero la ganancia V_o/V_G, donde V_G es la propia entrada al amplificador. A partir de la Figura 8.5c

$$V_o = -g_m R_D V_{GS}$$

La variable de control V_{GS} se relaciona con la tensión V_G mediante la expresión del divisor de tensión

$$V_{GS} = \frac{1/g_m}{1/g_m + Z_S} V_G = \frac{1}{1 + g_m Z_S} V_G \tag{8.4}$$

Al sustituir la Ecuación (8.4) en la Ecuación anterior, nos conduce a

$$A_v(s) = \frac{V_o}{V_G} = -g_m R_D \frac{1}{1 + g_m Z_S}$$

Para mostrar el papel de C_S, sustituimos

$$Z_S = R_S \| \frac{1}{sC_S} = \frac{R_S}{sC_S R_S + 1}$$

para obtener

$$A_v(s) = -g_m R_D \frac{1}{1 + g_m R_S / (sC_S R_S + 1)} = -g_m R_D \frac{sC_S R_S + 1}{1 + g_m R_S + sC_S R_S} \tag{8.5}$$

Es una buena costumbre comprobar este resultado en alta y baja frecuencia, para ver si está de acuerdo con nuestra visión. Cuando $s \to \infty$, $A_V(s)$ se aproxima a $-g_m R_D$, la ganancia del amplificador en fuente común. Esto es lo que esperábamos; para estos valores es la ganancia de las Figuras 8.5a y b cuando C_S se convierte en un cortocircuito, como suponíamos en el análisis a frecuencias medias. Cuando $s \to 0$, la ganancia se aproxima a un valor menor

$$A_v(0) = \frac{-g_m R_D}{1 + g_m R_S}$$

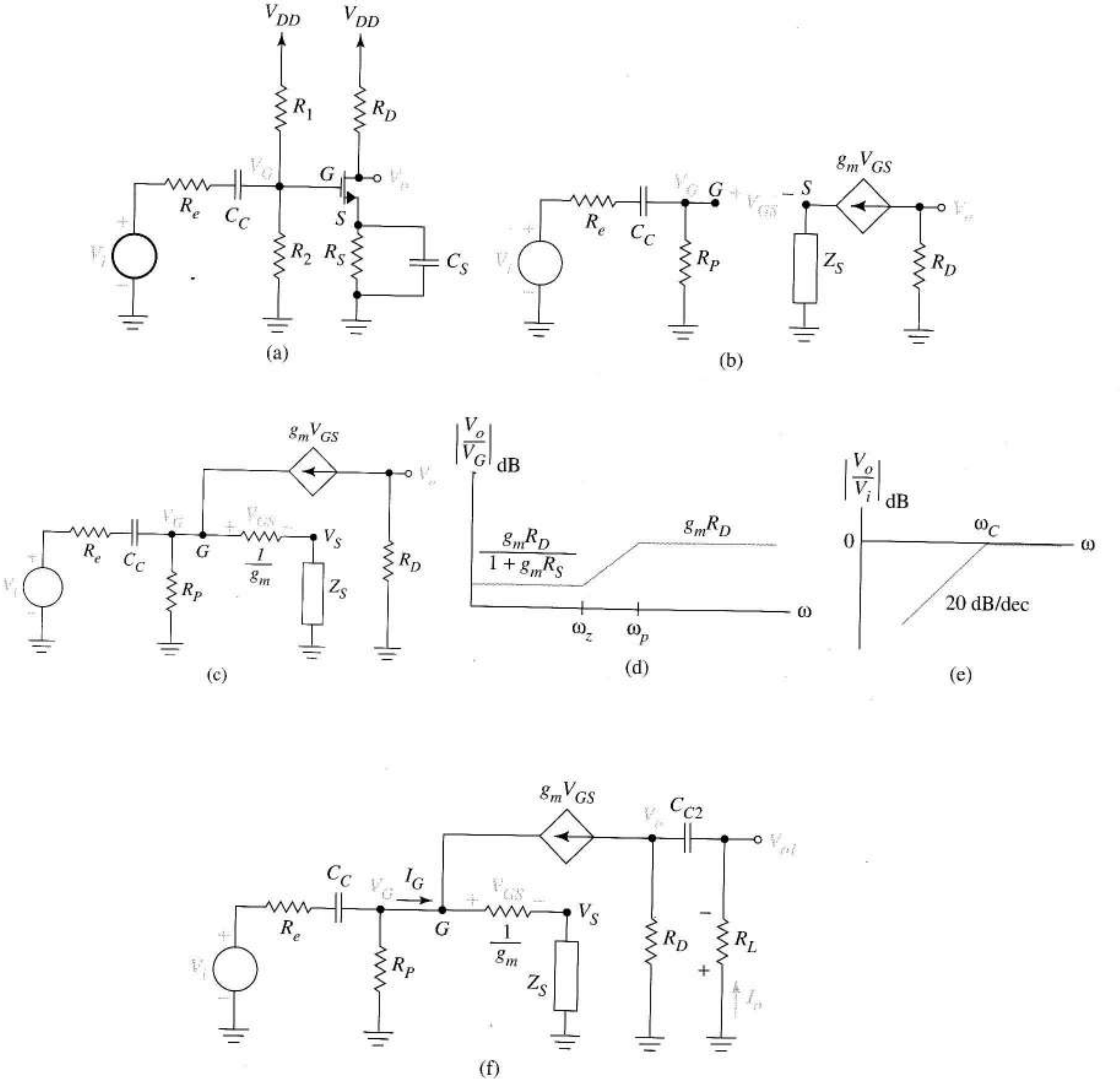


FIGURA 8.5 Efecto de un condensador de desacoplo en la respuesta en baja frecuencia: (a) amplificador; (b) circuito equivalente en baja frecuencia; (c) equivalente tras la transformación de fuente; (d) efecto de un condensador de acoplo; (f) inclusión de una resistencia de carga externa.

Esto es lo que esperábamos cuando la resistencia de fuente no está cortocircuitada en alterna, es decir, $1/(sC_S = \infty)$; ésta es la reducida ganancia que evitamos al usar el condensador de desacoplo.

Para poner la Ecuación (8.5) en la forma general de la Ecuación (8.1), dividiremos el numerador y el denominador por $C_S R_S$. Esto nos da

$$\frac{V_o}{V_G} = A_v(s) = -g_m R_D \frac{s+\omega_z}{s+\omega_P} = A_{med} \frac{s+\omega_z}{s+\omega_P} \tag{8.6}$$

en donde ω_Z y ω_P cumplen

$$\frac{1}{\omega_Z C_S} = R_S \tag{8.7a}$$

y

$$\frac{1}{\omega_P C_s} = \frac{R_S}{1+g_m R_S} = \frac{(1/g_m)R_S}{(1/g_m)+R_S} = R_S \Big\| \frac{1}{g_m} \tag{8.7b}$$

Como $R_S > R_S || 1/g_m$, la frecuencia del cero, ω_Z, siempre es menor a la del polo ω_P.

El diagrama de Bode de la Ecuación (8.6), Figura 8.5d, muestra una transición en ganancia desde el valor a frecuencias medias hasta su "valor en baja frecuencia". Llegamos a la conclusión de que el efecto neto del condensador de desacoplo es añadir un polo y un cero a la expresión de ganancia en frecuencias medias, como en la Ecuación (8.6). El resultado es un diagrama de Bode con la forma de la Figura 8.5d.

En el diseño, las Ecuaciones (8.7) nos dan la información necesaria para *seleccionar* C_S para el límite inferior de la banda pasante; en el análisis, nos permite calcular este límite para un amplificador dado. Las ecuaciones de las frecuencias de corte son fáciles de recordar porque son lógicas: la frecuencia del polo es la frecuencia ω_P, en donde la reactancia de C_S iguala la resistencia de salida que se ve mirando hacia el amplificador. La frecuencia cero se da cuando la reactancia de C_S iguala a R_S.

Efecto del condensador de acoplo La ganancia global V_o/V_i del amplificador de la Figura 8.5a es, en realidad, el producto de dos factores: V_o/V_G, que ya hemos examinado, y V_G/V_i, que lleva asociado el condensador de acoplo. A partir de la Figura 8.5b

$$\frac{V_G}{V_i} = \frac{R_P}{R_P + R_i + 1/(sC_C)} = \frac{sC_C R_P}{sC_C(R_P + R_i) + 1}$$

Después de factorizar, se convierte en

$$\frac{V_G}{V_i} = \frac{R_P}{R_P + R_i} \frac{s}{s+\omega_C} \tag{8.8}$$

en donde ω_C cumple

$$\frac{1}{\omega_C C_C} = R_P + R_i \tag{8.9}$$

Al combinar las Ecuaciones (8.8) y (8.6) nos da la ganancia global

$$A'_v(s) = \frac{V_o}{V_i} = \frac{V_G}{V_i}\frac{V_o}{V_G} = \frac{s}{s+\omega_C}\left[\frac{R_P}{R_P+R_i}\left(-g_m R_D\right)\right]\frac{s+\omega_Z}{s+\omega_P} \tag{8.10}$$

Reconocemos el término entre corchetes como la ganancia de V_i en relación con V_o de la Figura 8.5 cuando ambos condensadores son cortocircuitos, es decir, la ganancia a frecuencias medias. El primer factor muestra que el condensador de acoplo contribuye con un cero en el origen y un polo en $-\omega_C$. La Figura 8.5c es el diagrama de Bode de este primer factor por sí solo. A frecuencias significativamente mayores de ω_C, la ganancia no está afectada por C_C; sin embargo, en valores inferiores a ω_C, hay una caída de ganancia de 20 dB/dec. La Ecuación (8.9) muestra que ω_C es la frecuencia en donde la reactancia de C_C iguala la resistencia que C_C ve en baja frecuencia, equivalente en pequeña señal de 8.5b. Un condensador de acoplo contribuye siempre a un factor del numerador sin cancelar, s, haciendo que $A(s)\to 0$ cuando $s\to 0$, consistente con nuestra idea intuitiva de condensadores en serie que bloquean la continua.

8.3.2 POLOS INDEPENDIENTES MÚLTIPLES

Obtención de la curva de respuesta frecuencial En circuitos en los que podemos relacionar los polos y ceros en baja frecuencia con condensadores individuales, es fácil hallar la forma de la curva de respuesta frecuencia frecuencial en el análisis o estructurar la curva para que encaje con las especificaciones dadas en el diseño. Consideremos las posibilidades del amplificador de la Figura 8.5a. Al elegir C_C lo suficientemente grande, se puede hacer $\omega_C << \omega_Z$. Al añadir la Figura 8.5e y la Figura 8.5d, obtenemos la Figura 8.6a. Si en vez de eso elegimos un C_C más pequeño para que ω_C esté entre el polo y el cero del condensador de desacoplo, la respuesta frecuencial es como la de la Figura 8.6b. C_C aún menores nos dan la Figura 8.6c, que tiene la misma forma que la Figura 8.6b. Las pendientes de estas curvas se marcan en unidades de decibelios/década, asumiendo que los polos y los ceros están lo suficientemente separados como para que la curva real siga de forma aproximada a sus asíntotas.

Segundo condensador de acoplo Si, además, acoplamos capacitivamente una carga externa, R_L, al nodo de salida de la Figura 8.5a, la Figura 8.5c cambia a la Figura 8.5f. Esto define una nueva tensión de salida V_{o1}. Como la fuente de corriente aísla el circuito RC de salida del resto del amplificador, C_{C2} nos da un nuevo polo *independiente del resto de polos y ceros*. Observemos que la corriente dependiente está controlada por V_{GS} en la Ecuación (8.4) tanto para las Figuras 8.5c como 8.5f. En el último circuito, el divisor de corriente en la salida da

$$I_o = \frac{R_D}{R_D+R_L+1/\left(sC_{C2}\right)}g_m V_{GS} = \frac{sC_{C2}R_D}{sC_{C2}\left(R_D+R_L\right)+1}g_m V_{GS} \tag{8.11}$$

Para hallar la ganancia global de la Figura 8.5f utilizaremos

$$\frac{V_{o1}}{V_i} = \frac{v_{o1}}{I_o}\frac{I_o}{V_{GS}}\frac{V_{GS}}{V_G}\frac{V_G}{V_i}$$

en donde $V_{o1}/I_o = -R_L$, y los demás factores se definen, respectivamente, en las Ecuaciones (8.11), (8.4) y (8.8).

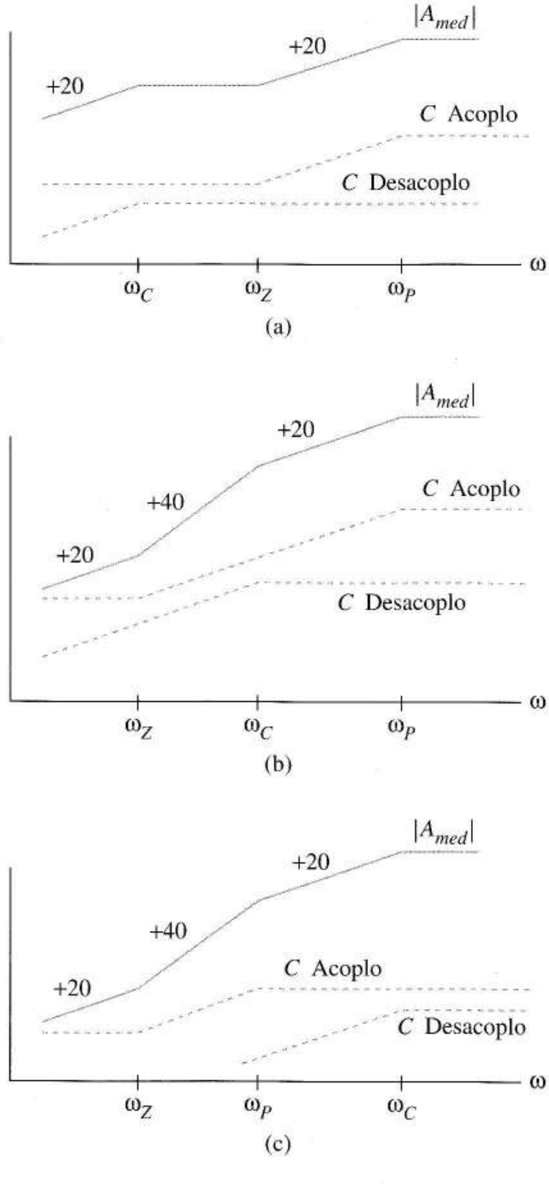


FIGURA 8.6 Curvas de respuesta frecuencial del amplificador de la figura 8.5a: (a) $\omega_c \ll \omega_z$; (b) $\omega_z \ll \omega_c \ll \omega_p$; (c) $\omega_Z \ll \omega_C$.

Al realizar las sustituciones y simplificaciones vemos que el acoplamiento capacitivo R_L del amplificador de la Figura 8.5a cambia la función de ganancia de la Ecuación (8.10) a

$$A'_v(s) = \frac{V_{o1}}{V_i} = \frac{s}{s+\omega_C}\left[\frac{R_P}{R_P+R_i}\left(-g_m R_D\right)\frac{R_L}{R_L+R_D}\right]\frac{s+\omega_Z}{s+\omega_P}\,\frac{s}{s+\omega_{C2}} \qquad (8.12)$$

La ganancia a frecuencias medias [entre corchetes] incluye ahora el factor de carga de salida provocado por R_L. Esta ganancia es la de la fuente ideal con la carga externa que obtendríamos suponiendo que todos los condensadores son cortocircuitos. También hay un nuevo factor del condesador de acoplo –de forma estándar– con una frecuencia de polo, ω_{C2}, que cumple

$$\frac{1}{\omega_{C2}C_{C2}} = R_D + R_L \tag{8.13}$$

en donde C_{C2} es el condensador de acoplo de salida. Para el condensador de acoplo de entrada, la frecuencia de corte es aquélla en la que la reactancia de C_{C2} iguala a la resistencia de salida que C_{C2} ve en sus nodos de conexión. En la Figura 8.6 la carga acoplada capacitivamente añadiría un valor adicional de 20 dB/dec a las rampas de todas las curvas a la izquierda de la nueva frecuencia del polo.

La forma de la curva de respuesta en la parte de baja frecuencia es otro factor a considerar cuando se diseña el circuito de polarización. En la Ecuación (8.12) aparece la resistencia de drenaje R_D, no sólo explícitamente a frecuencias medias, sino implícitamente a través de la Ecuación (8.13) en la que un valor grande de R_D favorece que ω_{C2} tenga el valor pequeño que generalmente queremos. Valores grandes de R_L también favorecen una buena respuesta en baja frecuencia. Las resistencias de polarización que forman R_P se incluyen implícitamente en ω_C, como en la resistencia interna de la fuente R_e. Los valores grandes de R_S asociados con la estabilidad del punto Q también favorecen una buena respuesta en baja frecuencia, haciendo que ω_Z y ω_P tengan valores pequeños.

Polo dominante en baja frecuencia A veces hay un polo en baja frecuencia que es dos o más octavas mayor que los demás polos y ceros en baja frecuencia. Cuando esto ocurre, podemos usar los diagramas de Bode para razonar que, para todas las frecuencias importantes, la respuesta de frecuencia del amplificador tiene la forma de la Figura 1.41b, la respuesta de la función del polo de la Ecuación (1.43). Este *modelo de polo dominante* se aproxima a la frecuencia de corte inferior del amplificador y justifica el utilizar la Ecuación (1.44) para aproximar la caída unitaria o porcentual[1] cuando el amplificador procesa pulsos. El siguiente ejemplo de diseño muestra cómo utilizaremos este concepto de polo dominante para seleccionar los valores del condensador.

EJEMPLO 8.2 El transistor de la Figura 8.7a se polariza en 2 mA; los parámetros son $k = 0{,}5$ mA/V^2 y $V_t = 2$ V. (a) Elegir condensadores de acoplo y desacoplo para que la frecuencia de corte inferior sea 100 Hz. (b) Representar el diagrama de Bode del diseño y verificarlo utilizando SPICE. (c) Utilizar SPICE para determinar el decaimiento porcentual en la respuesta a un pulso de entrada de pequeña amplitud de duración 0,318 ms.

Solución a) Mirando la Figura 8.7a y observando el circuito equivalente en baja frecuencia, vemos que C_{C1} ve 5 k+7,6 M 2,72 M = 2,01 MΩ y C_{C2} ve 50 k+2,5k = 52,5 k. En el punto Q, $1/g_m = 707{,}1\Omega$; por lo tanto, C_S ve $R_o = (2\text{ k}) \,||\, (707) = 526\Omega$. Ahora utilizaremos el concepto de polo dominante. El condensador que ve la resistencia más pequeña es la mejor elección para establecer el polo dominante. (Este condensador está destinado a ser grande. Al hacer menor la frecuencia de este polo, debería ser aún mayor). Por lo tanto situaremos el polo de C_S en 100 Hz. Según la Ecuación (8.7b), esto requiere

$$C_S = \frac{1}{2\pi 100 \times 526} = 3{,}03\ \mu F$$

[1]N. del T.: Se suele hablar de caída unitaria o porcentual. Numéricamente no son iguales ya que en el último caso se expresa con relación al 100 mientras que en el primero el valor de refencia es la unidad. En el texto se hablará indistintamente de una u otra.

Además, la frecuencia del cero aportada por C_S es la frecuencia f_Z que cumple

$$\frac{1}{\left(2\pi f_z\right)3{,}03\times 10^{-6}} = 2\ \mathrm{k}\Omega$$

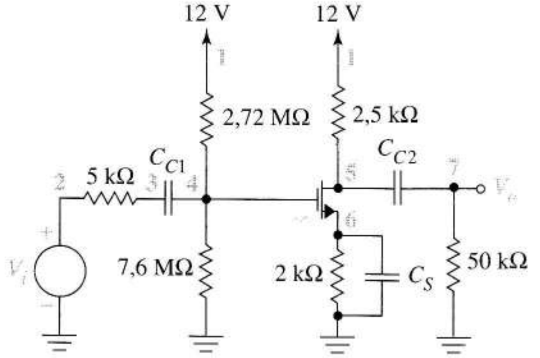
en consecuencia, f_z = 26,3 Hz, casi dos octavas por debajo de f_P.

Para asegurar que ω_P sea dominante, situamos las frecuencias del otro polo una década o dos por debajo de 100 Hz. Para C_{C2}, la Ecuación (8.13) da

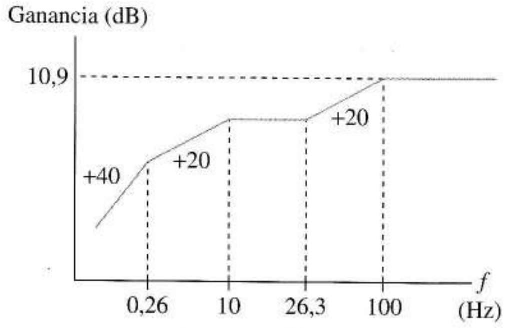
$$\frac{1}{(2\pi 10)C_{C2}} = 52{,}5\ \mathrm{k}$$

o C_{C2} = 0,303 μF. Como C_{C1} ve una resistencia de salida mayor que C_{C2}, utilizaremos C_{C1} = 0,303 μF. La frecuencia de corte de C_{C1} es la frecuencia en la que la reactancia iguala a 2,01 MΩ ó 0,262 Hz.

b) Como la carga de entrada y salida es pequeña, la ganancia a frecuencias medias debería ser aproximadamente $-g_mR_D$ = −3,5 o 10,9 dB. La Figura 8.7b es el diagrama de Bode esperado. La Figura 8.7c es el código SPICE para calcular la curva de respuesta frecuencial. Como el generador de señal VI tiene una amplitud de un voltio, la tensión de salida en el nodo 7 es igual numéricamente a la ganancia del amplificador. Como la fuente del FET no está a masa, la línea .MODEL incluye el factor del efecto del sustrato, GAMMA = 0,3. La línea .AC proporciona un barrido de frecuencia logarítmica de V_i en el margen de cinco décadas, 0,02 a 2.000 Hz, con 20 puntos de salida por década. La sentencia .PLOT crea un diagrama del nodo 7 (en decibelios para obtener la ganancia en dB).



(a)



(b)

```
EXAMPLE 8.2
VDD 1 0 12
VI 2 0 AC 1
RIN 2 3 5K
CC1 3 4 0.303E-6
R1 1 4 2.72MEG
R2 4 0 7.6MEG
RD 1 5 2.5K
RS 6 0 2K
CS 6 0 3.03E-6
CC2 5 7 0.303E-6
RL 7 0 50K
M1 5 4 6 0 TRAN
.MODEL TRAN NMOS VTO=2
+ KP=0.5E-3 GAMMA=0.3
.AC DEC 20 0.02 2000
.PLOT AC VDB(7)
.PRINT AC VDB(7)
.END
```

(c)

FIGURA 8.7 Diseño en baja frecuencia: (a) amplificador; (b) diagrama de Bode estimado para el diseño del ejemplo 8.2; (c) código SPICE para la respuesta frecuencial; (d) diagrama de Bode obtenido al utilizar SPICE; (e) respuesta a una entrada de pulsos mostrando la caída introducida por las limitaciones en baja frecuencia.

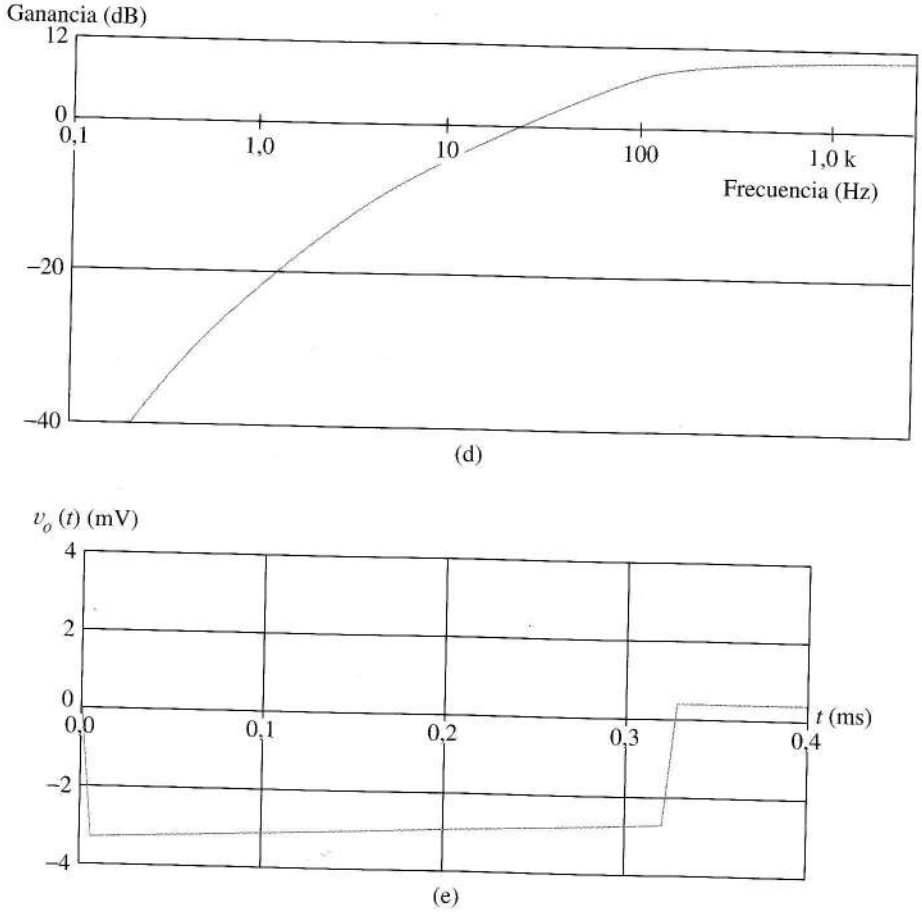


FIGURA 8.7 (Continuación)

La Figura 8.7d es la representación SPICE de la respuesta de frecuencia. Los datos de salida muestran que la ganancia (a frecuencias medias) es de 10,2 dB a 2.000 Hz comparada con los 10,9 dB que se predijeron en la Figura 8.7b. El menor valor de la ganancia podría ser el resultado de incluir el efecto del sustrato, idea fácil de comprobar con una ejecución SPICE que utilice GAMMA = 0. A 100 Hz la ganancia es 2,98 dB por debajo de los 10,2 dB a frecuencias medias. La curva real de respuesta frecuencial es suave; sin embargo, su parecido a la estimada en la Figura 8.7b es evidente.

c) Para hallar la caída de la señal, necesitamos utilizar una fuente de pulsos y hacer un análisis transitorio. Reemplazaremos el código de la fuente alterna por

VI 2 0 PULSE (0 1M 0 0 0 0 . 318M 5M)

Esta nueva señal es un pulso que cambia de cero a 1 mV (con retraso, tiempo de subida y tiempo de bajada cero) y dura 0,318 ms. (También se repite cada 5 ms, pero eso es indiferente). A diferencia de las grandes señales, irreales, que están permitidas en el análisis de alterna de SPICE, la amplitud del pulso en el análisis transitorio debe ser lo bastante pequeña para evitar saturar el amplificador; en consecuencia, la amplitud del pulso es de 1 mV. Cuando reemplazamos

.AC DEC 20 0 . 02 2000

por

.TRAN 0 . 004M 0 . 4M

especificamos un análisis transitorio, con la salida representada cada 0,0004 ms de un intervalo de cálculo de 0,4 ms. Esto da 100 puntos de salida que definen la forma de onda, y se ejecuta hasta algo después del fin del pulso.

Reemplazando

.PLOT AC VDB (7)

por

.PLOT TRAN V (7)

nos da una representación de la tensión de salida en función del tiempo. La forma de onda de salida, Figura 8.7e, es semejante a la Figura 1.41d; sin embargo está invertida, ya que el amplificador tiene una ganancia negativa a frecuencias medias. La amplitud de pico del pulso es 3,236 mV de acuerdo exactamente con la ganancia calculada de 10,2 dB. La amplitud baja a 2,73 en el flanco de subida, dándonos una caída porcentual de 15,7%.❑

Ejercicio 8.2 Utilizar el parecido de este diseño de polo dominante en un amplificador de un único polo para estimar la caída porcentual.

Respuesta 20 %.

EJEMPLO 8.3 Hallar la función en baja frecuencia $V_o/V_i = A_v(s)$ para el amplificador en emisor común de la Figura 8.8a. Los parámetros del transistor son $g_m = 0{,}056$ A/V y $r_\pi = 2{,}411\ \Omega$.

Solución El equivalente en baja frecuencia es la Figura 8.8b que consta de dos subcircuitos separados, cada uno con su propio condensador. Cada subcircuito contribuye a la función de ganancia, un factor estándar en baja frecuencia de la forma

$$\frac{s}{s+\omega_{C1}}$$

El condensador de acoplo de entrada tiene la frecuencia del polo ω_{C1} que cumple

$$\frac{1}{\omega_{C1}(50\ \mu\text{F})} = 47\text{k} + (1M \| 2{,}41\text{k}) = 49{,}4\text{k}\Omega$$

Por lo tanto, $\omega_{C1} = 0{,}405$ rad/s. El condensador de salida contribuye con ω_{C2}, donde

$$\frac{1}{\omega_{C2}(100\ \mu\text{F})} = 6{,}8\ \text{k} + 39\ \text{k} = 45{,}8\ \text{k}\Omega$$

En consecuencia $\omega_{C2} = 0{,}218$ rad/s.

La ganancia a frecuencias medias de la Figura 8.8b es

$$A_{med} = \frac{2{,}4\ \text{k}}{2{,}4\ \text{k} + 47\ \text{k}}(-0{,}056 \times 5{,}79 \times 10^3) = -15{,}8$$

Uniéndolas obtenemos

$$A_v(s) = \frac{s}{s+0{,}405}(-15{,}8)\frac{s}{s+0{,}218}$$

❑

Ejercicio 8.3 Queremos usar el amplificador de la Figura 8.8 en una señal que sólo contiene frecuencias entre 1 kHz y 100 kHz en un entorno con ruido en baja frecuencia. Hallar nuevos condensadores de acoplo para que los dos polos en baja frecuencia se sitúen en 500 Hz.

Respuesta 6.440 pF, 6.950 pF.

El ejemplo 8.3 ha mostrado que el análisis en baja frecuencia del amplificador básico en emisor común se parece al del amplificador en fuente común. Sin embargo, cuando la resistencia de emisor está cortocircuitada, el polo asociado al condensador de entrada deja de estar aislado en un circuito separado e interacciona con el condensador de desacoplo a través de r_π. A continuación, aprenderemos a estimar la respuesta en baja frecuencia en casos como éste.

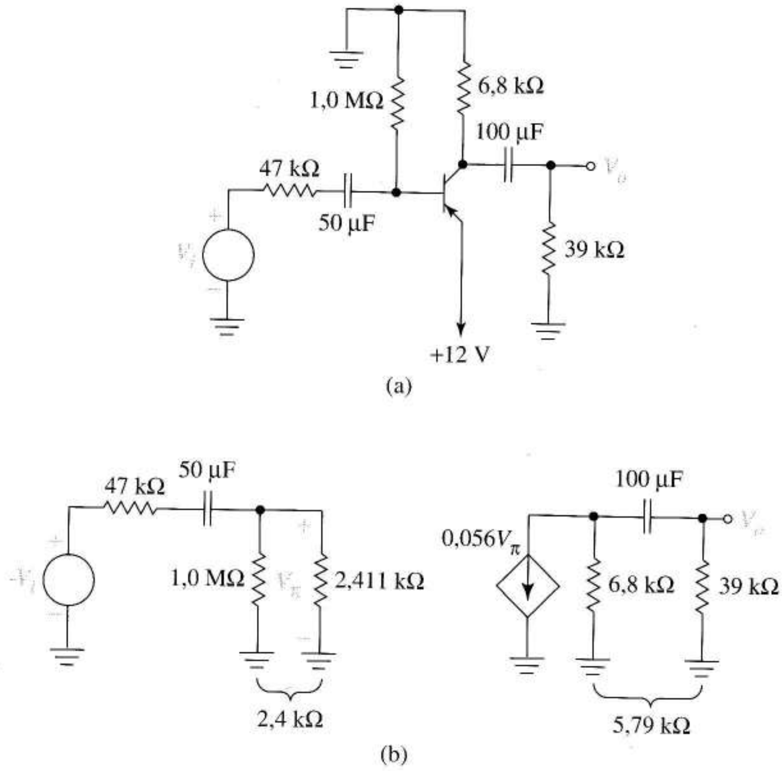


FIGURA 8.8 Circuitos del Ejemplo 8.3: (a) circuito original; (b) circuito equivalente en baja frecuencia.

8.3.3 ESTIMACIÓN DE ω_L CUANDO INTERACCIONAN LOS POLOS Y LOS CEROS

En muchos amplificadores, el análisis del equivalente en baja frecuencia es mucho más difícil que en los ejemplos anteriores y factorizar la expresión resultante de ganancia no da ecuaciones de diseño sencillas. Esto ocurre debido a que alguna frecuencia de polos o ceros es función de dos o más condensadores. En esos casos, lo mejor que podemos hacer es utilizar la Ecuación de aproximación que estudiaremos a continuación. Esta aproximación no nos da la suficiente información para representar el diagrama de Bode; sin embargo, nos permite estimar la frecuencia de corte inferior que suele ser un dato importante. Además, el método aproximado nos da una idea de las contribuciones *relativas* de los condensadores individuales a la frecuencia de corte inferior, dándonos una importante visión del diseño.

Método de las constantes de tiempo en cortocircuito Para estimar la frecuencia de corte inferior, ω_L de un circuito equivalente en baja frecuencia que contenga N condensadores, calcularemos primero los recíprocos

$$\omega_{Li} = \frac{1}{R_i C_i}$$

de *N constantes de tiempo en cortocircuito*, en donde R_i es la resistencia de salida vista por C_i cuando los demás condensadores se reemplazan por *cortocircuitos*. A continuación, estimaremos ω_L con

$$\omega_L \approx \sum_{i=1}^{N} \omega_{Li} \tag{8.14}$$

La Ecuación (8.14) asume que la función de ganancia tiene un polo dominante en baja frecuencia; sin embargo, éste es un punto de poca importancia práctica. Para empezar, el método de las constantes de tiempo en cortocircuito es la única alternativa adecuada para el análisis manual, por lo que tenemos pocas elecciones, salvo suponer su validez desde un principio. Más importante es que en el diseño podemos utilizar la más amplia visión que nos proporciona la técnica para asegurar que se satisface esta condición.

Para demostrar los detalles, estudiaremos el amplificador en emisor común de la Figura 8.9a y su equivalente en baja frecuencia, la Figura 8.9b. El subcircuito que contiene C_2 se aísla con la fuente de corriente y de esta forma produce un polo y un cero en el origen; sin embargo, los dos polos restantes son funciones de C_1 y C_3 ya que los condensadores no están en subcircuitos aislados. En consecuencia, utilizaremos la Ecuación (8.14) para estimar ω_L.

Para hallar la resistencia vista desde C_1, dibujaremos la Figura 8.9c. La fuente dependiente está activa cuando se aplica un generador de prueba en los terminales de C_1; sin embargo, esta fuente no tiene efecto sobre R_1. Así

$$R_1 = R_i + \left(R_P \| r_\pi\right)$$

La resistencia vista desde C_2 se obtiene de la Figura 8.9d. Como la definición de R_o necesita que se desconecte la fuente independiente, el circuito de entrada carece de excitación; por lo tanto, $V_\pi = 0$, y la fuente de corriente también se desconecta. El resultado es

$$R_2 = R_L + R_C$$

Para hallar la resistencia vista desde C_3, utilizaremos la Figura 8.9c. En este punto, muchas personas con experiencia en electrónica se darían cuenta de que la Figura 8.9e es el equivalente en pequeña señal de la Figura 8.9f. Al utilizar la propiedad de transformación de la resistencia de los bipolares, escribiremos

$$R_3 = R_E \| \left(\frac{\left(R_i \| R_P\right) + r_\pi}{\beta + 1} \right)$$

la resistencia que necesitaremos para la constante de tiempo final en cortocircuito.

Al relacionar ω_L con condensadores individuales, el método de las constantes del cortocircuito nos da una visión aproximada que demuestra ser útil para el diseño. El siguiente ejercicio y ejemplo demuestran este punto.

Ejercicio 8.4 En la Figura 8.9a los parámetros del transistor son $g_m = 4{,}72$ mA/V y $r = 21{,}1$ kΩ. Los parámetros del circuito son $R_C = 39$ kΩ, $R_{B1} = 47$ kΩ, $R_{B2} = 68$ kΩ, $R_e = 60$ Ω , $R_L = R_E = 50$ kΩ, $C_1 = C_2 = C_3 = 2$ μF

La frecuencia de corte inferior debe ser 50 Hz. ¿Satisface el amplificador esta especificación?

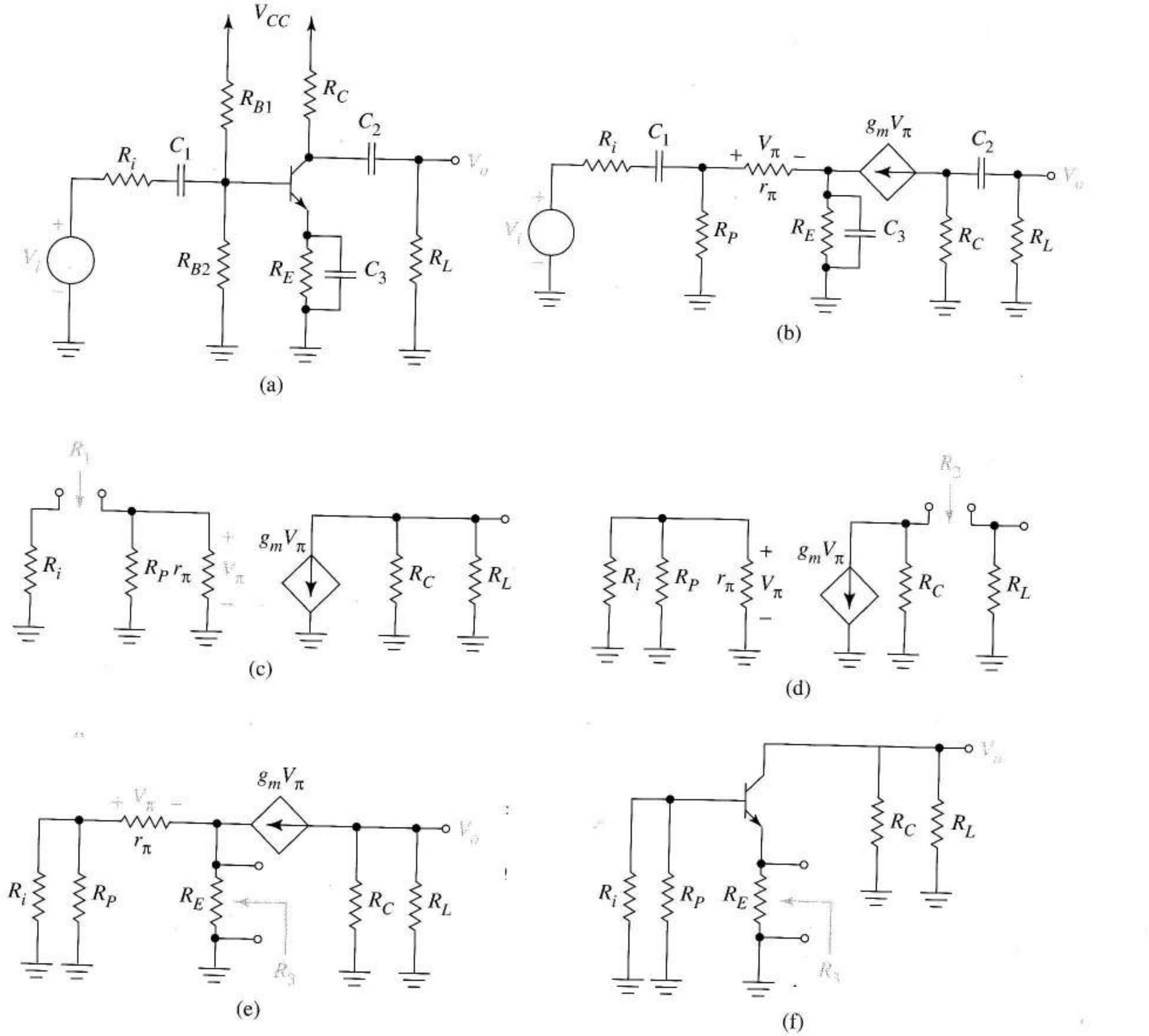


FIGURA 8.9 Amplificador en emisor común: (a) esquema; (b) equivalente en baja frecuencia; (c) circuito para calcular R_1; (d) circuito de R_2; (e) circuito de R_3; (f) esquema en pequeña señal para hallar R_3.

Sugerencia Utilizar la Ecuación (8.14) y la expresión de R_e recién obtenida.

Respuesta No; $f_L = \omega_L/2\pi = 386$ Hz.

EJEMPLO 8.4 Volver a diseñar el circuito del Ejercicio 8.4 para que la frecuencia de corte inferior encaje con las especificaciones.

Solución Al resolver el Ejercicio 8.4, la Ecuación (8.14) nos dio

$$\omega_L \approx \omega_{L1} + \omega_{L2} + \omega_{L3} = 41{,}3 + 5{,}62 + 2.381 = 2.428 \ \text{rad/s}$$

Observemos cómo ω_{L3}, término asociado con el condensador de desacoplo del emisor, domina la expresión. Tiene sentido que nos concentremos en este condensador en nuestro nuevo diseño. Por ejemplo, si sólo cambiamos C_3, necesitamos

$$\omega_L \approx 41{,}3 + 5{,}62 + \omega_{L3} = 2\pi 50 = 314$$

que nos da ω_{L3} = 267 rad/s. Analizando detalladamente R_3 = 209 Ω , por lo tanto,

$$C_3 = \frac{1}{209 \times 267} = 17{,}9\ \mu\text{F}$$

En este punto, sería una acción prudente hacer una simulación en computador del diseño final ya que no hemos confirmado la existencia del polo dominante que necesitamos para que nuestra estimación sea válida. (Sólo hemos identificado un término que dominaba en una aproximación, lo cual es distinto). En el Problema 8.21, veremos que la respuesta a 50 Hz está, efectivamente, unos 3,3 dB por debajo del valor a frecuencias medias.

Observemos que un correcto diagrama por computador de la respuesta frecuencial original, nos revelará que el diseño original no fue satisfactorio, pero no nos habría dado pistas sobre cómo corregir el problema. En contraste, nuestra estimación de ω_L nos sugirió cómo mejorar el diseño, ilustrando la potencia conceptual de la Ecuación (8.14).

Después de haber comprendido intuitivamente los condensadores de acoplo y desacoplo, podremos sospechar que la función real de la ganancia en el ejemplo anterior tiene dos ceros en el origen, otro que no está en el origen y tres polos; sin embargo, las posiciones específicas del polo y el cero no se conocen. Se debe resistir con firmeza cualquier tentación de volver a asociar de forma estricta la frecuencia del polo individual de la función de la ganancia con los términos individuales de la Ecuación (8.14). ❏

8.4 RESPUESTA EN ALTA FRECUENCIA

En esta sección mostraremos cómo afectan las capacidades parásitas internas del transistor en la respuesta en alta frecuencia. Los principios que hemos aprendido nos permiten predecir, para amplificadores dados, límites superiores prácticos para las frecuencias. Además, nos permiten diseñar amplificadores que cumplan determinadas especificaciones en alta frecuencia. Hay tres casos importantes en análisis en alta frecuencia. En los circuitos con polos aislados, como los amplificadores en puerta común y los amplificadores simplificados en base común, podemos escribir ecuaciones que relacionen directamente las frecuencias de corte del diagrama de Bode con condensadores individuales. Entre los amplificadores con polos que interactúan, hay algunos circuitos importantes, por ejemplo amplificadores en fuente común y en emisor común, para los que haremos equivalentes con polos aislados. En los circuitos con polos que interactúan sin equivalentes con polos aislados, utilizaremos una expresión especial que estime la frecuencia de corte superior. Nuestra primera tarea, será introducir los modelos del transistor en alta frecuencia.

8.4.1 MODELOS DEL TRANSISTOR EN ALTA FRECUENCIA

En los Capítulos 5 y 6 hemos aprendido que los transistores bipolares y los de efecto de campo, como los diodos, contienen capacidades parásitas no lineales que limitan su velocidad de res-

puesta cuando las señales cambian rápidamente. Los modelos en alta frecuencia de esta sección son modelos en pequeña señal, versiones linealizadas de los modelos del transistor no lineales de gran señal. Como en aquéllos, son funciones del punto Q y sólo son válidas cuando las señales tienen amplitudes pequeñas. Estos modelos nos permiten comprender el funcionamiento en alta frecuencia de los circuitos electrónicos lineales y hacer estimaciones manuales en el análisis y diseño.

Modelo FET El modelo de la Figura 8.10a describe los JFETs y MOSFETs de canal p y n en alta frecuencia. Las capacidades tienen valores de pocos pF, además se suelen tener valores estimados y medidas para el análisis manual. En los MOSFETs, C_{gs} y C_{gd} representan las capacidades distribuidas que atraviesan el óxido entre puerta y canal. En el JFET, representan las capacidades de deplexión de la Figura 5.53. Generalmente ignoraremos las capacidades drenador–sustrato y fuente–sustrato en los cálculos manuales, pero los podemos incluir de una forma sencilla en las simulaciones para aumentar la precisión. Cuando sea oportuno, ampliaremos el modelo añadiendo la resistencia de salida r_o en paralelo con la fuente dependiente. A frecuencias medias y bajas, los condensadores actúan como circuitos abiertos, y el circuito se reduce a la forma ya familiar del Capítulo anterior.

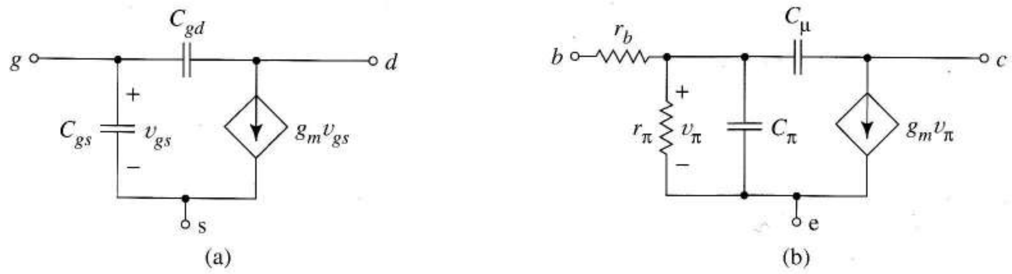


FIGURA 8.10 Modelos del transistor en alta frecuencia (a) JFETs y MOSFET; (b) modelo híbrido en pi para los bipolares

Modelo bipolar La Figura 8.10b es el modelo *híbrido en pi* que describe al transistor bipolar en altas frecuencias. La resistencia r_b es la resistencia de difusión base mostrada en la Figura 4.35. C_μ es la capacidad en pequeña señal o incremental de la unión base–colector inversamente polarizada definida como dQ_{dep}/dv_{BC} en la Sección 3.12.2. A partir de la Ecuación (3.62), el valor de C_μ depende de la tensión del punto Q $v_D = V_{BC}$. El condensador C_π incluye las capacidades de deplexión y difusión asociadas con la unión directamente polarizada de base–emisor. Cuando sea necesario realizar un análisis en particular, el modelo también incluirá r_o entre los nodos de colector y emisor. En bajas frecuencias el modelo híbrido en pi *casi* se reduce a la Figura 7.5b; la diferencia es r_b que, en realidad, siempre estuvo presente. Como r_b es sólo de 10 – 100 Ω , valores críticos sólo en análisis en alta frecuencia –y difícil de medir– lo omitiremos, salvo en análisis en alta frecuencia y de ruido.

La fuerte semejanza entre las Figuras 8.10a y b es aparente. Si bien ambos están gobernados por una fuente con resistencia interna, las resistencias bipolares se combinan con la resistencia de la fuente en una transformación Thevenin, obteniéndose circuitos con idéntica forma. En consecuencia, los circuitos bipolares y FET tienen características similares en alta frecuencia.

Los bipolares funcionan satisfactoriamente en un amplio margen de frecuencias, comenzando en continua; sin embargo, a cierta frecuencia, f_β, llamada la *frecuencia de corte* de β, la ganancia de corriente del transistor comienza a deteriorarse. En su *frecuencia con ganancia unidad* f_τ, la ganancia de corriente se reduce a la unidad, limitando severamente su utilidad como dispositivo de amplificación. El siguiente análisis define y relaciona estos importantes conceptos.

Frecuencia de ganancia unidad Utilizaremos la Figura 8.11a, el modelo híbrido en pi con la salida cortocircuitada, para analizar la ganancia de corriente inherente al transistor como función de la frecuencia. El cortocircuito asegura que el análisis refleje las limitaciones del dispositivo por sí mismo, independientemente de los componentes externos del transistor.

Para empezar, observemos las restricciones que introduce el cortocircuito. No hay corriente en r_o debido a que su tensión es cero. Además, como la tensión del colector es cero, el mismo V_π que controla la fuente dependiente es también la tensión en C_μ. Con excitación senoidal a frecuencia , la ley de Kirchhoff de la corriente nos da

$$I_B = V_\pi\left[\frac{1}{r_\pi} + j\omega C_\pi + j\omega C_\mu\right]$$

Al aplicar esta ley al colector nos da

$$I_C = \left(g_m - j\omega C_\mu\right)V_\pi$$

La relación de I_C con I_B nos da la ganancia de corriente del cortocircuito del transistor como función de ω,

$$\frac{I_C}{I_B} = \frac{g_m - j\omega C_\pi}{1/r_\pi + j\omega\left(C_\pi + C_\pi\right)}$$

Para simplificar, limitaremos los próximos comentarios sobre las frecuencias para las que el numerador es real, es decir, valores de en los que $|j\omega C_\mu| << g_m$ o

$$\omega << \frac{1}{C_\mu\left(1/g_m\right)}$$

Como $1/g_m$ y C_μ son pequeños, esto no es muy restrictivo. Ahora podemos escribir

$$\frac{I_C}{I_B} = \frac{g_m}{1/r_\pi + j\omega\left(C_\pi + C_\mu\right)} = \frac{\beta}{1 + j\left(\omega/\omega_\beta\right)} = \beta(\omega) \qquad (8.15)$$

donde

$$\omega_\beta = \frac{1}{r_\pi\left(C_\pi + C_\mu\right)} \qquad (8.16)$$

es la frecuencia de corte de β.

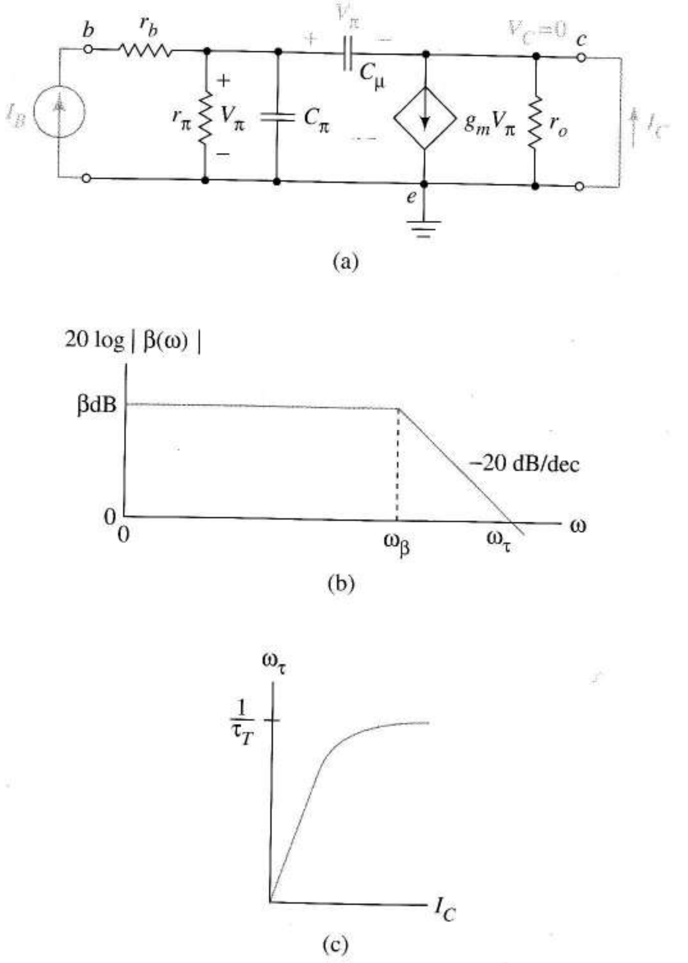


FIGURA 8.11
Limitaciones del bipolar en alta frecuencia: (a) circuito para calcular las limitaciones de la ganancia de corriente en alta frecuencia; (b) ganancia de corriente frente a frecuencia; (c) frecuencia de ganancia unidad frente a las coordenadas del punto.

La Ecuación (8.15) generaliza nuestro concepto de beta del transistor. Aquí veremos la ganancia de corriente del transistor como una función compleja $\beta(\omega)$ que se reduce a la constante real β en baja frecuencia, la única que hemos estudiado hasta ahora. El diagrama de Bode de la Figura 8.11b muestra lo que queremos decir con bajas frecuencias. En ω_β la ganancia de corriente vale 3 dB por debajo de su valor de continua; para frecuencias menores que ésta, $\beta(\omega) \approx \beta$, una constante real. En la frecuencia llamada *frecuencia de ganancia unidad*, ω_τ, $|\beta(\omega)|$ se reduce a uno, ó 0 dB. A partir de la Ecuación (8.15), por definición de ω_τ,

$$\left|\beta(\omega_\tau)\right| = 1 = \frac{\beta}{\left|1 + j(\omega_\tau / \omega_\beta)\right|} \approx \frac{\omega_\beta \beta}{\omega_\tau}$$

Esto relaciona las frecuencias de ganancia unidad y corte con

$$\omega_\tau = \beta\omega_\beta$$

La hoja de datos del transistor suele dar $f_\tau = \omega_\tau/2\pi$.

Para relacionar ω_τ con los parámetros del circuito, sustituiremos la Ecuación (8.16) para obtener

$$\omega_\tau = \beta\omega_\beta = \frac{\beta}{r_\pi\left(C_\pi + C_\mu\right)} = \frac{g_m}{C_\pi + C_\mu} \tag{8.17a}$$

o de forma equivalente

$$f_\tau = \frac{g_m}{2\pi\left(C_\pi + C_\mu\right)} \tag{8.17b}$$

La frecuencia de ganancia unitaria es, obviamente, una función del punto Q a través de su dependencia de g_m; sin embargo, C_π también depende ligeramente del punto Q. Esta capacidad tiene la forma

$$C_\pi = C_b + C_{je}$$

en donde C_b es la capacidad de difusión en pequeña señal y C_{je} la capacidad de deplexión de la unión base–emisor. La capacidad de difusión en gran señal del transistor en activa se describe con la expresión de la Ecuación (4.22) de Q_{FA} en relación con v_{BE}. Para obtener C_b, derivamos la Ecuación (4.22) con respecto a v_{BE} y evaluaremos esta derivada en el punto Q. Como Q_{FA} es una función exponencial de V_{BE}, esto da

$$C_b = \frac{1}{V_T} Q_{FA}$$

Al utilizar la Ecuación (4.23) obtenemos

$$C_b = \frac{\tau_T}{V_T} I_C \tag{8.18}$$

en donde τ_T es el tiempo transitorio, tiempo medio requerido para conducir una carga minoritaria por la base. En consecuencia, podemos escribir

$$C_\pi = \frac{\tau_T}{V_T} I_C + C_{je} \tag{8.19}$$

Al sustituir esto en la Ecuación (8.17a) y expresar g_m en relación con I_C obtenemos

$$\omega_\tau = \frac{I_C / V_T}{\left(\tau_T / V_T\right) I_C + C_{je} + C_\mu} \tag{8.20}$$

Para I_C bajas, las capacidades de deplexión dominan en el denominador y ω_τ se incrementa en proporción a I_C en el numerador. Para mayores corrientes de polarización, la capacidad de difusión se hace más importante, haciendo que ω_τ se aproxime a $1/\tau_T$ asintóticamente, como en la Figura 8.11c.

En la Sección 4.9.6 hemos visto que $\tau_T \approx 1$ ns para un transistor integrado npn y 30 ns para un dispositivo pnp lateral. Al reducir la anchura de la base, se reduce τ_T y por lo tanto se mejoran los límites fundamentales del transistor en alta frecuencia. Un segundo mensaje que podemos extraer de la Figura 8.11c es que ésta es otra consideración a tener en cuenta al seleccionar el punto Q de un transistor. I_C altas dan como resultado altas ω_τ .

8.4.2 AMPLIFICADORES EN PUERTA COMÚN Y BASE COMÚN

Los primeros amplificadores que estudiaremos se caracterizan por tener polos aislados y sencillas ecuaciones de diseño.

Amplificador en puerta común Consideremos el amplificador en puerta común de la Figura 8.12a. Dibujaremos el equivalente en alta frecuencia desactivando las fuentes de polarización, reemplazando los condensadores de acoplo y desacoplo por cortocircuitos y reemplazando el transistor por su modelo en alta frecuencia. El resultado es la Figura 8.12b, en la que R_{LL} denota

$$R_{LL} = R_L \| R_D \tag{8.21}$$

La transformación de la fuente de corriente nos da la Figura 8.12c, que es más sencilla de analizar porque los circuitos de entrada y salida están *desacoplados*. En este equivalente

$$R_{SS} = R_S \left\| \frac{1}{g_m} \right. \tag{8.22}$$

en el nodo de salida

$$V_o = -g_m V_{GS} Z_{LL} = -g_m \left(\frac{R_{LL}}{sC_{gd} R_{LL} + 1} \right) V_{GS} \tag{8.23}$$

Como V_{GS} se relaciona con V_i a través de un divisor de tensión

$$V_{GS} = -V_i \frac{Z_{SS}}{R_i + Z_{SS}} \tag{8.24}$$

donde

$$Z_{SS} = R_{SS} \left\| \frac{1}{sC_{gs}} \right. = \frac{R_{SS}}{sC_{gs} R_{SS} + 1}$$

Al sustituir la Ecuación (8.24) en la Ecuación (8.23) y despejar la relación de tensiones, nos da

$$\frac{V_o}{V_i} = \frac{Z_{SS}}{R_e + Z_{SS}} g_m \frac{R_{LL}}{sC_{gd} R_{LL} + 1}$$

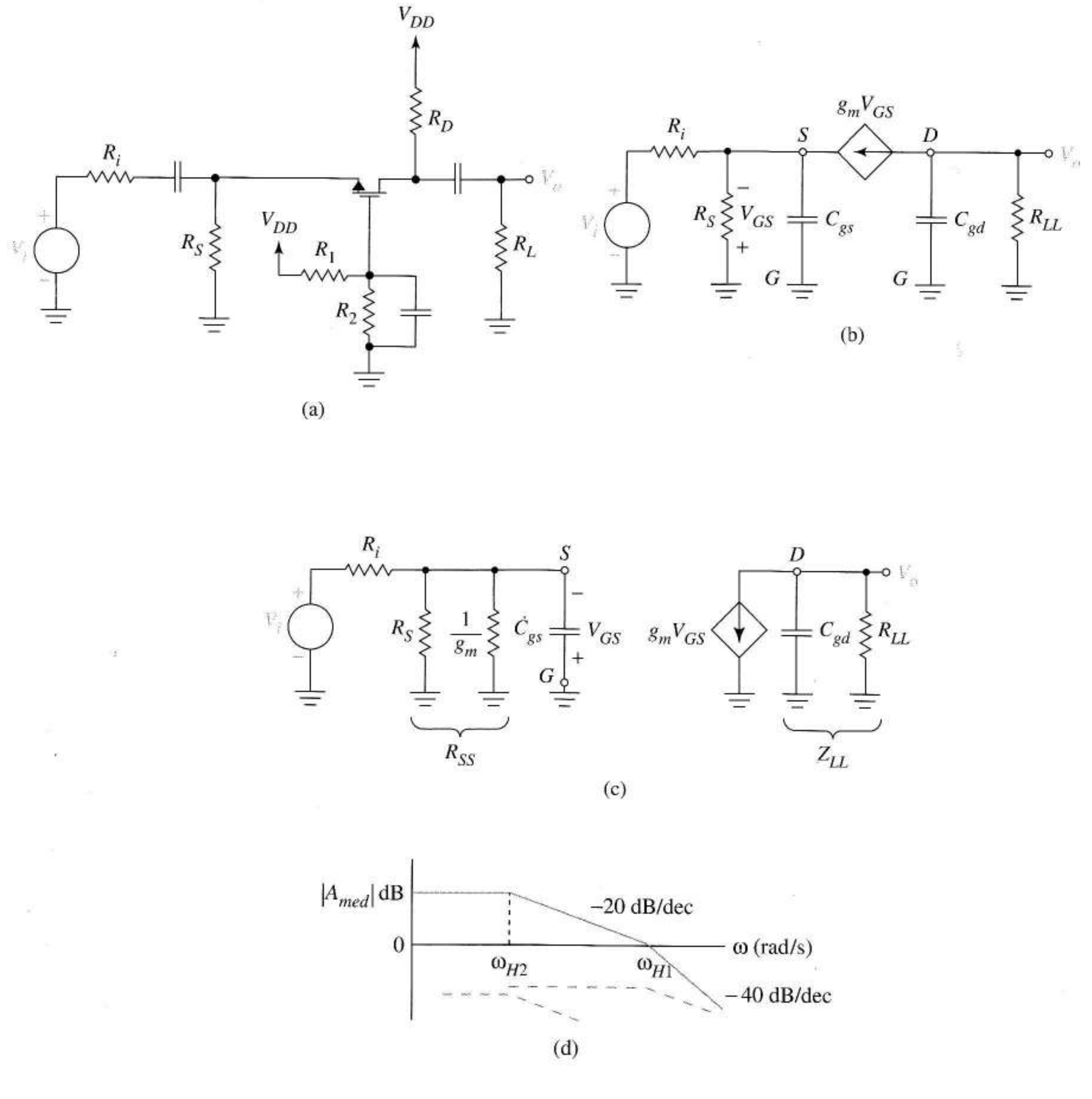


FIGURA 8.12 Análisis en alta frecuencia del amplificador en puerta común: (a) esquema del amplificador; (b) equivalente en alta frecuencia; (c) equivalente tras la transformación de fuente; (d) diagrama de Bode y representación de las curvas que lo componen.

Ahora sustituiremos Z_{SS} para obtener

$$\frac{V_o}{V_i} = \frac{R_{SS}}{sC_{gs}R_{SS}R_i + R_i + R_{SS}} g_m \frac{R_{LL}}{sC_{gd}R_{LL} + 1}$$

Para obtener una expresión que se preste a ser comprendida intuitivamente, dividiremos el numerador y el denominador del primer factor por $R_i + R_{SS}$, reordenaremos y reagruparemos los términos. Esto nos da

$$\frac{V_o}{V_i} = \left(\frac{R_{SS}}{R_i + R_{SS}} g_m R_{LL}\right) \frac{1}{sC_{gs}\left[R_{SS}R_i / (R_i + R_{SS})\right] + 1} \; \frac{1}{sC_{gd}R_{LL} + 1}$$

$$= A_{med} \frac{1}{s/\omega_{H1} + 1} \; \frac{1}{s/\omega_{H2} + 1} = A_{med} \frac{\omega_{H1}}{s + \omega_{H1}} \; \frac{\omega_{H2}}{s + \omega_{H2}} \tag{8.25}$$

Una vez que vemos la lógica de la Ecuación (8.25) podemos reproducirla con facilidad sin repetir la derivación. Para empezar, observemos que cuando $s \to 0$, la ganancia se aproxima al valor que se encuentra entre los paréntesis grandes. Esta es la ganancia a frecuencias medias, A_{med}, que se puede hallar fácilmente a partir de la Figura 8.12c suponiendo que los condensadores son circuitos abiertos. Cada condensador añade su polo a alta frecuencia a la expresión; además, los términos de los polos tienen una forma idéntica, aproximándose cada uno de ellos a uno según $s \to 0$. C_{gs} añade un polo en alta frecuencia en $-\omega_{H1}$. A partir de la Ecuación (8.22), reconocemos ω_{H1} como la frecuencia en la que

$$\frac{1}{\omega_{H1}C_{gs}} = \frac{1}{g_m} \| R_S \| R_i$$

es decir, la frecuencia en la que la reactancia de C_{gs} iguala a la resistencia de salida que se ve en la Figura 8.12c. C_{gd} contribuye en una frecuencia de polo ω_{H2}, frecuencia en la que la reactancia de C_{gd} iguala a $R_{LL} = R_L || R_D$; la Figura 8.12d es el diagrama de Bode cuando $\omega_{H1} >> \omega_{H2}$. Como la estructura del circuito de la Figura 8.12c aparecerá a menudo en estudios posteriores, merece una especial atención recordar cómo llegar a la Ecuación (8.25) directamente a partir del diagrama del circuito.

Como hemos asociado una expresión algebraica específica con la frecuencia de cada polo de este circuito, hacer el diseño para la frecuencia de corte superior es conceptualmente sencillo. Sin embargo, hablando en términos prácticos, no somos libres para elegir valores arbitrarios de las capacidades como en el diseño en baja frecuencia. Los parámetros del transistor, incluyendo capacidades internas, son función del punto Q y las resistencias externas se enfrentan a otras consideraciones como ganancia, amplitud y ruido. El circuito en puerta común tiene un *potencial* excelente como amplificador en alta frecuencia, dado que la frecuencia del polo $\omega_{H1} \approx g_m/C_{gs}$ suele ser grande. Para conseguir un ancho de banda grande, R_D y R_L deben ser lo suficientemente pequeñas, pero deben seguir dando una ganancia adecuada en frecuencias medias. Suponiendo que ω_{H1} es tan alta que el ancho de banda se determina por ω_{H2}, el producto de ganancia–ancho de banda es

$$A_{med}\omega_{H2} = \left(\frac{R_{SS}}{R_i + R_{SS}} g_m R_{LL}\right) \frac{1}{C_{gd}R_{LL}} \tag{8.26}$$

A partir de esta expresión vemos que elegir R_{LL} lleva asociado un intercambio directo entre ganancia y ancho de banda ya que el producto es invariable con cambios en R_{LL}. Los valores grandes de R_{LL} dan ganancias relativamente altas y anchos de banda bajos y viceversa.

Amplificador en base común Salvo por convenciones de notación, el diagrama de la Figura 8.12a se convierte en el diagrama de un amplificador en base común si sustituimos el FET por un bipolar. Si suponemos que $r_b = 0$, el circuito equivalente en base común es el resultado de sustituir C_{gs} y C_{gd} por C_π y C_μ, respectivamente, R_S por $R_E || r_\pi$, y R_{LL} por $R_C || R_L$ en la Figura 8.12b.

La variable de control V_π, en los bipolares, tiene incluso la misma localización y polaridad que la variable de control V_{GS} en los FET. Así, salvo por cambios de notación, el amplificador en base común tiene ganancia en alta frecuencia descrita por la Ecuación (8.25) en donde $r_b = 0$. La transformación de la fuente dependiente que lleva a la Figura 8.12c sitúa la resistencia $1/g_m$ en paralelo con el condensador de entrada, dando como resultado un polo en $-\omega_{H1}$. Suponiendo que $1/g_m$ se aproxima a la resistencia vista por C_π, tenemos la aproximación

$$\omega_{H1} \approx \frac{g_m}{C_\pi}$$

La Ecuación (8.17) muestra que la frecuencia de este polo es comparable con la frecuencia de ganancia unidad del transistor. El siguiente ejemplo analiza estas conclusiones junto con el error asociado a ignorar r_b.

EJEMPLO 8.5 Hallar la función de ganancia compleja del amplificador en base común de la Figura 8.13a cuando $r_b = 0$. El transistor está polarizado en $I_C = 0{,}118$ mA; los demás parámetros son $C_\pi = 50$ pF, $C_\mu = 5$ pF y $\beta = 100$. Utilizar SPICE para analizar el error al ignorar r_b, si $r_b = 200\ \Omega$.

Solución En el punto Q dado, $g_m = 0{,}118/25 = 4{,}72 \times 10^{-3}$ A/V. A partir de esto, $1/g_m = 212\ \Omega$ y $r_\pi = 21{,}2$ kΩ. Después de transformar la fuente dependiente y combinar las resistencias en paralelo, el circuito equivalente en alta frecuencia es el de la Figura 8.13b. Dado que este circuito es estructuralmente idéntico a la Figura 8.12c, su función de ganancia es la Ecuación (8.25); podemos recordar cómo determinar directamente A_{med}, ω_{H1} y ω_{H2}.

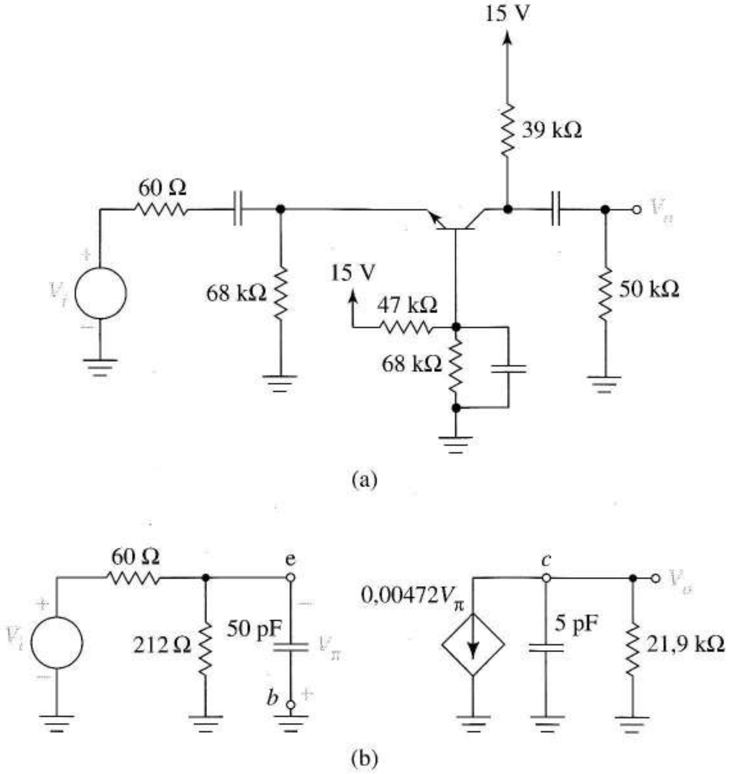
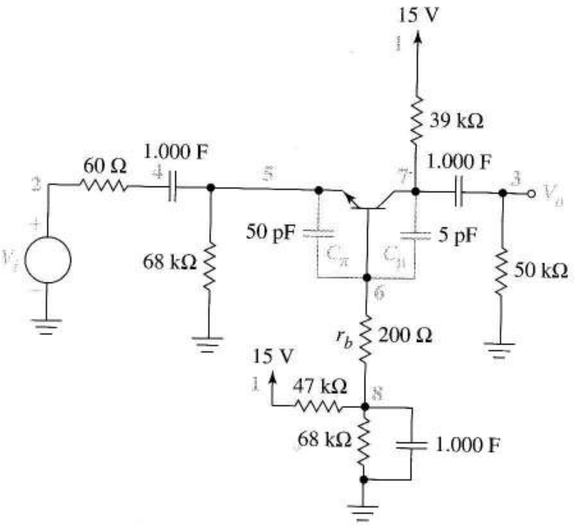


FIGURA 8.13 Amplificador en base común: (a) esquema del amplificador; (b) equivalente en alta frecuencia; (c) modelo SPICE del amplificador que muestra C_π, C_μ y r_b como componentes externos; (d) código SPICE para el amplificador; (e) respuesta frecuencial con y sin r_b.



(c)

```
EXAMPLE 8.5
VCC 1 0 DC 15
VI 2 0 AC 1
RI 2 4 60
CCI 4 5 1000
RE 5 0 68K
RB1 1 8 47K
RB2 8 0 68K
CBP 8 0 1000
RB 6 8 1E-6
*RB 6 8 200
CPI 5 6 50P
CMU 7 6 5P
Q1 7 6 5 TRAN
.MODEL TRAN NPN BF=100
RC 1 7 39K
CCO 7 3 1000
RL 3 0 50K
.AC DEC 30 1E3 14E6
.PLOT AC VDB(3)
.OP
.END
```

(d)

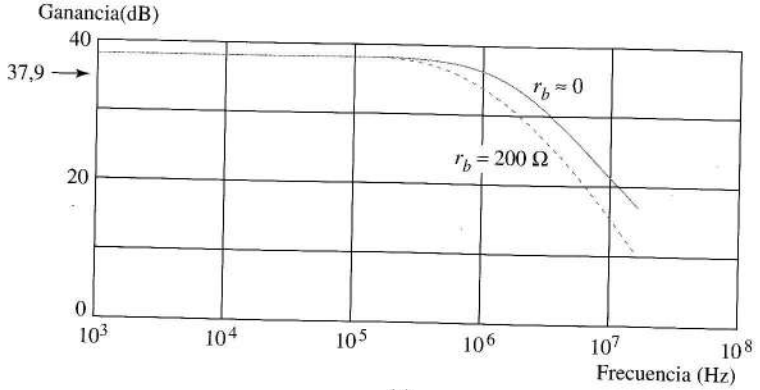


FIGURA 8.13
(Continuación)

(e)

Con los condensadores en circuito abierto, la ganancia a frecuencias medias es

$$A_{med} = \frac{212}{212+60}\left(0{,}00472 \times 21{,}9 \times 10^3\right) = 80{,}6$$

El polo introducido por C_π da una frecuencia de corte ω_{H1}, en donde la reactancia de C_π´s iguala a $212 \,||\, 60 = 46{,}8\ \Omega$ ó

$$\omega_{H1} = \frac{1}{\left(50 \times 10^{-12}\right)(46{,}8)} = 4{,}27 \times 108 \text{ rad / s}$$

La frecuencia del otro polo es

$$\omega_{H2} = \frac{1}{\left(5\times10^{-12}\right)\left(21{,}9\times10^{3}\right)} = 9{,}13\times10^{6} \text{ rad / s}$$

Al combinar la información de la ganancia y del polo, obtenemos

$$\frac{V_o}{V_i} = 80{,}6\frac{1}{\left(s/4{,}28\times10^{8}\right)+1}\;\frac{1}{\left(s/9{,}13\times10^{6}\right)+1}$$

Como la menor frecuencia de corte es 9,13 × 10^6 rad/s, el ancho de banda es aproximadamente 9,13 × $10^6/2\pi$ = 1,45 MHz.

La simulación es interesante ya que las capacidades en pequeña señal que utilizamos para nuestro análisis manual, C_π y C_μ, no son parámetros SPICE. Si conociéramos los valores de los parámetros SPICE, CJC, CJE y TF, SPICE calcularía automáticamente C_π y C_μ en el punto Q dado antes de hacer el análisis en alterna. En este problema esos parámetros son desconocidos ya que deseamos analizar las predicciones dadas por el análisis manual. Para verificar los resultados del análisis manual, podemos usar el modelo *estático* del transistor e incluir condensadores lineales externos denominados C_π y C_μ como en la Figura 8.13c. Aunque r_b sea idéntica al parámetro SPICE RB, esta resistencia precisa un tratamiento especial. Como conectamos C_π y C_μ entre los nodos externos BE y BC, respectivamente, en la Figura 8.13c, tenemos que utilizar el valor SPICE por defecto, RB = 0 y a continuación añadir r_b como un componente externo para situarlo correctamente en relación con los condensadores.

Los "condensadores en baja frecuencia" de la Figura 8.13c tienen valores irreales, demasiado grandes, de 1.000 F, para asegurar buenos cortocircuitos en todas las frecuencias.

En el código SPICE de la Figura 8.13d, RB = 10^{-6} para aproximar r_b = 0 que se utiliza en el análisis teórico. Utilizaremos la sentencia RB = 200 en una segunda ejecución SPICE.

La frecuencia de ganancia unidad

$$\omega_\tau = \frac{0{,}00472}{55\times10^{-12}} \approx 2\pi\ 13{,}7\times10^{6} \text{ rad / s}$$

que se calcula a partir de la Ecuación (8.17a) nos da un límite superior práctico para el margen de frecuencias útiles en la sentencia .AC. El límite más pequeño es un kilohertzio, que normalmente suele estar dentro del margen y 30 puntos por década nos da suficientes puntos para definir la curva.

La corriente de colector de reposo calculada por SPICE fue 0,118 mA, exactamente la que supusimos en el primer apartado del ejemplo. Los valores SPICE de g_m y r_π son ligeramente menor y mayor, respectivamente, a los valores de nuestro ejemplo y obtenemos una ganancia, a frecuencias medias de 78,1 en ambas ejecuciones, comparada con los 80,6 que habíamos estimado.

La Figura 8.13e compara las dos curvas calculadas por SPICE. El ancho de banda de la primera ejecución es de 1,47 MHz, valor muy cercano al previsto de 1,45 MHz. Cambiando r_b a 200 Ω, nos da un ancho de banda de sólo 0,79 MHz. Llegamos a la conclusión de que salvo que sepamos que r_b es un valor pequeño, debemos suponer que la respuesta frecuencial en base común no es simple y debemos estimarla utilizando la técnica de la que hablaremos en la siguiente sección.

El Ejercicio 8.5 y el Problema 8.31 analizan un nuevo diseño que sacrifica la ganancia en beneficio de un mayor ancho de banda. ❑

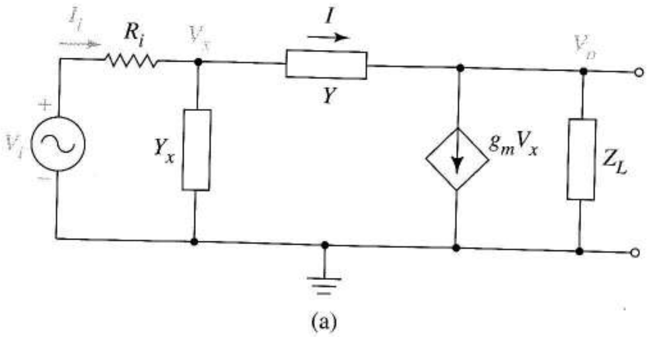
Ejercicio 8.5 Utilizando datos SPICE, estimar un nuevo valor para la resistencia de carga de 50 kΩ que incrementa el ancho de banda del amplificador de la Figura 8.13a a 20 MHz, suponiendo que r_b = 0.

Sugerencia La Ecuación (8.26) indica que podemos incrementar el ancho de banda a expensas de la ganancia, reduciendo el tamaño de la resistencia da carga. (Al reemplazar la resistencia de 50 kΩ no cambia la polarización).

Respuesta R_L = 1,68 kΩ

8.4.3 TEOREMA DE MILLER

El amplificador en puerta común tiene una función simple de ganancia en alta frecuencia ya que su equivalente, Figura 8.12c, consiste en dos subcircuitos separados, conteniendo un condensador cada uno. En muchos circuitos, una admitancia, Y, puentea la entrada y la salida de un amplificador, como en la Figura 8.14a, dando como resultado una compleja función de ganancia que es difícil de obtener y de interpretar. Como estimar la frecuencia de corte superior y comprender los factores que determinan su valor son los objetivos principales del análisis manual, nos conformaremos con una función no exacta de la ganancia. El teorema de Miller, que describiremos a continuación, nos da un circuito de polos aislados con, aproximadamente, la misma frecuencia de corte superior que el amplificador original.



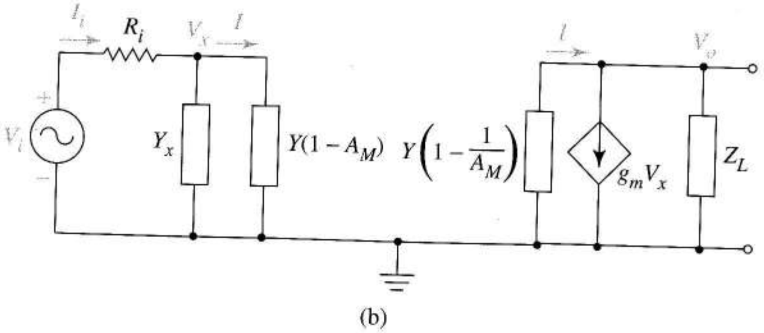


FIGURA 8.14 Efecto Miller: el circuito (b) tiene la misma ganancia e impedancia de entrada del circuito (a) siempre que $A_M=V_o/V_x$ en el circuito (a).

En la Figura 8.14a, las tensiones de nodo en los terminales de Y tienen la relación

$$V_o = A_M V_x$$

en donde A_M es la *ganancia Miller*. El circuito de la Figura 8.14b es equivalente al original en el siguiente sentido. La corriente que deja el circuito de entrada de la Figura 8.14a,

$$I = Y\left(V_x - V_o\right) = \left[Y\left(1 - A_M\right)\right]V_x$$

es la misma que la que sale del circuito de entrada de la Figura 8.14b. Además, la corriente que entra en el circuito de salida de la Figura 8.14a

$$I = Y\left(V_x - V_o\right) = \left[Y\left(\frac{1}{A_M} - 1\right)\right]V_o = \left[Y\left(1 - \frac{1}{A_M}\right)\right]\left(-V_o\right)$$

también entra en el circuito de salida de la Figura 8.14b. La equivalencia de estas corrientes justifica el *teorema de Miller*, que establece que los circuitos de las Figuras 8.12a y b tienen la misma ganancia de tensión V_o/V_i y la misma impedancia de entrada V_i/I_i. (La impedancia de salida y ganancias inversas dependen de aplicar la excitación a la salida y son, por tanto, *distintas* para los dos circuitos.)

Existe un problema en el teorema de Miller. La única forma de hallar el *verdadero* A_M que necesitamos en la Figura 8.14b es analizar la red original ¡exactamente lo que queríamos evitar! Una alternativa práctica es hacer la llamada *aproximación Miller*. Esto significa que *estimamos* A_M desconectando Y del circuito de salida de la Figura 8.14a, asumiendo que $|I| << |g_m v_x|$. Esto nos da

$$A_M = -g_m Z_L$$

que no es nunca exactamente cierto, pero suele ser una buena aproximación.

Caso especial Cuando Z_L e Y son complejos, aún puede ser interesante analizar el circuito equivalente, sin embargo, para la mayor parte de los circuitos de este texto, Y es la admitancia, $j\omega C$, de un condensador, Z_L es la resistencia R_L y la ganancia Miller aproximada es un número grande negativo, $-g_m R_L$. En este caso especial, el circuito de entrada de la Figura 8.14b finaliza con el condensador Miller $C_M = C(1-A_M)$. Para A_M grandes y negativas, esto nos da un condensador realmente grande. El factor de escala que convierte a C en la capacidad C_M, que es mucho mayor, se llama *multiplicador Miller* o *efecto Miller*.

Debido al multiplicador Miller, el condensador Miller suele ser responsable de un polo en alta frecuencia a una frecuencia sorprendentemente pequeña. Este condensador también cambia mucho la impedancia de entrada del amplificador.

Como $1/A_M \approx 0$, la admitancia añadida al circuito de salida de la Figura 8.14b de este caso especial es la propia C.

Hay una explicación intuitiva para el factor Miller. Con A_M grandes y *negativas*, en la Figura 8.14a, un ligero incremento de V_x provoca un *gran decremento* proporcional de V_o. La diferencia resultante de tensión de los nodos en Y provoca un incremento mucho mayor en la corriente I que si no estuviera presente la ganancia. Desde el punto de vista del circuito de entrada, la admitancia Y parece inmensa, como en la Figura 8.14b. También hay una lógica en la aproximación de Miller. Una consecuencia de la alta ganancia es que los niveles de corriente del circuito de salida son, por lo general, mucho mayores que los del circuito de entrada. Así, un cambio notablemente grande de I en el circuito de entrada, podría ser insignificante para el circuito de salida.

Un error común al aplicar el teorema de Miller es confundir la ganancia interna del efecto Miller A_M con la ganancia a frecuencias medias, A_{med}, del amplificador analizado. Las dos ganancias suelen ser distintas. Muchas de estas afirmaciones se clarifican con ejemplos en el siguiente análisis.

8.4.4 AMPLIFICADORES EN EMISOR COMÚN Y FUENTE COMÚN

Dos de las aplicaciones más importantes del teorema de Miller son los análisis en alta frecuencia de emisor común y fuente común.

Amplificador en emisor común El circuito equivalente en alta frecuencia de la Figura 8.15a es la Figura 8.15b. Como la transformación Thèvenin del circuito de entrada nos da la estructura de la

Figura 8.14a, podemos usar el teorema de Miller. Las características críticas que debemos reconocer son que C_μ puentea a los circuitos de entrada y salida y que V_π funciona como V_x.

Con C_μ separada del nodo c,

$$A_M = \frac{V_o}{V_\pi} = -g_m R_{LL}$$

Esto hace que la capacidad de entrada de la Figura 8.15c

$$C_{EQ} = C_\pi + C_M = C_\pi + C_\mu\left(1 + g_m R_{LL}\right)$$

Aquí vemos el efecto Miller en el que el pequeño condensador C_μ resulta tener una influencia mucho mayor que lo que indicaría su valor por su crítica situación en el circuito. Siguiendo con la Figura 8.14b, también colocamos C_μ en paralelo con R_{LL}, asumiendo que $|1/A_M| << 1$. Una aproximación más reemplazaría la parte izquierda de la base del circuito por un equivalente Thèvenin, con $R_{TH} = R_i || R_p$ y

$$V_{TH} = \frac{R_P}{R_P + R_i} V_i$$

Estas simplificaciones nos dan la Figura 8.15c, que podemos analizar visualmente. Aunque no es idéntico a nuestro circuito original, el equivalente Thèvenin tendría aproximadamente el mismo ancho de banda.

EJEMPLO 8.6 El circuito en emisor común de la Figura 8.15a tiene los parámetros del transistor $g_m = 4{,}72$ mA/V, $r_\pi = 21{,}1$ kΩ, $r_b = 100$ Ω, $C = 50$ pF, $C_\mu = 5$ pF y los parámetros del circuito $R_C = 39$ kΩ, $R_1 = 47$ kΩ, $R_2 = 68$ kΩ, $R_i = 20$ kΩ y $R_L = 50$ kΩ. Utilizar el teorema de Miller para aproximarlo por su función de ganancia en alta frecuencia.

Solución La Figura 8.15d es la Figura 8.15c con valores numéricos. Los cálculos clave son

$$-g_m R_{LL} = -4{,}72 \times 10^{-3}(21{,}9\ \text{k}) = -103$$

$$C_{EQ} = C_\pi + C_\mu\left(1 + g_m R_{LL}\right) = 50 + 5(1 + 103) = 50 + 520 = 570\ \text{pF}$$

$$R_P = R_1 \| R_2 = 27{,}8\ \text{k}\Omega$$

$$V_{TH} = \frac{27{,}8\ \text{k}}{27{,}8\ \text{k} + 20\ \text{k}} V_i = 0{,}582\ V_i$$

$$R_{TH} = \frac{27{,}8\ \text{k} \times 20\ \text{k}}{27{,}8\ \text{k} + 20\ \text{k}} = 11{,}6\ \text{k}\Omega$$

La ganancia a frecuencias medias es

$$A_{med} = \frac{V_o}{V_i} = (0{,}582)\frac{21{,}1\ \text{k}}{21{,}1\ \text{k} + 11{,}7\ \text{k}}(-103) = -38{,}6$$

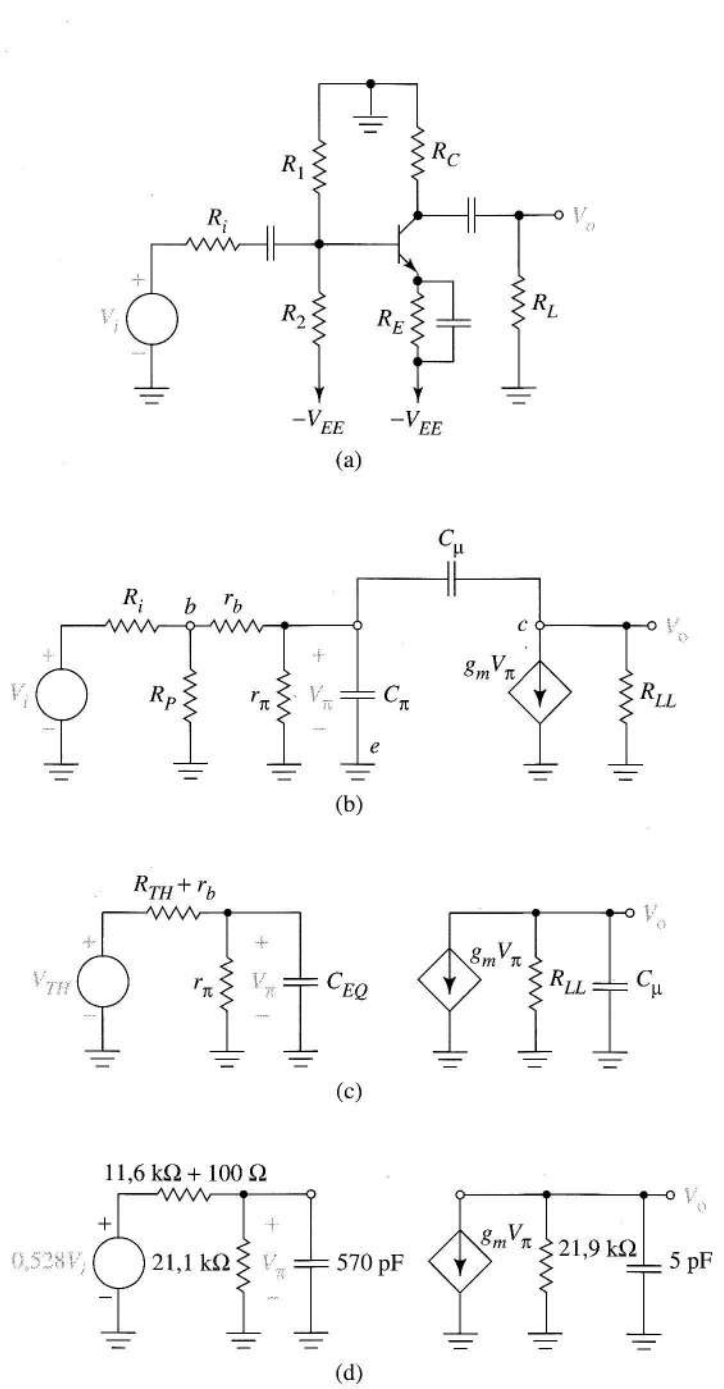


FIGURA 8.15 Amplificador en emisor común: (a) esquema; (b) equivalente en alta frecuencia; (c) equivalente tras la aplicación del teorema de Miller y la transformación Thèvenin; (d) valores numéricos del Ejemplo 8.6.

El condensador de 570 pF ve una resistencia de (11,7 kΩ) || (21,1 kΩ) = 7,53 kΩ, dándonos una frecuencia de corte en $2{,}33 \times 10^5$ rad/s. El condensador de 5 pF ve 21,9 kΩ, dándonos un segundo polo en $9{,}13 \times 10^6$ rad/s. Combinando estos resultados obtenemos la función de ganancia

$$\frac{V_o}{V_i} = -38{,}6 \frac{1}{(s/2{,}33\times10^5)+1} \frac{1}{(s/9{,}13\times10^6)+1}$$

❑

Ejercicio 8.6 Recalcular las dos frecuencias de los polos del equivalente Miller del amplificador del ejemplo 8.6 si la entrada viene de una fuente con resistencia $R_i = 50\ \Omega$ en vez de la de 20 kΩ.

Respuesta $11{,}8 \times 10^6$ y $9{,}13 \times 10^6$ rad/s.

El problema 8.35 utiliza una simulación SPICE para confirmar esta mejora en el ancho de banda.

Gray y Meyer (enunciados en las referencias) hacen una comparación teórica de las respuestas frecuenciales del circuito real en emisor común, la Figura 8.15b, y el circuito aproximado, la Figura 8.15c. Su análisis muestra que el circuito real tiene un cero y dos polos, en contraste con los dos polos que tiene el circuito aproximado. El análisis indica que el cero tiene una frecuencia demasiado alta para tener un gran efecto en el ancho de banda, que en ambos circuitos uno de los polos suele ser suficientemente bajo como para controlar el ancho de banda y que los dos circuitos nos dan casi el mismo valor para dicho polo. El siguiente ejemplo analiza experimentalmente esta comparación.

EJEMPLO 8.7 Analizar con SPICE el error introducido por la aproximación Miller del Ejemplo 8.6.

Solución Como el paso clave es reemplazar la Figura 8.15b con la Figura 8.15c, utilizaremos SPICE para comparar las respuestas frecuenciales de estos circuitos. Las Figuras 8.16a y b muestran los dos circuitos con sus valores numéricos. La Figura 8.16c es el código SPICE de la Figura 8.16a.

Al reemplazar CPI y CMU por las líneas que les siguen, en una segunda ejecución SPICE, nos da el equivalente Miller de la Figura 8.16b.

La Figura 8.16d compara las respuestas frecuenciales de los dos circuitos. La ganancia SPICE a frecuencias medias de 31,7 dB o $A_{med} = -38{,}5$ está de acuerdo con la ganancia calculada. Los cálculos SPICE muestran que ambos circuitos tienen frecuencias de corte en $2{,}33 \times 10^5$ rad/s o 37,1 kHz, que también concuerda con los cálculos teóricos. Dos octavas por encima de esta frecuencia de corte, las curvas siguen diferenciándose sólo en 0,1 dB, un error de sólo el 0,5 %.

El segundo polo del circuito aproximado es, obviamente, menor que el correspondiente polo, concordando con el análisis de Gray y Meyer. Un claro incremento en la pendiente de la curva real (ver flecha) apunta hacia el cero en alta frecuencia que se predijo en el análisis de Gray y Meyer. ❑

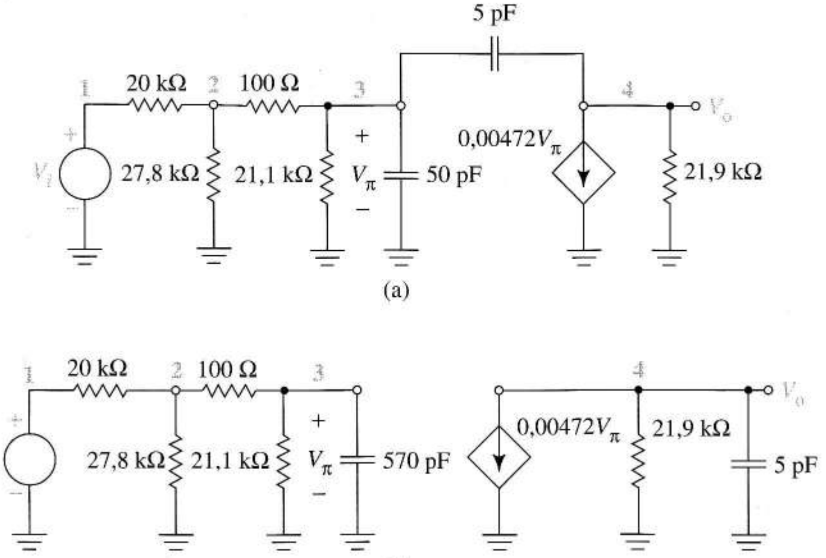
Polo dominante en alta frecuencia Los amplificadores con dos o más polos en alta frecuencia tienen a veces un polo que es, como poco, dos octavas menor a cualquier otro polo o cero en alta frecuencia. El *polo dominante*, ω_D, influye fuertemente en el comportamiento del amplificador y cuando está presente podemos hacer estimaciones razonables basadas en la función de transferencia de un único polo

$$A_v(s) \approx A_{med} \frac{\omega_D}{s+\omega_D} \tag{8.27}$$

Como la Ecuación (8.27) se parece tanto a la función de ganancia del circuito *RC* de la Figura 1.40, podemos utilizar la Ecuación (1.42) con ω_D en sustitución de ω_H, para aproximar el tiempo de subida del amplificador.

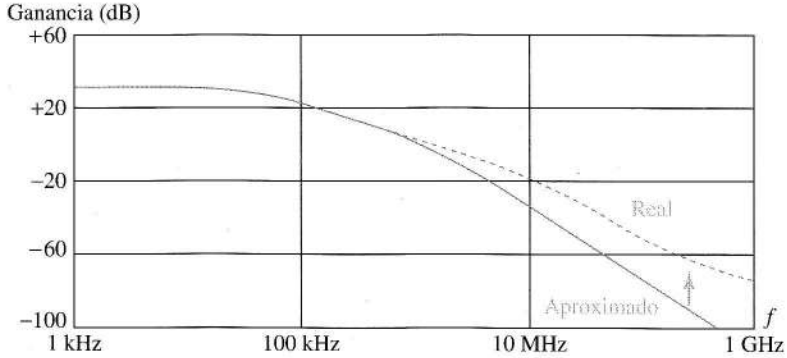
Ejercicio 8.7 Hallar, para el amplificador analizado en el Ejemplo 8.5, a) la separación de los dos polos en alta frecuencia en octavas, b) la estimación del tiempo de subida del amplificador.

Respuesta 5,55 octavas, 241 ns.




```
EXAMPLE 8.7
VI 1 0 AC 1
RI 1 2 20K
RP 2 0 27.8K
RB 2 3 100
RPI 3 0 21.1K
CPI 3 0 50P
*CEQ 3 0 570P
CMU 3 4 5P
*CMU 4 0 5P
RL 4 0 21.9K
GM 4 0 3 0 0.00472
.AC DEC 20 1E3 1E9
.PLOT AC VDB(4)
.OP
.END
```

(c)



(d)

FIGURA 8.16 Análisis de la aproximación Miller: (a) circuito real; (b) circuito aproximado; (c) código SPICE; (d) curvas de respuesta frecuencial.

EJEMPLO 8.8 En el amplificador en fuente común de la Figura 8.17a, el transistor está polarizado en 1 mA. Los parámetros son $\beta = 5$ mA/V^2, $V_P = -1$ V, $C_{gs} = 2$ pF y $C_{gd} = 3$ pF. Estimar la ganancia a frecuencias medias del amplificador, frecuencia de corte superior y tiempo de subida.

Solución El modelo en alta frecuencia es la Figura 8.17b. A partir de la Ecuación (7.5), $g_m = 4{,}47 \times 10^{-3}$. Para hallar la ganancia a frecuencias medias analizamos el circuito reemplazando los condensadores por circuitos abiertos. Esto nos da

$$A_{med} = \frac{V_o}{V_i} = \frac{245\text{ k}}{245\text{ k} + 50\text{ k}}\left(-4{,}47 \times 10^{-3}\right)\left(11{,}9\text{ k}\right) = -44{,}2$$

Aislando el condensador de 3 pF del nodo *d*, nos da la ganancia del efecto Miller

$$A_M = \frac{V_o}{V_{gs}} = -\left(4{,}47\times10^{-3}\right)\left(11{,}9\text{ k}\right) = -53{,}2$$

La Figura 8.17c es el circuito equivalente Miller, en donde

CENTRO POLITÉCNICO SUPERIOR DE INGENIEROS · BIBLIOTECA · ZARAGOZA

$$C_{EQ} = 2 + 3\left(1 + 53{,}2\right) = 2 + 162{,}6 = 165\text{ pF}$$

La frecuencia del polo asociada a este condensador es

$$\omega_{H1} = \frac{1}{\left(165\text{ pF}\right)\left(50\text{ k}\|\ 245\text{ k}\right)} = 1{,}46\times10^{5}\ \text{ rad/s}$$

La frecuencia del segundo polo es

$$\omega_{H2} = \frac{1}{\left(3\text{ pF}\right)\left(11{,}9\text{ k}\right)} = 2{,}8\times10^{7}\ \text{ rad/s}$$

que está unas dos octavas por encima de ω_{H1}, en particular m = 7,6 octavas, en donde m cumple

$$2{,}8\times10^{7} = 2^{m}\left(1{,}46\times10^{5}\right)$$

Así obtenemos ω_{H1} como polo dominante. Suponemos que la frecuencia de corte superior está cercana a 1,46 × 10^5 rad/s ó 23,3 kHz. El tiempo de subida debería ser del orden de 2,2/(1,46 × 10^5) = 15,1 μs. ❑

Ejercicio 8.8 Un modo de incrementar el ancho de banda y de reducir el tiempo de subida es disminuir la resistencia de la fuente. Si las especificaciones piden que el tiempo de subida del ejemplo anterior sea de 5 μs, hallar el valor que reemplaza a la resistencia de fuente de 50 kΩ.

Respuesta R_i = 14,6 kΩ.

Impedancia de entrada de un amplificador El efecto de la multiplicación Miller en la impedancia de entrada es evidente en la Figura 8.17c. A bajas frecuencias, la fuente V_i, con su resistencia interna de 50 kΩ, ve una resistencia interna de 245 kΩ; a frecuencias más altas, la capacidad Miller hace que la impedancia de entrada del amplificador se haga reactiva y, al final, totalmente capacitiva. La impedancia de entrada del amplificador se reduce significativamente en la frecuencia en la que la componente reactiva de Z_i iguala a la componente resistiva. En este amplificador esto sucede en

$$f = \frac{1}{2\pi\left(245\text{ k}\right)\left(165\text{ pF}\right)} = 3{,}94\text{ kHz}$$

Compárese esto con la impedancia de entrada del amplificador en puerta común de la Figura 8.12c, en donde no hay efecto Miller y en donde el pequeño valor de C_{gs} sólo contribuye en su valor real a la reactancia de entrada.

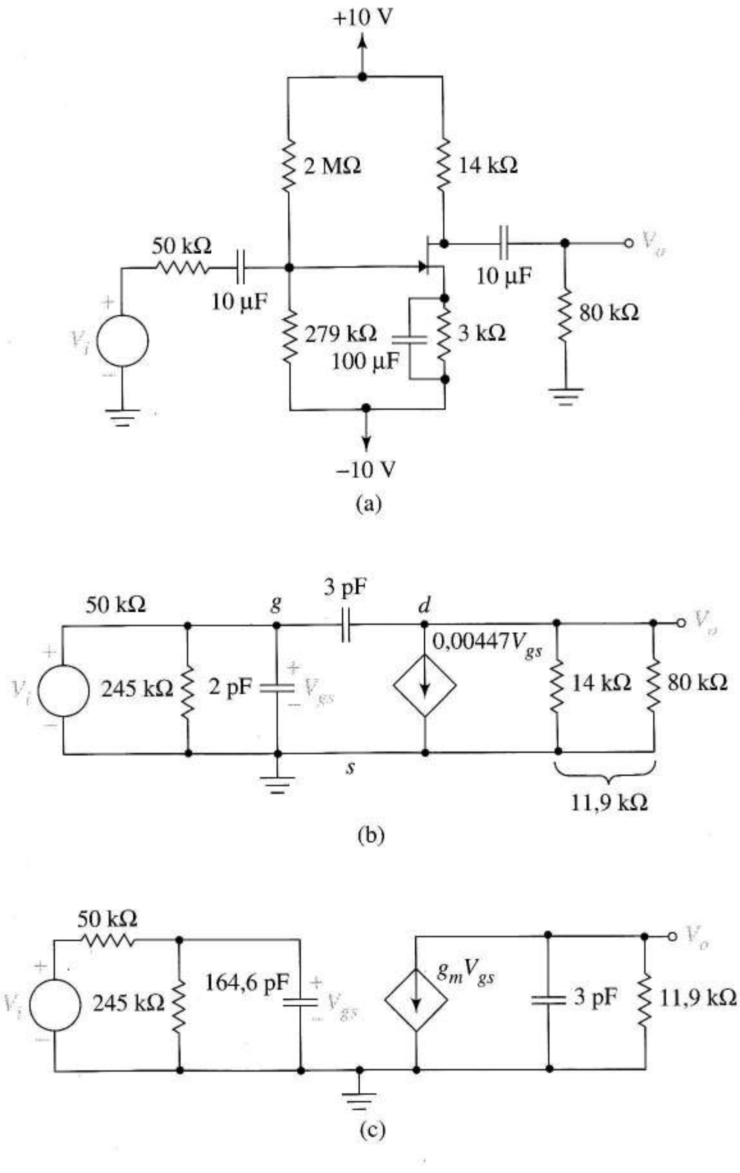


FIGURA 8.17 Amplificador en fuente común: (a) esquema; (b) equivalente en alta frecuencia; (c) equivalente tras haber aplicado el teorema de Miller.

8.4.5 RESPUESTA EN ALTA FRECUENCIA CUANDO INTERACCIONAN LOS POLOS Y LOS CEROS

El seguidor de fuente de las Figuras 8.18a y b es un ejemplo de un circuito con polos que interaccionan. Aunque C_{gs} puentea los circuitos de entrada y salida, el teorema de Miller no resulta de mucha ayuda debido a que la ganancia de Miller aproximada

$$A_M = \frac{g_m R_S}{1 + g_m R_S}$$

es positiva y menor que uno. Esto nos lleva a un circuito "equivalente" con capacidad de salida negativa. Escribiendo las dos ecuaciones de la ley de Kirchhoff de corrientes en forma matricial y utilizando la regla de Cramer, podemos verificar que la verdadera función de transferencia es

$$\frac{V_o}{V_{TH}} = \frac{s + g_m / C_{gs}}{R_{TH}C_{gd}\left(s^2 + bs + c\right)} \tag{8.28}$$

$$\text{donde } b = \left(\frac{1}{R_S C_{gs}} + \frac{1}{R_S C_{gd}} + \frac{1}{R_{TH} C_{gd}} + \frac{g_m}{C_{gs}}\right)$$

$$\text{y } c = \frac{1 + g_m R_S}{R_S R_{TH} C_{gd} C_{gs}}$$

Esto muestra que hay un cero en $-g_m/C_{gs}$ rad/s, pero la expresión tiene, de otro modo, poco valor conceptual ya que el denominador no se puede representar como un producto con expresiones simples de condensadores como ocurría con la Ecuación 8.25. Para este circuito, y otros más complicados en los que no podemos asociar frecuencias de polos y ceros individuales con condensadores individuales en alta frecuencia, retrocedemos a una aproximación que nos permite estimar ω_H.

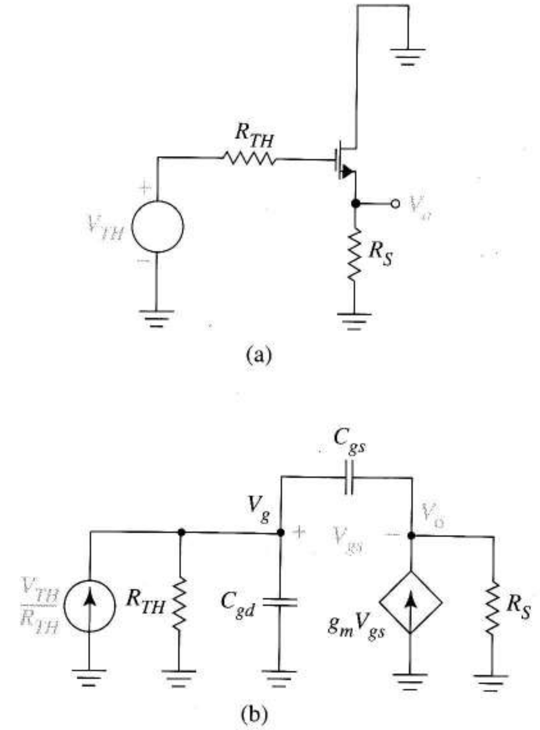


FIGURA 8.18 Seguidor de fuente: (a) esquema; (b) equivalente en alta frecuencia.

Método de las constantes de tiempo en circuito abierto Para estimar la frecuencia de corte superior del circuito, ω_H, para un circuito equivalente en alta frecuencia con M condensadores, calcularemos primero M constantes de tiempo

$$R_j C_j = \frac{1}{\omega_{Hj}}$$

en donde C_j es un condensador del circuito equivalente y R_j es la resistencia que ve C_j cuando los demás condensadores se reemplazan por circuitos abiertos. Después estimamos ω_H utilizando

$$\frac{1}{\omega_H} \approx \sum_{j=1}^{M} \frac{1}{\omega_{Hj}} = \sum_{j=1}^{M} R_j C_j \tag{8.29}$$

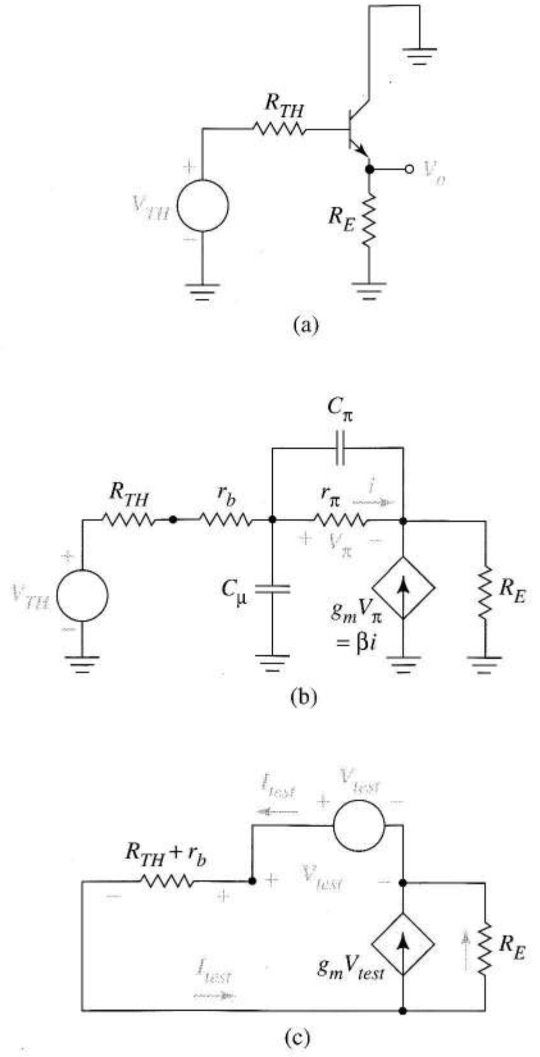


FIGURA 8.19 Constantes de tiempo en circuito abierto del seguidor de emisor: (a) equivalente en alta frecuencia del seguidor en forma esquemática; (b) equivalente en alta frecuencia; (c) circuito para hallar la resistencia en circuito abierto vista por C_π.

Como los inversos de las frecuencias ω_{Hj} se combinan para formar el inverso de la frecuencia de corte, ω_H siempre es más pequeño que el menor ω_{Hj}.

La teoría asociada a la Ecuación (8.29) supone que existe un polo dominante en alta frecuencia; sin embargo, generalmente usaremos la Ecuación sin comprobar esta suposición, evitando calcular las frecuencias exactas del polo. En general, *no* hay ninguna relación entre los factores de la Ecuación (8.29) y los polos de la función de ganancia.

Ancho de banda del seguidor de emisor La Figura 8.19a muestra el esquema en pequeña señal de un seguidor de emisor. El símbolo bipolar representa al equivalente del transistor en alta frecuencia y V_{TH} y R_{TH} son los equivalentes Thèvenin de la fuente y las resistencias de polarización. Cualquier resistencia de carga externa se agrupa en R_E. El equivalente en alta frecuencia de la Figura 8.19b muestra las capacidades del transistor. A continuación utilizaremos la Ecuación (8.29) para examinar las capacidades del seguidor de emisor como amplificador en alta frecuencia.

Para hallar la constante de tiempo $R_\mu C_\mu$ del circuito abierto, reemplazaremos C_π por un circuito abierto y desconectaremos V_{TH}. C_μ ve así $(R_{TH} + r_b)$ en paralelo con la resistencia de entrada del seguidor de emisor, es decir

$$R_\mu = \left(R_{TH} + r_b\right) \,\|\, \left[r_\pi + (\beta + 1) R_E\right] \tag{8.30}$$

Como el segundo factor es grande, suele ser posible diseñarlo para que R_{TH} sea lo suficientemente pequeño y satisfacer: $(R_{TH} + r_b) << [r_\pi + (\beta + 1) R_E]$. Entonces.

$$R_\mu \approx R_{TH} + r_b$$

haciendo que $R_\mu C_\mu$ sea pequeño.

La otra constante de tiempo del circuito abierto, $1/\omega_\pi$, lleva asociada que r_π está en paralelo con la resistencia de entrada definida por la Figura 8.19c. Aplicando la ley de Kirchhoff de las corrientes en el nodo inferior, obtenemos

$$I_{test} = g_m V_{test} + \frac{V_{test} - I_{test}\left(R_{TH} + r_b\right)}{R_E}$$

Despejando la relación buscada obtenemos

$$\frac{V_{test}}{I_{test}} = \frac{R_{TH} + r_b + R_E}{g_m R_E + 1}$$

Así

$$R_\pi \approx r_\pi \left\| \left(\frac{R_{TH} + r_b + R_E}{g_m R_E + 1} \right) \right. \tag{8.31}$$

Si las especificaciones lo permiten, hacemos que $R_{TH} + r_b << R_E$. Así

$$R_\pi \approx r_\pi \left\| \frac{R_E}{g_m R_E + 1} \approx r_\pi \right\| \frac{1}{g_m} \approx \frac{1}{g_m}$$

Con las aproximaciones que hemos hecho, la Ecuación (8.29) da

$$\frac{1}{\omega_H} \approx R_\mu C_\mu + R_\pi C_\pi \approx (R_{TH} + r_b)C_\mu + \frac{C_\pi}{g_m}$$

y el ancho de banda estimado que predicen las constantes de tiempo del circuito abierto es

$$\omega_H \approx \frac{g_m}{C_\pi + C_\mu(R_{TH} + r_b)g_m} \tag{8.32}$$

Al comparar las ecuaciones (8.32) y (8.17a) observamos que el coeficiente de C_μ es fácilmente comparable con la unidad. Esto nos sugiere que el ancho de banda del seguidor de emisor se puede aproximar a la frecuencia de la ganancia unidad del propio transistor objeto de este análisis. Por esta razón, como el circuito seguidor con amplificador operacional, el seguidor de emisor se considera como una buena configuración en alta frecuencia.

Ejercicio 8.9 Utilizar las constantes de tiempo en circuito abierto para estimar el ancho de banda del seguidor de fuente de la Figura 8.18.

Respuesta $1/\omega_H = C_{gd}R_{TH} + C_{gs}[(R_{TH} + R_S)/(1 + g_m R_S)]$

El problema 8.41 compara la respuesta del Ejercicio 8.9 con el diagrama de Bode obtenido a partir de la Ecuación (8.28) para determinados valores numéricos.

Cargas capacitivas y efecto Miller El teorema de Miller no es útil para estimar el ancho de banda de un amplificador con una alta carga capacitiva ya que la ganancia Miller, A_M, es, en ese caso, compleja. Un ejemplo común es un amplificador de dos etapas en el que la capacidad de entrada (multiplicada por Miller) de la segunda etapa carga la primera. En esos casos debemos usar la Ecuación (8.29) para estimar el ancho de banda, como ilustra el siguiente ejemplo.

EJEMPLO 8.9 La Figura 8.20a es el amplificador de la Figura 8.17a, en la que la entrada de un amplificador idéntico reemplaza a la resistencia de carga de 80 kΩ. Estimar el ancho de banda de la primera etapa del amplificador.

Solución El equivalente en alta frecuencia de la primera etapa del amplificador, la Figura 8.20b, es idéntica a la Figura 8.17b en la parte izquierda de la fuente dependiente; sin embargo, la resistencia de carga de 80 kΩ se reemplaza por la impedancia de entrada de la segunda etapa, una resistencia de 245 kΩ en paralelo con los 165 pF del condensador, aumentado por Miller, de la Figura 8.17c. Debido a esta alta carga capacitiva, la ganancia Miller A_M de este circuito es compleja incluso a frecuencias relativamente bajas. Por tanto, hacemos la estimación utilizando la Ecuación (8.29).

Con los condensadores de 3 y 165 pF reemplazados por circuitos abiertos, el condensador de 2 pF ve 50 k || 245 k = 41,5 kΩ. Esto nos da la constante de tiempo $1/\omega_{H1} = 83 \times 10^{-9}$s. Con los condensadores de 2 y 3 pF abiertos, el condensador de 165 pF ve 14 k || 245 k = 13,2 kΩ; así $1/\omega_{H2} = 2{,}18 \times 10^{-6}$s. El condensador de 3 pF ve la resistencia de salida definida en la Figura 8.17c.

La ley de Kirchhoff de la corriente nos da

$$I_{test} = 0{,}00447(-41{,}5k)I_{test} + \frac{(-41{,}5k)I_{test} + V_{test}}{13{,}2k}$$

Despejando V_{test}/I_{test} obtenemos 2,51 MΩ y la constante de tiempo $1/\omega_{H3} = 7{,}53 \times 10^{-6}$ s. A partir de la Ecuación (8.29)

$$\frac{1}{\omega_H} \approx 83 \times 10^{-9} + 2{,}18 \times 10^{-6} + 7{,}53 \times 10^{-6}$$

o ω_H 102 × 10^3 rad/s, o 16,3 kHz. En el Ejemplo 8.8, con una carga resistiva de 80 k, el mismo amplificador tiene un ancho de banda de 23,3 kHz. ❑

8.4.6 REDUCCIÓN DEL ANCHO DE BANDA

A veces queremos reducir deliberadamente el ancho de banda de un amplificador. En la Sección 1.6.6 hemos aprendido que para evitar la distorsión del ancho de banda debe ajustarse al espectro de la señal. Sin embargo, nuestros circuitos siempre generan ruido aleatorio, que está distribuido en todas las frecuencias. Los componentes del ruido en la banda pasante se amplifican junto con la señal, mientras que los que no están en ella se atenúan. Así, cualquier ancho de banda excesivo no es útil y, de hecho, da como resultado un ruido innecesario a la salida. En el Capítulo 9 veremos que al reducir el ancho de banda también podemos eliminar la inestabilidad en circuitos realimentados.

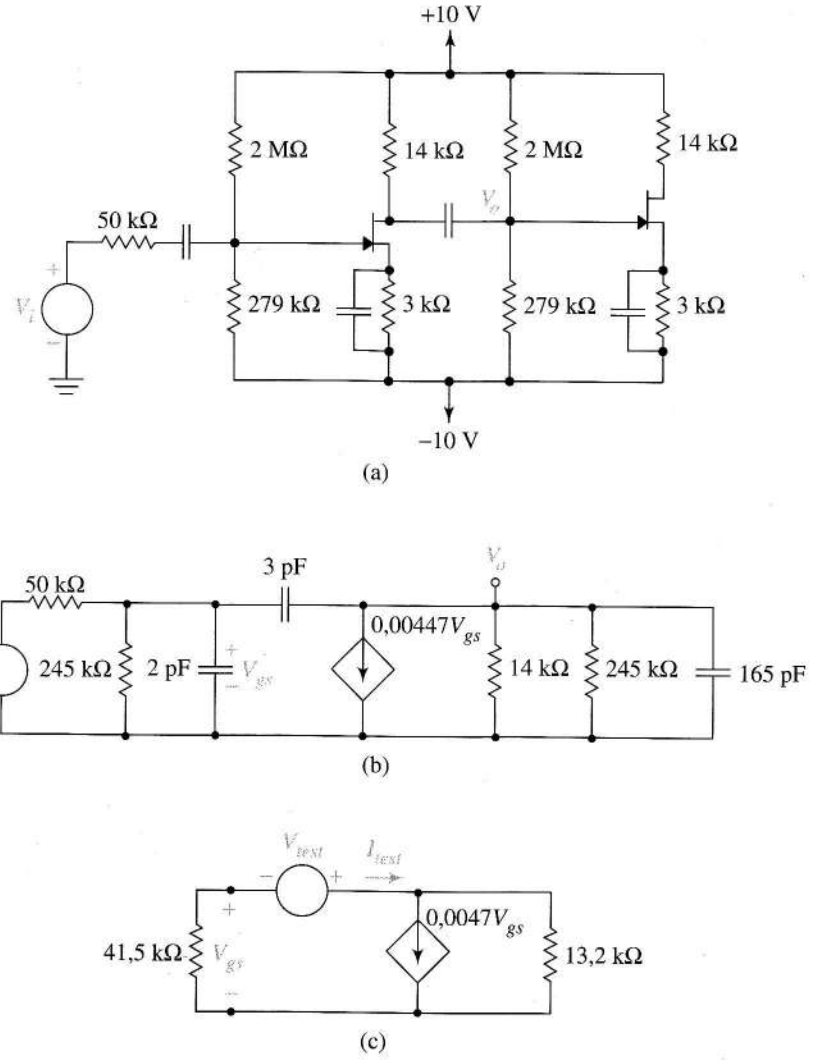


FIGURA 8.20 Amplificador con carga capacitiva: (a) amplificador en fuente común de dos etapas; (b) equivalente en alta frecuencia de la figura 8.15a reemplazando R_L por la entrada de un amplificador idéntico; (c) circuito para hallar la constante de tiempo en circuito abierto del condensador de 3 pF.

Una forma de reducir el ancho de banda es añadir un condensador externo C_{X1} entre el nodo de salida del amplificador y masa, como en la Figura 8.21. Normalmente el valor que se requiere para C_{X1} es mucho menor que los condensadores de acoplo y desacoplo que se denotan con asteriscos y por lo tanto, es un condensador en alta frecuencia que debemos tratar como circuito abierto para realizar cálculos en baja y media frecuencia, del mismo modo que las capacidades internas. En el equivalente en alta frecuencia, C_{X1} se añade directamente a la capacidad interna presente entre el nodo y masa, incrementando su constante de tiempo en circuito abierto y, por lo tanto, reduciendo el ancho de banda.

En diseños de circuitos integrados puede ser difícil fabricar un condensador lo suficientemente grande como para reducir el ancho de banda de esta forma. Otra aproximación es colocar un pequeño condensador en una *posición crítica*, por ejemplo entre base y colector (o puerta y drenador) como C_{X2}, en donde el multiplicador Miller incrementa su efectividad. El siguiente ejemplo muestra esta idea en un proceso de diseño.

EJEMPLO 8.10 Hemos llegado a que el ancho de banda de 23,3 kHz del amplificador de la Figura 8.17a se determina en principio por el polo dominante asociado al condensador de 165 pF de la Figura 8.17c. ¿Cuál debe ser el valor de la capacidad externa C_X conectada entre puerta y drenador para reducir el ancho de banda a 5 kHz?

Solución En el Ejemplo 8.8 hemos llegado a que la ganancia del efecto Miller era –53,2. Como C_X está en paralelo y se añade de forma directa a C_{gd} = 3 pF en la Figura 8.17b, el valor original de 165 pF de C_{EQ} cambia a

$$C_{EQ} = 2 + (3 + C_X)(1 + 53{,}2) \text{ pF}$$

Como C_{EQ} ve 50 k || 245 k = 41,5 kΩ, en un ancho de banda de 5 kHz C_x debe cumplir

$$\frac{1}{(2\pi 5 \times 10^3)(41{,}5 \times 10^3)} = [2 + (3 + C_X)(1 + 53{,}2)] \times 10^{-12}$$

o C_X = 11,1 pF ❑

De igual forma, podemos utilizar constantes de tiempo de circuito abierto para hallar la capacidad necesaria para reducir el ancho de banda.

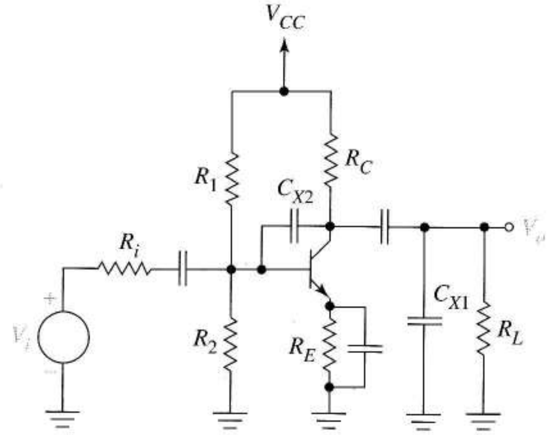


FIGURA 8.21 Reducción del ancho de banda añadiendo condensadores en alta frecuencia.

Ejercicio 8.10 El Ejemplo 8.9 mostraba que el amplificador de la Figura 8.20 tiene un ancho de banda de 16,3 kHz.

a) ¿Qué capacidad se debe añadir entre drenador y masa del primer transistor para reducirlo a 10 kHz?

Sugerencia Las resistencias vistas desde el condensador no cambian.

b) Repetir el apartado a), pero añadiendo el condensador entre puerta y drenador del primer transistor.

Respuesta 869 pF, 0,308 pF.

8.5 RESPUESTA EN FRECUENCIA DE AMPLIFICADORES DIFERENCIALES DE UNA ETAPA

A continuación examinaremos las limitaciones en alta frecuencia del amplificador diferencial de una sola etapa, primero con excitación en modo diferencial y luego con excitación en modo común. Entre otras cosas, descubriremos que las limitaciones de la fuente de corriente hacen que la ganancia en modo común se incremente a mayores frecuencias. Se examinará detalladamente el par acoplado por emisor; sin embargo, los resultados también se pueden aplicar al par acoplado por fuente.

Ganancia en modo diferencial La Figura 8.22a es el esquema en pequeña señal del amplificador diferencial bipolar de la Figura 7.47a. Debido al circuito y a la simetría de la excitación, hay una masa virtual que viene indicada por el símbolo de masa a trazos. Y como las tres masas señalan puntos con el mismo potencial eléctrico, el equivalente en alta frecuencia consiste en los dos medios amplificadores de la Figura 8.22b. Al aplicar la aproximación Miller a cada mitad obtenemos la Figura 8.22c, en donde

$$C_{EQ} = C_\pi + C_\mu\left(1 + g_m R_C\right)$$

La ganancia de tensión, $A(s)$, del medio amplificador es

$$A(s) = \frac{V_x(s)}{0{,}5\ V_d(s)} = A_{med}\frac{\omega_{H1}}{s+\omega_{H1}}\frac{\omega_{H2}}{s+\omega_{H2}}$$

Para salidas diferenciales, la ganancia de tensión del amplificador diferencial, $A_d(s)$, es

$$A_d(s) = \frac{V_o(s)}{V_d(s)} = \frac{2V_x(s)}{V_d(s)} = \frac{V_x(s)}{0{,}5\ V_d(s)} = A(s)$$

Llegamos a que la respuesta en alta frecuencia del par acoplado por emisor, con excitación en modo diferencial y salida diferencial, es idéntica a la del amplificador en emisor común. La curva de ganancia tiene la forma de la Figura 8.22d, con ω_{H1} determinada habitualmente por C_{EQ} y por la resistencia del circuito de excitación y con ω_{H2} determinada por C_μ y R_C. El diagrama del medio amplificador muestra también que para una salida asimétrica

$$A_{d(s-e)}(s) = 0{,}5A_d(s)$$

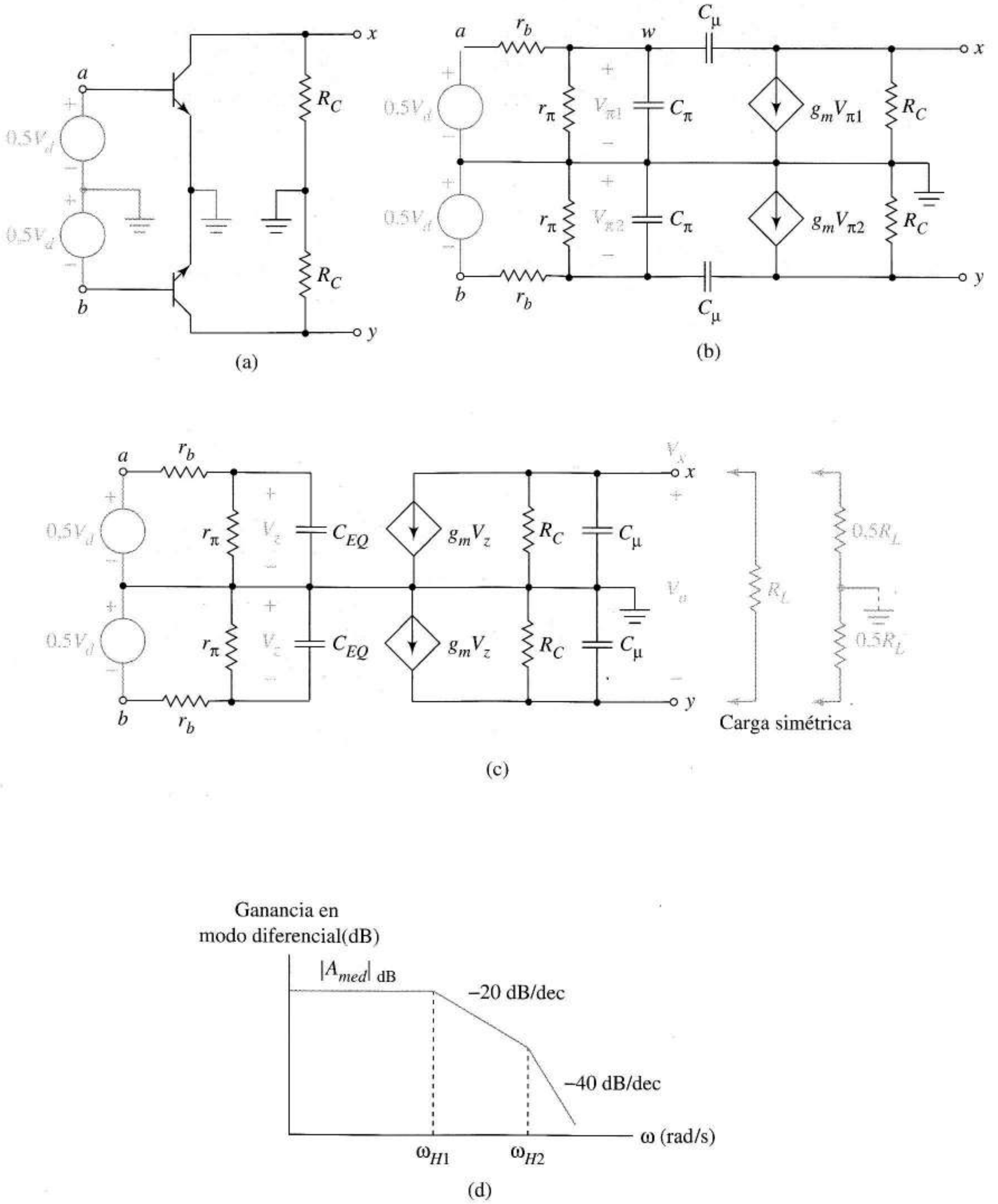


FIGURA 8.22 Amplificador diferencial con señal de entrada en alta frecuencia en modo diferencial: (a) esquema en pequeña señal del equivalente en alta frecuencia; (b) equivalente en alta frecuencia; (c) equivalente tras el teorema de Miller; (d) diagrama de Miller.

Ejercicio 8.11 Para el amplificador de la Figura 7.47a, I_O = 2 mA y R_C = 5 kΩ. Si β = 180, r_b = 200 Ω, C = 20 pF y C_μ = 5 pF, hallar la función de ganancia, $A_d(s)$, para una salida diferencial.

Sugerencia Considerar la Figura 8.22c.

Respuesta

$$A_d(s) = -191\frac{5{,}11\times10^6}{s+(5{,}11\times10^6)}\frac{4{,}00\times10^7}{s+(4{,}00\times10^6)}$$

Carga de entrada y salida en altas frecuencias Las resistencias de entrada R_i entre cada generador de señal y nodo de entrada en las Figuras 8.22a y b afectan a la resistencia vista por cada condensador Miller, lo cual afecta directamente a la frecuencia del polo dominante. Las resistencias de fuente reducen también la amplitud de la señal a frecuencias medias, ya que la división de tensión compleja hace menor la variable de control V_Z de la Figura 8.22c.

Hay que tener cuidado cuando el par acoplado por emisor tiene cargas externas. Consideremos primero el efecto de una carga resistiva simétrica, como una resistencia R_L conectada entre los nodos x e y en la Figura 8.22a. Añadiendo dos resistencias en serie, cada una de 0,5 R_L como sugiere la Figura 8.22c, nos da como resultado una masa virtual en su punto de conexión debido a la simetría del circuito. En efecto, cada 0,5 R_L está en paralelo con una resistencia R_C, reduciendo la ganancia del efecto Miller, y además C_{EQ} en la Figura 8.22c.

Una carga simétrica que consiste en una red RC paralelo conectado entre los colectores del transistor, como cuando la carga es otro amplificador diferencial, reduce la ganancia del efecto Miller y añade la capacidad del circuito Miller de salida, como en el amplificador de única salida del ejemplo 8.9. Esto hace compleja la ganancia A_M incluso a bajas frecuencias. La forma más sencilla de manejar este tipo de cargas es estimar el ancho de banda del medio amplificador utilizando las constantes de tiempo en circuito abierto. Más adelante examinaremos los amplificadores diferenciales en cascada para ilustrar este punto. La carga entre un nodo de salida y masa, tanto resistiva como RC, introduce las mismas restricciones al aplicar el teorema de Miller.

EJEMPLO 8.11 Hallar la nueva función de ganancia del amplificador del Ejercicio 8.11 si se sitúa una resistencia de 20 kΩ entre los nodos de salida.

Solución La resistencia de carga pone 10 kΩ en paralelo con la R_C del medio amplificador. Así, la ganancia Miller es

$$A_M = -g_m R_{L,EQ} = -(0{,}04)(5\text{ k}\| 10\text{ k}) = -133$$

Entonces C_{EQ} = 20 pF + 5 pF(134) = 690. Este polo ve

$$r_b \| r_\pi = 200\|4{,}5\text{ k} = 191\ \Omega$$

para $\omega_{H1} = 7{,}59\times10^6$ rad/s. El otro condensador, de aproximadamente 5 pF, ve $R_{L,EQ}$ = 3,33 kΩ, por lo que $\omega_{H2} = 6{,}00\times10^7$ rad/s. La ganancia a frecuencias medias se diferencia de la ganancia Miller en el divisor de tensión $r_b - r_\pi$, así

$$A_{med} = \frac{4{,}5}{4{,}7}(-133) = -127$$

Uniendo todo esto, obtenemos

$$A_d(s) = -127\frac{7{,}59\times10^6}{s+(7{,}59\times10^6)}\frac{6{,}00\times10^6}{s+(6{,}00\times10^6)}$$

❑

Ejercicio 8.17 Suponer en el Ejemplo 8.11 que en vez de utilizar una carga de 10 k entre los colectores, acoplamos capacitivamente una resistencia de carga de 5 k al nodo x, y utilizamos la tensión de este nodo como salida. Hallar $A_{d,s\text{-}e}(s)$ para este caso.

Sugerencia ¿Cómo afectaría esta carga sobre las dos mitades del amplificador de la Figura 8.22c?

Respuesta

$$A_{d(s-e)}(s) = -63{,}5\frac{5{,}11\times 10^6}{s+\left(5{,}11\times 10^6\right)}\frac{4{,}00\times 10^6}{s+\left(4{,}00\times 10^6\right)}$$

Rechazo al modo común La Figura 8.23 muestra el amplificador diferencial con excitación en modo común V_C. La resistencia y capacidad internas de la fuente de corriente, R_o y C_o, introducen la principal limitación en alta frecuencia del funcionamiento en modo común. La Figura 8.23b muestra el equivalente en alta frecuencia del medio amplificador. Debido a la simetría, podemos hallar la ganancia en modo común V_o/V_C utilizando sólo medio circuito.

Como la resistencia de la fuente de corriente es grande, el efecto de C_o sobre la respuesta en alta frecuencia es dominante. Debido a esto, podemos simplificar el análisis reemplazando el transistor con su modelo a frecuencias medias en vez del de alta frecuencia, obteniendo la Figura 8.23c. En efecto, estamos suponiendo que los sucesos más importantes se dan a frecuencias bajas con las demás capacidades despreciables.

Ahora, este equivalente en alta frecuencia resulta ser idéntico estructuralmente al equivalente en baja frecuencia de un amplificador en emisor común con la resistencia del emisor sin cortocircuito en alterna, $2R_o$. Irónicamente, esta observación nos permite usar los resultados en baja frecuencia establecidos previamente para predecir el comportamiento en alta frecuencia de la Figura 8.23a. A partir de nuestro análisis (en baja frecuencia) de condensadores de desacoplo en la Sección 8.31, esperamos una función de ganancia de la forma

$$A_C(s) = \frac{V_o}{V_C} = A_{med}\frac{s+\omega_Z}{s+\omega_P} \tag{8.33}$$

Para hallar A_{med} en la Figura 8.23c, suponemos que la frecuencia es tan alta que $C_o/2$ es un cortocircuito. Esto nos da el amplificador en emisor común para el que $A_{med} = -g_m R_C$. Ahora, recordamos que ω_z es la frecuencia en donde la reactancia de $C_o/2$ iguala $2R_o$, dando

$$\omega_z = \frac{1}{C_o R_o} \tag{8.34}$$

La resistencia que ve $C_o/2$, por escalado de resistencia es

$$\left(2R_o\right)\Big\|\frac{r_\pi}{\beta+1} \approx \frac{r_\pi}{\beta+1}$$

Esto nos da la frecuencia del polo

$$\omega_p = \frac{1}{(C_o/2)\left[r_\pi/(\beta+1)\right]} = \frac{2(\beta+1)}{C_o r_\pi}$$

Con esos valores, la Ecuación (8.33) se convierte en

$$A_C(s) = -g_m R_C\frac{s+1/\left(C_o R_o\right)}{s+\left[2(\beta+1)/\left(C_o r_\pi\right)\right]}$$

A altas frecuencias la ganancia se aproxima a $-g_m R_C$. Cuando $s = j\omega \rightarrow 0$,

$$A_C(s) \rightarrow \frac{-g_m R_C r_\pi}{(\beta+1)2R_o} = \frac{-\beta R_C}{(\beta+1)2R_o} \approx \frac{-R_C}{2R_o} \tag{8.35}$$

Llegamos a la conclusión de que el diagrama de Bode en modo común tiene el aspecto de la Figura 8.23d.

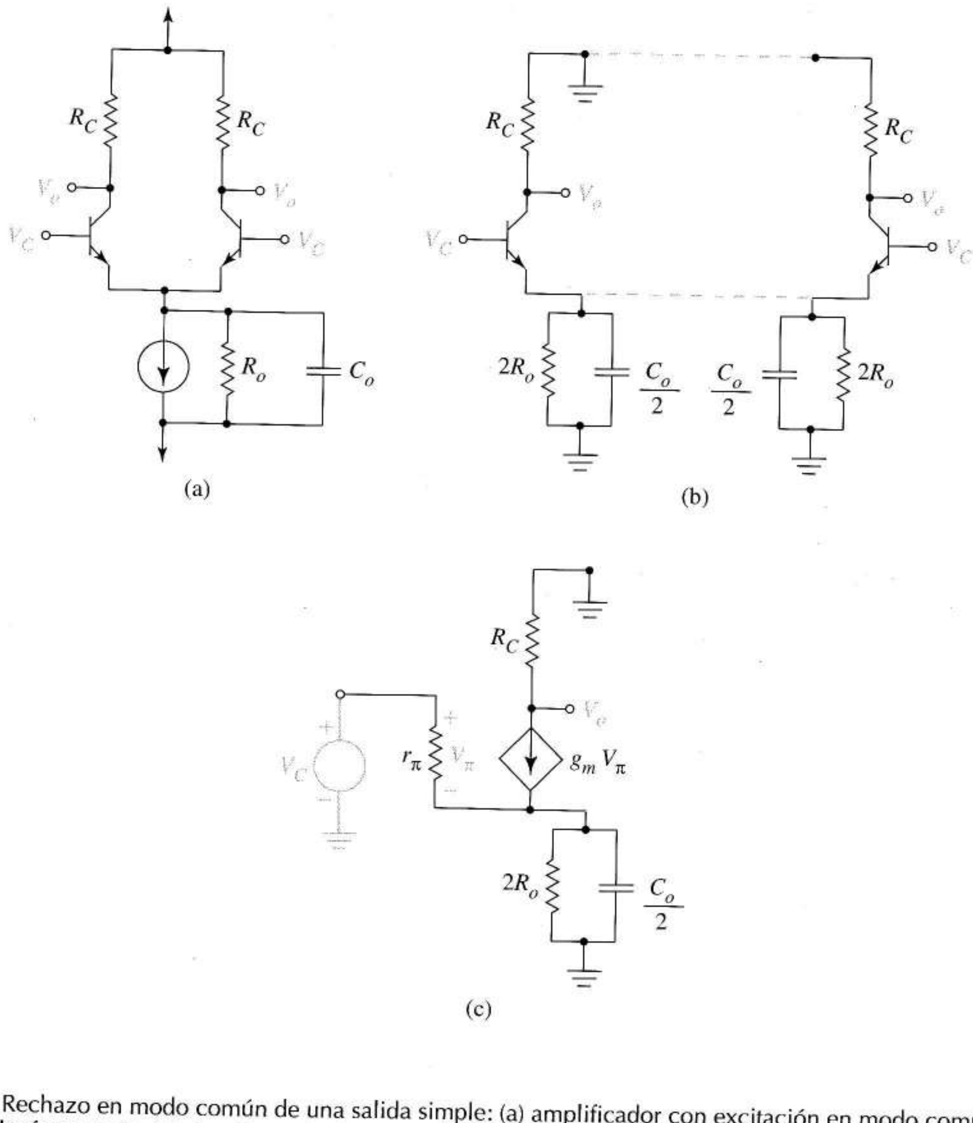
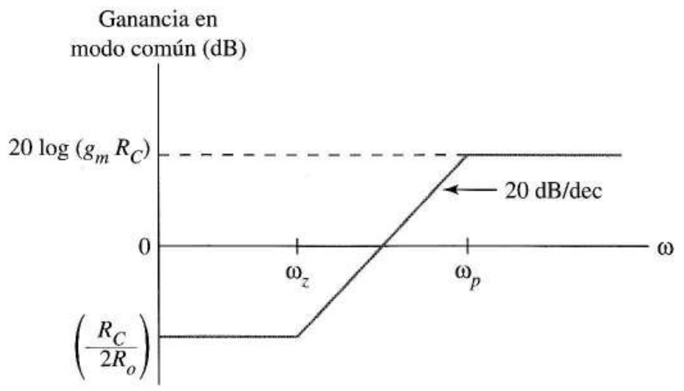
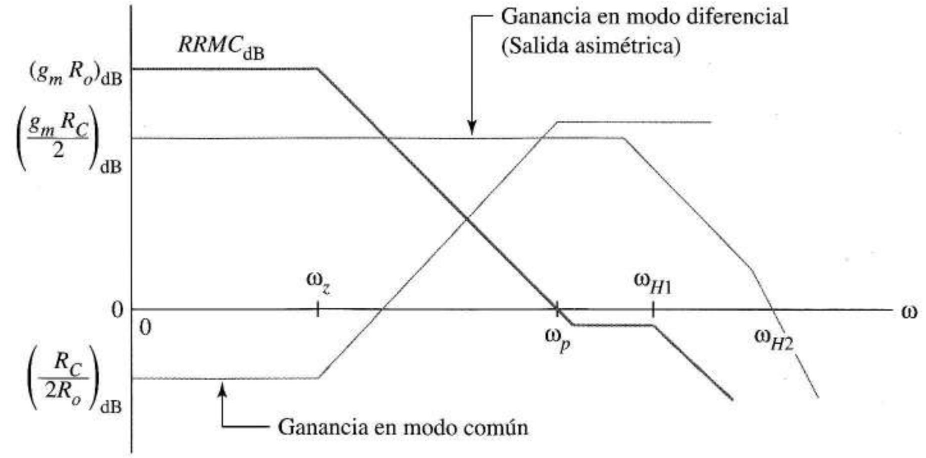


FIGURA 8.23 Rechazo en modo común de una salida simple: (a) amplificador con excitación en modo común; (b) modelo en alta frecuencia; (c) circuito equivalente en alta frecuencia; (d) ganancia en modo común; (e) RRMC como función de frecuencia.



(d)



(e)

FIGURA 8.23
(Continuación)

Para señales en modo común, la ganancia debe ser tan pequeña como sea posible, así, *no* es deseable el incremento de ganancia que empieza a producirse en zonas próximas de ω_z. Obtendremos el mayor rechazo en modo común sólo en señales en modo común con frecuencias inferiores a ω_z. Lo más importante es la razón de rechazo en modo común

$$\text{RRMC}_{dB} = 20\ \log|A_d| - 20\ \log|A_c|$$

La Figura 8.23e muestra una resta gráfica de la curva de ganancia en modo común A_c de la Figura 8.23d (representada con líneas a trazos en la Figura 8.23e) y la curva en modo diferencial A_d de la Figura 8.22d (las líneas continuas y finas). Esto nos da la curva RRMC en negrita, con un posible conjunto de suposiciones sobre valores relativos de los polos y ceros. Podemos ver que la frecuencia del cero, ω_z, identifica el límite superior del mayor rechazo en modo común que se predijo con las ecuaciones de frecuencias medias del Capítulo 7.

La ganancia en modo común (valor en baja frecuencia) y las expresiones de ganancia [ecuaciones (8.34) y (8.35) respectivamente], sugieren un cambio en el diseño de la fuente de corriente. Se desea disminuir la ganancia en modo común y el ancho de banda de RRMC, lo que se consigue subiendo R_o.

EJEMPLO 8.12 Un espejo de corriente básico bipolar polariza a un amplificador diferencial con $R_C = 9$ kΩ. El transistor del espejo tiene $V_A = 120$ V y $C_\pi = 3$ pF. Hallar la ganancia en modo común y el ancho de banda para corrientes de 0,1 mA y 0,01 mA.

Solución El transistor del espejo tiene $R_o = r_o$ y $C_o \approx 2\ C_\mu$ (ver el Problema 8.54). Para $I_O = 0{,}1$ mA, $r_O = 120/0{,}1$ mA = 1,2 MΩ. A partir de la Ecuación (8.35) la ganancia en modo común es

$$A_C = \frac{-9\text{ k}}{2 \times 1{,}2\text{ M}} = -0{,}00375$$

y a partir de la (8.34)

$$\omega_z = \frac{1}{6\text{ pF} \times 1{,}2\text{ M}} = 1{,}39 \times 10^5\ \text{rad/s}$$

Al reducir la corriente de la fuente a 0,01 mA, r_o se incrementa a 12 MΩ, dándonos $A_C = 0{,}000375$, pero ω_c se reduce a $1{,}39 \times 10^4$ rad/s.

❑

Ancho de banda de amplificadores diferenciales en cascada Cuando los pares acoplados de fuente o emisor están en cascada, la alta capacidad de entrada de la segunda etapa carga de forma apreciable la primera. En consecuencia, el equivalente Miller no predice adecuadamente el ancho de banda. El método de las constantes de tiempo en circuito abierto es útil en esta situación, como ilustra el siguiente ejemplo.

EJEMPLO 8.13 Estimar el ancho de banda del amplificador de dos etapas de la Figura 8.24a cuando $R_D = 5$ kΩ y $R_i = 50$ kΩ. Los cuatro transistores tienen los parámetros $g_m = 6$ mA/V, $C_{gs} = 3$ pF y $C_{gd} = 4$ pF.

Solución Como el equivalente en alta frecuencia de cada etapa tiene una masa virtual en el nodo fuente, cada equivalente del amplificador diferencial toma la forma de dos medios amplificadores idénticos que se asemejan al circuito bipolar de la Figura 8.22b. Para aprovechar esta simetría, trabajaremos con los medio amplificadores de la Figura 8.24b. En este circuito $C_1 = C_3 = C_{gs} = 3$ pF y $C_2 = C_4 = C_{gd} = 4$ pF.

Primero hallaremos la resistencia vista por C_1. Con V_i desconectada y de C_2 a C_4 en circuito abierto, C_1 ve $R_1 = R_i = 50$ kΩ.

Consideremos, a continuación, la resistencia vista por C_3. Siendo C_2 un circuito abierto y $V_i = 0$, $g_mV_1 = 0$, es decir, la fuente dependiente está desconectada. Con C_4 en circuito abierto, C_3 ve $R_3 = R_D = 5$ kΩ.

Para hallar R_2, utilizaremos la Figura 8.24c. Con la ley de Kirchhoff de las corrientes

$$I_{test} = -g_m\left(R_iI_{test}\right) + \frac{V_{test} - R_iI_{test}}{R_D}$$

Al despejar la relación obtenemos

$$R_2 = \frac{V_{test}}{I_{test}} = R_D + \left(1 + g_mR_D\right)R_i = 1{,}56\ \text{M}\Omega \qquad (8.36)$$

La Figura 8.24d es el circuito que nos da R_4. Como este circuito se diferencia de la Figura 8.24c únicamente en la sustitución de R_i por R_D, a partir de la Ecuación (8.36)

$$R_4 = \frac{V_{test}}{I_{test}} = R_D + \left(1 + g_mR_D\right)R_D = 160\ \text{k}\Omega$$

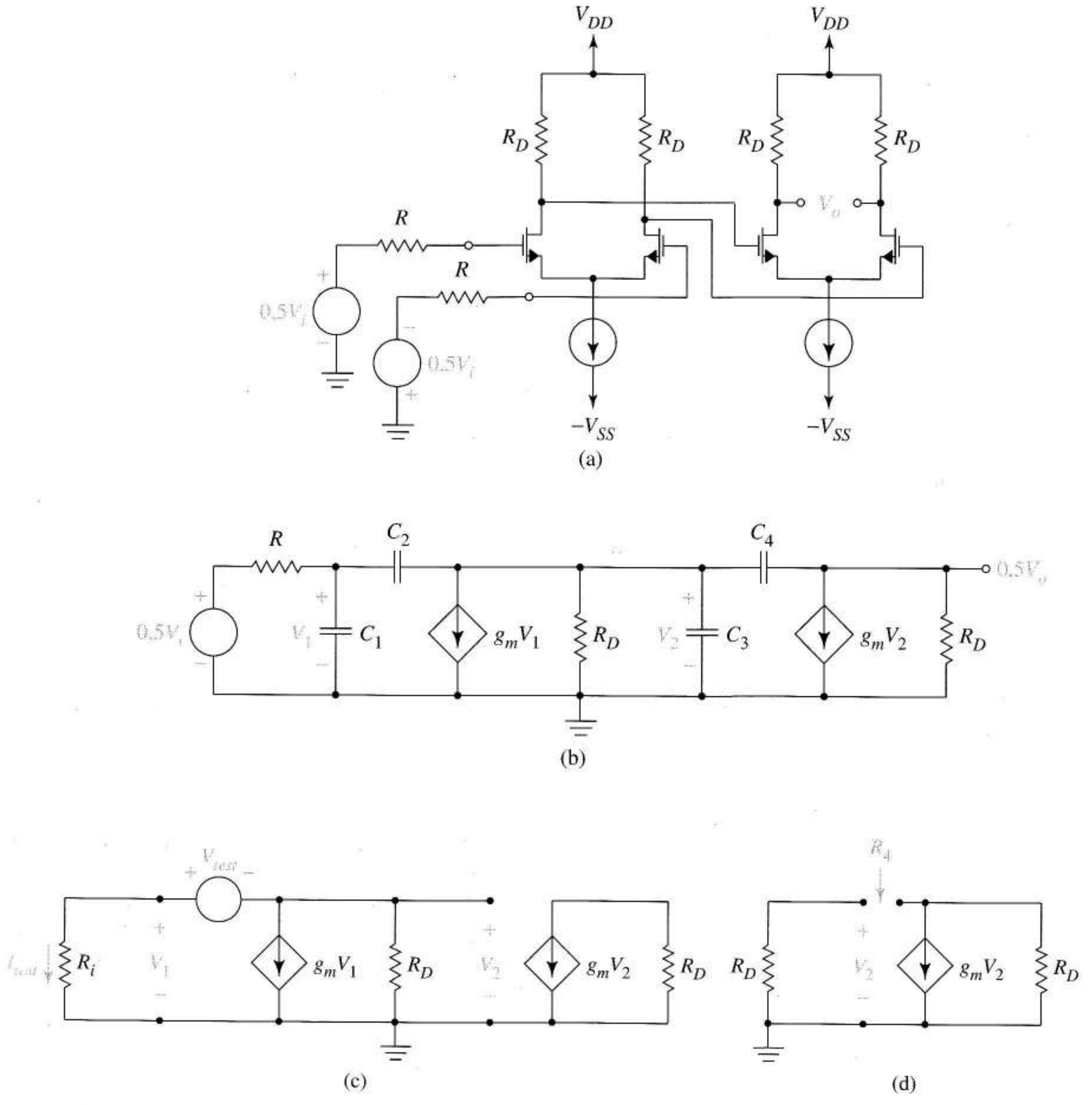
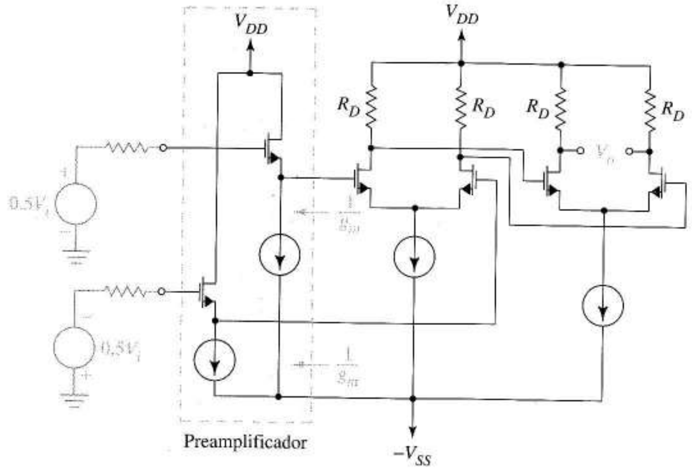


FIGURA 8.24 Determinación del ancho de banda del amplificador de dos etapas; (a) circuito dado; (b) medio amplificador para el análisis en alta frecuencia; (c) equivalente utilizada para hallar la resistencia vista por C_2; (d) circuito utilizado para hallar R_4; (e) incremento del ancho de banda utilizando un preamplificador.



(e)

FIGURA 8.24
(Continuación)

La Ecuación (8.29) es, para este circuito

$$\frac{1}{\omega_H} \approx R_1C_1 + R_2C_2 + R_3C_3 + R_4C_4$$

$$\approx 50 \text{ k} \times 3 \text{ pF} + 1{,}56 \text{ M} \times 4 \text{ pF} + 5 \text{ k} \times 3 \text{ pF} + 160 \text{ K} \times 4 \text{ pF} \tag{8.37}$$

$$\approx 150 \times 10^{-9} + 6.240 \times 10^{-9} + 15{,}0 \times 10^{-9} + 640 \times 10^{-9}$$

u $\omega_{H1} \approx 142 \times 10^3$ rad/s o 22,6 kHz. ❑

Ejercicio 8.13 ¿Cuál es la ganancia de la tensión a frecuencias medias de la Figura 8.24a cuando la salida es diferencial?

Respuesta $(g_mR_D)^2$.

El Ejemplo 8.13 sugiere algunas observaciones importantes sobre transformaciones de resistencia. Observemos que C_2R_2 es dominante en la Ecuación (8.37). A partir de la Ecuación (8.36) vemos que al reducir R_i se provoca un incremento directo del ancho de banda. Supongamos ahora que se necesita un ancho de banda mayor, pero que la resistencia R_i no se puede cambiar. Podemos incrementar el ancho de banda con la misma R_i utilizando un seguidor de fuente preamplificado entre la fuente de señal y la entrada del amplificador diferencial, como en la Figura 8.24e. Como el seguidor de fuente tiene una resistencia de salida $1/g_m$, al insertar esta etapa adicional, la resistencia R_2 se reduciría en la Ecuación (8.36) a

$$R_2 = R_D + (1 + g_mR_D)\left(\frac{1}{g_m}\right)$$

Naturalmente, cada seguidor de fuente aporta al circuito dos nuevas capacidades en alta frecuencia; sin embargo, como la ganancia de tensión del seguidor de fuente es menor que uno, estos condensadores no tienen multiplicación Miller y mejora la respuesta frecuencial global. La ganancia de tensión global sigue siendo $(g_mR_D)^2$, ya que los seguidores de fuente tienen ganancia unidad; sin embargo, la etapa adicional incrementa el producto ganancia–ancho de banda del amplificador. En el preamplificador y la primera etapa diferencial de la Figura 8.24e se combinan el amplificador en drenador común y el de fuente común que son la versión FET de la Figura 7.26c, pero en forma diferencial. El gran ancho de banda que se puede obtener con los amplificadores de dos transistores es el tema de la próxima Sección.

8.6 RESPUESTA EN FRECUENCIA DE AMPLIFICADORES CON DOS TRANSISTORES

Todas las configuraciones con dos transistores de la Figura 7.26 y sus equivalentes FET son buenos amplificadores de banda ancha. Observando las posiciones de las capacidades del transistor en cuanto a la multiplicación Miller, podemos comprender de forma intuitiva sus posibilidades en alta frecuencia. Explícitamente hablamos de los circuitos bipolares, sin embargo se pueden aplicar los mismos argumentos a los correspondientes circuitos FET. Algunos detalles, como las polarizaciones y resistencias difundidas en base, se omitirán para poner énfasis en los principios generales. Para hacer una comparación, comenzaremos con las conFiguraciones de un solo transistor.

La Figura 8.25a es el esquema en pequeña señal del amplificador en emisor común, que muestra explícitamente las posiciones de C_π y C_μ. Observemos la posición estratégica de C_μ, que une los circuitos de entrada y salida. Como este amplificador tiene una ganancia alta, inversa y a frecuencias medias, hay una significativa multiplicación Miller que da como resultado un ancho de banda relativamente bajo. Comparemos esto con el circuito en base común de la Figura 8.25b. Como ningún condensador une la entrada y la salida, no hay multiplicación Miller y la contribución de ambos condensadores al ancho de banda es su valor nominal. Este circuito tiene una ganancia de tensión a frecuencias medias relativamente alta, como mostraba el análisis detallado.

En el seguidor de emisor de la Figura 8.25c, C_π une la entrada y la salida; sin embargo, como la ganancia de tensión es menor que uno, no hay una multiplicación Miller tan grande que limite el ancho de banda. Como hemos averiguado en nuestro análisis, el seguidor de emisor es un buen circuito en alta frecuencia.

La Figura 8.25d muestra las posiciones de las capacidades en el amplificador cascodo. La etapa de entrada tiene un condensador situado estratégicamente; sin embargo, la resistencia de carga de la primera etapa es la pequeña resistencia de entrada, $r_e \approx 1/g_m$, de la segunda etapa. Así, la ganancia de tensión de la primera etapa es aproximadamente uno y la multiplicación Miller que suele caracterizar al amplificador en emisor común está ausente en este circuito. La etapa de salida en base común proporciona la ganancia de tensión del circuito pero no tiene un condensador situado críticamente para limitar su ancho de banda.

El amplificador en colector común/emisor común de la Figura 8.25e tiene condensadores colocados estratégicamente en ambas etapas. Sin embargo, la primera etapa en un seguidor con ganancia de tensión menor que uno. La etapa de salida en emisor común tiene una alta ganancia de tensión, que produe multiplicación Miller; sin embargo, el condensador Miller ve en el circuito anterior la baja resistencia del seguidor de emisor. En consecuencia, el producto *RC* es pequeño y el ancho de banda grande, a pesar de la multiplicación Miller. (Este era *exactamente* el razonamiento que utilizamos para justificar el haber añadido el seguidor de la Figura 8.24e.)

El amplificador en colector común/emisor común de la Figura 8.25f se parece al circuito cascodo. la primera etapa proporciona la ganancia de corriente $\approx \beta + 1$, pero tiene ganancia de tensión menor que uno y, por lo tanto, no tiene una capacidad Miller grande. El segundo transistor añade la ganancia de tensión al amplificador en cascada, pero no hay multiplicación de capacidad que reduzca el ancho de banda.

Como se indicó en el Capítulo 7, la ganancia de corriente que aporta la primera etapa incrementa la ganancia de potencia a frecuencias medias de cada circuito con dos transistores. En los que utilizan FET, la ganancia de potencia no es interesante, pero la mejora en el ancho de banda sigue justificando su utilización, como vimos en el análisis que siguió al Ejemplo 8.13.

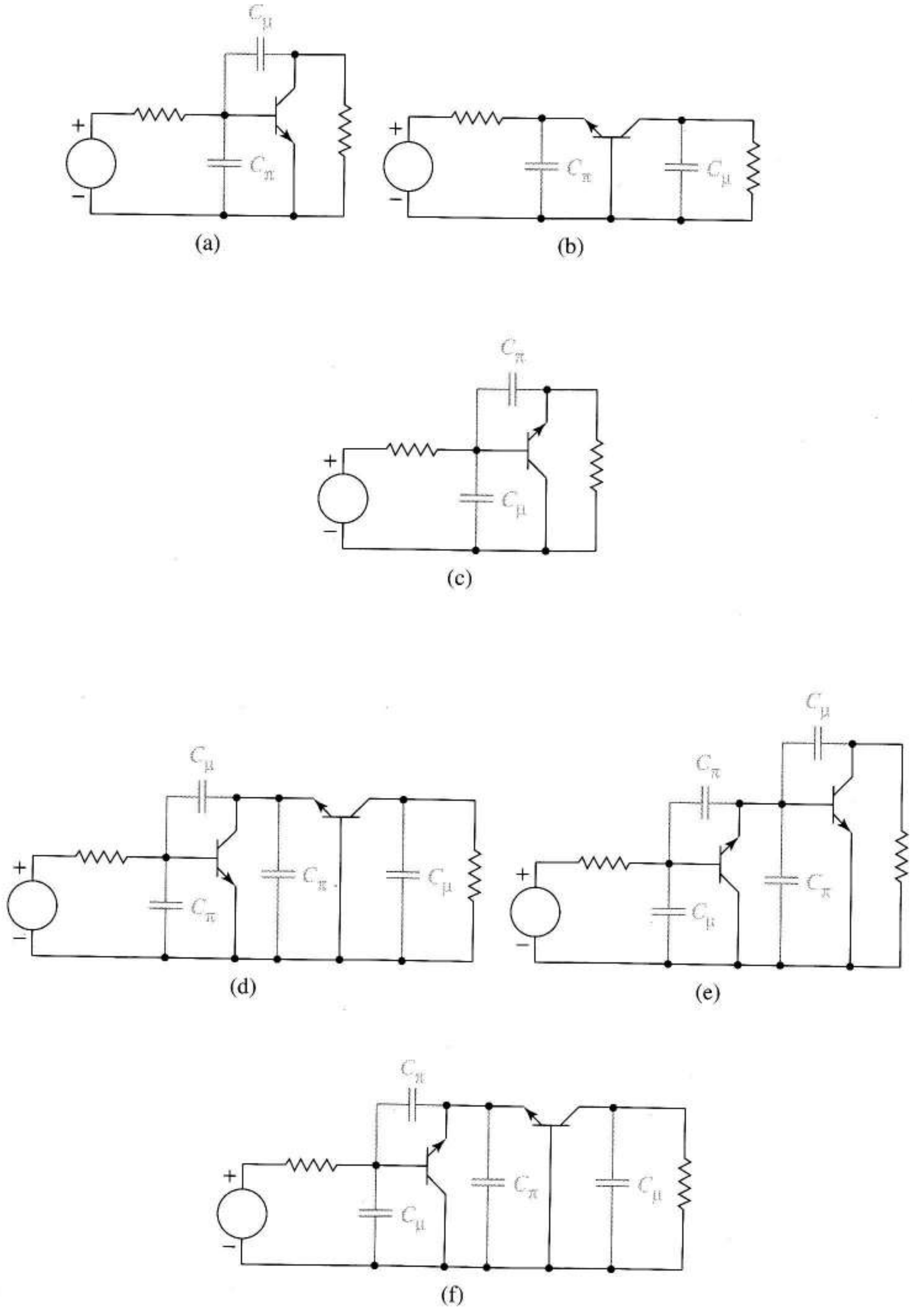


FIGURA 8.25 Comparación de las configuraciones del funcionamiento en alta frecuencia: (a) emisor común; (b) base común; (c) colector común; (d) emisor común/base común (cascodo); (e) colector común/emisor común; (f) colector común/base común.

La configuración con dos transistores de la Figura 8.25f es especialmente fácil de llevar a cabo con un par de transistores acoplados por emisor (o por fuente) integrados y nos da todas las ventajas de los transistores iguales con parámetros que varíen igual con la temperatura. El siguiente ejemplo presenta el análisis en alta frecuencia de un amplificador FET construido de esta forma.

EJEMPLO 8.14 Estimar el ancho de banda del circuito de la Figura 8.26a si C_{gs} = 1 pF, C_{gd} = 4 pF, g_m = 4,47 mA/V, R_i = 1 kΩ y R_L = 1,5 kΩ.

Solución Este es un circuito de drenador común/puerta común, por tanto, su estructura en alta frecuencia, Figura 8.26b, se parece a la Figura 8.25f. La transformación de la fuente de corriente aplicada a M_2 sitúa un VCCS en paralelo con la impedancia de salida y una resistencia $1/g_m$ en paralelo con la fuente g_mV_1, como en la Figura 8.26c.

Al circuito *RC* entre el nodo *x* y masa le entran las corrientes *I* y g_mV_1. La aproximación Miller (ignorando la corriente *I*) se justifica cuando $|I| = C_{gs} V_1 << g_mV_1$, es decir, para las frecuencias que cumplen $\omega << g_m/C_{gs} = 4{,}47 \times 10^9$ rad/s, la impedancia compleja entre el nodo *x* y masa será real en las frecuencias que cumplan $|1/j\omega C_{gs}| >> 1/g_m$, el mismo margen de frecuencias necesario para que la aproximación Miller sea válida. A partir de la polarización de la Figura 8.26a, los dos g_ms son idénticos. Llegamos finalmente a que para $\omega << 4{,}47 \times 10^9$ rad/s

$$V_x = g_mV_1\left(\frac{1}{g_m}\right) = V_1$$

y la ganancia del efecto Miller es

$$A_M = \frac{V_x}{V_x + V_1} = 0{,}5$$

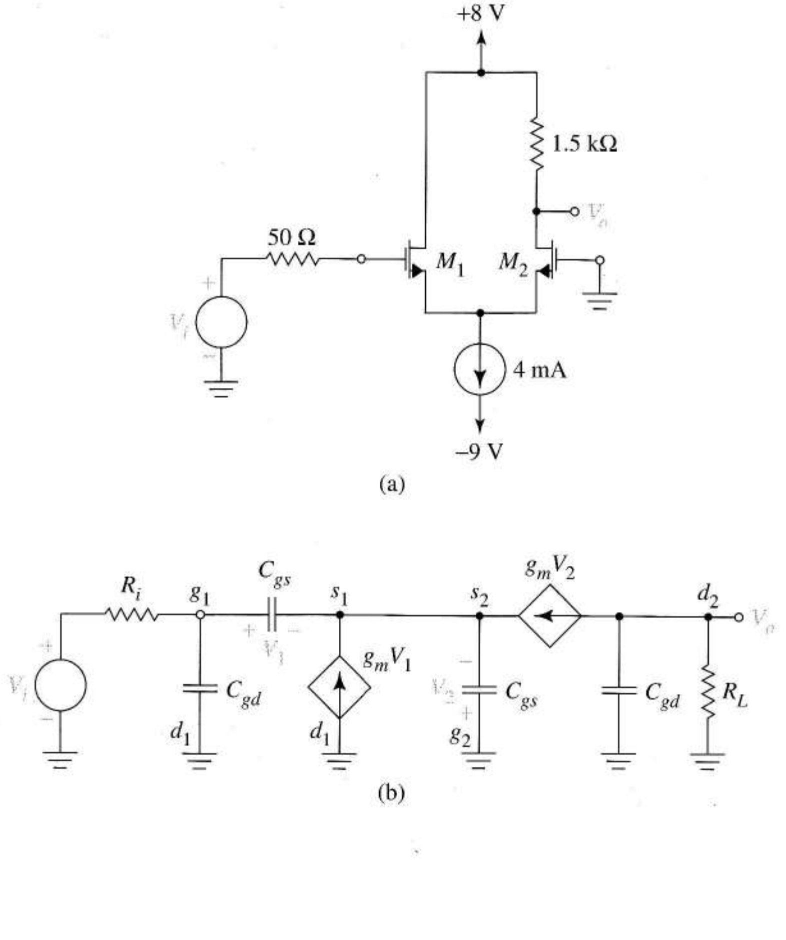


FIGURA 8.26
Amplificador en drenador común/puerta común: (a) esquema; (b) equivalente en alta frecuencia; (c) circuito tras la transformación de fuente; (d) equivalente tras aplicar el teorema de Miller.

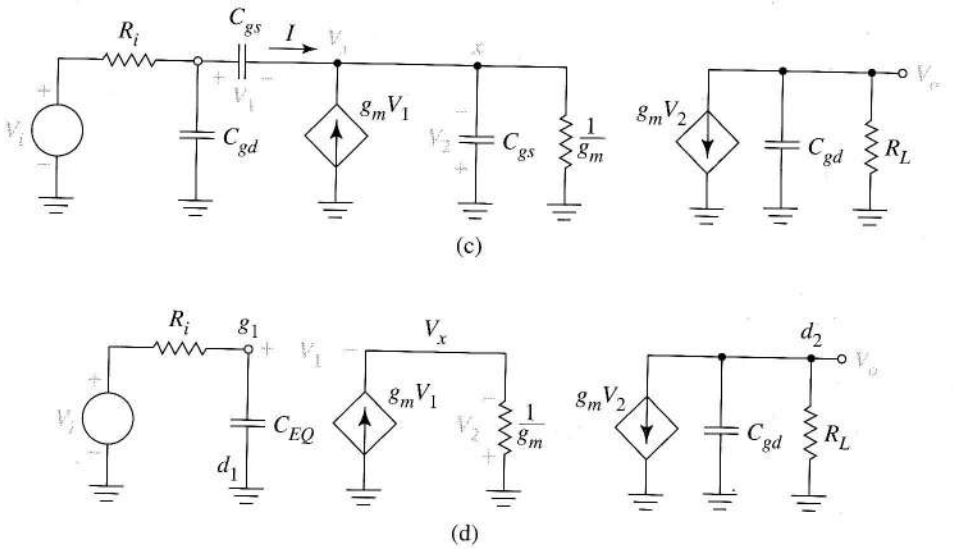


FIGURA 8.26 (Continuación)

La Figura 8.26d muestra el equivalente Miller de la primera etapa en sustitución de la misma. La capacidad Miller C_{gs} $(1-1/A_M)$ anula la capacidad C_{gs} que aportaba la segunda etapa. Los dos condensadores C_{EQ} y C_{gd} ven las resistencias de R_i y R_L respectivamente. Las frecuencias de los polos de este circuito de aproximación Miller son, por lo tanto,

$$\omega_{H1} = \frac{1}{C_{EQ}R_i} \quad \text{y} \quad \omega_{H3} = \frac{1}{C_{gd}R_L}$$

Como

$$C_{EQ} = C_{gd} + 0{,}5\ C_{gs} = 4{,}5 \text{ pF}$$

$\omega_{H1} = 2{,}2 \times 10^8$ rad/s, $\omega_{H2} = 1{,}67 \times 10^8$ rad/s. Dado que las frecuencias de ambos polos tienen un orden de magnitud menos que $4{,}47 \times 10^9$ rad/s, la aproximación Miller queda justificada. Utilizaremos la Ecuación (8.29) para aproximar el ancho de banda. El resultado es $\omega_H \approx 9{,}49 \times 10^7$ rad/s o 15,1 MHz. ❑

Ejercicio 8.14 Hallar con SPICE los anchos de banda a –3 dB de las Figuras 8.26b y d.

Sugerencia Añadir una resistencia de 1.000 MΩ entre los nodos s_2 y g_2 en la Figura 8.26b, de modo que SPICE puede hacer el análisis en continua. Los valores son los del Ejemplo 8.14.

Respuesta 19,4 MHz, 19,4 MHz.

EJEMPLO 8.15 La Figura 8.27a es un amplificador en colector común/emisor común. El condensador de desacoplo pone a masa el emisor Q_2 a frecuencias medias y altas; ambos transistores tienen $\beta = 275$, $r_b = 50\ \Omega$, $C_\mu = 10$ pF y $f_\tau = 100$ MHz. Comparar el producto ganancia–ancho de banda de este circuito de dos transistores con el del circuito de un transistor que se forma cuando la fuente está directamente conectada a la etapa de emisor común sin el seguidor de emisor (de ganancia unidad).

Solución Primero hallaremos la ganancia a frecuencias medias. Los parámetros necesarios son $g_m \approx 2/25 = 0{,}080$ A/V y $r_\pi = 3{,}44$ kΩ para Q_1, y g_m 4/25 = 0,16 A/V y $r_\pi = 1{,}72$ kΩ para Q_2. La Figura 8.27b es el equivalente a frecuencias medias. En la Figura 8.27a, la resistencia de entrada entre la base de Q_2 y masa es $r_\pi + r_b = 1{,}77$ kΩ. El seguidor de emisor Q_1 multiplica esta resistencia por un factor de $\beta + 1$, con un factor +1, haciendo que $R_{i1} = (275 + 1)1.170 = 489$ kΩ esté en serie con r_b y r_π de Q_1. La señal en el emisor de Q_1, por tanto, se relaciona con V_i en las Figuras 8.27a y b a través de la división de tensión

$$\frac{V_e}{V_i} = \frac{R_{i1}}{R_{i1} + r_\pi + r_{b1} + R_e} = \frac{489 \text{ k}}{489 \text{ k} + 3{,}44 \text{ k} + 50 + 200} \approx 1$$

La ganancia a frecuencias medias de Q_2 es, a partir de la Figura 8.27b

$$\frac{V_o}{V_e} = \frac{1{,}72 \text{ K}}{1{,}72 \text{ K} + 50}\left(-g_m R_C\right) = -(0{,}972)(160) = -156$$

El producto de las dos expresiones de ganancia es la ganancia de tensión del amplificador de dos etapas.

Para los modelos del transistor en alta frecuencia, la Ecuación (8.17) da

$$C_\pi = \frac{g_m}{2_\pi f_\tau} - C_\mu = 117 \text{ pF}$$

para Q_1 y $C_\pi = 245$ pF para Q_2. La Figura 8.27c es el equivalente en alta frecuencia. Debido a las obvias interacciones entre los condensadores, utilizaremos las constantes de tiempo en circuito abierto para estimar el ancho de banda.

En vez de utilizar el análisis manual, utilizaremos el análisis SPICE en continua para hallar las constantes de tiempo necesarias. La Figura 8.27d es el circuito SPICE y la Figura 8.27e es su código inicial. V_i está desconectada, y cada condensador C_j de la Figura 8.27c es reemplazado por una fuente de corriente independiente I_{Rj}.

Las fuentes independientes de corriente pasan a estar activas una por una en cuatro ejecuciones distintas, actuando cada una de ellas como un generador de prueba de un amperio. La tensión resultante en la fuente de corriente es la resistencia de salida entre el par de nodos.

La Tabla 8.1 muestra las constantes de tiempo en circuito abierto obtenidas utilizando SPICE en la forma mencionada. Al usar estos datos en la Ecuación (8.29) obtenemos $\omega_H \approx 190 \times 10^6$ rad/s o 30,2 MHz. El producto ganancia–ancho de banda del amplificador con dos transistores es $|-156 \times 30{,}2 \times 10^6| = 4{,}71$ GHz.

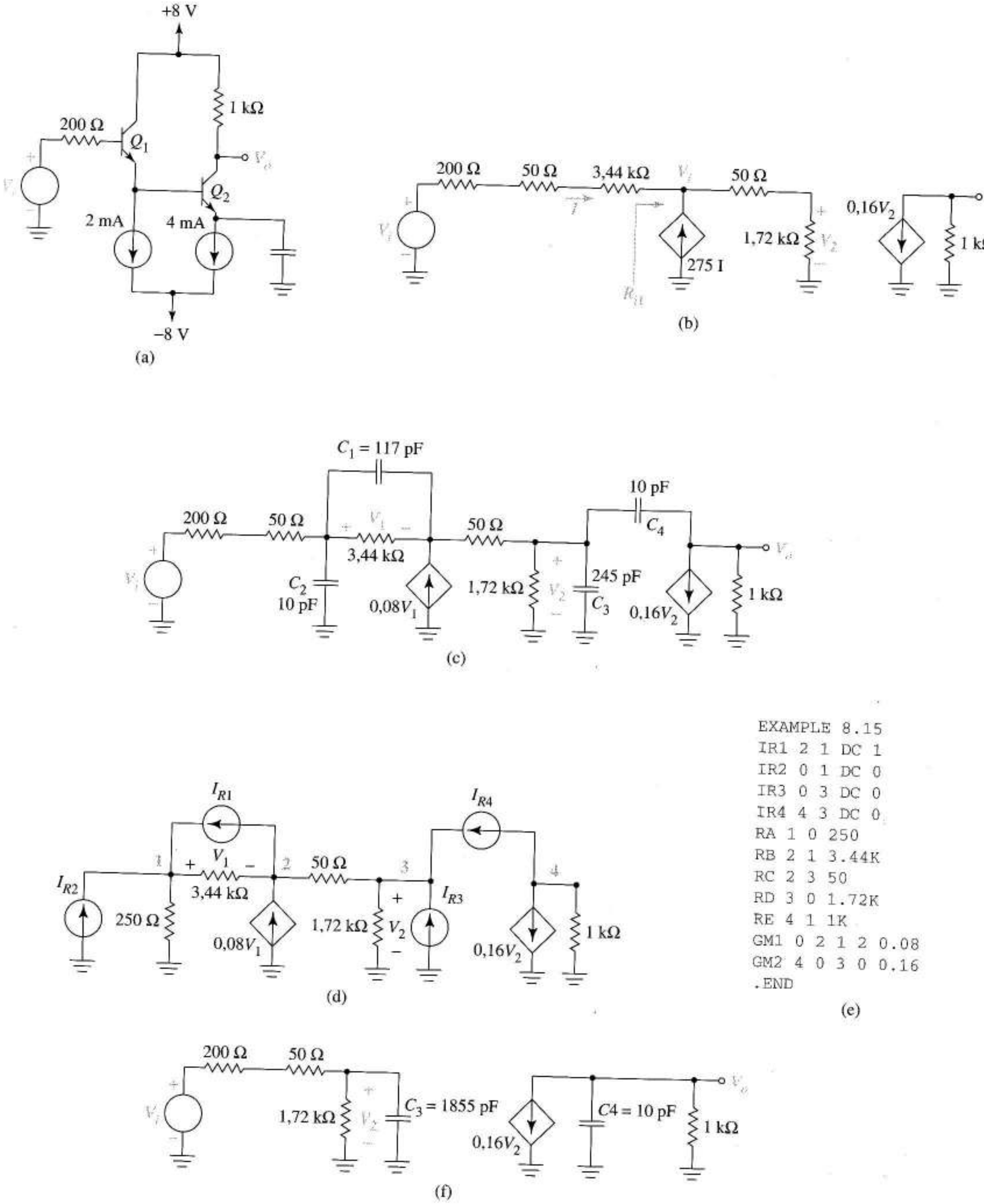
Para hallar el producto ganancia–ancho de banda omitiendo la primera etapa, utilizaremos la Figura 8.27f, que se obtuvo a partir de la Figura 8.27 al borrar la primera etapa y utilizar el teorema de Miller. La ganancia a frecuencias medias es

$$\frac{V_o}{V_i} = \frac{1{,}72 \text{ k}}{1{,}72 \text{ k} + 50 + 200}\left(-0{,}16 \times 1 \text{ k}\right) = -140$$

ligeramente menor a la ganancia de los dos transistores debido a la existencia de una mayor carga de entrada.

La constante de tiempo en circuito abierto asociada a la capacidad de 1.855 pF es 218 × 1.855 pF = 405 ns; el condensador de 10 pF tiene una constante de tiempo de 10 ns. Los dos condensadores dan como resultado, de forma conjunta, un ancho de banda de tan sólo $f_H = 3{,}84 \times 10^5$ Hz en comparación con los 30,2 MHz del circuito de dos etapas.

Aunque el seguidor de emisor ha introducido dos condensadores adicionales en alta frecuencia, podemos ver que su principal efecto es incrementar el ancho de banda. Lo más destacado es que el colector común y emisor común en cascada tienen el producto ganancia–ancho de banda de 4,9 GHz frente a los 53,8 MHz del amplificador en emisor común por sí solo. ❑




```
EXAMPLE 8.15
IR1 2 1 DC 1
IR2 0 1 DC 0
IR3 0 3 DC 0
IR4 4 3 DC 0
RA 1 0 250
RB 2 1 3.44K
RC 2 3 50
RD 3 0 1.72K
RE 4 1 1K
GM1 0 2 1 2 0.08
GM2 4 0 3 0 0.16
.END
```

(e)

FIGURA 8.27 (a) Amplificador en emisor común/colector común; (b) equivalente a frecuencias medias; (c) equivalente en alta frecuencia; (d) circuito SPICE para hallar las resistencias de salida en circuito abierto; (e) código SPICE para hallar las resistencias de salida; (f) equivalente de la fuente de señal y del amplificador en emisor común.

Ejercicio 8.15 La salida de un amplificador es una sucesión de pulsos de amplitud variable (nivel de gris) que controlan la intensidad de un haz de electrones en una pantalla. Cualquier dibujo completo se debe construir en 1/120 s u 8,33 ms para que el ojo no se vea afectado por el parpadeo,τ, la anchura del pulso, debe ser diez veces su tiempo de subida, para permitir que haya tiempo suficiente para que se forme cada uno de los pulsos. Estimar, para cada amplificador del Ejemplo 8.15, el número N de niveles de gris distintos que puedan mostrarse en pantalla.

Respuesta 71.800 pulsos para el amplificador CC/CE, 914 para el CE.

TABLA 8.1 Constantes de tiempo en circuito abierto para la Figura 8.27

j	C_j (pF)	R_j(ohms)	$1/\omega j$(ns)
1	117	12,5	1,46
2	10	6,31	0,0631
3	245	1,54	0,377
4	10	335	3,35

8.7 VALORES DE LOS PARÁMETROS DE TRANSISTORES BIPOLARES

Hasta ahora, hemos puesto énfasis en dos tipos de parámetros de los transistores bipolares, los parámetros híbridos en pi para el análisis manual y los parámetros de SPICE para las simulaciones. Existe un tercer conjunto de parámetros que se incluye con más frecuencia en hojas de datos de los transistores discretos, los parámetros h en pequeña señal ya que son más fáciles de medir con precisión. Como los parámetros h dependen del punto Q, también deben proporcionarse las condiciones de continua bajo las que se miden. (A veces, la hoja de datos proporciona una descripción alternativa de cuadripolo; por ejemplo, los transistores diseñados para aplicaciones de radio frecuencia se suelen describir con parámetros y.) Con las tablas de conversión, como las referenciadas por Irwin, podemos convertir fácilmente las descripciones de cuadripolos para el mismo punto de funcionamiento.

El apéndice B define y describe los parámetros más importantes de los cuadripolos. El objetivo de esta sección es introducir las convenciones de notación que se suelen aceptar para los transistores bipolares y mostrar cómo se calculan los valores numéricos de los parámetros híbridos para el análisis manual a partir de la información de las hojas de datos.

8.7.1 PARÁMETROS h ESTÁTICOS PARA LOS TRANSISTORES BIPOLARES

La mayor parte de las veces, los parámetros h de la hoja de datos se refieren a pequeña señal, variables a frecuencias medias que se miden en un transistor "típico" que se polariza en un punto Q específico. Las pequeñas señales a frecuencias medias, del orden de un kilohertzio, se aplican a las puertas y las medidas de corriente y tensión se hacen de acuerdo con las definiciones del apéndice B. Los cortocircuitos y los circuitos abiertos que se especifican en las definiciones lo son en alterna y están provocados por los condensadores y bobinas para que no modifiquen el punto Q. Con menos frecuencia, la hoja de datos nos da gráficos de las partes reales e imaginarias de cada parámetro como funciones de la frecuencia, para un transistor que también está polarizado en el punto específico Q.

Con el transistor con la configuración en emisor común, Figura 8.28a, la notación del cuadripolo del apéndice B se reemplaza por

$$v_b = h_{ie}i_b + h_{re}v_c \tag{8.38}$$

$$i_c = h_{fe}i_b + h_{oe}v_c \tag{8.39}$$

El subíndice "*i*" indica *impedancia de entrada;* "*r*", *ganancia de tensión inversa*, "*f*", *ganancia de corriente directa* y "*o*", *admitancia de salida*. El segundo subíndice indica que las medidas se hicieron en la conFiguración en emisor común (*b* o *c* indican medidas en *base* común y *colector* común). A veces, el procedimiento de medida se repite en un amplio conjunto de valores de I_C, dando curvas cuyos parámetros son función de I_C, naturalmente, en el margen de frecuencias medias especificado.

La Figura 8.28b es el modelo bipolar estático, híbrido en pi, que se introdujo inicialmente en la Figura 7.5d. Como primer paso para relacionar las incógnitas de la Figura con los parámetros h medidos, aplicaremos las definiciones del parámetro *h* a la Figura 8.28b, como se explicó en el apéndice B; la columna 2 de la tabla 8.2 muestra los resultados. Como $r_\mu >> r_\pi$ y $\beta >> 1$, las expresiones de la columna 2 se ven reducidas a las de la columna 3. Como se había indicado, la tabla muestra la forma de calcular los parámetros *h* desconocidos a partir de valores híbridos conocidos; no obstante, a continuación indicaremos la forma de usar estas aproximaciones de modo inverso, como parte de una receta de conversión de los datos bipolares de la primera columna a los parámetros híbridos desconocidos.

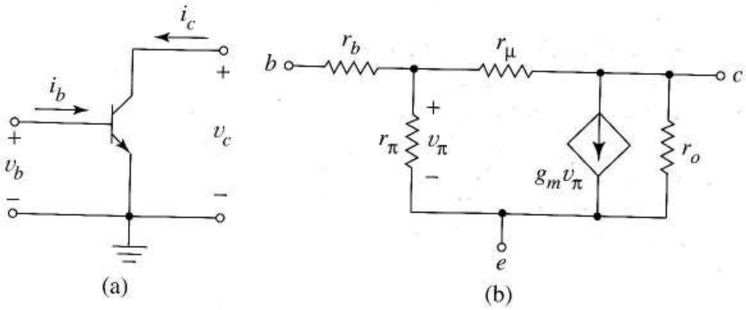


FIGURA 8.28
(a) Definiciones de variables de cuadripolos para los bipolares en emisor común; (b) modelo híbrido en pi que incluye parásitos.

EJEMPLO 8.16 Verificar las ecuaciones exactas de h_{re} y h_{oe} en la Tabla 8.2.

Solución Para hallar h_{re} a partir de (8.38) aplicaremos a la entrada del transistor un circuito abierto en alterna, para hacer $i_b = 0$, y a continuación hallaremos la ganancia de tensión inversa. La Figura 8.28 muestra que en estas condiciones $h_{re} = v_\pi/v_{ce}$.

Esta es la expresión del divisor de tensión que se da en la tabla. Al mantener $i_b = 0$, hallamos h_{oe} utilizando la tensión de prueba v_{ce}, que entrega la corriente de prueba i_c. Con este generador de prueba, la ley de Kirchhoff de las corrientes nos da

$$i_c = \frac{v_{ce}}{r_o} + g_m \frac{r_\pi}{r_\mu + r_\pi} v_{ce} + \frac{v_{ce}}{r_\mu + r_\pi}$$

Al despejar la relación i_c/v_{ce} y sustituir $g_m r_\pi = \beta$, tenemos la entrada de la tabla. ❑

TABLA 8.2 Parámetros h estáticos para los bipolares en emisor común

Parámetro h	Parámetro h expresado en términos de parámetros Pi	Expresión aproximada del parámetro h
h_{ie}	$r_b + (r_\pi \| \| r_\mu)$	$r_b + r_\pi$
h_{fe}	$\frac{r_\pi g_m r_\pi - r_\pi}{r_\mu + r_\pi}$	β
h_{re}	$\frac{r_\pi}{r_\pi + r_\mu}$	$\frac{r_\pi}{r_\mu}$
h_{oe}	$\frac{1}{r_o} + \frac{\beta + 1}{r_\pi + r_\mu}$	$\frac{1}{r_o} + \frac{\beta}{r_\mu}$

8.7.2 CÁLCULO DE PARÁMETROS EN ALTA FRECUENCIA A PARTIR DE LA INFORMACIÓN DE LAS HOJAS DE DATOS

Además de proporcionar los valores numéricos de los parámetros estáticos h, el fabricante suele dar, directa o indirectamente, la frecuencia de ganancia unidad f_τ y el valor de C_μ, junto con las condiciones en continua en las que se hicieron las medidas (otras notaciones alternativas de las hojas de datos para C_μ son C_c, C_{ob}, C_{cb} y C_{CBO}). A partir de esta información, queremos hallar los valores numéricos de todos los parámetros híbridos pi y el valor de C_π.

Las hojas de datos dan a veces la frecuencia de la ganancia unidad de forma indirecta al especificar el valor de beta en una frecuencia dada en radianes, $\omega_x = 2_\pi f_x$; es decir, dan $|\beta(\omega_x)|$. Como la frecuencia ω_x es bastante superior a ω_β, el término imaginario del denominador de la Ecuación (8.15) es predominante y da

$$|\beta(\omega_x)| \approx \frac{\beta\omega_\beta}{\omega_x} = \frac{\omega_\tau}{\omega_x}$$

Así, calculamos ω_τ a partir de

$$\omega_\tau = \omega_x |\beta(\omega_x)| \tag{8.40}$$

(se preserva el producto ganancia de corriente–ancho de banda).

Al empezar con valores determinados de C_μ, f_τ y los parámetros h, medidos en el punto Q deseado, podemos calcular los parámetros del modelo híbrido de la Figura 8.29, utilizando la secuencia siguiente

$$1.\ g_m = \frac{I_C}{V_T}$$

$$2.\ r_\pi = \frac{h_{fe}}{g_m}$$

$$3. r_b = h_{ie} - r_\pi \qquad 4. r_\mu = \frac{r_\pi}{h_{re}}$$

$$5. r_o = \frac{r_\mu}{r_\mu h_{oe} - h_{fe}} \qquad 6. C_\pi = \frac{g_m}{2\pi f_\tau} - C_\mu$$

Observemos que se conoce toda la información de cada uno de los pasos.

Ejercicio 8.16 Los siguientes parámetros de bipolares fueron medidos con $I_C = 1$ mA: $h_{fe} = 270$, $h_{ie} = 6{,}83$ kΩ, $h_{oe} = 7{,}9 \times 10^{-6}$ A/V, $h_{re} = 0{,}193 \times 10^{-3}$ y $C_{ob} = 0{,}9$ pF. Además, $|\beta|$ es 75 a 5,33 MHz. Hallar los parámetros para la Figura 8.29.

Respuesta $f_\tau = 400$ MHz, $g_m = 0{,}04$ A / V, $r_\pi = 6{,}75$ KΩ, $r_b = 80$ Ω, $r_\mu = 35$ MΩ, $r_o =$ 5,38 MΩ, y $C_\pi = 15$ pF

8.7.3 PARÁMETROS SPICE

Los parámetros SPICE de los bipolares, dados en la Figura 4.44, se relacionan estrechamente con la estructura física del transistor y *se mantienen en cualquier punto de funcionamiento*. Una vez hallados, se pueden calcular los parámetros híbridos en pi para cualquier punto de funcionamiento. De hecho, SPICE calcula estos parámetros para cada transistor antes de comenzar el análisis en alterna; la instrucción SPICE .OP hace que dichos parámetros aparezcan en el fichero de salida.

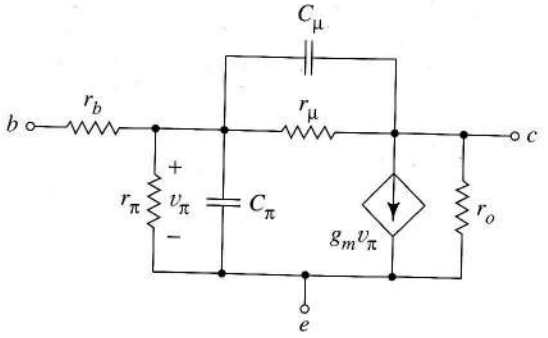
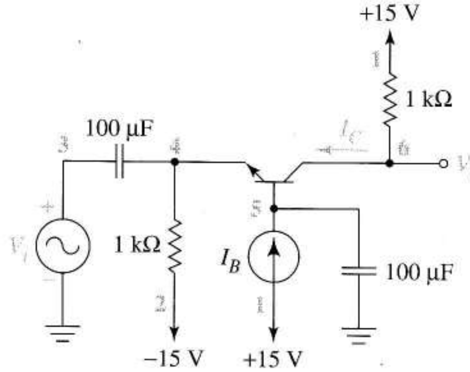


FIGURA 8.29 Modelo híbrido en pi dinámico que incluye elementos parásitos de segundo orden.

Variación de la respuesta frecuencial en el punto *Q* Después de haber resuelto tantos problemas con valores conocidos de C_π y C_μ, es fácil olvidar que la respuesta frecuencial de un amplificador es muy dependiente del punto *Q* del transistor. Si los parámetros SPICE se especifican en una instrucción .MODEL, SPICE calcula de forma automática los parámetros correctos en pequeña señal de cualquier punto *Q*, como se ilustra en el siguiente ejemplo. (El apéndice C muestra el modo en que se calculan los parámetros SPICE a partir de la información de la hoja de datos.)

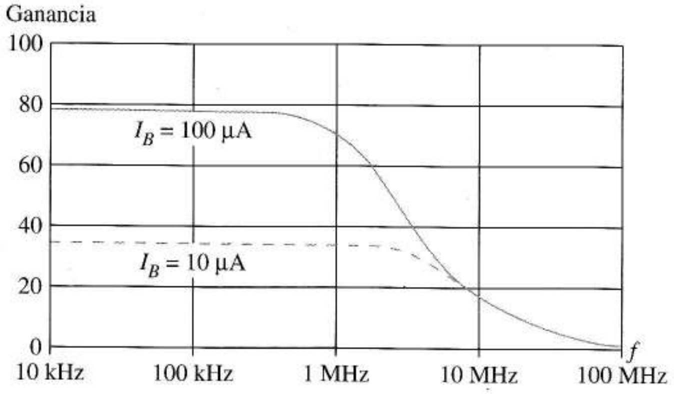
EJEMPLO 8.17 La Figura 8.30a muestra un amplificador en base común. La polarización es tal que I_C y V_{CB} varían al cambiar I_B, mientras que todos los parámetros que no tienen que ver con los transistores se mantienen invariables. Utilizar los parámetros SPICE calculados en el Ejemplo C.1 (en el apéndice C) para modelar el bipolar en este amplificador. Representar la respuesta frecuencial para $I_B = 10$ μA y para $I_B = 100$ μA para observar el efecto que se produce al cambiar el punto *Q*.



(a)

```
EXAMPLE 8.17
VCC 1 0 DC 15
VEE 2 0 DC -15
IB 1 5 10U
*IB 1 5 100U
VI 3 0 AC 1
C1 3 4 100E-6
C2 5 0 100E-6
RE 4 2 1K
RC 1 6 1K
Q1 6 5 4 2 TOM
.MODEL TOM NPN
+IS=7.69E-16 BF=100 VAF=119 RB=1K
+VJC=0.55 VJE=0.7 VJS=0.52
+CJS=7.28P CJE=0.79P CJC=1.47P
+TF=0.271N
.OP
.AC DEC 20 10K 1G
.PLOT AC V(6)
.END
```

(b)



(c)

FIGURA 8.30 Curvas de respuesta frecuencial de un amplificador para dos puntos Q distintos de un bipolar: (a) circuito con el punto Q determinado por I_B; (b) código SPICE; (c) curvas de respuesta frecuencial a la amplitud.

Solución La Figura 8.30b nos muestra el código. Hay dos valores de I_B, 10 μA para la primera simulación y 100 μA (puesto inicialmente como un comentario) para la segunda. La línea que contiene al elemento bipolar tiene un cuarto número de nodo, opción que nos permite especificar el sustrato de un transistor integrado para que la capacidad colector–sustrato se incluya en el análisis. Como suele ser habitual, el sustrato de tipo p se conecta al nodo más negativo del circuito para prevenir la conducción entre el colector y el sustrato. La sentencia .OP nos da información adicional de salida para que podamos examinar la polarización del transistor y los valores de los parámetros que SPICE utiliza para cada punto Q.

La Figura 8.30c muestra las curvas de respuesta frecuencial. Al cambiar la polarización del transistor, un amplificador con ganancia 78 y ancho de banda 2,2 MHz cambia a uno con ganancia 34 y ancho de banda 5,6 MHz. Los datos de salida de SPICE explican estas diferencias con modelos sencillos. Debido al cambio

de I_C, los parámetros estáticos g_m, r_π, y r_o cambian en un orden de magnitud. Como se esperaba, β sólo cambia ligeramente. Debido a las diferencias en las tensiones de unión y la corriente de colector, la capacidad de emisor–base CBE = C_π varía de forma significativa, mientras que la capacidad de colector–base CBC = C_μ cambia levemente. FT = f_τ también se ve afectado por el cambio del punto Q. ❑

8.8 SUMARIO

La respuesta frecuencial describe la forma en que una senoide de salida de un circuito se relaciona con las senoides de entrada cuando la variable independiente es la frecuencia. La respuesta frecuencial es importante porque caracteriza la dinámica del circuito de una forma matemática fácil de relacionar con las aplicaciones del circuito y con sus medidas.

Todos los amplificadores tienen limitaciones en alta frecuencia, cuyo origen está en las capacidades parásitas de los transistores y en las capacidades parásitas existentes entre los nodos del circuito y masa. Los circuitos especiales equivalentes en alta frecuencia y en pequeña señal describen los parásitos de varios tipos de transistores. Los circuitos que utilizan condensadores de acoplo y desacoplo también tienen limitaciones en baja frecuencia.

Para un amplificador, la banda de frecuencias útiles de entrada, denominada frecuencias medias, se delimita con las frecuencias de corte superior e inferior; cuando no hay condensadores de acoplo o desacoplo, las frecuencias medias se extienden hasta la continua. El ancho de banda del amplificador, la frecuencia de corte superior para un amplificador de banda ancha, es un dato importante, relacionado estrechamente con la velocidad de respuesta que el amplificador tiene a cambios bruscos en su entrada. La respuesta del amplificador en baja frecuencia está relacionada con su capacidad de mantener valores constantes de la señal en la salida.

Para comprender mejor la respuesta frecuencial de un amplificador de banda ancha, utilizaremos distintos circuitos equivalentes en el análisis a frecuencias bajas, medias y altas. En el análisis, el equivalente en baja frecuencia, que incluye condensadores de acoplo y desacoplo, predice la frecuencia de corte inferior; en el diseño, el equivalente nos da la información necesaria para cumplir las especificaciones en baja frecuencia. El equivalente en alta frecuencia, que incluye las capacidades del transistor y del cableado, es útil para predecir la frecuencia de corte superior en el análisis y para diseñar un circuito con un ancho de banda dado. Los diagramas de Bode nos ayudan a ver y representar la magnitud de la respuesta frecuencial y las curvas de fase.

A veces, los circuitos equivalentes dan como resultado ecuaciones sencillas que relacionan los condensadores individuales con las frecuencias de los polos y ceros de nuestros diagramas de Bode. Los patrones de estas respuestas frecuenciales se utilizan de forma sencilla en las etapas de diseño y análisis, y nos dan una idea intuitiva de los principios fundamentales. En circuitos más complejos, las frecuencias de los polos y ceros se relacionan de un modo más complicado con dos o más condensadores y lo mejor que podemos hacer es estimar las frecuencias de corte superior e inferior al utilizar las constantes de tiempo de cortocircuito para los equivalentes en baja frecuencia y las constantes de tiempo de circuito abierto para los equivalentes en alta frecuencia. A veces, un circuito equivalente con muchos polos tiene un polo dominante. Cuando esto sucede, el comportamiento dinámico del amplificador se aproxima al de un amplificador de un polo. En los equivalentes en baja frecuencia, el polo de frecuencia más alta es el único que debería ser dominante; en los equivalentes en baja frecuencia, el polo dominante es el que tiene la menor frecuencia.

Cuando la capacidad une la entrada de un amplificador y los circuitos de salida, su aportación al comportamiento dinámico del circuito puede multiplicarse significativamente con el efecto Miller. Dicho efecto es especialmente importante en el análisis en alta frecuencia de los amplificadores en

emisor común y fuente común, ya que en estos circuitos la ganancia es grande y negativa. La multiplicación Miller da una impedancia de entrada reducida a altas frecuencias y una reducción significativa en el ancho de banda en comparación con la que se esperaba a partir del valor de la capacidad. El equivalente Miller aproximado proporciona un modo sencillo de estimar los valores numéricos asociados al efecto Miller. El concepto Miller es una importante ayuda intuitiva que nos ayuda a encontrar una solución de compromiso entre ganancia y ancho de banda y por qué algunos circuitos de dos transistores tienen un muy buen funcionamiento en alta frecuencia. La capacidad de salida de la fuente de corriente provoca un incremento no deseado de la ganancia en modo común en los pares acoplados por emisor y fuente.

REFERENCIAS

1. GRAY, P. R., y R. G. MEYER. *Analysis and Design of Analog Integrated Circuits*, 3rd ed. New York: John Wiley, 1993.
2. GRAY, P. E., y C. L. SEARLE, *Electronic Principles*. New York: John Wiley, 1969.
3. IRWIN, J. D. *Basic Engineering Circuit Analysis*. 2nd ed. New York: Macmillan, 1987.
4. MALIK, N. R. "Determining Spice Parameter Values for BJTs," *IEEE Trans. Education*, Vol. 33, (November 1991).
5. SEDRA, A. S., and K. C. SMITH. *Microelectronic Circuits*, 3 rd ed. Philadelphia: Saunders College, 1991.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE. *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 8.2

8.1 Represente los diagramas de Bode de amplitud para $A(s)$ =

a) $\dfrac{-10^7 s}{(s+20)(s+20.000)}$

b) $\dfrac{10^4(s+10)}{(s+500)}$

c) $\dfrac{-7{,}2\times10^{14}s(s+10)}{(s+400)(s+100.000)(s+900.000)}$

d) $\dfrac{1{,}44\times10^{10}s(s+30)}{(s+10)(s+900)(s+120.000)}$

8.2 Calcule los desplazamientos de magnitud y fase asociados a $A(s)$, del Problema 8.1a en ω =

a) 10 rad/s.

b) 1.000 rad/s.

c) 100.000 rad/s.

8.3 Halle las funciones de ganancia $A(s)$ que tienen los diagramas de Bode de la Figura P8.3.

8.4 Estime la ganancia en dB en:

a) 10.000 rad/s para la Figura P8.3d.

b) 4.000 rad/s para la Figura P8.3d.

c) 30.000 rad/s para la Figura P8.3a.

d) 100.000 rad/s para la Figura P8.3d.

8.5 Estime la frecuencia en radianes en la que la ganancia es 0 dB para:

a) Figura P8.3a.

b) Figura P8.3c.

c) Figura P8.3d.

Sección 8.3

8.6 Dibuje el equivalente en baja frecuencia de las Figuras P7.12a, b y c.

8.7 En la Figura P8.7, $k = 3 \times 10^{-3}$ A/V^2.

a) Dibuje el circuito equivalente en baja frecuencia, incluyendo los valores de todos los componentes.

b) Dibuje el equivalente a frecuencias medias

c) Añada r_o a los circuitos equivalentes si la tensión Early es 88 V.

8.8 Dibuje el circuito equivalente a baja frecuencia de la Figura P8.8. Señale cada parámetro del amplificador con su valor numérico. Utilice $\beta = 100$.

8.9 a) Dibuje el equivalente en baja frecuencia de la Figura P8.9. Los valores de los parámetros son $\beta = 100$ y $g_m = 0{,}1$ A/V.

b) Halle la función de la ganancia $A_v(s) = V_o / V_e$, incluyendo todos los valores numéricos.

c) Para subir aproximadamente una octava la frecuencia de corte del amplificador, ¿Qué condensador debería cambiar y cuál debería ser su nuevo valor?

8.10 a) Utilice el circuito equivalente en baja frecuencia para llegar a la función de ganancia $A_v(s) = V_o / V_e$ en la Figura P8.10

b) Añada a la salida de la Figura P8.10 una resistencia R_L acoplada capacitivamente y halle la función de ganancia del circuito modificado.

8.11 Los amplificadores operacionales de la Figura P8.11 tienen ganancia infinita. Halle $A(s) = V_o / V_e$ para cada circuito y represente el diagrama de Bode.

8.12 En la Figura P8.12 $I_C = 2$ mA y $\beta = 200$. Halle el valor de C que sitúa al polo en baja frecuencia de la función V_o / V_e en 20 rad/s.

Sugerencia Utilice el escalado de resistencias.

8.13 El amplificador de la Figura P8.13 debe tener una frecuencia de corte inferior de 10^3 rad/s.

a) Halle el valor de C_C si $r_\pi = 1$ kΩ, $\beta = 199$, $k = 0{,}5 \times 10^{-4}$ A/V^2 y $V_t = 0{,}5$ V para el MOSFET.

Sugerencia Use el escalado de resistencias.

b) Utilice SPICE para comprobar el diseño.

8.14 Se ha realizado el diseño de la Figura P8.14, excepto los valores de C_1 y C_2 que hagan la frecuencia de corte inferior de unos 200 rad/s. Si $\beta = 99$ y $r_\pi = 1.000\Omega$,

a) Halle la constante de tiempo en cortocircuito asociada a cada condensador (Es más fácil utilizar las propiedades de transformación de las resistencias de los bipolares que utilizar circuitos equivalentes).

b) Seleccione el valor de un condensador para que la frecuencia de corte inferior sea 200 rad/s y el segundo condensador para que su constante de tiempo sea dos octavas inferior a la del primer condensador.

8.15 El transistor de la Figura P8.15 se polariza en 4 mA y tiene $k = 3 \times 10^{-3}$ A/V^2.

a) Halle $A(s) = V_o / V_e$.

b) Represente el diagrama de Bode.

8.16 Halle la expresión de la frecuencia de corte inferior del amplificador de la Figura P8.16.

8.17 El transistor de la Figura P8.17 tiene $g_m = 5{,}6 \times 10^{-3}$ A/V^2. Utilice las constantes de tiempo en cortocircuito para estimar la frecuencia de corte inferior.

8.18 En la Figura P8.18, $\beta = 180$ y el transistor se polariza en 3 mA. En este circuito:

a) Halle la ganancia a frecuencias medias

b) Halle las resistencias en cortocircuito vistas por C_1 y C_2

8.19 En la Figura P8.19, $\beta = 200$.

a) Halle I_B para que el transistor se polarice en $I_C = 2{,}5$mA.

b) Halle el valor numérico de r_π.

c) Escriba una Ecuación de C para que el polo en baja frecuencia se sitúe en 100 rad/s.

8.20 Utilice las constantes de tiempo en cortocircuito para estimar la frecuencia de corte inferior de la Figura P8.20; $\beta = 99$, $r_\pi = 100\ \Omega$.

8.21 Utilice SPICE para comprobar la frecuencia de corte inferior del amplificador diseñado nuevamente en el Ejemplo 8.4. Utilice $V_{CC} = 15$ V.

Sección 8.4

8.22 Al obtener la Ecuación (8.15), hemos limitado nuestras conclusiones a frecuencias menores que $\omega_{inf} = \omega_m / C_\mu$, para poder trabajar con una única expresión.

a) Comenzando con la relación $\omega_\beta/\omega_{inf}$, desarrolle un argumento convincente que demuestre que $\omega_{inf} >> \omega_\beta$.

b) Muestre que $\omega_{inf} >> \omega_\tau$ si $C_\pi \geq 10\ C_\mu$, como suele ser el caso.

8.23 El desarrollo que conduce a la Ecuación (8.15) generalizaba la idea de beta del transistor a $\beta(\omega)$, una función compleja de ω.

La Figura P8.23a es el modelo bipolar en base común con capacidades parásitas y con terminales análogos a los de la Figura 8.11a.

a) Obtenga una expresión que muestre que α se generaliza a $\alpha(\omega)$. Defina una frecuencia de corte de alfa, ω_α, en función de los parámetros del circuito.

b) Relacione ω_α con ω_τ.

c) La Figura P8.23b es el modelo FET en puerta común, con las capacidades parásitas. Obtenga una expresión

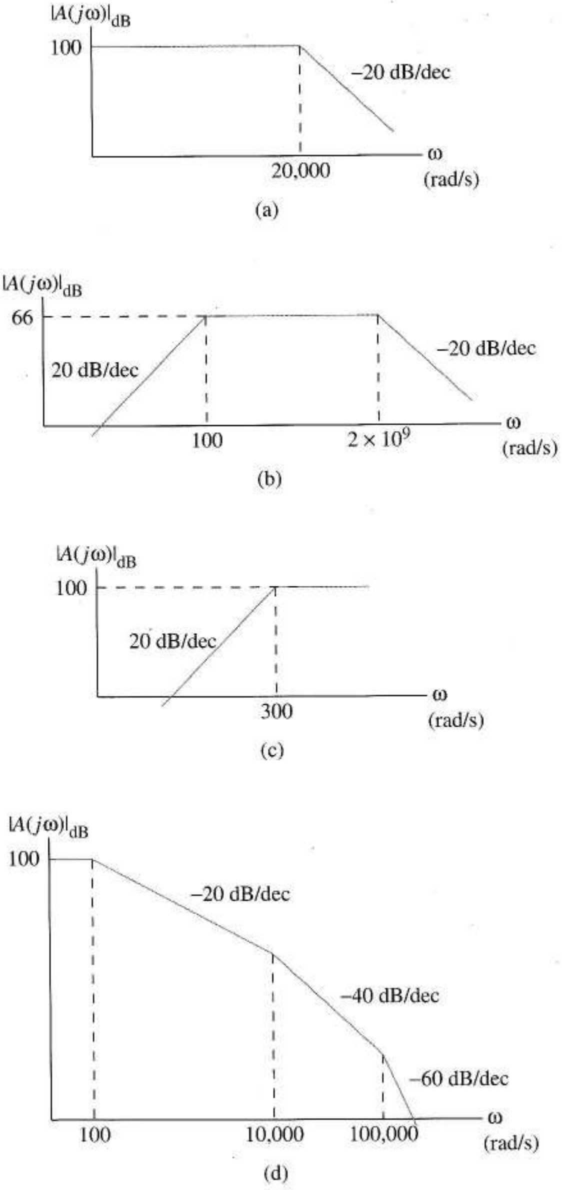


FIGURA P8.3

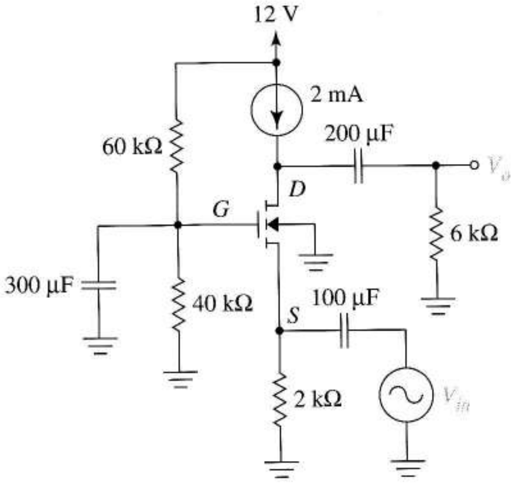


FIGURA P8.7

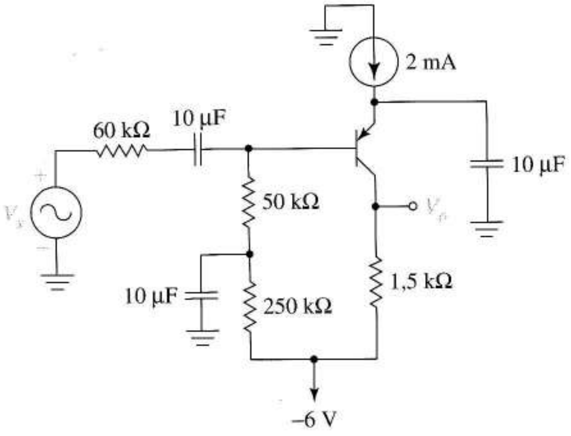


FIGURA P8.8

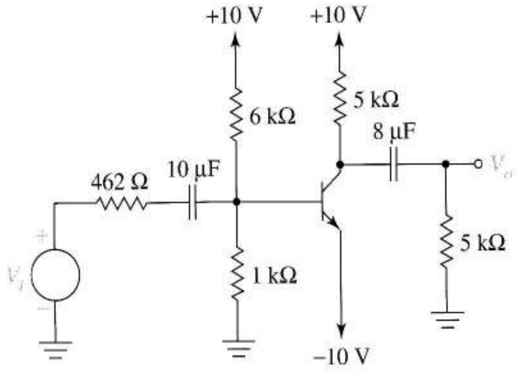


FIGURA P8.9

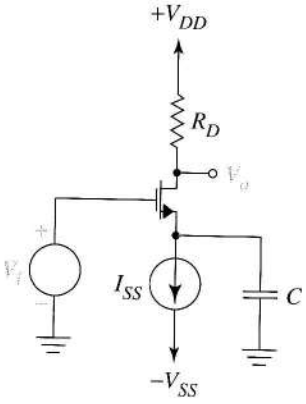


FIGURA P8.10

para la ganancia de corriente de cortocircuito del FET y compare su respuesta con la del bipolar del apartado (a).

8.24 Dibuje el equivalente en alta frecuencia de cada circuito de la Figura P8.24.

8.25 En la Figura P8.25, los parámetros del transistor son $k = 4 \times 10^{-3}$ A/V^2, $V_t = -1$ V, $C_{gs} = 2$ pF y $C_{gd} = 3$ pF.

a) Obtenga la función de ganancia en alta frecuencia $A_v(s) = V_o / V_e$.

b) Represente el diagrama de Bode.

c) Estime el tiempo de subida si V_e es una etapa de entrada en pequeña amplitud.

8.26 Vuelva a resolver el Problema 8.25 después de situar una resistencia de 1 kΩ en serie con el generador y la fuente.

8.27 En la Figura P8.27 los parámetros del transistor son $g_m = 0{,}8 \times 10^{-3}$ A/V, $C_{gs} = 2$ pF y $C_{gd} = 3$ pF.

a) Dibuje el circuito equivalente en alta frecuencia.

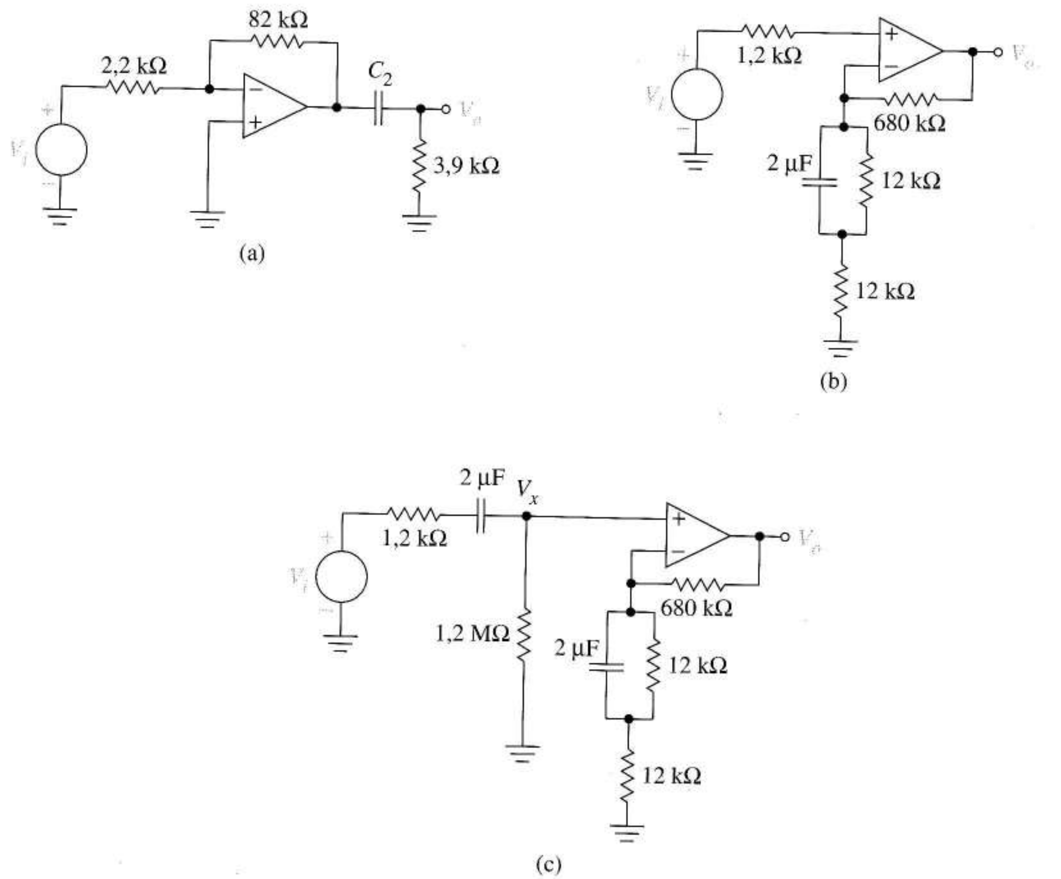


FIGURA P8.11

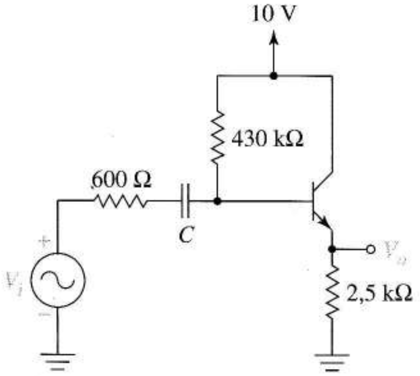


FIGURA P8.12

b) Utilice una transformación de la fuente para mostrar que el circuito tiene dos polos aislados en alta frecuencia.

c) Halle el valor de R_L para que haya un polo en el valor $3{,}33 \times 10^7$ rad/s .

d) ¿El polo del apartado c) es dominante? Justifique su respuesta.

8.28 Halle la ganancia de transresistencia compleja $A_R(s) = V_o/I_e$ para el circuito de la Figura P8.28.

8.29 En la Figura P8.29, los parámetros del transistor son $C_{gs} = 3$ pF, $C_{gd} = 2$ pF y $g_m = 4 \times 10^{-3}$ A/V. La corriente J_i es la señal de entrada.

a) Dibuje el circuito equivalente en alta frecuencia.

Para las señales senoidales, la ganancia de transresistencia, V_o / J_i tiene la forma general

$$\frac{V_o}{J_i} = A_m \frac{\omega_{H1}}{j\omega + \omega_{H1}} \frac{\omega_{H2}}{j\omega + \omega_{H2}}$$

b) A partir del circuito, halle los valores numéricos de ω_{H1}, ω_{H2} y A_m.

c) Estime el tiempo de subida de este amplificador cuando se aplica un pequeño pulso de corriente.

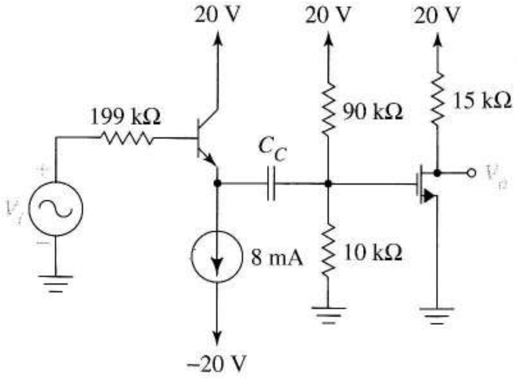


FIGURA P8.13

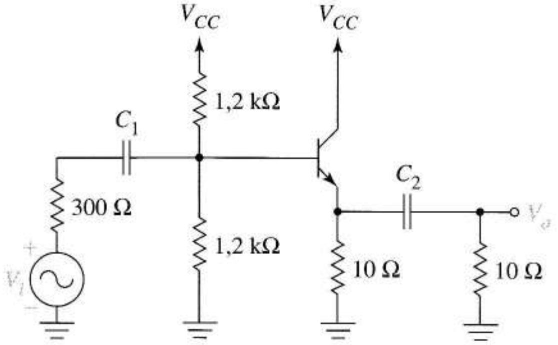


FIGURA P8.14

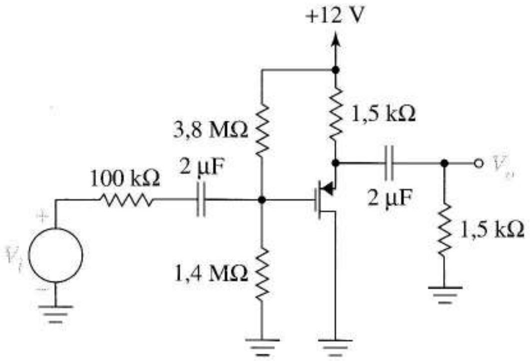


FIGURA P8.15

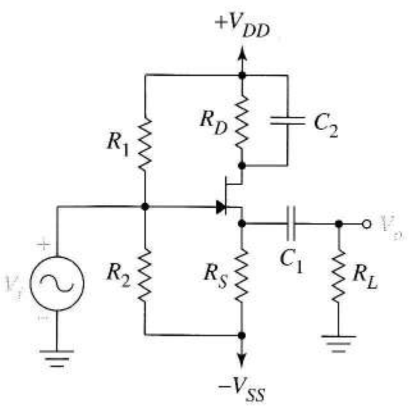


FIGURA P8.16

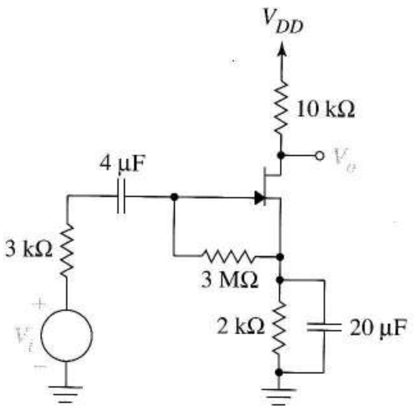


FIGURA P8.17

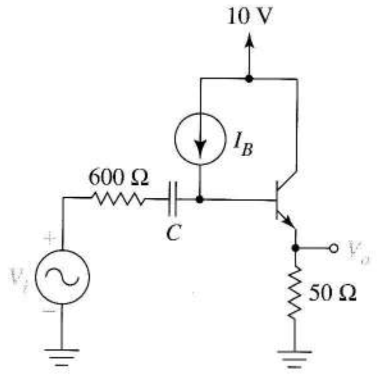


FIGURA P8.19

d) ¿Por qué el apartado (c) especifica que el pulso de corriente debe ser pequeño?

Teorema de Miller

8.30 En la Figura P8.30, C_C y C_B son, respectivamente, condensadores de acoplo y desacoplo; $g_m = 10^{-4}$ A/V, $V_A =$ 50 V, $C_{gd} = 10$ pF y $C_{gs} = 90$ pF.

a) Dibuje el circuito equivalente en alta frecuencia. Muestre los valores de sus componentes.

b) Halle una expresión *numérica* para el ancho de banda en rad/s.

c) La fuente de corriente del diagrama es ideal. ¿Una fuente de corriente, incrementa o decrementa el ancho de banda, en comparación con el ideal? Explíquelo.

8.31 El Ejercicio 8.5 predecía que al reemplazar la resistencia de carga de 50 kΩ de la Figura 8.13a por 1,69 kΩ se incrementaría el ancho de banda del amplificador a 20 MHz (suponiendo que $r_b = 0$). Modifique el código SPICE de la Figura 8.13d y halle el nuevo ancho de banda a partir de los datos de salida de SPICE. Halle también el nuevo valor de la ganancia.

8.32 Todos los circuitos de la Figura P8.32 tienen la forma de la Figura 8.14a. Utilice para cada uno de ellos, la aproximación Miller para dibujar el equivalente Miller, y después, halle la impedancia de entrada Z_i, vista por V_t.

8.33 Halle la función exacta de ganancia $A(s) = V_o/V_e$ de la Figura P8.33 y utilice la aproximación Miller para hallar la función de ganancia de su equivalente Miller. Compare los diagramas de Bode de las dos funciones de ganancia.

8.34 El transistor de la Figura P8.34 tiene $\beta = 110$, $r_b = 50$ Ω, $C_\pi = 50$ pF y $C_\mu = 5$ pF.

a) Dibuje el equivalente en alta frecuencia con los valores de todos los componentes.

b) Estime la frecuencia de corte superior.

c) Estime el tiempo de subida.

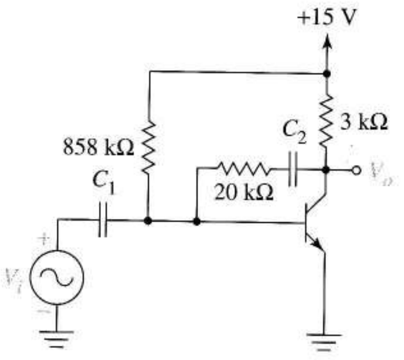


FIGURA P8.18

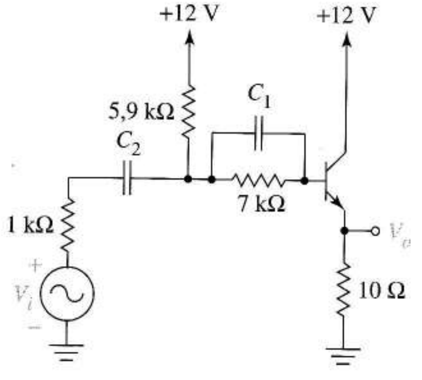
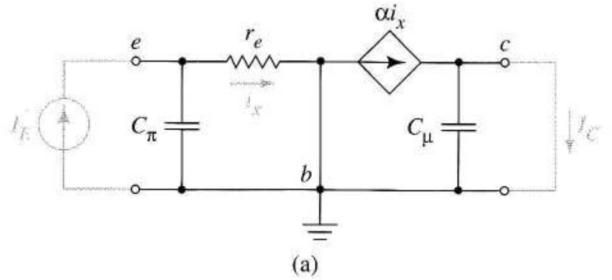
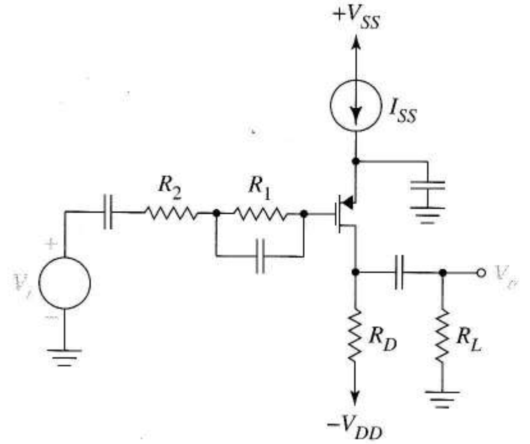


FIGURA P8.20

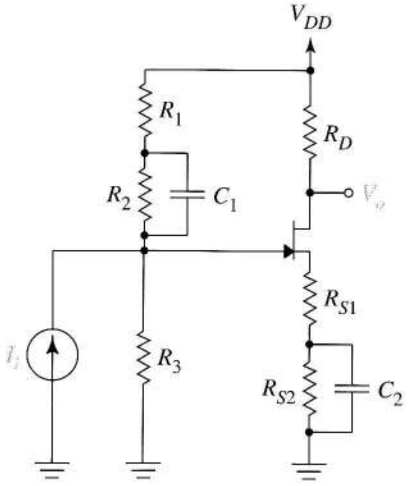


(a)

FIGURA P8.23



(a)



(b)

FIGURA P8.24

8.35 El Ejemplo 8.6 y el Ejercicio 8.6 mostraban cómo cambiaba la respuesta de frecuencia de la Figura 8.15a cuando la resistencia de fuente de 20 k se reduce a 50 Ω. Utilice SPICE para hallar el ancho de banda de ambos valores de resistencia fuente. Comience con la Figura 8.16a.

8.36 La Figura P8.36 es el equivalente en alta frecuencia de un amplificador.

a) Halle el valor de R_L si la frecuencia de corte superior es 5×10^6 rad/s. Suponga que la capacidad Miller domina la respuesta frecuencial.

b) Halle la ganancia a frecuencias medias, V_o / V_e para el valor de R_L que se calculó en el apartado (a).

c) Escriba una expresión para la ganancia de tensión como una función compleja de ω del equivalente Miller. Incluya los valores numéricos conocidos utilizando las respuestas de los apartados a) y b).

8.37 En la Figura P8.37, $g_m = 10 \times 10^{-3}$ A/V, $C_{gs} = 2$ pF y $C_{gd} = 4$ pF.

a) Dibuje el equivalente Miller.

b) El circuito Miller tiene dos frecuencias de corte. Calcule la que dominará con más probabilidad a la respuesta en alta frecuencia.

c) Halle la ganancia a frecuencias medias V_o / V_e.

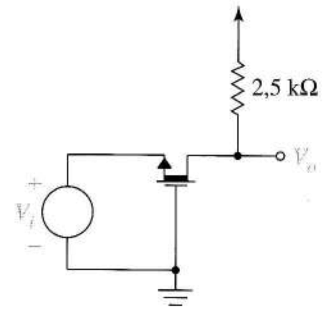


FIGURA P8.25

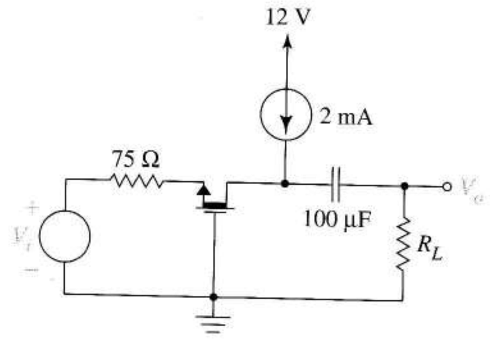


FIGURA P8.27

d) Estime el tiempo de subida de la salida si se aplica un pequeño pulso de tensión a la entrada.

8.38 Calcule la frecuencia del polo dominante en alta frecuencia de la Figura P8.38 si los parámetros son $g_m = 0{,}2 \times 10^{-3}$ A/V, $C_{gs} = 2$ pF y $C_{gd} = 3$ pF.

8.39 Utilice SPICE para hallar las frecuencias de corte superior e inferior y la ganancia a frecuencias medias del amplificador del Ejemplo 8.8.

8.40 Utilice SPICE para representar la magnitud de la impedancia de entrada del amplificador del Ejemplo 8.8 para frecuencias superiores a 10^3 Hz.

Sugerencias Reemplace la fuente de señal externa, su resistencia interna de 50 k y su condensador de acoplo por una fuente de corriente alterna de 1 A. Como no se conocen los parámetros dinámicos SPICE del transistor, utilice la técnica introducida en el Ejemplo 8.5, es decir, incluya condensadores lineales en el modelo estático del transistor.

Constantes de tiempo en circuito abierto

8.41 La Ecuación (8.28) es la función de transferencia del seguidor de fuente de la Figura 8.18.

a) Halle las frecuencias del polo y del cero cuando $R_{TH} = 90$ kΩ, $R_S = 1$ kΩ, $C_{gs} = 2$ pF, $C_{gd} = 3$ pF y $g_m = 0{,}002$ A/V.

b) Haga una representación aproximada mostrando la forma general del diagrama de Bode del apartado a) marcando las frecuencias de corte.

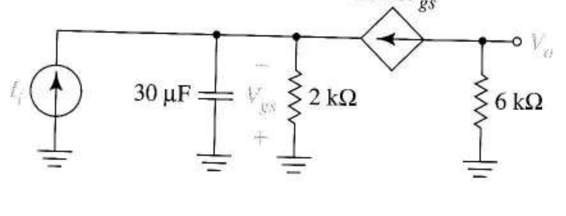


FIGURA P8.28

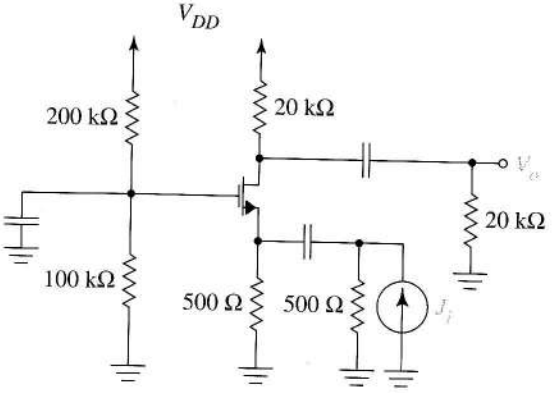


FIGURA P8.29

c) Utilice la respuesta del Ejercicio 8.9 para estimar el ancho de banda usando los valores de los parámetros del apartado (a).

d) Compare los resultados del ancho de banda deducidos entre los apartados (a) y (c).

8.42 Utilice las constantes de tiempo en circuito abierto de la Figura 8.15b para estimar el ancho de banda del amplificador del Ejemplo 8.6. Compare su respuesta con la predicción del efecto Miller, $\omega_H = 2{,}33 \times 10^5$ rad/s.

8.43 Modifique el amplificador de la Figura P8.38 para que sólo cortocircuite 36 kΩ de la resistencia de fuente. Después, utilice las constantes de tiempo en circuito abierto para estimar la frecuencia superior.

8.44 Los transistores de la Figura P8.44 tienen $k = 4 \times 10^{-3}$ A/V^2, $V_t = 1{,}0$ V, $C_{gs} = 2$ pF y $C_{gd} = 4$ pF. Utilice las constantes de tiempo en circuito abierto para estimar el ancho de banda.

8.45 En la Figura P8.45 los dos transistores están polarizados en 2 mA; ambos tienen $\beta = 120$, $C_\pi = 100$ pF y $r_b = 0$. Para Q_1, $C_\mu = 10$ pF; para Q_2, $C_\mu = 5$ pF. Estime el tiempo

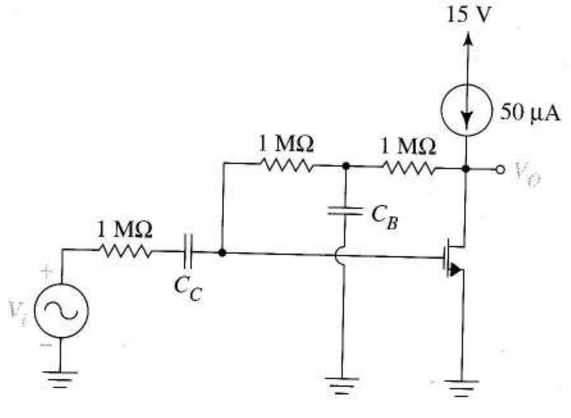


FIGURA P8.30

de subida del amplificador cuando se aplica un pequeño pulso de corriente al nodo de entrada.

8.46 a) Utilice el análisis SPICE en alterna para hallar la ganancia y ancho de banda a frecuencias medias de la Figura P8.46.

b) En dicho código SPICE reemplace todos los condensadores menos uno por una fuente de corriente de cero amperios. En sucesivos análisis SPICE en continua, utilice las fuentes de corriente como generadores de prueba para hallar las resistencias necesarias para desarrollar la Ecuación (8.29).

c) Utilice la Ecuación (8.29) para estimar el ancho de banda. Además, identifique el condensador más importante en su determinación y justifique su respuesta.

d) Escriba la función de ganancia $A(s)$ de un amplificador con un polo que se aproxima a la respuesta frecuencial de la Figura P8.46.

Reducción del ancho de banda

8.47 En la Figura P8.47 el transistor tiene los parámetros estáticos $V_P = -1$ V, $\beta = 4$ mA/V^2 y está polarizado en

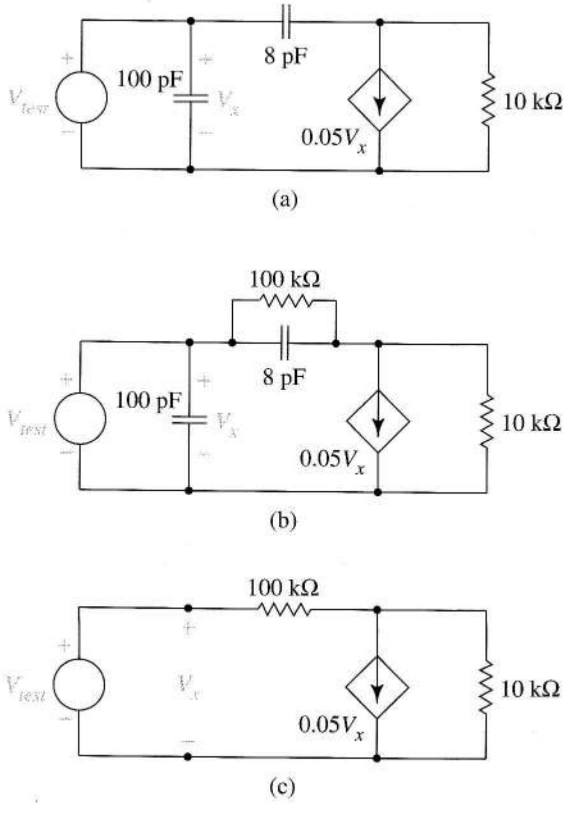


FIGURA P8.32

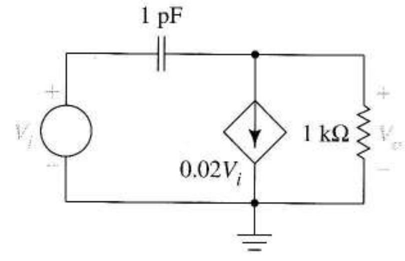


FIGURA P8.33

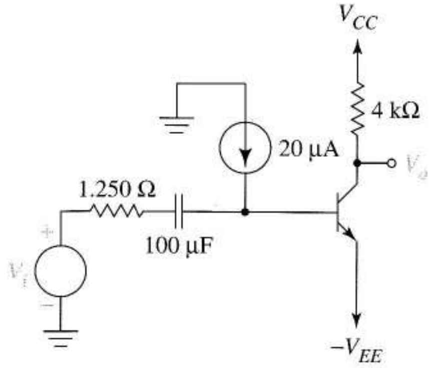


FIGURA P8.34

0,25 mA aproximadamente. Las capacidades son $C_{gs} = 2$ pF y $C_{gd} = 4$ pF. La utilidad del condensador de 10 pF es modificar la respuesta en alta frecuencia.

a) Dibuje el circuito equivalente en alta frecuencia.

b) El circuito de aproximación en alta frecuencia tiene dos frecuencias de corte. Calcule el valor numérico del que domine con mayor probabilidad la respuesta en alta frecuencia.

c) Halle la ganancia a frecuencias medias V_o/V_e.

8.48 En la Figura P8.48, $g_m = 10^{-3}$ A/V^2, $C_{gs} = 3$ pF y $C_{gd} = 4$ pF. Halle el valor de C_X que sitúa la frecuencia superior a potencias medias en 10^5 rad/s.

8.49 En la Figura P8.37:

a) Halle la capacidad que se debe situar entre drenador y masa para reducir la frecuencia de corte superior a 12 kHz. Ignore las capacidades del transistor.

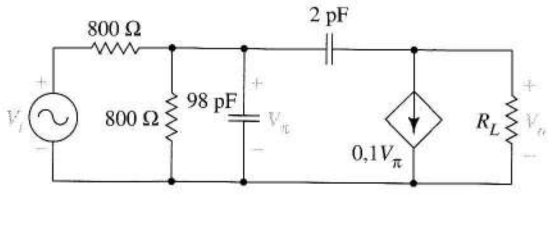


FIGURA P8.36

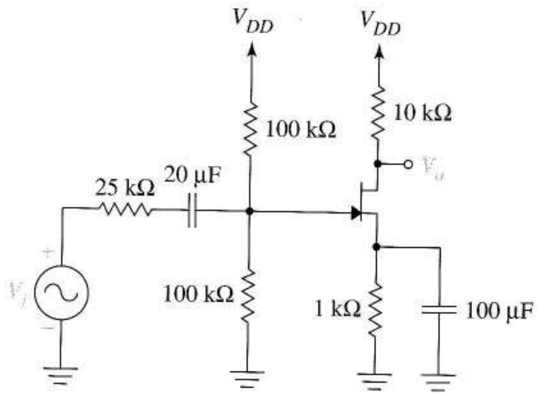


FIGURA P8.37

b) Halle la capacidad que se necesita si el condensador se sitúa entre drenador y puerta.

8.50 El transistor de la Figura P8.50 tiene $\beta = 210$; C_X y C_C determinan el ancho de banda.

a) Diseñe el circuito para que el transistor se polarice en la región activa, la magnitud de la ganancia a frecuencias medias sea al menos 100 y la respuesta frecuencial esté en un margen entre 600 Hz y 20 kHz. Suponga que las capacidades internas son despreciables.

b) Escriba desigualdades que contengan a C_μ y C_π que hagan que la suposición del apartado a) se cumpla.

8.51 El amplificador con carga activa de la Figura 7.56a tiene $I_O = 0{,}6$ mA, $V_{CC} = V_{EE} = 11$ V. Los parámetros del transistor son $V_{AP} = 60$ V, $\beta_P = 50$, $C_{\mu P} = 25$ pF, $C_{\mu P} = 600$ pF, $V_{AN} = 130$ V, $\beta_N = 350$, $C_{\mu N} = 6$ pF y $C_N = 200$ pF, en donde P y N indican transistores pnp y npn respectivamente. Los parámetros en pequeña señal de la fuente de corriente son 217 kΩ y 12 pF respectivamente.

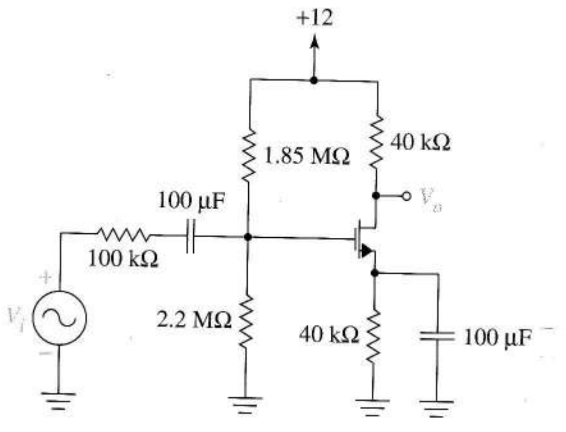


FIGURA P8.38

a) Aplique una tensión de entrada en alterna en modo diferencial puro; después utilice el análisis SPICE en alterna para representar el valor de la respuesta frecuencial y las curvas de fase para la ganancia de tensión.

b) Repita el apartado a) después de introducir un condensador de 60 pF entre la base y el colector de Q_2.

8.52 Reemplace los transistores de la Figura P8.47 con los transistores que tengan los siguientes parámetros SPICE:

BETA $1{,}3 \times 10^{-3}$ A/V^2

VTO –2V

LAMBDA $2{,}3 \times 10^{-3}$

CGD 1,5 pF

CGS 2,5 pF

IS 0,034pA

a) Utilice el análisis en continua para hallar el punto Q. El transistor del Problema 8.47 estaba polarizado en $I_D = 0{,}25$ mA. ¿Cuánto cambia el punto Q al reemplazar el transistor?

b) Utilice SPICE para hallar la respuesta frecuencial.

c) ¿Qué cambio se espera en la respuesta frecuencial si se reemplaza el condensador de 10 pF por otro de 5 pF? Utilice SPICE para comprobar esta suposición.

Sección 8.5

8.53 Halle la ganancia y el ancho de banda a frecuencias medias de la Figura 7.36a cuando la entrada es una señal en modo diferencial v_d y la salida se toma entre los drenadores. Los parámetros son $V_{DD} = 10$ V, $V_{SS} = 8$ V, $I_O = 0{,}5$ mA, $R_D = 10$ kΩ, $k = 4 \times 10^{-3}$ A/V^2, $V_t = 0{,}9$ V, $C_{gs} = 2$ pF, $C_{gd} = 5$ pF.

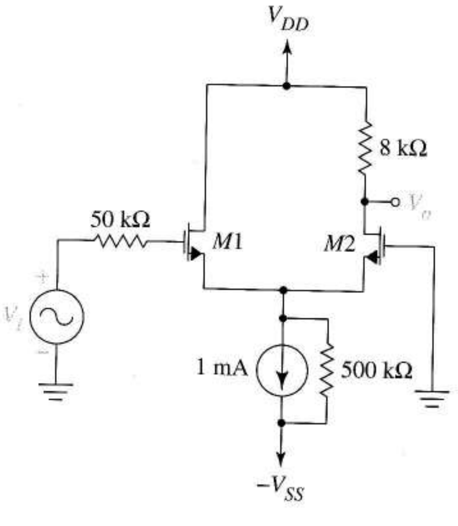


FIGURA P8.44

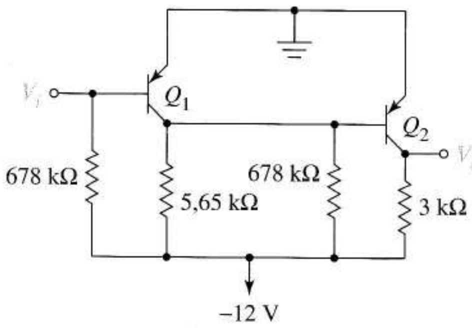


FIGURA P8.45

Sugerencia Utilice el equivalente de medio amplificador en alta frecuencia.

8.54 Utilice el modelo bipolar en alta frecuencia para mostrar que la capacidad de salida de un espejo básico de corriente se aproxima a $2C_\mu$ en baja frecuencia y a $C_\mu 2C_\pi/(C_\mu+2C_\pi)$ en alta frecuencia. Será preciso hacer aproximaciones.

8.55 En la Figura P8.55, $g_m = 4{,}47 \times 10^{-4}$ A/V, $C_{gs} = 3$ pF y $C_{gd} = 2$ pF. Halle la función de ganancia, $A_d(s)$, para una salida diferencial. La fuente de señal está equilibrada y tiene una resistencia $R_i = 600\ \Omega$.

8.56 En la Figura P8.55, $g_m = 4{,}47 \times 10^{-4}$ A/V, $C_{gs} = 3$ pF y $C_{gd} = 2$ pF. Halle la función de ganancia, $A_d(s)$, cuando se sitúa una resistencia de 20 kΩ entre los nodos de salida y se toma como salida la tensión de esta resistencia. La fuente de señal está centrada y tiene la resistencia $R_e = 5$ kΩ.

8.57 En la Figura P8.55, $g_m = 4{,}47 \times 10^{-4}$ A/V, $C_{gs} = 3$ pF y $C_{gd} = 2$ pF. Halle la función de ganancia, $A_{d,s\text{-}e}(s)$, si hay una resistencia de 20 kΩ acoplada capacitivamente entre cada drenador y masa, y la tensión de una de las resistencias se toma como salida. La fuente de señal está centrada y tiene la resistencia $R_i = 5$ kΩ.

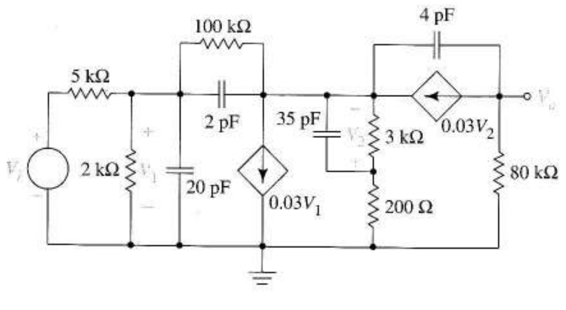


FIGURA P8.46

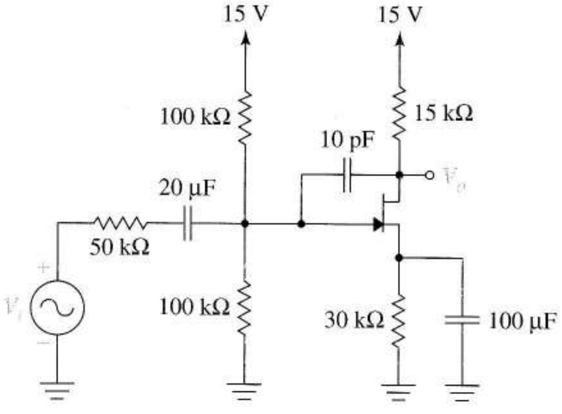


FIGURA P8.47

8.58 Utilice SPICE para hallar la respuesta frecuencial del amplificador descrito en el problema 8.53; sin embargo, para hacer más realista la simulación, incluya $V_A = 105$ V. Represente la ganancia en dB frente a la frecuencia.

Sugerencia En una señal en modo diferencial, utilice una fuente alterna de 0,5 V en una entrada y una VCVS apropiada con transmitancia –1 en la otra.

8.59 En el amplificador de la Figura 7.38a, halle y marque una curva de ganancia en modo común que se parezca a la Figura 8.23d para el amplificador de la Figura 7.38a cuando la entrada es una señal v_c en modo común y la salida es el nodo *y*. Los parámetros son $I_O = 0{,}5$ mA, $R_D = 10$ kΩ, $k = 4 \times 10^{-3}$ A/V^2 y $V_t = 0{,}9$ V. La resistencia de salida y la capacidad de la fuente de corriente son 210 kΩ y 3 pF respectivamente.

Sugerencia Dibuje el medio amplificador equivalente.

8.60 Utilice SPICE para representar la ganancia en modo común del amplificador descrito en el problema 8.59. Para los dos transistores, utilice $V_A = 105$ V y GAMMA = 0,32.

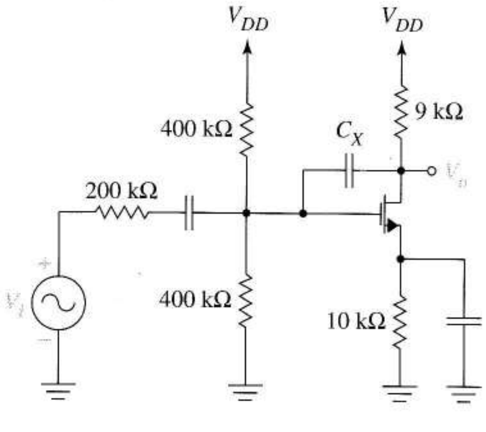


FIGURA P8.48

Añada al modelo estático condensadores externos, con valores $C_{gs} = 2$ pF y $C_{gd} = 4$ pF. $V_{CC} = 10$ V y $V_{SS} = 8$ V.

8.61

a) Dibuje el circuito equivalente en alta frecuencia de la Figura 6.22c con un generador de prueba conectado entre drenador y fuente del transistor de salida. Incluya r_o en los modelos del transistor.

b) Halle una expresión para la admitancia de salida de la fuente de corriente como función de la frecuencia ω en radianes. Utilice suposiciones que simplifiquen las expresiones a manejar.

8.62 La Figura P8.62 es la versión MOSFET de la Figura 8.23c, es decir, un modelo de un medio amplificador en alta frecuencia y modo común de un par acoplado por fuente. Halle V_o/V_C como función de frecuencia la compleja s.

Sugerencia Utilice la transformación de fuente de corriente seguida por la Ecuación de un divisor de tensión. Para tener una notación más compacta, comience dándole a la impedancia paralela RC la notación $Z(s)$.

Sección 8.6

8.63 Una versión MOSFET de la Figura 8.25e tiene transistores con $g_m = 0{,}0025$ A/V, $r_o = 80$ kΩ, $C_{gs} = 3$ pF y $C_{gd} = 7$ pF. La resistencia interna de la fuente es 50 Ω y la resistencia de carga 7,5 kΩ.

a) Dibuje el circuito equivalente en alta frecuencia.

b) Halle la ganancia a frecuencias medias.

c) Halle ω_H.

8.64 En la Figura P8.64, M_1 tiene las capacidades $C_{gs} = 10$ pF y $C_{gd} = 11$ pF, y las de M_2 son $C_{gs} = 20$ pF y $C_{gd} = 21$ pF. Para ambos, $g_m = 0{,}002$ A/V. Los condensadores mostrados explícitamente son condensadores grandes de desacoplo y acoplo.

a) Dibuje el circuito equivalente en alta frecuencia.

b) Halle la ganancia de tensión a frecuencias medias mediante análisis de circuitos.

c) Halle las frecuencias de corte.

8.65 El circuito de la Figura 8.25f tiene transistores idénticos polarizados en 0,5 mA.La fuente de resistencia es de 600 Ω, y la resistencia de carga es de 15 kΩ. Los parámetros son $r_b = 120$ Ω , $r_\pi = 15$ kΩ, $V_A = 180$ V, $C_\pi = 28$ pF y $C_\mu = 4$ pF.

a) Dibuje el circuito equivalente en alta frecuencia.

b) Calcule f_τ para los transistores.

c) Utilice el análisis SPICE para determinar la frecuencia de corte superior del amplificador y compárela con f_τ.

8.66 La Figura P8.66 muestra el esquema en pequeña señal de un amplificador y el equivalente en base común del transistor. Q_1 está polarizado en 0,5 mA y Q_2 en 0,25 mA. Para ambos transistores β = 300, $r_b = 0$, $C_\pi = 10$ pF y $C_\mu = 4$ pF.

a) Dibuje el circuito equivalente en alta frecuencia para Q_2; utilice el modelo en base común con condensadores situados adecuadamente. Muestre el valor numérico de cada componente del diagrama.

b) Calcule la ganancia a freeuencias medias del amplificador.

c) Después de aplicar el teorema de Miller a Q_1, halle las frecuencias de los tres polos.

8.67 a) Utilice el análisis en alterna SPICE para hallar el ancho de banda del amplificador de la Figura 8.27 cuando ambos transistores son del tipo 2N2222 con los siguientes parámetros aproximados:

IS = 0,014 pA BF = 250 V AF = 70 V RB = 10 Ω
VJD = 0,75 VJE = 0,75 CJE = 20 pF CJC = 7 pF
TF = 0,4 ns

Incluya la instrucción .OP para que su fichero de salida contenga los parámetros en pequeña señal, calculados por SPICE.

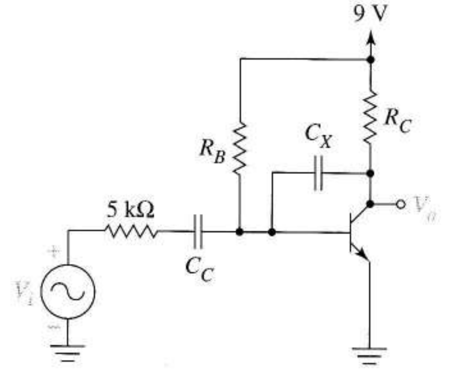


FIGURA P8.50

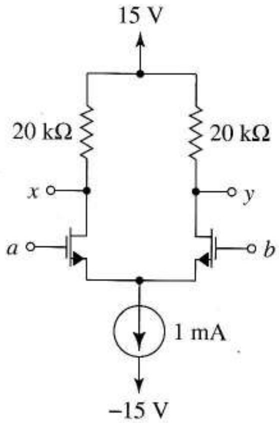


FIGURA P8.55

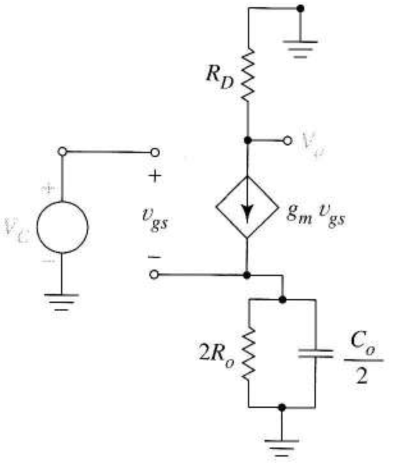


FIGURA P8.62

b) Dibuje un circuito equivalente en alta frecuencia como la Figura 8.27 para este amplificador, utilizando los parámetros en pequeña señal del fichero de salida de SPICE e indicando los parámetros del transistor en el circuito.

c) Repita el apartado a) después de haber dividido por dos ambas corrientes de polarización.

Sección 8.7

8.68 Dibuje el equivalente híbrido en en alta frecuencia, del transistor descrito en la Figura P8.68 y etiquete los parámetros. I_C = 1,5 mA.

8.69 Halle las dos curvas de respuesta frecuencial, como se ha descrito en el Ejemplo 8.17, si se reemplaza el transistor por otro con los siguientes parámetros SPICE:

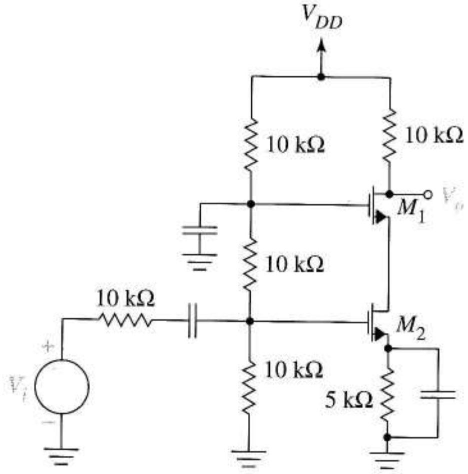


FIGURA P8.64

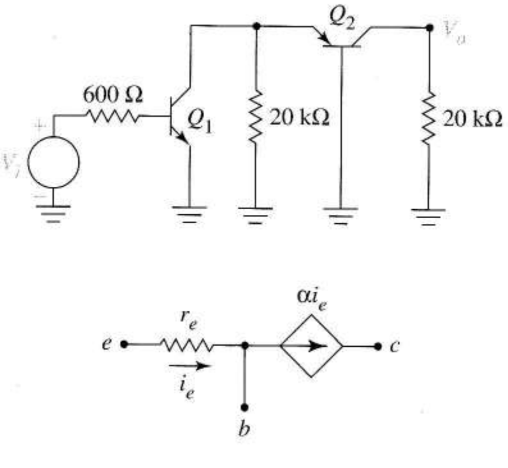


FIGURA P8.66

IS = 0,014 pA BF = 250 V AF = 70 V RB = 10 Ω
VJD = 0,75 VJE = 0,75 CJE = 20 pF CJC = 7 pF
TF = 0,4 ns

Para cada valor de la corriente de polarización indique los siguientes valores: g_m, r_π, r_o, , C_{BE}, C_{BC} y f_τ.

Sugerencia Utilice la instrucción .OP si su instalación SPICE no imprime los valores de forma automática.

8.70 Utilizar las curvas de respuesta frecuencial SPICE como las de la Figura 8.30c para el amplificador de la Figura P8.70.

Para la segunda ejecución de SPICE, cambie la corriente de polarización a 0.05 mA. Los parámetros SPICE son

VTO = 3 KP = 2E–4 CBD = 20FF CBS = 20FF
RD = 1 RS = 1
GAMMA = 0,37 LAMBDA = 0,01 TOX = 0,1U

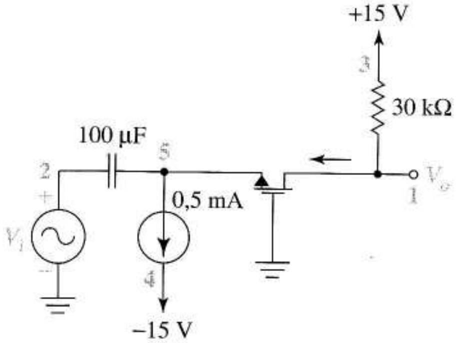


FIGURA P8.70

Añada también los parámetros de anchura y longitud del transistor, $W = 1U$, $L = 1U$, a la línea de código SPICE que describe las conexiones del transistor.

TABLA P8.68

Parámetros	Valores numéricos	Condiciones de medida
h_{fe}	195	$I_C = 1{,}5$ mA, $V_{CE} = 2$ V
h_{ie}	3,325kΩ	$I_C = 1{,}5$ mA, $V_{CE} = 2$ V
h_{oe}	$4{,}15 \times 10^{-5}$ A/V	$I_C = 1{,}5$ mA, $V_{CE} = 2$ V
h_{re}	$6{,}5 \times 10^{-10}$	$I_{CE} = 1{,}5$ mA, $V_{CE} = 2$ V
$C_{CBO} = C\mu$	0,2 pF	$V_{CB} = 2$ V
$C_{EBO} = C_{je}$	0,40 pF	$V_{EB} = 2$ V
f_τ	1,7 GHZ	$I_C = 1$ mA, $V_{CE} = 2$V

Capítulo 9

CIRCUITOS DE REALIMENTACIÓN

La realimentación negativa es una estrategia general de diseño de sistemas según la cual una magnitud proporcional a la salida del sistema se resta a la entrada de referencia usando la diferencia como entrada efectiva. Las ventajas de añadir realimentación negativa a un amplificador son:

1. Reducción de la sensibilidad a variaciones de parámetros.
2. Incremento del ancho de banda.
3. Reducción de la distorsión no lineal.
4. Mejora de las resistencias de entrada y salida.

Una desventaja es la reducción de ganancia, sin embargo es fácil de obtener ganancia con los nuevos circuitos así que éste es un pequeño precio a pagar. Prevemos la reducción de ganancia, empezando con un amplificador no realimentado que tenga exceso de ganancia. La otra desventaja, la posibilidad de oscilaciones no deseadas o inestabilidad, es más seria ya que las oscilaciones inutilizan el circuito como amplificador.

En los libros de texto de sistemas de control se trata la teoría de realimentación general con gran detalle aunque aquí sólo consideramos el amplificador realimentado y sólo aquellos aspectos necesarios para una comprensión básica del tema. Este capítulo supone que el lector tiene un conocimiento de la teoría de cuadripolos a nivel del Apéndice B y se suponen los amplificadores polarizados para el funcionamiento en pequeña señal.

9.1 TEORÍA DE REALIMENTACIÓN NEGATIVA IDEAL

Configuración del amplificador realimentado general La Figura 9.1 muestra la estructura general de un *amplificador realimentado*. El amplificador no realimentado con ganancia A (el circuito A) entrega la señal de salida $x_o = Aw_i$ sobre la carga externa. En lugar de usar la señal w_s como entrada del

amplificador directamente, un circuito de realimentación (circuito β) genera una señal de realimentación $w_f = \beta x_o$ que se resta a la señal w_S para producir la entrada efectiva w_i. *El factor de realimentación* β usado en este capítulo, *no tiene nada que ver con la beta del transistor*. Para evitar confusiones, en este capítulo volvemos a usar β_F para denotar la ganancia en corriente del transistor bipolar.

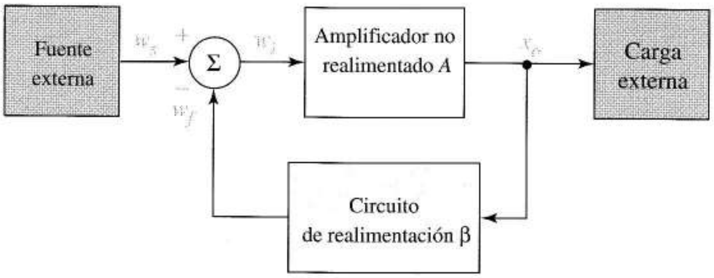


FIGURA 9.1
Estructura de un amplificador realimentado.

La teoría de realimentación se aplica a los cuatro tipos de amplificador de la Figura 1.17 y cada uno supone una diferente interpretación de la Figura 9.1. Para un amplificador de tensión A es la ganancia en tensión, y x_o y w_i son tensiones. La fuente externa debe ser una *fuente de tensión*, w_s (idealmente tiene resistencia de salida cero) y hay una *sustracción de tensión* en la entrada; la señal de realimentación w_f debe ser también una tensión. En este caso el factor de realimentación $\beta = w_f/x_o$ es también una ganancia de tensión.

Para un amplificador de corriente, A indica ganancia de corriente. La entrada viene de una *fuente de corriente*, w_s (idealmente tiene resistencia de salida infinita), y es necesaria una sustracción de corriente en la entrada. Aquí β indica la ganancia de corriente del circuito .

En un amplificador de transconductancia, A es la ganancia de transconductancia con unidades de amperios/voltios. Por tanto la salida x_o es una corriente y la fuente externa w_s es una fuente de tensión; la sustracción es una *sustracción de tensión*. En este caso β tiene dimensiones de voltios/amperios ¡o transresistencia!

Finalmente, el amplificador de transresistencia tiene ganancia de transresistencia con unidades de voltios/amperios. La salida x_o es una tensión, y la fuente externa es una fuente de corriente. En este caso β tiene dimensiones de transconductancia. La notación de la Figura 9.1 nos recuerda que la magnitudes implicadas en la sustracción de la entrada deben tener unidades idénticas, mientras que las unidades de x_o pueden ser o no iguales a las unidades de entrada.

A continuación desarrollamos una *ecuación de realimentación ideal* que permite realizar estimaciones y cálculos simples

$$x_o = Aw_1 = A\left(w_s - w_f\right) = A\left(w_s - \beta x_o\right)$$

Despejando la ganancia del amplificador realimentado, $A_f = x_o/w_s$ da

$$A_f = \frac{x_o}{w_s} = \frac{A}{1 + A\beta} \tag{9.1}$$

que se aplica a las cuatro clases de amplificador.

Reducción de ganancia En frecuencias medias, A y β son magnitudes reales que tienen el mismo signo algebraico. La Ecuación (9.1) muestra cómo se reduce la ganancia con la realimentación nega-

tiva. Por ejemplo, suponga $A = 10^4$ y que la fracción de x_o que se realimenta a la entrada es $\beta = 0{,}01$. Entonces el amplificador realimentado resultante tiene una ganancia de sólo

$$A_f = \frac{10.000}{1+100} = 99$$

Usualmente, como en este ejemplo, $A\beta >> 1$, y la Ecuación (9.1) da la importante aproximación

$$A_f \approx \frac{1}{\beta} \tag{9.2}$$

La práctica común es obtener β a partir de una red de resistencias de coeficiente de temperatura bajo. A veces β se determina mediante un divisor de tensión dando

$$A_f \approx \frac{1}{\beta} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

En la fabricación de circuitos integrados, con las tolerancias de máscaras con las que se trabaja, se controla fácilmente con un error aproximado del 1% y las variaciones de temperatura no la afectan dentro de un margen de temperaturas amplio como vimos el Apartado 3.3.6. Por tanto A_f es bastante constante, incluso aunque A pueda variar mucho con la temperatura u otros factores.

Factor de mejora El denominador de la Ecuación (9.1), $1 + A\beta$, tiene gran importancia en la teoría de realimentación. Este factor por el que se divide la ganancia también es el grado de mejora conseguido al introducir la realimentación. Idealmente, sensibilidad, distorsión, ancho de banda, resistencia de entrada y resistencia de salida mejoran en $1 + A\beta$ cuando añadimos la realimentación; por lo que nos referimos a esta magnitud como *factor de mejora*. Dada la importancia de $1 + A\beta$ examinaremos alguno métodos prácticos para determinar su valor numérico.

En análisis, supongamos que medimos o calculamos la ganancia del amplificador con y sin realimentación; esto es, conocemos A y A_f. A partir de la Ecuación (9.1) podemos calcular el factor de mejora. Si es necesario, también podemos obtener β una vez que $1 + A\beta$ y A son conocidos. Normalmente para diseñar conocemos A y cuánto hay que mejorar el sistema, esto es, conocemos $1 + A\beta$. A partir de estos datos podemos obtener la cantidad de realimentación, β, que necesitamos añadir. A continuación examinamos en detalle la mejora en el funcionamiento de un amplificador mediante realimentación.

9.2 EFECTOS SOBRE LA SENSIBILIDAD, ANCHO DE BANDA Y DISTORSIÓN

Desarrollemos primero una noción intuitiva del funcionamiento de la realimentación. Supongamos que en la Figura 9.1, mientras la entrada w_s se mantiene constante, la salida x_o, por cualquier razón, decrece en amplitud. La señal de realimentación w_f es proporcional a x_o y también decrece, *incrementándose* w_i para compensar, al menos parcialmente, el cambio. Por lo tanto la realimentación se opone a cualquier cambio de x_o causado por cualquier evento no relacionado con w_s. Si la causa es la variación de un parámetro interno p, decimos que la realimentación ha mejorado la sensibilidad.

Si es la pérdida de ganancia a altas o bajas frecuencia debidas a las capacidades del amplificador, decimos que la realimentación ha mejorado la respuesta en frecuencia. Si x_o cambia de manera no proporcional a w_s debido a no linealidades dentro del amplificador, decimos que la realimentación ha reducido la distorsión. Examinemos ahora los detalles para obtener un conocimiento cuantitativo para usarlo en el análisis y el diseño.

9.2.1 EFECTO DE LA REALIMENTACIÓN SOBRE LA SENSIBILIDAD

Si la sensibilidad de la ganancia A al parámetro p es S^A_p, añadiendo realimentación negativa resulta un amplificador de ganancia A_f con menor sensibilidad; concretamente

$$S_p^{A_f} = \frac{1}{1 + A\beta} S_p^A \tag{9.3}$$

Para probar esto sólo necesitamos usar la definición

$$S_p^{A_f} = \frac{p}{A_f}\frac{dA_f}{dp} = \frac{p}{A_f}\frac{d\left[A/(1+A\beta)\right]}{dp}$$

Como los circuitos que diseñamos emplean una realimentación β que es independiente de p, la derivada da

$$S_p^{A_f} = \frac{p}{A_f}\left[\frac{(1+A\beta)(dA/dp) - A\beta(dA/dp)}{(1+A\beta)^2}\right] = \frac{p}{A_f}\left[\frac{1}{(1+A\beta)} - \frac{A\beta}{(1+A\beta)^2}\right]\frac{dA}{dp}$$

Sustituyendo A_f por su valor a partir de la Ecuación (9.1) da

$$S_p^{A_f} = \frac{p(1+A\beta)}{A}\left[\frac{1}{(1+A\beta)} - \frac{A\beta}{(1+A\beta)^2}\right]\frac{dA}{dp} = \frac{p}{A}\left[1 - \frac{A\beta}{(1+A\beta)}\right]\frac{dA}{dp}$$

que es equivalente a la Ecuación (9.3).

Ejercicio 9.1 Un amplificador sin realimentar con $A = 347$ contiene una resistencia crítica R. Mediante medidas de laboratorio determinamos que $S^A_R = 1{,}12$. Después de añadir realimentación negativa para reducir la sensibilidad, obtenemos que la ganancia del amplificador es 24. Obtenga la sensibilidad del amplificador realimentado para cambios de R.

Respuesta 0,077.

Esto es un ejemplo de análisis. El siguiente ejemplo usa la Ecuación (9.3) en un contexto de diseño.

EJEMPLO 9.1 Tenemos un amplificador de ganancia 800. La sensibilidad de la ganancia al cambio de temperatura es 0,1; sin embargo, nuestras especificaciones requieren sensibilidad a la temperatura de 0,001. Investigue la posibilidad de usar realimentación negativa para llevar la sensibilidad a la temperatura dentro de las especificaciones.

Solución Según la Ecuación (9.3) necesitamos un factor de mejora de

$$1 + A\beta = \frac{0{,}1}{0{,}001} = 100$$

Como A=800, debe cumplir

$$1 + 800\beta = 100$$

o $\beta = 0{,}124$. El amplificador realimentado resultante cumple la especificación de sensibilidad a la temperatura; sin embargo su ganancia es sólo 800/100 = 8. ❑

Sensibilidad de amplificadores realimentados en cascada El Ejemplo 9.1 mostraba que podemos mejorar la sensibilidad sacrificando la ganancia. Como a menudo las especificaciones implican ganancia y sensibilidad, es interesante ver si podemos salir adelante usando amplificadores realimentados en cascada de baja sensibilidad y baja ganancia.

Sean n amplificadores realimentados en cascada, cada uno de ganancia A_f. Indicamos la ganancia total es $G = (A_f)^n$ y ahora necesitamos obtener la sensibilidad de G al parámetro p. Por definición

$$S_p^G = \frac{p}{G}\frac{dG}{dp} = \frac{p}{G} n\left(A_f\right)^{n-1}\frac{dA_f}{dp}$$

Sustituyendo $G = (A_f)^n$ da

$$S_p^G = \frac{p}{\left(A_f\right)^n} n\left(A_f\right)^{n-1}\frac{dA_f}{dp} = n\frac{p}{A_f}\frac{dA_f}{dp}$$

Concluimos que

$$S_p^G = nS_p^{A_f}$$

que muestra que la sensibilidad se incrementa sólo en proporción a n cuando encadenamos las etapas, mientras que G varía como una potencia de n. Esto sugiere que debemos ser capaces de salir adelante utilizando la realimentación. La Tabla 9.1 ilustra este punto usando los valores del Ejemplo 9.1. Encadenar amplificadores realimentados es obviamente una estrategia efectiva, que recuerda la mejora del ancho de banda encadenando etapas idénticas del Ejemplo 2.8.

TABLA 9.1 Ganancia y sensibilidad de amplificadores en cascada realimentados

n	G	S^G_p
1	8	0,001
2	64	0,002
3	512	0,003
4	4.096	0,004

9.2.2 EFECTO DE LA REALIMENTACIÓN SOBRE EL ANCHO DE BANDA

Frecuencia de corte superior Considere el uso de la realimentación para incrementar el ancho de banda de un amplificador descrito por

$$A = A(\omega) = A_{med}\frac{\omega_H}{j\omega + \omega_H} \tag{9.4}$$

Sustituyendo esta expresión en la Ecuación (9.1) da

$$A_f = \frac{A_{med}\left[\omega_H / \left(j\omega + \omega_H\right)\right]}{1 + A_{med}\left[\omega_H / \left(j\omega + \omega_H\right)\right]\beta}$$

$$= A_{med}\frac{\omega_H}{j\omega + \omega_H + A_{med}\omega_H\beta}$$

$$= A_{med}\frac{\omega_H}{j\omega + \omega_H\left(1 + A_{med}\beta\right)}\left(\frac{1 + A_{med}\beta}{1 + A_{med}\beta}\right)$$

o

$$A_f = A_{med,f}\frac{\omega_{H,f}}{j\omega + \omega_{H,f}} \tag{9.5}$$

donde

$$A_{med,f} = \frac{A_{med}}{1 + A_{med}\beta} \quad \text{y} \quad \omega_{Hf} = \omega_H\left(1 + A_{med}\beta\right)$$

Al comparar las Ecuaciones (9.5) y (9.4) se ve que la función ganancia del amplificador realimentado tiene la misma forma general que sin realimentar; sin embargo su frecuencia de corte superior es mayor, se multiplica por $1 + A_{med}\beta$, y su ganancia a frecuencias medias se divide por el mismo factor. La Figura 9.2 compara las dos curvas de respuesta en frecuencia. Observe los productos ganancia-ancho de banda inicial y final, $(A_{med})\ \omega_H$ y $(A_{med,f})\ \omega_{H,f}$. Como ω_H y $\omega_{H,f}$ son los anchos de banda antes y después de añadir la realimentación respectivamente, vemos que el producto de ganancia-ancho de banda se mantiene constante cuando añadimos la realimentación. Concluimos que para un amplificador de un polo descrito por la Ecuación (9.4), la realimentación negativa renuncia a la ganancia a cambio del ancho de banda en la misma proporción, como en la Figura 9.2a. Los amplificadores con funciones de ganancia más complejas no dan un intercambio exacto; sin embargo, esperamos tener un polo dominante a alta frecuencia para aproximar el compromiso entre ganancia y ancho de banda.

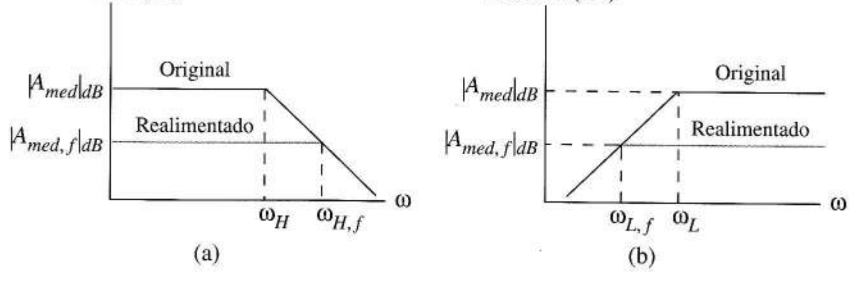


FIGURA 9.2 Usando realimentación negativa para mejorar el ancho de banda: (a) respuesta a alta frecuencia; (b) respuesta a baja frecuencia.

Frecuencia de corte inferior A continuación consideramos el efecto de la realimentación en la respuesta a bajas frecuencias. Sea un amplificador no realimentado descrito por

$$A = A(\omega) = A_{med}\frac{j\omega}{j\omega + \omega_L} \tag{9.6}$$

Sustituyendo en la Ecuación (9.1) da

$$A_f = \frac{A_{med}\left[j\omega / \left(j\omega + \omega_L\right)\right]}{1 + A_{med}\left[j\omega / \left(j\omega + \omega_L\right)\right]\beta}$$

Con similares operaciones a las del caso de alta frecuencia se llega a

$$A_f = A_{med,f}\frac{j\omega}{j\omega + \omega_{L,f}} \tag{9.7}$$

donde

$$\omega_{L,f} = \frac{\omega_L}{1 + A_{med}\beta} \quad \text{y} \quad A_{med,f} = \frac{A_{med}}{1 + A_{med}\beta}$$

A partir de las Ecuaciones (9.6) y (9.7) concluimos que la realimentación divide la frecuencia de corte inferior y la ganancia a frecuencias medias por $1 + A_{med}\beta$; la Figura 9.2b muestra cómo cambia el diagrama de Bode. Una consecuencia práctica es que, en un amplificador realimentado, los condensadores de acoplo y desacoplo pueden ser menores para la misma frecuencia de corte inferior. Las funciones de ganancia a baja frecuencia más complicadas que la Ecuación (9.6) no cambian exactamente de esta forma; sin embargo, si hay un polo dominante a bajas frecuencias, es razonable estimar que ω_L se divide por $1 + A_{med}\beta$. Los amplificadores de banda ancha aproximados por la Ecuación (9.6) a bajas frecuencias y por la Ecuación (9.4) a altas frecuencias tienen su banda de paso extendida a cada lado $1 + A_{med}\beta$ veces.

Ejercicio 9.2 Necesitamos un amplificador con un tiempo de subida de 300 ns. El amplificador que tenemos tiene un tiempo de subida de 3 μs y ganancia de 40. Obtener la ganancia resultante y β si se corrige el tiempo de subida con realimentación negativa.

Respuesta 4, 0,225.

EJEMPLO 9.2 Necesitamos un amplificador que cumpla las siguientes especificaciones: ganancia ≥80, $f_L \leq 50$ Hz, $f_H \geq 15$ kHz, y sensibilidad a los cambios de alimentación ≤0,2. Tenemos un amplificador de ganancia = 1.000, f_L = 400 Hz y f_H = 9 kHz, y su sensibilidad a los cambios de la tensión de alimentación es 1,5. Determinar si se pueden cumplir las especificaciones añadiendo realimentación al amplificador existente. Si lo es, obtenga un valor aceptable de β y de las especificaciones finales para el amplificador realimentado.

Solución Supongamos que la respuesta en frecuencia se caracteriza por tener dos polos dominates. Considerando cada especificación individualmente se obtienen los siguientes requisitos:

$$\text{ganancia: } \frac{1.000}{1 + 1.000\beta} \geq 80$$

$$\text{baja - 3 dB frecuencia: } \frac{400}{1 + 1.000\beta} \leq 50 \text{ Hz}$$

$$\text{alta - 3 dB frecuencia: } 9.000(1 + 1.000\beta) \geq 15.000 \text{ Hz}$$

$$\text{sensibilidad: } \frac{1{,}5}{1 + 1.000\beta} \leq 0{,}2$$

Nos llevan, respectivamente, a $1 + 10^3\beta \le 12{,}5$, $1 + 10^3\beta \ge 8$, $1 + 10^3\beta \ge 1{,}67$, $1 + 10^3\beta \ge 7{,}5$. Resolviendo estas inecuaciones se obtiene que cualquier β que satisfaga $8 \le 1 + 10^3\beta \le 12{,}5$ es aceptable. Para dejar un margen de error, elegimos $1 + 10^3\beta = 10$, que requiere $\beta = 0{,}009$. El amplificador final tendrá ganancia = 100, $f_L = 40$ Hz, $f_H = 90$ kHz y sensibilidad a la alimentación de 0,15, todos dentro de las especificaciones. ❑

9.2.3 EFECTO DE LA REALIMENTACIÓN SOBRE LA DISTORSIÓN NO LINEAL Y EL RUIDO

La distorsión no lineal no es problema en los amplificadores de pequeña señal que hemos estudiado; sin embargo, en amplificadores de potencia, las señales de salida deben ser lo bastante grandes para desarrollar una cantidad especificada de potencia de señal en la carga. A menudo esto requiere una señal suficiente como para barrer una porción significativa de la característica de transferencia no lineal del amplificador. Cuando esto ocurre, la señal de salida es la señal de entrada amplificada más una suma de componentes distorsión armónicas que se producen dentro del amplificador. Milagrosamente, se puede usar la realimentación negativa para realimentar estas componentes de distorsión a la entrada, de forma que *se resten a ellas mismas*. La realimentación también provoca que parte de la señal se reste a ella misma; sin embargo, ésta es la reducción de ganancia que esperamos de la realimentación negativa, y podemos compensarla añadiendo un preamplificador. Pero la realimentación negativa divide la distorsión generada internamente por $1 + A\beta$. El siguiente desarrollo cuasi-numérico muestra exactamente cómo opera.

La Figura 9.3a indica que las grandes oscilaciones de señal generan distorsión. Para concretar supongamos que cuando se aplica la señal de entrada $w_i = 0{,}001 \cos \omega t$, la salida es la serie de Fourier

$$x_o(t) = 10 \cos \omega t + d(t)$$

donde la distorsión $d(t)$ consta de los términos armónicos de Fourier y justifica la apariencia distorsionada de la salida. La Figura 9.3b es un modelo linealizado de este amplificador no lineal.

Supongamos que las especificaciones de diseño requieren una señal de salida de $10 \cos \omega t$ para la $w_i(t)$ dada, pero también requieren que la distorsión sea mucho menor que $d(t)$. En este tipo de problema podemos añadir realimentación negativa como en la Figura 9.3c para eliminar la distorsión. Para la Figura 9.3c

$$x_o(t) = d(t) + A\left[w_s(t) - \beta x_o(t)\right]$$

o

$$x_o(t) = \frac{d(t)}{1 + A\beta} + \frac{A}{1 + A\beta} w_s(t)$$

Usando $\beta = 0{,}01$, por ejemplo, da

$$x_o(t) = 0{,}0099 d(t) + 99 w_s(t) \tag{9.8}$$

mostrando que la distorsión se reduce a un 1% de su valor anterior. Observemos, sin embargo, que la nueva entrada $w_s(t)$ se multiplica sólo por 0,99 en la Ecuación (9.8), en lugar del original 10^4. Como las especificaciones requieren $10 \cos \omega t$ en la salida, a partir de la Ecuación (9.8) se obtiene que la entrada al amplificador realimentado debe cumplir

$$99 w_s(t) = 10 \cos \omega t$$

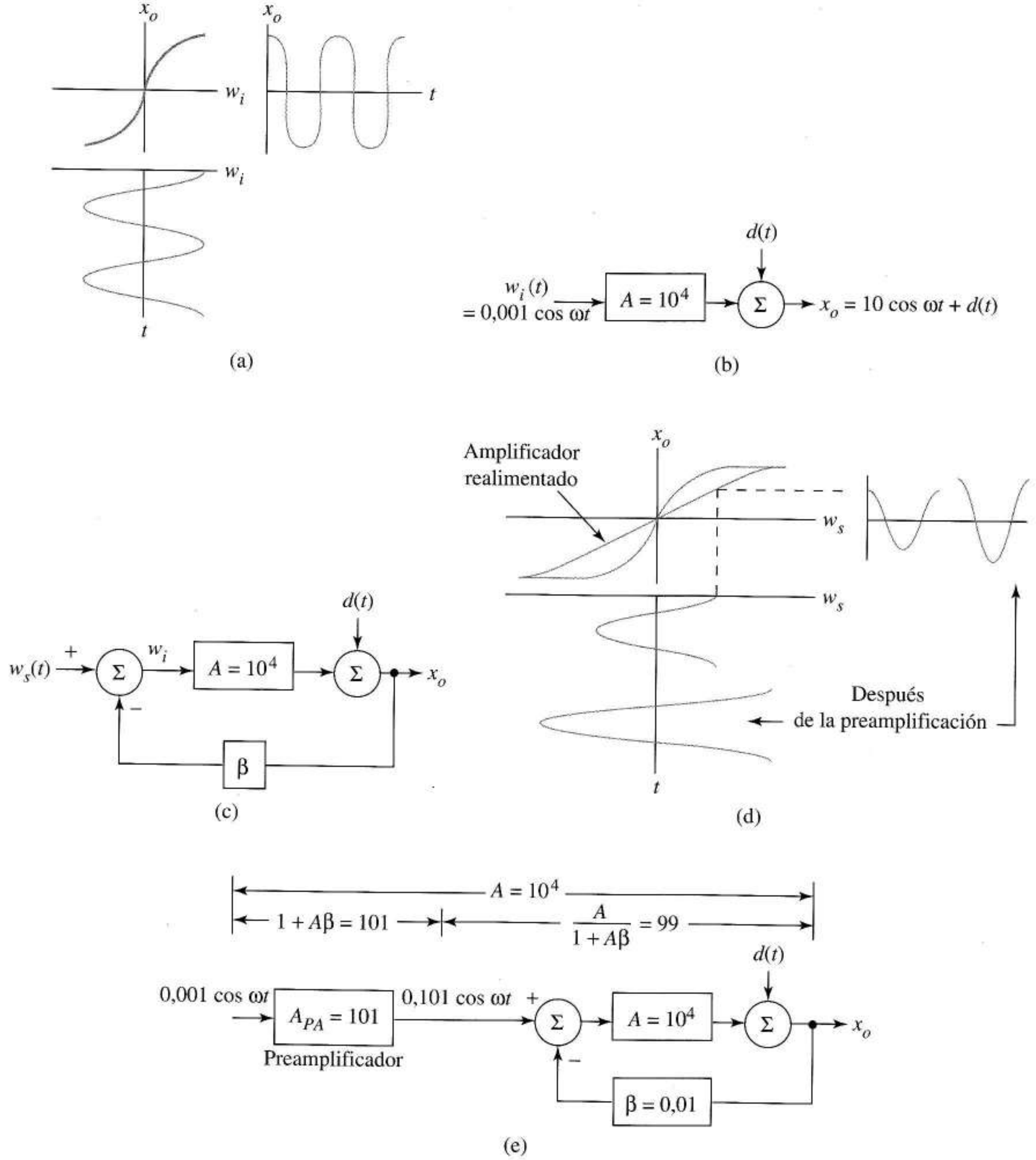


FIGURA 9.3 Reducción de la distorsión no lineal con realimentación negativa: (a) origen de la distorsión armónica; (b) modelo lineal de un amplificador no lineal; (c) cancelación de armónicos con la realimentación; (d) curvas de transferencia de amplificadores no realimentados y realimentados; (e) amplificador realimentado y preamplificador con niveles de señal.

o $w_s(t) = 0{,}101 \cos \omega t$, mostrando que el amplificador realimentado necesita una tensión de entrada mayor que el amplificador no realimentado para la misma salida. Observando la Figura 9.3d la razón es evidente. La característica de transferencia del amplificador, x_o en función de w_s, es mucho más lineal que la curva original, pero tiene menor pendiente. Como sólo se dispone de $0{,}001 \cos \omega t$ para nuestra señal de entrada, debemos añadir un preamplificador de ganancia A_{PA} a la entrada que cumpla

$$0{,}001 A_{PA} = 0{,}101$$

o $A_{PA} = 101$. Proyectando la curva más lineal del amplificador realimentado la Figura 9.3d muestra cómo esta mayor señal de entrada produce la amplitud de salida necesaria.

La Figura 9.3 resume el diseño, tanto la notación general como los valores numéricos usados en los diseños. Para que esta estrategia tenga éxito debemos construir un preamplificador que no produzca distorsión. El dato clave es que la amplitud de la señal necesaria a la salida del preamplificador es mucho menor que la tensión de salida del amplificador especificada. Es mucho más fácil producir una tensión de salida libre de distorsión de 0,101 V que de 10 V.

Si $d(t)$ representa el ruido generado dentro del amplificador no realimentado, la realimentación negativa reduce el ruido de salida igual que reduce la distorsión; sin embargo, puede demostrarse que añadir realimentación negativa no mejora la *relación señal-ruido* de la entrada de un amplificador. Como normalmente esta relación es el factor crítico, añadir realimentación negativa generalmente no es una estrategia de reducción de ruido efectiva.

9.3 CLASES DE AMPLIFICADORES REALIMENTADOS

Los amplificadores realimentados se dividen en cuatro subclases: tensión en serie, tensión en paralelo, corriente en serie y corriente en paralelo. Todos tienen el incremento de ancho de banda, reducción de la sensibilidad y menor distorsión que caracterizan los circuitos de realimentación negativa; difieren en cómo afecta la realimentación a las resistencias de entrada y salida. Podemos asociar las cuatro clases de realimentación con los cuatro amplificadores ideales, una comparación lógica que nos ayuda a recordar las diferencias entre las clases de realimentación. Para ser precisos, llamamos amplificador no realimentado al *circuito A* de la Figura 9.1 y circuito de realimentación al *circuito* β. El resto del capítulo utiliza los convenios de la teoría de cuadripolos, un tema descrito de forma breve en el Apéndice B.

9.3.1 AMPLIFICADORES IDEALES Y CONFIGURACIONES DE REALIMENTACIÓN

Nuestro objetivo al diseñar un amplificador es una de estas cuatro posibilidades: amplificador de tensión, corriente, transresistencia o transconductancia, idealizados como una de las fuentes dependientes de las Figuras 9.4a-d. Añadimos realimentación negativa a un amplificador no realimentado existente que se parezca lo más posible a nuestro objetivo de diseño. Podemos modelar nuestro amplificador no realimentado original de cualquiera de las formas equivalentes de la Figura 9.4e-h. Los amplificadores existentes difieren de nuestros objetivos de diseño idealizados por la presencia de resistencia parásitas de entrada y salida. Utilizamos la realimentación para modificar estas resistencias de entrada y salida; por supuesto, debemos sacrificar la ganancia.

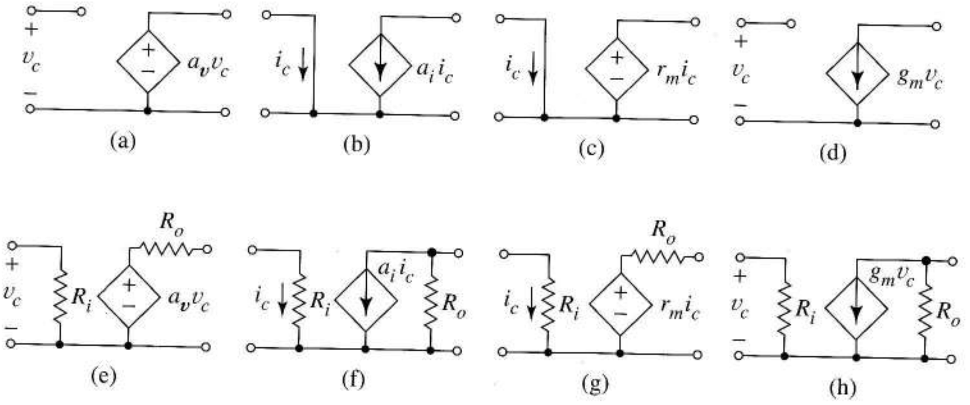


FIGURA 9.4 Objetivos de diseño idealizados y representaciones del circuito A: (a) y (e) amplificador de tensión; (b) y (f) amplificador de corriente; (c) y (g) amplificador de transresistencia; (d) y (h) amplificador de transconductancia.

Si el objetivo es un amplificador de tensión como el de la Figura 9.4a, representamos el circuito A como en la Figura 9.4e. Para hacer el amplificador dado lo más parecido al ideal, la realimentación negativa debe disminuir la resistencia de salida e incrementar la resistencia de entrada. Para este objetivo de diseño, la ganancia A de la Figura 9.1 es la *ganancia de tensión* a_v.

Para diseñar un amplificador de corriente el circuito A es el de la Figura 9.4f y el objetivo el de la Figura 9.4b. Aquí la realimentación debe incrementar la resistencia de salida y disminuir la resistencia de entrada. En la notación de realimentación ideal $A = a_i$, *ganancia de corriente*.

Para un amplificador de transresistencia, la realimentación hace que el amplificador original, Figura 9.4g, se aproxime mucho a la Figura 9.4c, mediante la disminución de las resistencias de entrada y salida. La ganancia A es la *ganancia de transresistencia* r_m.

Finalmente, para un amplificador de transconductancia, deben incrementarse las resistencias de entrada y salida para una mejor aproximación al objetivo del diseño que es la Figura 9.4d. Aquí $A = g_m$, la *ganancia de transconductancia*.

Como las resistencias de las fuentes de señal y las cargas oscurecen los principales conceptos de realimentación, vamos a posponer el trato con estas resistencias hasta que los principios generales estén bien establecidos. Por lo tanto asociaremos, de momento, a cada amplificador ideal una *fuente ideal* y una *carga ideal*, ésta última un cortocircuito o un circuito abierto.

Fuentes de señal y cargas ideales Los amplificadores ideales con las entradas en circuito abierto, Figuras 9.4a y d, deben ser gobernadas por fuentes de tensión, ya que una fuente de corriente en la entrada incumpliría la ley de las corrientes de Kirchhoff.

Las cargas en circuito abierto tienen sentido para los amplificadores ideales con salidas de tensión, Figuras 9.4a y c, ya que un cortocircuito incumpliría la ley de las tensiones de Kirchhoff. Por otro lado, los amplificadores con salidas de corriente, Figuras 9.4b y d, usan cortocircuitos como cargas ideales para evitar violaciones de la ley de las corrientes de Kirchhoff.

Antes de añadir la realimentación debemos hacer dos elecciones: para mejorar la resistencia de salida debemos elegir entre realimentación de tensión o de corriente; para mejorar la resistencia de entrada debemos elegir entre realimentación en serie o paralelo. Cuando definimos estas *clases* de realimentación visualizamos los circuitos A y como cuadripolos.

Realimentación de tensión Para los amplificadores de tensión y transresistencia necesitamos reducir la resistencia de salida para que las salidas de los amplificadores se parezcan a fuentes de *tensión*. Esto lo hace la *realimentación de tensión*, que emplea la estructura de la Figura 9.5a. La red de realimentación mide la tensión de salida del circuito *A* y esta información se realimenta a la entrada. La *realimentación de tensión* se opone a cualquier variación de la señal de entrada que intente cambiar la tensión de salida; por lo tanto, la realimentación de *tensión* hace que la salida represente más fielmente una fuente de tensión mediante la reducción de la resistencia de salida. El circuito β de la Figura 9.5a tiene un circuito abierto a su entrada (lado derecho), por lo tanto, es una carga ideal para un circuito de baja resistencia de salida.

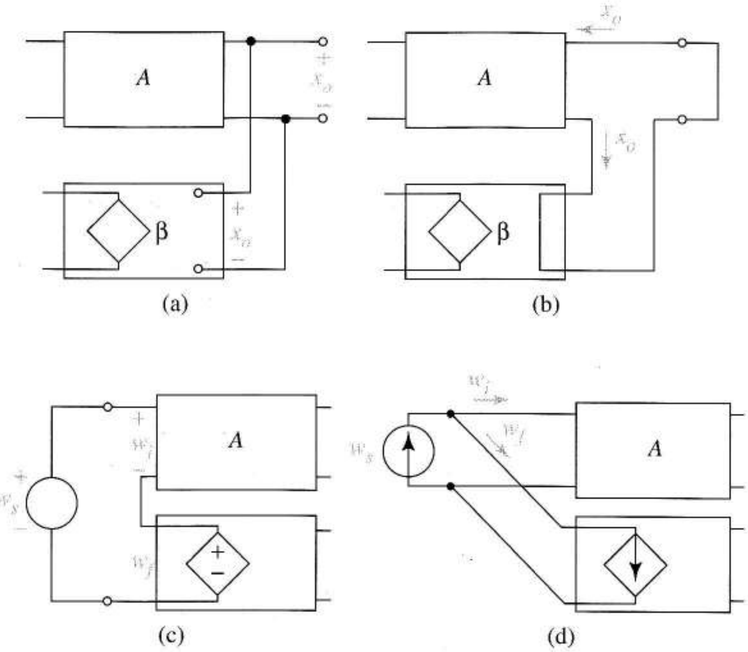


FIGURA 9.5 Estructuras de realimentación negativa: (a) tensión de realimentación; (b) realimentación de corriente; (c) realimentación en serie; (d) realimentación en paralelo.

Realimentación de corriente La realimentación de corriente tiene la estructura de la Figura 9.5b, en la que la señal de realimentación se crea midiendo la *corriente* de salida del amplificador. La *realimentación de corriente siempre se opone a los cambios de corriente*, haciendo que la salida se parezca a una *fuente de corriente* constante (incrementa la resistencia de salida). Por lo tanto, la realimentación de corriente es apropiada para amplificadores de corriente y transconductancia. La configuración de la realimentación de corriente debe presentar una carga en cortocircuito apropiada para el circuito *A*.

Una vez se selecciona la realimentación de tensión o corriente, otra elección determina cómo se lleva a cabo la sustracción en la entrada.

Realimentación en serie Para la *realimentación en serie* conectamos los puertos de entrada de los circuitos *A* y β en *serie*, como en la Figura 9.5c, y usamos la ley de las tensiones de Kirchhoff para efectuar la sustracción de tensiones, $w_i = w_s - w_f$. La realimentación en serie siempre incrementa la resistencia de entrada (conectar resistencias en serie incrementa la resistencia equivalente). Como la realimentación en serie hace que la resistencia de entrada se aproxime a los circuitos abiertos de las Figuras 9.4a y d, la Figura 9.5c usa fuente de tensión, w_s, para la entrada.

Realimentación en paralelo Para la *realimentación en paralelo* usamos la conexión en *paralelo* de los puertos de entrada de A y β, como en la Figura 9.5d, y la ley de las corrientes de Kirchhoff produce una sustracción de corriente, $w_i = w_s - w_f$. La realimentación en paralelo disminuye la resistencia de entrada (conectar resistencias en paralelo disminuye la resistencia equivalente). La Figura 9.5d muestra una fuente de corriente, w_s, como entrada, una elección apropiada para una conexión que hace que la entrada se parezca a un cortocircuito.

Como conclusión, para hacer que un amplificador dado se parezca al ideal seleccionado, aplicamos realimentación de tensión o corriente para disminuir o aumentar, respectivamente, la resistencia de salida y luego, independientemente de esta elección, usamos la realimentación en serie o paralelo para aumentar o disminuir, respectivamente, la resistencia de entrada. A continuación estudiamos, de forma idealizada, las cuatro topologías de realimentación que resultan de estas elecciones.

9.3.2 EFECTOS DE LA REALIMENTACIÓN IDEAL SOBRE R_i Y R_O.

La Figura 9.6 muestra las cuatro estrategias de realimentación aplicadas a amplificadores. Examinamos la realimentación de tensión en serie de la Figura 9.6a y la realimentación de corriente en paralelo de la Figura 9.6b en detalle, desarrollando expresiones para las resistencias de entrada y salida del amplificador realimentado en cada caso. Como estos dos casos comprenden la realimentación de tensión y corriente así como la realimentación en serie y en paralelo, incluyen todos los principios. Dejamos los casos restantes para el lector.

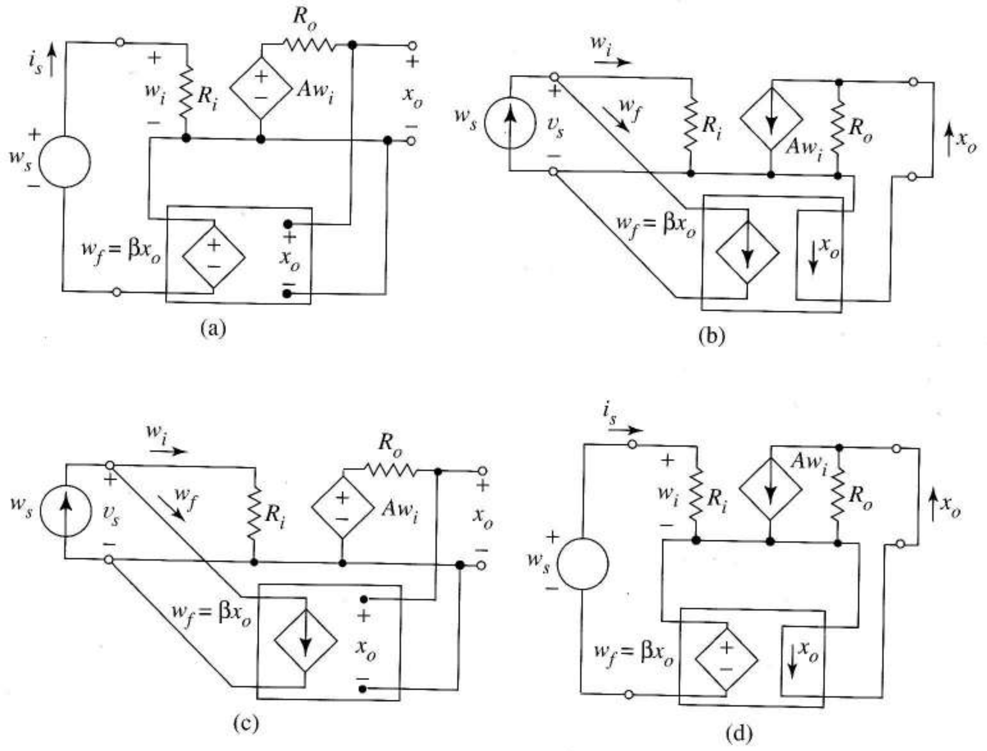


FIGURA 9.6 Estrategias de realimentación para objetivos de diseño diferentes: (a) realimentación de tensión en serie para un amplificador de tensión; (b) realimentación de corriente en paralelo para un amplificador de corriente; (c) realimentación de tensión en paralelo para un ampplificador de transresistencia; (d) realimentación de corriente en serie para un amplificador de transconductancia.

Realimentación de tensión en serie La Figura 9.6a emplea realimentación de tensión para reducir la resistencia de salida y realimentación en serie para incrementar la resistencia de entrada. Primero obtenemos la resistencia de entrada vista por la fuente de tensión w_s. Usando w_s como un generador de prueba, la ley de las tensiones de Kirchhoff da

$$w_s = i_s R_i + \beta\left[A(i_s R_i)\right]$$

Dividiendo ambos lados por i_s da la resistencia de entrada

$$R_{if} = R_i(1 + A\beta) \tag{9.9}$$

(Un análisis similar proporciona este mismo resultado para la Figura 9.6d.) Por lo tanto, la realimentación en serie ideal multiplica la resistencia del amplificador no realimentado R_i por $1 + A\beta$.

Para obtener el cambio en la resistencia de salida con la realimentación de tensión, cortocircuitamos w_s en la Figura 9.6a y ponemos un generador de prueba en los terminales de salida como en la Figura 9.7a. La ley de las tensiones de Kirchhoff da

$$v_{test} = R_o i_{test} + A(-\beta v_{test}) \tag{9.10}$$

Resolviendo para $R_{of} = v_{test}/i_{test}$ da

$$R_{of} = \frac{R_o}{1 + A\beta}$$

(El mismo resultado se puede obtener para la Figura 9.6c). Concluimos que idealmente la realimentación de tensión divide la resistencia de salida por $1 + A\beta$.

Realimentación de corriente en paralelo Ahora analizamos el amplificador de corriente de la Figura 9.6b. Con w_s como generador de prueba, como quiera que no circula corriente por R_o debido al cortocircuito, la ley de las corrientes de Kirchhoff da en la entrada

$$w_s = \frac{v_s}{R_i} + \beta\left(A\frac{v_s}{R_i}\right)$$

Después dividimos ambos lados por v_s y hacemos la inversa obteniendo

$$R_{if} = \frac{v_s}{w_s} = \frac{R_i}{1 + A\beta} \tag{9.11}$$

Es fácil demostrar que este mismo resultado se aplica a la Figura 9.6c. Concluimos que la realimentación en paralelo divide la resistencia de entrada por el factor de mejora.

Para obtener el efecto de la realimentación de corriente sobre la resistencia de salida considere la Figura 9.7b, el circuito de prueba para la Figura 9.6b. A partir de la ley de corrientes de Kirchhoff

$$x_o = Aw_i + \frac{v_{test}}{R_o}$$

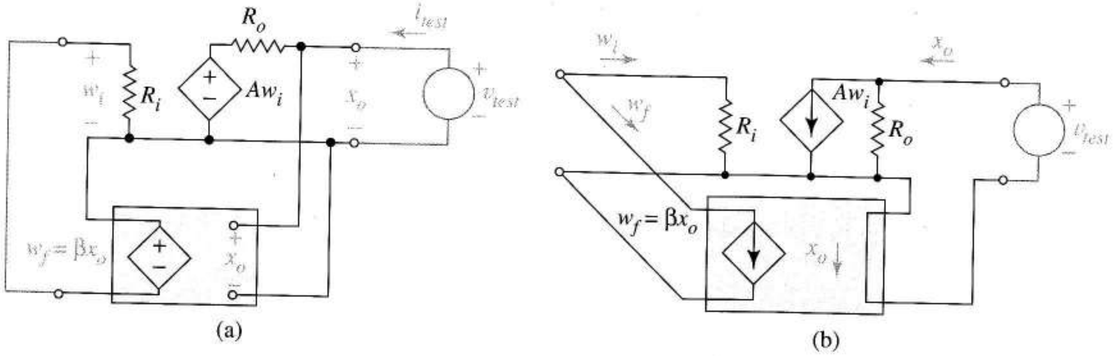


FIGURA 9.7 Circuitos para obtener la resistencia de salida de un amplificador realimentado con: (a) realimentación de tensión; (b) realimentación de corriente.

Del circuito de entrada $w_i = -\beta x_o$. Sustituyendo da

$$x_o = -A\beta x_o + \frac{v_{test}}{R_o}$$

y

$$\frac{v_{test}}{x_o} = R_{of} = R_o(1 + A\beta) \tag{9.12}$$

El mismo resultado se aplica a la Figura 9.6d.

Ejercicio 9.3 Nuestro amplificador tiene $R_o = 7$ kΩ y $R_i = 11$ kΩ; sin embargo, las especificaciones requieren $R_o \geq 10$ kΩ y $R_{if} \geq 190$ kΩ para el producto final. ¿Qué clase de amplificador ideal debe servirnos como objetivo ideal y qué clase de realimentación debemos usar para cumplir las especificaciones?

Respuesta Amplificador de transconductancia, realimentación de corriente en serie.

Como el factor de mejora es siempre $1 + A\beta$, es fácil estimar las resistencias de entrada y salida de un amplificador realimentado para una clase y una cantidad de realimentación dadas; usar mnemónicos asociados con los nombres de realimentación nos ayuda a definir la mejora. En diseño, los mnemónicos nos ayudan a determinar la clase y cantidad de realimentación necesaria, como vemos en el siguiente ejemplo.

EJEMPLO 9.3 Tenemos un amplificador no realimentado con ganancia de tensión 920, $R_o = 3$ kΩ y $R_i = 11$ kΩ. Determine la clase de realimentación y el valor de β de forma que $R_{of} \leq 10$ Ω y $R_{if} \geq 800$ kΩ. Obtenga también A_f.

Solución La necesidad de disminuir la resistencia de salida y aumentar la resistencia de entrada implica usar realimentación de tensión en serie para aproximarse a un amplificador de tensión como el de la Figura 9.4a. Por lo tanto, el amplificador dado es como el de la Figura 9.4e, donde $a_v = 920 = A$.
Reducir la resistencia de salida requiere una realimentación de tensión que satisfaga

$$R_{of} = \frac{3\text{ K}}{1 + A\beta} \leq 10\Omega$$

o

$$1 + A\beta \geq 300$$

Incrementar la resistencia de entrada requiere realimentación en serie con

$$R_{if} = (1 + A\beta)(11\ \text{k}) \geq 800\ \text{k}$$

o $1 + A\beta \geq 72{,}7$. Para cumplir ambas condiciones seleccionamos

$$1 + A\beta = 1 + 920\beta = 300$$

Esto significa usar $\beta = 0{,}325$. El amplificador realimentado tendrá ganancia de tensión $A_f = 920/300 = 3{,}07$, resistencia de entrada $R_{if} = 300 \times 11\ \text{k} = 3{,}3\ \text{M}\Omega$, y resistencia de salida $R_{of} = 10\ \Omega$. ❑

El próximo ejemplo muestra la importancia de establecer primero el objetivo del diseño.

EJEMPLO 9.4 Obtener el tipo de realimentación y el valor de que debemos usar con el amplificador no realimentado del Ejemplo 9.3 (ganancia de tensión = 920, $R_o = 3\ \text{k}\Omega$ y $R_i = 11\ \text{k}\Omega$) de forma que $R_{of} \leq 20\Omega$ y $R_{if} \leq 680\ \Omega$. Obtenga también la ganancia del amplificador realimentado.

Solución Como las resistencias de entrada y salida deben ser reducidas, el objetivo es un amplificador de transresistencia como el de la Figura 9.4c. Esto significa que debemos visualizar el amplificador dado como la Figura 9.4g. En un amplificador de transresistencia, A es la ganancia de transresistencia r_m. Como 920 es la ganancia de tensión primero debemos convertir la fuente de tensión de nuestro circuito A a una fuente de tensión controlada por corriente. De la Figura 9.4g

$$\text{ganancia de tensión} = 920 = \frac{v_o}{v_i} = \frac{r_m i_c}{i_c R_i} = \frac{A}{R_i} = \frac{A}{11\ \text{K}}$$

Por lo tanto, la ganancia de nuestro amplificador no realimentado es

$$A = 920 \times 11\ \text{k} = 1{,}01 \times 10^7 \Omega$$

El factor de mejora debe cumplir ambas

$$R_{of} = \frac{3\ \text{k}}{1 + A\beta} \leq 20\ \Omega$$

y

$$R_{if} = \frac{11\ \text{k}}{1 + A\beta} \leq 680\ \Omega$$

Para cumplir ambas especificaciones de resistencia, $1 + A\beta$ debe ser el mayor de 3 k/20 = 150 y 11 k/680 = 16,2 ó 150. Esto significa

$$150 = 1 + 1{,}01 \times 10^7 \beta$$

o $\beta = 1{,}4810^{-5}$A/V. El amplificador de transresistencia final tendrá entonces una ganancia de transresistencia de

$$A_f = \frac{1{,}01 \times 10^7}{150} = 6{,}73 \times 10^4 \Omega$$

❑

Ejercicio 9.4 Con el amplificador de la Figura 9.4f, con $R_i = 12\ \text{k}\Omega$, $a_i = 280$ y $R_o = 100\ \text{k}\Omega$, obtener el valor numérico a usar para A cuando aplicamos realimentación de corriente en serie. Obtener también el valor de para un factor de mejora de 131.

Respuesta $A = 0{,}0233\text{A/V}$, $\beta = 5.759\Omega$.

El ejercicio anterior demuestra que nuestras ideas de "valores razonables" para la ganancia deben adaptarse a las circunstancias. Los amplificadores de transconductancia desarrollan corrientes de salida de pocos miliamperios por voltio de entrada, tienen transresistencias de pocos voltios por miliamperio y dan $A\beta$ mucho mayor que uno, como requiere la teoría para una mejora significativa del funcionamiento.

9.4 TEORÍA DE REALIMENTACIÓN CUANDO HAY EFECTOS DE CARGA

En circuitos de realimentación prácticos, las resistencias de la fuente de señal y el circuito β generan carga en la entrada, y el circuito β y la resistencia de carga producen carga de salida. Este apartado explica la forma de incluir los efectos de la carga en el análisis de realimentación mientras se mantiene la simplicidad conceptual de conjunto de la teoría de realimentación ideal.

Las primeras seis columnas de la Tabla 9.2 resumen los modelos que hemos establecido para los amplificadores con entrada, salida y β ideales. Para conseguir el objetivo de diseño de la primera columna aplicamos la clase de realimentación dada en la segunda columna. La realimentación modifica las resistencias de entrada y salida del amplificador original, como se indica en las columnas tres y cuatro, para que se parezcan más a los valores ideales. Hay una fuente de señal y una carga ideales –columnas 5 y 6– coherentes con cada objetivo de diseño. Para incluir las cargas reales hay que tener en cuenta una observación. Cada circuito β de la Figura 9.6 es el elemento de subíndice "12" de cada uno de los circuitos equivalentes de los cuadripolos del Apéndice B; la última columna de la Tabla 9.2 hace esta asociación.

En la Figura 9.8, los circuitos β ideales de la Figura 9.6 se sustituyen por los cuadripolos equivalentes en la tabla; sin embargo el elemento de subíndice "21" se omite en todos los casos haciendo unilateral el modelo de realimentación. Esta simplificación implica una pequeña pérdida de precisión porque la señal que pasa de la entrada a la salida a través del circuito A generalmente es mucho mayor que la señal que pasa en paralelo de la entrada a la salida a través del parámetro "21" del circuito β.

TABLA 9.2 Clasificaciones de amplificadores de realimentación

Objetivo de diseño	Clase de realimentación	Resistencia de entrada	Resistencia de salida	Fuente ideal	Carga ideal	Modelo de cuadripolo para el circuito β
Amplificador de tensión (VCVS)	Tensión en serie	Crece	Decrece	Tensión	Circuito abierto	h
Amplificador de transresitencia (CCVS)	Tensión en paralelo	Decrece	Decrece	Corriente	Circuito abierto	y
Amplificador de corriente (CCCS)	Corriente en paralelo	Decrece	Crece	Corriente	Cortocircuito	g
Amplificador de transconductancia (CVCCS)	Corriente en serie	Crece	Crece	Tensión	Cortocircuito	z

La Figura 9.8 también muestra las resistencias de fuente y de carga. En las Figuras 9.8a y c, R_L se pone en paralelo con el circuito abierto de carga ideal; en las Figuras 9.8b y d, R_L se pone en serie con el cortocircuito de carga ideal (marcado con X). Es importante observar al comparar las Figuras 9.8 y 9.6 *que el parámetro β es idéntico al parámetro de subíndice 12 del cuadripolo.*

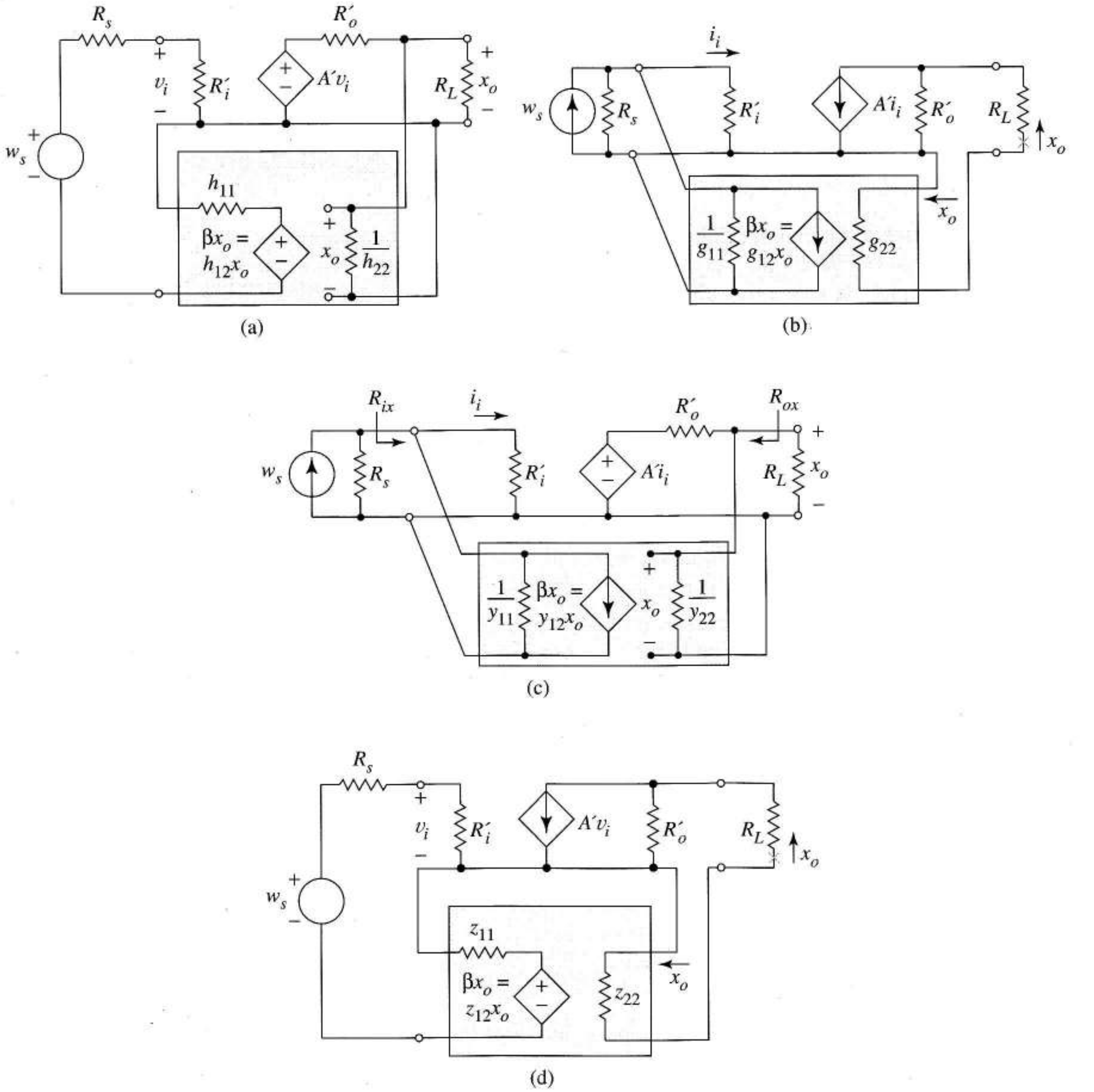


FIGURA 9.8 Circuitos de realimentación no ideales: (a) tensión en serie; (b) corriente en paralelo; (c) tensión en paralelo; (d) corriente en serie.

9.4.1 ANÁLISIS DE LOS CIRCUITOS DE REALIMENTACIÓN NO IDEALES

Para incluir las resistencias de la fuente, de la carga y del circuito β en nuestro análisis, en primer lugar redefinimos cuando no existe realimentación los parámetros A, R_i y R_o de forma que incluyan estas resistencias. Luego aplicamos la teoría de realimentación *exactamente como antes*, utilizando estos parámetros modificados en las ecuaciones ideales. El siguiente estudio de realimentación de tensión en paralelo describe el concepto central que justifica esta aproximación para los cuatro tipos de realimentación.

Realimentación de tensión en serie La Figura 9.8c es un amplificador realimentado del tipo transresistencia. Nuestro objetivo es obtener su ganancia A_f, resistencia de salida R_{of} y resistencia de entrada R_{if}. Primero trasladamos todas las resistencias al *circuito A de forma que el circuito β, la fuente y la carga sean ahora ideales*. Esto implica "desplazar" R_S, $1/y_{11}$, R_L y $1/y_{22}$ a los largo de las conexiones existentes hasta el circuito A. El resultado, Figura 9.9, es un amplificador de transresistencia con fuente de corriente ideal, circuito abierto como carga y circuito β ideal, como se necesita para emplear nuestras ecuaciones ideales de realimentación. Excepto por la mayor complejidad del circuito A, el resultado es la Figura 9.6c.

Ahora debemos obtener R_i, R_o y A para el circuito A modificado de la Figura 9.9. Para el nuevo circuito A

$$R_i = R_s \left\| \left(\frac{1}{y_{11}} \right) \right\| R_i \tag{9.13}$$

Mirando desde el circuito abierto hacia la salida del circuito A aislado, vemos la resistencia de salida

$$R_o = R_o \| R_L \| \left(\frac{1}{y_{22}} \right) \tag{9.14}$$

Como el circuito emplea realimentación de tensión en paralelo, A es la ganancia de transresistencia del circuito A. Dividiendo la tensión de salida por la corriente de entrada tenemos:

$$A = \frac{x_o}{w_i} = \frac{(1/y_{11}) \| R_s}{[(1/y_{11}) \| R_s] + R_i} A' \frac{R_L \| (1/y_{22})}{[R_L \| (1/y_{22})] + R'_o} \tag{9.15}$$

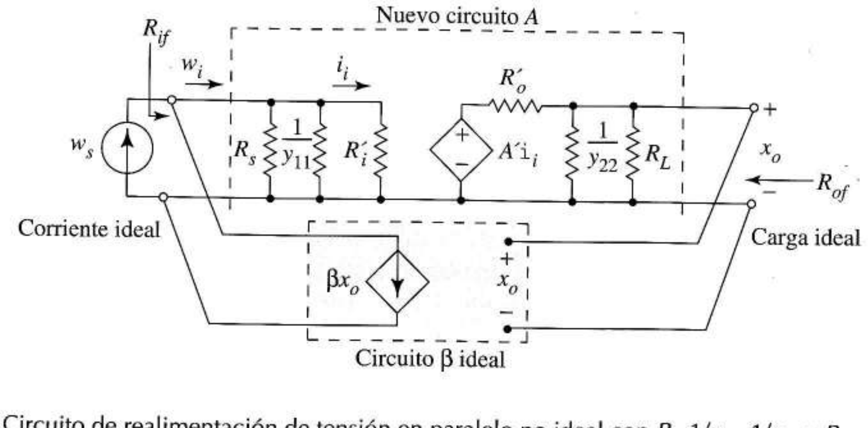


FIGURA 9.9 Circuito de realimentación de tensión en paralelo no ideal con R_s, $1/y_{11}$, $1/y_{22}$ y R_L asociados con el circuito A.

Como la realimentación en paralelo reduce la resistencia de entrada, en la Figura 9.9 w_s ve la resistencia de entrada dada por la Ecuación (9.11); sin embargo, R_i ahora es la Ecuación (9.13), A es la Ecuación (9.15) y β es y_{12}. Como la realimentación de tensión reduce la resistencia de salida, el circuito abierto de carga de la Figura 9.9 *ve* la R_{of} dada por la Ecuación (9.10), pero con los nuevos valores de A, R_o y β.

Resistencias de entrada y salida del amplificador Hay otro par de resistencias que podemos necesitar conocer en un problema práctico, las resistencias de entrada y salida del amplificador propiamente dicho, excluyendo las resistencias de fuente y carga. La primera es la resistencia R_{ix} vista por w_s y su resistencia interna R_s en la Figura 9.8c. Comparando la Figura 9.8c con 9.9 vemos que R_{ix} debe cumplir

$$R_{if} = R_s \| R_{ix}$$

De forma similar, en la salida, es posible que necesitemos saber la resistencia R_{ox} vista por R_L en la Figura 9.8c cuando la realimentación está presente. Comparando las Figuras 9.8c y 9.9 vemos que R_{ox} cumple

$$R_{of} = R_L \| R_{ox}$$

A menudo sucede que $R_{ix} \approx R_{if}$ y $R_{ox} \approx R_{of}$ haciendo innecesarios estos cálculos adicionales.

9.4.2 ANÁLISIS CON LA REALIMENTACIÓN DESCONECTADA

Trasladar todas las resistencias al circuito A antes de obtener A, R_i y R_o es un paso *teórico* clave válido para las cuatro clases de realimentación; sin embargo, los detalles para mover correctamente las resistencias dependen de si la carga ideal es un cortocircuito o un circuito abierto y de si la fuente ideal es una corriente o una tensión. Podemos obtener los mismos resultados sin necesidad de mover las resistencias haciendo $\beta = 0$ (*eliminando la realimentación*) en el *circuito original*. Observe que las Figuras 9.8c y 9.9 son idénticas cuando $\beta = 0$. En general desconectamos la "fuente 12" responsable de la realimentación y luego obtenemos los parámetros del amplificador no realimentado incluyendo los efectos de carga. Esta simplificación no nos libera de la obligación de recordar que R_o es la resistencia vista por la carga ideal, sea ésta un circuito abierto o un cortocircuito.

El amplificador de transresistencia de la Figura 9.10a introduce una idea adicional nueva, un circuito β real. Aquí, un circuito en π resistivo (llamado así por su parecido con la letra griega "π") proporciona la realimentación. El primer paso del análisis es sustituir el circuito β por su cuadripolo equivalente. De acuerdo con la Tabla 9.2 es un equivalente de parámetros y, que da la Figura 9.10b.

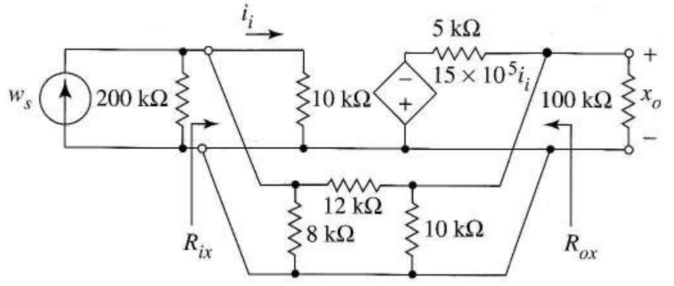
Ejercicio 9.5 Sin mover las resistencias, obtener R_i, R_o y A para el amplificador no realimentado de la Figura 9.10 con la definición correcta de ganancia.

Respuesta $R_i = 3{,}19$ kΩ, $R_o = 2{,}54$ kΩ, y $A = -2{,}44 \times 10^5\ \Omega$.

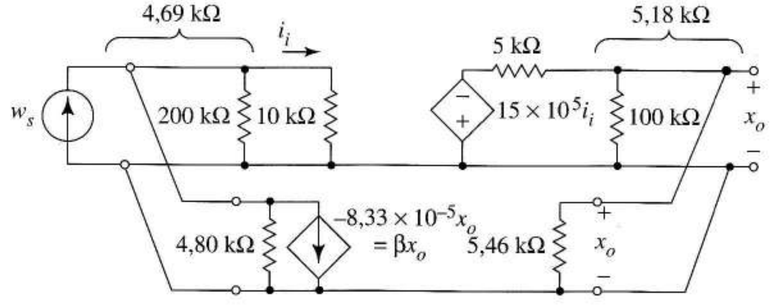
Para comprender los amplificadores realimentados es importante observar que en la Ecuación (9.2) *es el parámetro "12" del cuadripolo del circuito*β*:* por ejemplo, en la figura 9.8a, $A_f \approx 1/h_{12}$. En el análisis, esta aproximación nos permite estimar A_f con poco esfuerzo. En el diseño nos ayuda a obtener valores numéricos para nuestro circuito β. Está claro a partir de

$$A_f = \left(\frac{A}{1/\beta + A}\right)\frac{1}{\beta} < \frac{1}{\beta} = \frac{1}{p_{12}} \tag{9.16}$$

que la A_f real será siempre algo menor que la estimada haciendo uso del parámetro p_{12} del cuadripolo.



(a)



(b)

FIGURA 9.10 (a) Amplificador realimentado de tranresistencia dado; (b) circuito modificado al que se aplica la teoría de realimentación ideal.

Ejercicio 9.6 *Estimar* la ganancia de transresistencia del amplificador realimentado de la Figura 9.10 con la Ecuación (9.2). Luego utilizar las ecuaciones de realimentación y las respuestas del Ejercicio 9.5 para obtener A_f, R_{if} y R_{of}.

Respuesta $A_f \approx -1{,}2 \times 10^4\ \Omega$, $A_f = -1{,}15 \times 10^4\ \Omega$, $R_{if} = 150\ \Omega$ y $R_{of} = 119{,}2\ \Omega$.

EJEMPLO 9.5 Obtener los valores de R_{ix} y R_{ox} tal y como están definidas en la Figura 9.10a.

Solución En el Ejercicio 9.6 se obtuvo que la fuente ideal de corriente de la Figura 9.10a ve $R_{if} = 150\ \Omega$, R_{ix} en la Figura 9.10a cumple

$$\frac{1}{150} = \frac{1}{200\ \text{k}} + \frac{1}{R_{ix}}$$

que da $R_{ix} = 150{,}11\ \Omega$. Como la teoría de realimentación ideal da la resistencia vista por la carga ideal cuando ésta es un circuito abierto, Figura 9.10b, tenemos

$$\frac{1}{119{,}2} = \frac{1}{R_{ox}} + \frac{1}{100\ \text{k}}$$

así que $R_{ox} \approx 119{,}34\ \Omega$. ❑

Diseño de un amplificador de transconductancia El siguiente ejemplo muestra cómo utilizar la Ecuación (9.16) en el diseño del amplificador realimentado.

EJEMPLO 9.6 Obtener los valores de R_A y R_B en la Figura 9.11a de forma que la ganancia de transconductancia sea $A_f = 1\text{mA/V}$.

Solución Los parámetros z para el circuito β son

$$z_{11} = R_A \quad z_{22} = R_A + R_B \quad z_{12} = \beta = R_A$$

Esto da la Figura 9.11b. Como R_A influye en el valor de A así como en el de β, trabajar directamente con las ecuaciones de realimentación es bastante complicado, así que nos guiaremos por nuestra intuición.

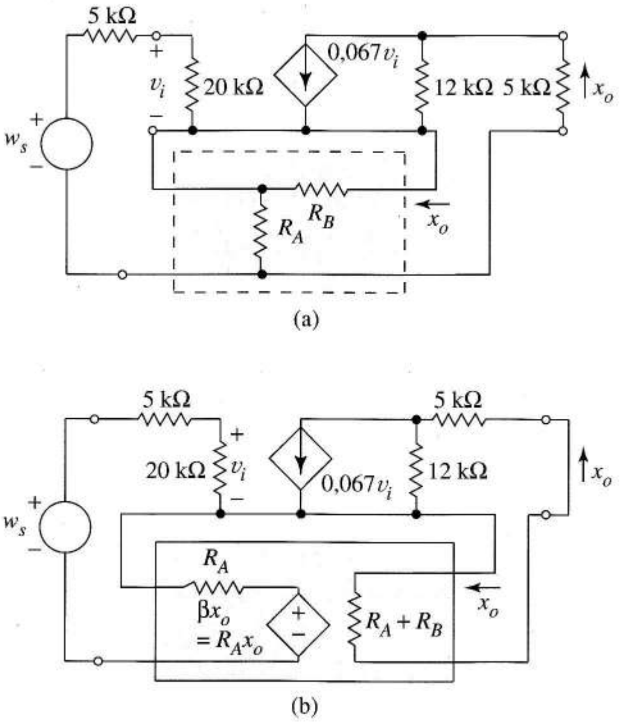


FIGURA 9.11 Amplificador de transconductancia: (a) circuito original; (b) circuito para aplicar la teoría de realimentación ideal.

Las Ecuaciones (9.2) y (9.6) son el núcleo del problema de diseño e indican que si queremos $A_f = 1$ mA/V, entonces $1/\beta = 1/z_{12} = 1/R_A \approx 10^{-3}$ ó $R_A \approx 1$ KΩ. Comencemos con este valor y luego rediseñaremos si hace falta. La Figura 9.11b muestra que R_B apenas contribuye a la realimentación, así que podemos hacer $R_B = 0$ para completar el diseño, esto es, $R_A = 1$ kΩ y $R_B = 0$. Ahora podemos usar el análisis para evaluar nuestro amplificador.

Con la realimentación eliminada la división de tensión de la entrada y la división de corriente de la salida dan

$$A = \frac{x_o}{w_s} = \frac{20\text{ k}}{20\text{ k} + 5\text{ k} + 1\text{ k}} 0{,}067 \frac{12\text{ k}}{12\text{ k} + 5\text{ k} + 1\text{ k}} = 0{,}0344\text{ A / V}$$

Como β = 1 kΩ

$$1 + A\beta = 1 + (0{,}0344)10^3 = 35{,}4$$

así que la ganancia de transconductancia del amplificador realimentado es

$$A_f = \frac{0{,}0344}{35{,}4} = 0{,}972 \times 10^{-3}$$

que está suficientemente cercana a la especificación para no ser necesario un rediseño. Si decidimos rediseñar, simplemente empleamos una resistencia R_A ligeramente menor. ❑

9.5 AMPLIFICADORES FET Y BIPOLARES REALIMENTADOS

Al analizar los amplificadores realimentados diseñados por otros, un paso crítico es identificar la clase de realimentación. El problema del diseño es saber cómo implementar la clase de realimentación sugerida por los objetivos de diseño. En ambas situaciones necesitamos conocer unas pocas topologías *estándar* de realimentación usadas comúnmente en circuitos de FET y bipolares.

9.5.1 TOPOLOGÍAS AMPLIFICADORAS DIFERENCIALES

Primero examinamos las *topologías amplificadoras diferenciales*, una estructura de realimentación de tensión en serie que realiza la sustracción de tensión en la entrada. Un ejemplo prosaico pero instructivo es el circuito no inversor del amplificador operacional de la Figura 9.12. Para hacer más obvia la clase de realimentación, las líneas de trazos muestran la conexión de tierra implícita en el amplificador operacional. El circuito A es el amplificador operacional en circuito abierto con ganancia finita, resistencia de entrada finita, resistencia de salida distinta de cero y ancho de banda limitado, todos especificados en las hojas de características del amplificador operacional. Las resistencias del divisor, R_1 y R_2 forman el circuito β. En el siguiente ejemplo numérico se aplican los principios de realimentación negativa para justificar nuestras suposiciones habituales de modificación despreciable de las resistencias de entrada y salida, incluso cuando los parámetros del amplificador operacional sean bastante modestos.

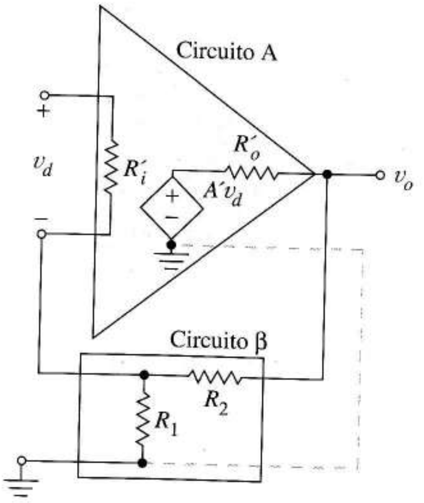


FIGURA 9.12
Amplificador no inversor como circuito realimentado.

EJEMPLO 9.7 Los parámetros del amplificador operacional de la Figura 9.13a son $A_{,v} = 10^4$, $R_{,i} = 10$ kΩ y $R_{,o} = 200$ Ω. Aplicar la teoría de realimentación para obtener las resistencias de entrada y salida del amplificador no inversor.

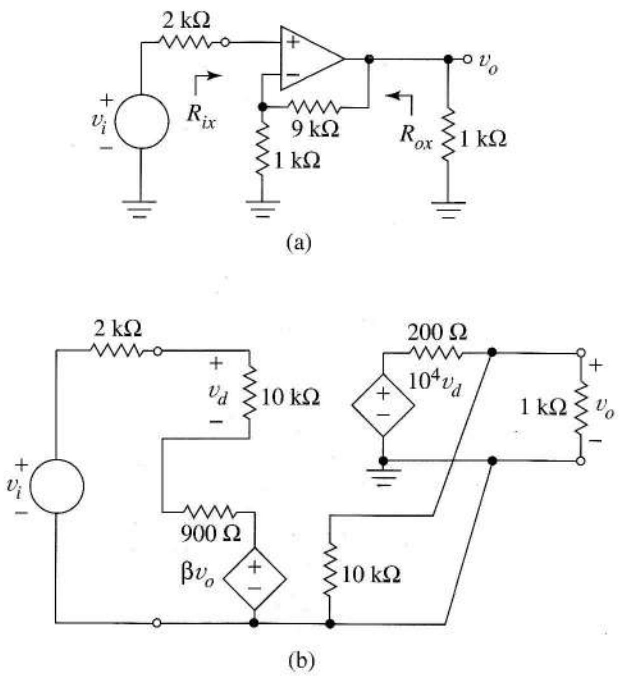


FIGURA 9.13 Análisis de un amplificador no inversor utilizando la teoría de realimentación: (a) amplificador; (b) modelo de realimentación.

Solución Reconociendo la topología de tensión en serie y consultando la Tabla 9.2, vemos que debemos sustituir el divisor resistivo por un equivalente de parámetros h. Los parámetros h son h_{11} = 1k ǁ 9k = 900Ω, $1/h_{22}$ = 9k + 1 = 10 kΩ y

$$h_{12} = \beta = 1\text{ k}/(1\text{ k} + 9\text{ k}) = 0{,}1$$

La Figura 9.13b, muestra el equivalente del amplificador realimentado.

A continuación obtenemos R_i, R_o y A a partir de la Figura 9.13b después de hacer $\beta = 0$ para apagar la realimentación. Como la clase de realimentación es tensión en serie

$$A = \frac{v_o}{v_i} = \frac{10\text{ k}}{10\text{ k} + 2\text{ k} + 900} 10^4 \frac{(1\text{ k}\|10\text{ k})}{(1\text{ k}\|10\text{ k}) + 200} = 6.354$$

También con $\beta = 0$, v_i ve

$$R_i = 2\text{ k} + 10\text{ k} + 900 = 12{,}9\text{ k}\Omega$$

y con v_i apagada, un circuito abierto como carga ideal ve

$$R_o = 1\text{ k}\|10\text{ k}\|200 = 164\ \Omega$$

El factor de mejora es 1 + A = 1 + 6.354 × 0,1 = 636.

La ganancia del amplificador no inversor es por tanto $A_f = 6.354/636 = 9{,}99$, un valor bastante cercano a

$$\left(1 + R_2 / R_1\right) = 1/\beta = 10$$

que obtenemos suponiendo ganancia infinita. Como la realimentación en serie incrementa la resistencia de entrada, R_{if} =(12,9k) 636 = 8,2 MΩ ≈ R_{ix} . Por otro lado, R_{of}= 164/636 = 0,258 Ω ≈ R_{ox} ya que la realimentación de tensión hace disminuir la resistencia de salida. ❑

Ejercicio 9.7 Podemos convertir el amplificador de la Figura 9.13a en un seguidor sustituyendo las resistencias de realimentación de 9 kΩ y 1 kΩ por un cortocircuito y un circuito abierto respectivamente. Esto reduce el circuito β a un simple par de hilos entre los puertos de entrada y salida (uno de ellos, un hilo de tierra). Obtener los nuevos parámetros h del circuito β. Luego seguir los pasos del análisis del Ejemplo 9.7, recalculando A_f, R_{if} y R_o.

Respuesta $h_{11} = 0$, $h_{12} = 1$, $h_{22} = 0$, factor de mejora = 6.945, $A_f = 1$, R_{if} = 83,3 MΩ y R_o = 0,024 Ω.

Ejercicio 9.8 Recalcular A_f, R_{of} y R_{if} para el amplificador no inversor del Ejemplo 9.7, pero con los parámetros del amplificador operacional 741: ganancia = 2×10^5, resistencia de entrada = 2 MΩ y resistencia de salida = 75 Ω.

Respuesta A_f = 10,0, $R_{if} = 3{,}71 \times 10^{10}$ Ω., R_{of} = 0,00375.

EJEMPLO 9.8 Diseñar un amplificador de tensión de una sola entrada con ganancia de tensión de aproximadamente 20 añadiendo una etapa de salida de seguidor de emisor y realimentación de tensión en serie al amplificador de carga activa de la Figura 7.57. El análisis de SPICE del Ejemplo 7.20 demostró que este amplificador tiene ganancia de 1.649 y resistencia de entrada de 94,2 kΩ. Estimar las resistencias de entrada y salida del amplificador realimentado.

Solución Primero consideremos el papel del seguidor de emisor en el diseño. La resistencia de salida del circuito de carga activa es muy alta, esto es, $r_{O4} \parallel r_{O2}$. El seguidor de emisor no contribuye a la ganancia de tensión, pero reduce la resistencia de salida $\beta_F + 1$ veces. Esta resistencia de salida ya rebajada va a ser luego reducida por la realimentación de tensión a un valor adecuado para el amplificador de tensión. Para polarizar el seguidor de emisor a la misma corriente que los otros transistores utilizamos una fuente de corriente constante de 0,3 mA.

Como tenemos un amplificador diferencial y queremos realimentación de tensión en serie, utilizamos la topología de realimentación del amplificador diferencial. Como hay un desplazamiento de fase de 180° entre el nodo 5 y el nodo 3 en la Figura 7.57, el nodo 5 es la entrada inversora. Como en el circuito no inversor del amplificador operacional, un divisor de tensión puede proporcionar la realimentación. La Figura 9.14a muestra la configuración del circuito, donde el nodo 8 es la salida y el nodo 4 la entrada del amplificador realimentado. El condensador de desacoplo C_C asegura que las corrientes de polarización y los puntos Q no son modificados por la realimentación. Para el análisis, sustituimos el amplificador por un equivalente lineal, y el circuito de realimentación por un cuadripolo.

Del análisis de SPICE previo, la resistencia de entrada del circuito A es $R_{,i}$ = 94,2 kΩ. Las tensiones de Early de 60 y 13 V y las corrientes de polarización de 0,3 mA dan r_{o4} = 200 kΩ y r_{o2} = 433 kΩ. Como la corriente de emisor de Q_5 es 0,3 mA y $\beta_F = 350$, g_{m5} = 0,3 mA/0,025 = 0,012 A/V y $r_{\pi 5}$ = 29,2 kΩ. La resistencia de salida del seguidor de emisor es

$$R_o \approx \frac{\left(r_{o4} \| r_{o2}\right) + r_{\pi 5}}{\beta_F + 1} = \frac{137\text{ k} + 29{,}2\text{ k}}{351} = 474\ \Omega$$

Para $A_f \approx 1/\beta = 1/h_{12} = 20$, tenemos

$$h_{12} = \frac{R_1}{R_1 + R_2} = \frac{1}{20}$$

que implica $R_2 = 19R_1$. Entonces $h_{11} = R_1 \parallel R_2 = 0{,}95R_1$ y $1/h_{22} = R_1 + R_2 = 20R_1$ respectivamente. El circuito equivalente de la Figura 9.14b resume la información conocida.

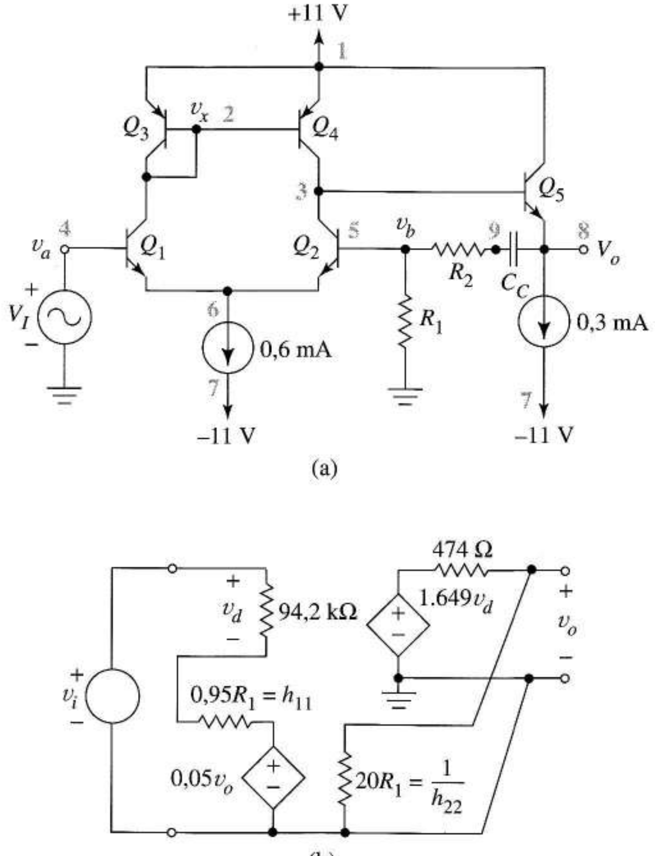


FIGURA 9.14 Diseño de un amplificador de tensión: (a) estructura de un amplificador realimentado; (b) modelo para ayuda en la elección de R_1 y R_2.

Para minimizar la modificación de las impedancias del circuito de realimentación por parte de la resistencia de entrada del amplificador necesitamos $h_{11} = 0{,}95R_1 << 94{,}2$ kΩ. Para evitar modificaciones innecesarias de las resistencias del amplificador por parte de la red de realimentación $20R_1 >> 474$ Ω. Para elegir las resistencias normalizadas del 5% de tolerancia que cumplan las últimas condiciones, $R_1 = 270$ Ω y $R_2 = 5{,}1$ kΩ. Debido a los valores normalizados de las resistencias $R_2/R_1 = 18{,}9$ y hacen que $h_{12} = \beta = 0{,}0503$.

Como $R_1 + R_2 = 5{,}31$ kΩ, seleccionamos C_C de forma que su reactancia sea 531Ω a 200 rad/s (un buen cortocircuito en pequeña señal hasta 32 Hz). Esto requiere $C_C = 9{,}4$ μF.

Ahora predecimos el funcionamiento del circuito. Desconectando la realimentación en la Figura 9.14b da

$$R_i = 94{,}2 \text{ k} + (0{,}95 \times 270) = 94{,}5 \text{ k}\Omega$$

y

$$R_o = 474 \| (20 \times 270) = 436 \ \Omega$$

Incluyendo los efectos de modificación de resistencias

$$A = \frac{94{,}2\ \text{k}}{94{,}2\ \text{k} + 0{,}95 + 270} 1.649 \frac{20 \times 270}{20 \times 270 \times 474} = 1.512$$

Para esos valores

$$1 + A\beta = 1 + (1.512)(0{,}0503) = 77{,}1$$

Los parámetros del amplificador realimentado son

$$R_{if} = (94{,}5\ \text{k})(77{,}1) = 7{,}29\ \text{M}\Omega$$

$$R_{of} = \frac{436}{77{,}1} = 5{,}66\ \Omega$$

y

$$A_f = \frac{1.512}{77{,}1} = 19{,}6$$

❏

EJEMPLO 9.9 Comprobar con SPICE el diseño del ejemplo precedente.

Solución La Figura 9.15 da el código SPICE inicial para el circuito de la Figura 9.14a. El generador de alterna de un voltio, VI, funciona como fuente de señal para el cálculo de ganancia y como generador de prueba para definir la resistencia de entrada. Para el análisis del punto *Q*, el SPICE elimina automáticamente esta fuente, poniendo la base de Q_1 a tierra. Las líneas .PRINT piden la tensión de salida y la corriente de entrada necesarias para evaluar A_f y R_{if} a frecuencias medias. Como la amplitud de la señal es un voltio, V(8) es A_f e I(VI) es la inversa de R_{if}.

```
EXAMPLE 9.9
VCC 1 0 DC 11
Q3 2 2 1 PTRAN
Q4 3 2 1 PTRAN
.MODEL PTRAN PNP BF=50 VA=60
Q1 2 4 6 NTRAN
Q2 3 5 6 NTRAN
.MODEL NTRAN NPN BF=350 VA=130
IO 6 7 DC 0.6MA
I1 8 7 DC 0.3MA
VEE 7 0 DC -11
VI 4 0 AC 1
II 8 0 AC 0
Q5 1 3 8 NTRAN
R1 5 0 270
R2 5 9 5.1K
CC 9 8 9.4U
.AC LIN 1 1K 1K
.PRINT AC V(8)
.PRINT AC I(VI)
.OP
.END
```

FIGURA 9.15 Código SPICE para la simulación de la Figura 9.14a.

El generador de prueba para definir R_{of} es una fuente de corriente alterna de cero amperios conectada entre el nodo 8 y tierra. En la ejecución inicial del SPICE esta fuente es un circuito abierto. En una segunda ejecución, cambiamos VI a 0 II a un amperio para hacer que V(8) sea numéricamente la resistencia de salida del amplificador realimentado.

Los valores numéricos de la salida del SPICE fueron $A_f = 19{,}6$, $R_{if} = 6{,}73\ \text{M}\Omega$ y $R_{of} = 5{,}85\ \Omega$, que están de acuerdo con los valores del ejercicio anterior: 19,7, 7,21 MΩ y 5,71 Ω, respectivamente. ❑

Realimentación de continua, alterna y mixta En el Ejemplo 9.8 introdujimos un condensador de desacoplo para prevenir los cambios de los puntos Q del transistor cuando se añadía la realimentación, e indicamos que el análisis de realimentación sería válido sólo a las frecuencias a las que este condensador se aproximaba a un cortocircuito. La realimentación que se aplica sólo al análisis de alterna se llama realimentación de alterna; la realimentación que estabiliza los puntos de funcionamiento en continua de los transistores se llama realimentación de continua. Usando condensadores de bypass y desacoplo y bobinas podemos diseñar circuitos que tengan realimentación de continua pero no de alterna, realimentación de alterna pero no de continua, ambas en igual proporción, o ambas pero en diferentes proporciones. En la Figura 9.16 se presentan estas posibilidades. En cada circuito, el amplificador no realimentado es un amplificador diferencial con ganancia finita y tensión de desviación cero.

La Figura 9.16a tiene realimentación de continua *y de alterna* en proporciones iguales. La Figura 9.16b tiene realimentación de continua pero no de alterna. El condensador es un circuito abierto para la continua y el punto Q del amplificador se estabiliza justo como en la Figura 9.16a. Sin embargo, a frecuencias medias el nodo de entrada inversor es cortocircuitado a tierra por el condensador y la ganancia es la del amplificador no realimentado con R_2 como resistencia de carga. No teniendo realimentación de alterna, el amplificador no disfruta de las mejoras de sensibilidad, ancho de banda y de las resistencias de entrada y salida a las que la realimentación de alterna contribuye. Cuando se aplica alterna más continua a la entrada, el funcionamiento de alterna en lazo abierto se centra sobre un punto de la característica de transferencia en continua, el cual se estabiliza por la realimentación de continua.

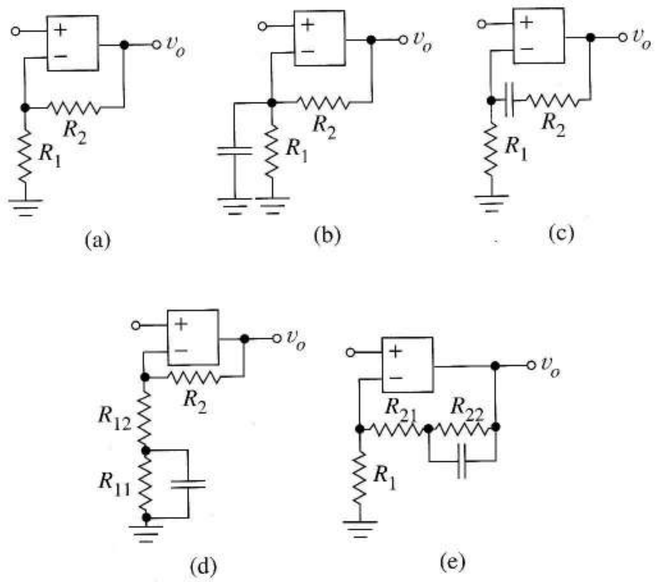


FIGURA 9.16 Combinaciones de realimentación de continua y alterna: (a) realimentación de continua y alterna en igual proporción; (b) realimentación de continua pero no de alterna; (c) realimentación de alterna pero no de continua; (d) realimentación de continua mayor que la realimentación de alterna; (e) realimentación de alterna mayor que la realimentación de continua.

La Figura 9.16c tiene realimentación de alterna pero no realimentación de continua. El punto Q establecido sobre la característica de transferencia por la tensión continua de la entrada no inversora no se estabiliza por realimentación y, por tanto, puede variar mucho. En frecuencias medias, el condensador, un cortocircuito para la alterna, da el mismo funcionamiento en alterna que la Figura 9.16 con tal que el punto Q sea adecuado. El ancho de banda se amplía, la resistencia de entrada a frecuencias medias crece, la resistencia de salida disminuye y la sensibilidad se reduce $1 + A\beta$ veces, donde $\beta = R_1/(R_1 + R_2)$. Las Figuras 9.16d y e utilizan condensadores como cortocircuitos a alta frecuencia para hacer las betas de alterna y continua diferentes; para la Figura 9.16d, $\beta_{dc} > \beta_{ac}$; para la Figura 9.16e $\beta_{dc} < \beta_{ac}$. Las bobinas denominadas "choques" a veces sirven para el mismo propósito general que los condensadores, introduciendo circuitos abiertos selectivos en lugar de cortocircuitos.

9.5.2 AMPLIFICADORES REALIMENTADOS ASIMÉTRICOS

A continuación describiremos cuatro estrategias muy usadas para añadir realimentación a amplificadores asimétricos. Para modificar las cuatro clases de realimentación, debemos examinar el origen de la señal entrante al circuito β y el modo en que la señal de realimentación retorna al circuito A. Al controlar estas técnicas se logra una mejor comprensión de los diseños de otros y facilidad para añadir la realimentación a nuestros propios diseños de amplificadores. En estos circuitos, las entradas a los circuitos A y β comparten una referencia común de tierra, normalmente sólo implícita, que se añade al desafío de la identificación de la clase de realimentación.

Origen de la señal de realimentación

1. *Realimentación de tensión.* La señal de salida del circuito A es una tensión definida respecto a la referencia de tierra. La señal entra al circuito β a través de una conexión entre los nodos de salida no puestos a tierra de los circuitos A y β, como en la Figura 9.17a. Las líneas de trazos, que hacen más fácil reconocer la conexión, normalmente no se muestran en el diagrama. Las Figuras 9.18a y c muestran la implementación práctica de la realimentación de tensión; el circuito β se identifica bajo cada amplificador.
2. *Realimentación de corriente*. La realimentación de corriente se caracteriza por no ser del todo directa como vemos en la Figura 9.17b. La salida del circuito A es una corriente, i_o: la entrada al circuito β es una copia de esta corriente. La copia se crea mediante un emisor no desacoplado o una resistencia de fuente asociada con el transistor de salida en el circuito A; sin embargo, consideramos esta resistencia como una parte del circuito β. Para un transistor de salida FET, la corriente copiada es exactamente igual a i_o: con un transistor bipolar, la corriente copiada es $(1/\alpha)i_o \approx i_o$. Veánse las Figuras 9.18b y d para los ejemplos de realimentación de corriente.

Destino de la señal realimentada

1. *Realimentación en paralelo*. La esencia de la realimentación en paralelo es restar la corriente de realimentación a la fuente de corriente en el nodo de entrada mediante la ley de las corrientes de Kirchhoff, como en la Figura 9.17c. Una sola conexión une las entradas no puestas a tierra de los circuitos A y β, y la línea de tierra discontinua a menudo es sólo implícita. Las Figuras 9.18a y b muestran la implementación de este principio.
2. *Realimentación en serie*. En la realimentación en serie, hay una sustracción de tensión según la ley de las tensiones de Kirchhoff. La tensión de realimentación v_f del circuito β se resta a la fuente de tensión como en la Figura 9.17d. Para implementar esto el circuito β utiliza un emisor no desacoplado o una resistencia de fuente asociada con un transistor de entrada del circuito A. Veánse los ejemplos prácticos de las Figuras 9.18c y d.

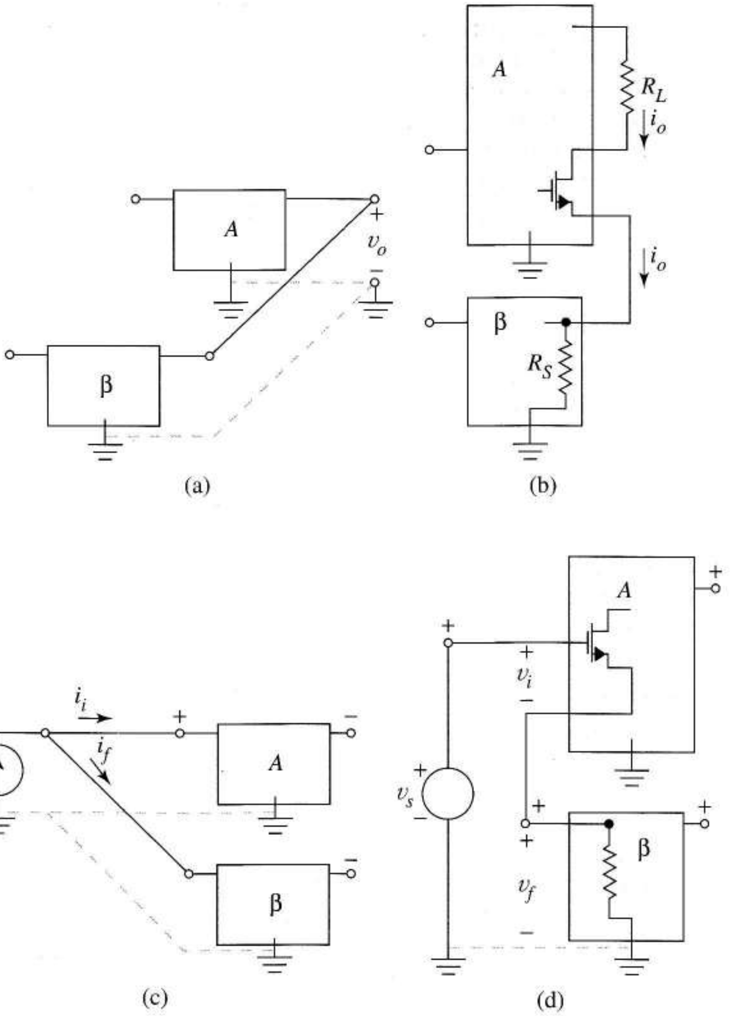


FIGURA 9.17 Conexiones para realimentación en amplificadores de una sola salida: (a) realimentación de tensión; (b) realimentación de corriente; (c) realimentación en paralelo; (d) realimentación en serie.

Restricciones de fase En la realimentación en serie y en la realimentación en paralelo la sustracción necesaria en la entrada depende críticamente de las fases relativas de las señales de entrada y realimentación. Como los circuitos β resistivos no producen desplazamiento de fase, el diseñador debe asegurar que hay una relación de fases adecuada entre la entrada del circuito A y el punto donde la señal deja la salida del circuito A y entra al circuito β. Hay dos posibilidades.

1. *Realimentación en paralelo.* Como indican los signos algebraicos de la Figura 9.17c, debe haber una diferencia de fase de 180° entre la entrada y la salida del circuito A (la última se conecta al circuito β). Esto es porque la corriente de realimentación i_f se resta a i_s sólo si las tensiones dentro del circuito β son negativas cuando el nodo de entrada del circuito A es positivo.
2. *Realimentación en serie.* Los signos algebraicos de la Figura 9.17d muestran las relaciones de fase necesarias para la realimentación en serie. Debe haber desplazamiento de fase cero entre

el nodo de entrada del circuito A y su salida (el último para ser conectado al circuito β). v_f se restará a v_s sólo si las tensiones de nodo en el circuito β crecen cuando v_s crece.

Topologías de realimentación de una sola entrada La Figura 9.18 muestra algunas estructuras de realimentación de una sola entrada e identifica cada circuito β. Por claridad, se omiten los detalles de polarización. En cada caso observamos cómo la realimentación sigue todas las reglas de conexión y fase estudiadas. La realimentación de tensión obtiene la señal de realimentación de la tensión del nodo de salida v_o como en las Figuras 9.18a y c. En cambio la corriente de realimentación usa una *copia* de la corriente de salida i_o, como en las Figuras 9.18b y d.

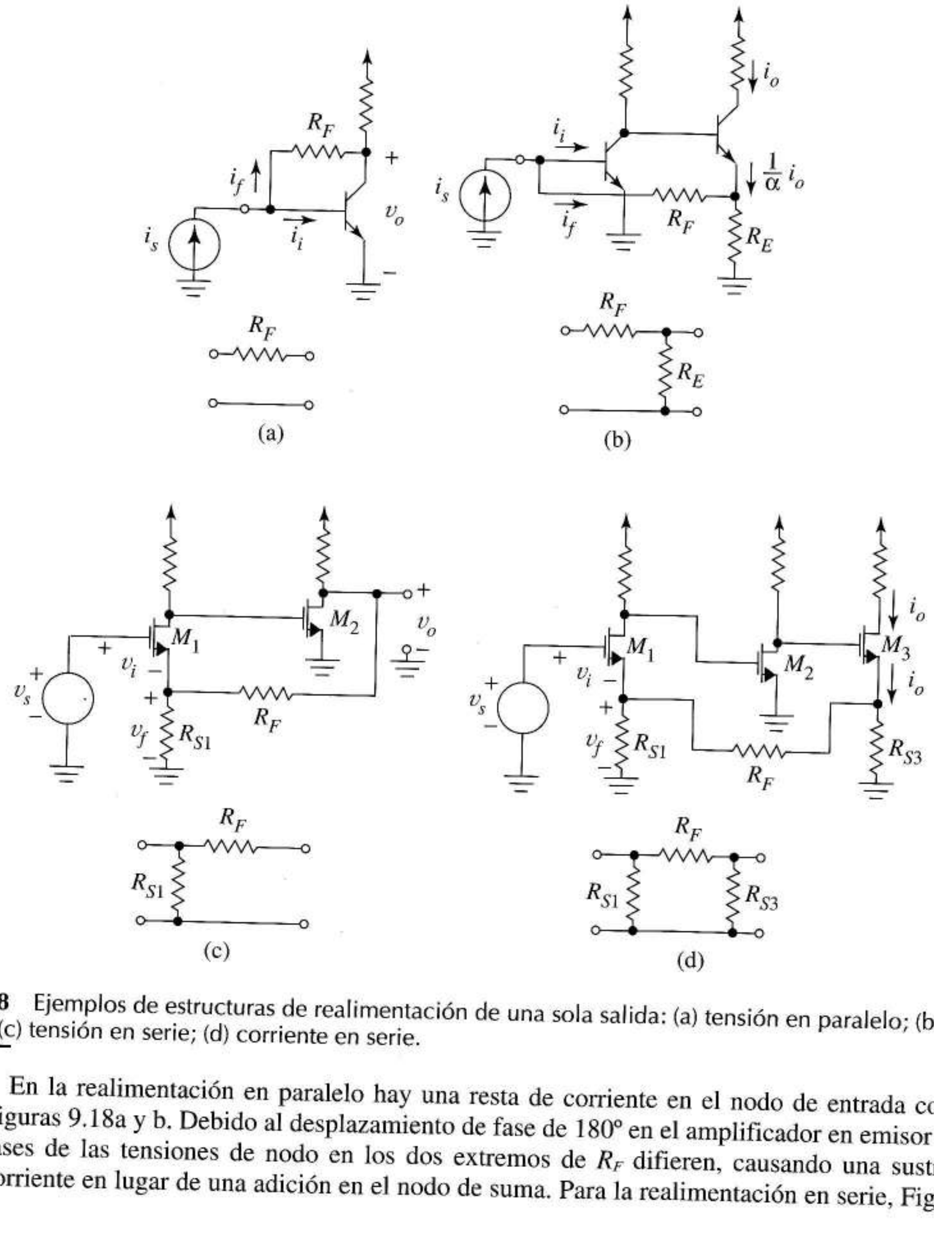


FIGURA 9.18 Ejemplos de estructuras de realimentación de una sola salida: (a) tensión en paralelo; (b) corriente en paralelo: (c) tensión en serie; (d) corriente en serie.

En la realimentación en paralelo hay una resta de corriente en el nodo de entrada como en las Figuras 9.18a y b. Debido al desplazamiento de fase de 180° en el amplificador en emisor común las fases de las tensiones de nodo en los dos extremos de R_F difieren, causando una sustracción de corriente en lugar de una adición en el nodo de suma. Para la realimentación en serie, Figuras 9.18c

y d, se resta una tensión de realimentación a la tensión de señal v_s usando una resistencia no desacoplada en la entrada del amplificador. Para una resta de tensión, la fase de la tensión de señal y de la tensión en el extremo derecho de R_F deben ser idénticas. En las Figuras 9.18c y d esto se lleva a cabo mediante dos etapas inversoras de fuente común M_1 y M_2. En la Figura 9.18d no hay desplazamiento de fase entre la puerta y la fuente de M_3.

Ejercicio 9.9 En la Figura 9.9a, ¿cuál es el desplazamiento de fase entre la puerta de M_1 por donde entra la señal al circuito A y la fuente de M_2, donde deja la señal el circuito A y entra al circuito β?

Respuesta 180°.

La Figura 9.18 mostraba ejemplos de cada tipo de estructura de realimentación de una sola entrada; sin embargo necesitamos dominar los principios fundamentales porque hay muchas variaciones sobre estas propuestas básicas. Para hacer más evidentes los mecanismos de sustracción, la Figura 9.18 mostraba las fuentes de señal ideales. En la práctica, a menudo hay una fuente de tensión acoplada capacitivamente y con resistencia interna en la entrada, incluso para la realimentación en paralelo y además las resistencias de polarización hacen difícil el reconocimiento de las estructuras. Cualquiera de las estructuras de realimentación puede emplear bipolares o FETs o ambos. A veces hay más etapas de amplificación que las que mostramos en nuestros ejemplos; sin embargo siempre se aplican las restricciones de fase dadas. En el análisis, el primer paso es usar las características descritas para identificar la clase de realimentación, luego el circuito equivalente a frecuencias medias sustituye al amplificador y el cuadripolo equivalente sustituye al circuito de realimentación. A continuación vemos un ejemplo de análisis.

EJEMPLO 9.10 Aplicar la teoría de realimentación para obtener v_o/v_i y la resistencia de entrada vista por la fuente de señal en la Figura 9.19a. Ambos transistores tienen $k = 2 \times 10^{-3}$A/V^2 y se polarizan a 1 mA.

Solución Obviamente la realimentación incluye la resistencia de 7 kΩ. Comenzando por aquí reconocemos la realimentación alterna de corriente en paralelo. Esta clase de realimentación aumenta la resistencia de salida y disminuye la resistencia de entrada, así que el objetivo del diseñador era un amplificador de corriente. La Tabla 9.2 nos dice que la excitación por corriente y el cortocircuito como carga son terminales ideales apropiados y también que los parámetros g tienen que describir el circuito β. Aunque queremos obtener la ganancia de tensión, primero tratamos el circuito como un amplificador de corriente para aplicar la teoría de realimentación. Obtenemos la ganancia de tensión al final del análisis.

Para el circuito de realimentación de la Figura 9.19b,

$$g_{11} = \left.\frac{i_1}{v_1}\right|_{i_2=0} = \frac{1}{7{,}5\text{ k}} \quad g_{12} = \left.\frac{i_1}{i_2}\right|_{v_1=0} = \frac{-500}{500+7\text{ k}} = \beta = -0{,}067$$

$$g_{22} = \left.\frac{v_2}{i_2}\right|_{v_i=0} = 500\|7\text{ k} = 467\ \Omega$$

El cuadripolo equivalente es la Figura 9.19b con $\beta = -0{,}067$. Si este amplificador realimentado está bien diseñado podemos estimar a partir de la Ecuación (9.2) que su ganancia de corriente es aproximadamente $1/\beta = -1/0{,}067 = -14{,}9$. En algunos casos nuestro objetivo puede ser esta estimación y no necesitamos ir más allá. Aquí necesitamos examinar el circuito con más detalle, así que dibujamos el equivalente a frecuencias medias, convertimos la fuente de tensión señal en una fuente de corriente, identificamos la posición del cortocircuito de carga y sustituimos el circuito de realimentación por su cuadripolo. El resultado es la Figura 9.19c, donde hemos sustituido (5 MΩ || 1,25 MΩ) por 1 MΩ y usado $g_m = 0{,}002$A/V.

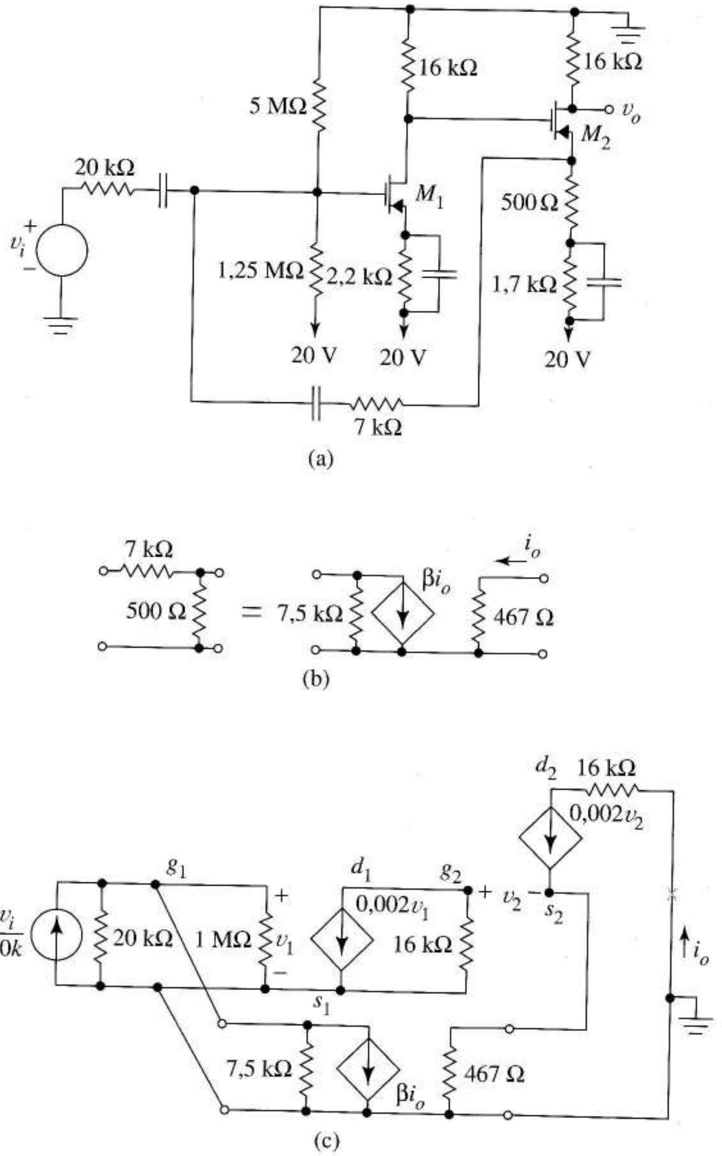


FIGURA 9.19 Amplificador con FETs realimentado de corriente en paralelo: (a) esquema; (b) red de realimentación y cuadripolo equivalente; (c) circuito a frecuencias medias para aplicar la teoría de realimentación.

Para este amplificador A es la ganancia de corriente i_o/i_s. Como $i_s = v_i/20$ k, usamos el siguiente análisis. Con $\beta = 0$ obtenemos $R_i = -20\text{ k} \parallel 1M \parallel 7{,}5\text{ k} = 5{,}43\text{ k}$

$$\frac{v_1}{i_s} = 20\text{ k}\|7{,}5\text{ k}\|1M = 5{,}43\text{ k}\Omega = R_i \tag{9.17}$$

$$\frac{v_{g2}}{v_1} = -0{,}002 \times 16\ \text{k} = -32 \tag{9.18}$$

$$v_{s2} = \left[0{,}002\left(v_{g2} - v_{s2}\right)\right]467$$

que lleva a

$$v_{s2} = 0{,}483 v_{g2} \tag{9.19}$$

Finalmente

$$i_o = \frac{v_{s2}}{467}$$

Sustituyendo ahora las Ecuaciones (9.19), (9.18) y (9.17) obtenemos

$$i_o = \frac{0{,}484}{467}(-32)(5{,}43\ \text{k})i_s = -179{,}8 i_s$$

o

$$A = \frac{i_o}{i_s} = -179{,}8$$

De la teoría de realimentación el factor de mejora es

$$1 + A\beta = 1 + (-179{,}8)(-0{,}0670) = 13$$

Debido a la realimentación en paralelo, $R_{if} = 5{,}43$ k/13 = 417,7 Ω. La ganancia de corriente del amplificador realimentado es $A_f = -179{,}8/13 = -13{,}8$ (comparado con nuestra estimación inicial de $1/\beta = -14{,}9$).

Ahora usemos estos resultados para obtener la ganancia de tensión de la Figura 9.19a. En este circuito, la corriente que circula por la resistencia de drenaje de 16 kΩ de M_2 es la corriente del cortocircuito de carga designada como i_o en la Figura 9.19c. Por lo tanto $v_o = (16\ \text{k})i_o$. A partir de la Figura 9.19c, $i_s = v_i/20$ k. Para obtener v_o/v_i sustituimos estas expresiones y obtenemos

$$\frac{v_o}{v_i} = \frac{16\ \text{k}i_o}{20\ \text{k}i_i} = \frac{16\ \text{k}}{20\ \text{k}} A_f = 11{,}1$$

De la Figura 9.19c, $R_{if} = 417{,}7\ \Omega = 20\ \text{k} \parallel R_{ix}$ donde R_{ix} es la resistencia vista por la fuente externa en la Figura 9.19a. A efectos prácticos $R_{ix} = 417{,}7\ \Omega$. ❑

A veces se complica la identificación del circuito β. El Problema 9.35 explora este punto.

Hasta aquí nuestra teoría concierne a las frecuencias medias, a las que $A\beta$ es grande y real. A continuación, estudiamos la dependencia de la frecuencia de nuestros circuitos de realimentación.

9.5.3 LIMITACIONES DE FRECUENCIA PARA R_{IF} Y R_{OF}

Las mejoras en las resistencias de entrada y salida producidas por la realimentación negativa se aplican sólo a una banda limitada de frecuencias porque dependen de que $1 + A\beta$ sea un número grande. Recuerde del Capítulo 8 que la ganancia A es grande y real sólo a las frecuencias medias del *amplificador no realimentado*. Por encima de ω_H y, si hay condensadores de bypass y desacoplo, por

debajo de ω_L, A pasa a ser compleja y decrece en magnitud. Por esta razón los beneficios de la realimentación desaparecen gradualmente a altas y (a veces) bajas frecuencias. También las resistencias de entrada y salida de un amplificador realimentado pasan a ser impedancias complejas cuando A es compleja. Por ejemplo, $R_i(1 + A\Omega)$ pasa a ser compleja cuando A es compleja. Cuando $|A\beta| << 1$, las resistencias de entrada y salida del amplificador realimentado se aproximan a los valores que tenían en el amplificador no realimentado.

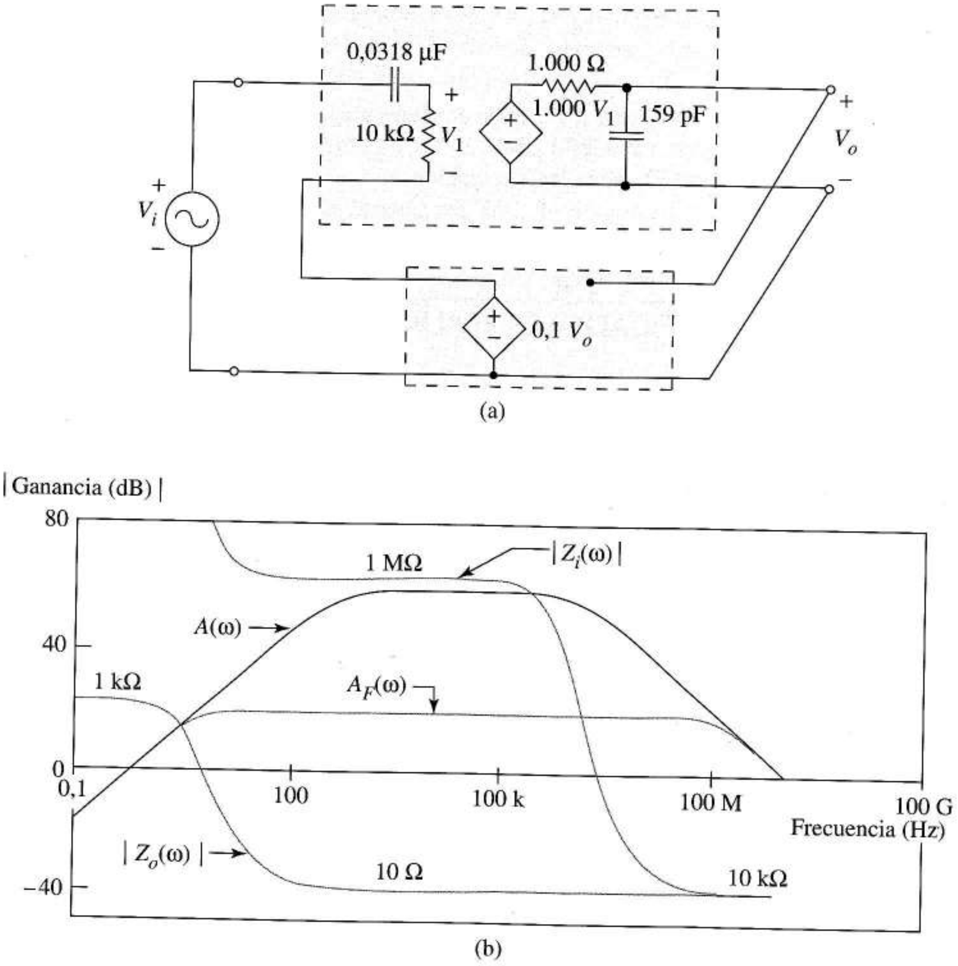


FIGURA 9.20 Límites de mejora de R_i y R_o: (a) equivalente de un amplificador no realimentado de banda limitada con realimentación ideal de tensión en serie; (b) propiedades del amplificador realimentado comparadas con la respuesta en frecuencia del amplificador no realimentado.

La Figura 9.20a muestra un amplificador realimentado simple diseñado para ilustrar estos puntos. El amplificador no realimentado tiene una ganancia de tensión a frecuencias medias de 1.000 (60 dB), resistencia de entrada de 10 kΩ y resistencia de salida de 1 kΩ. El condensador serie de 0,0318 μF da una frecuencia de corte inferior de 500 Hz y el condensador paralelo de 159 pF da una frecuencia superior de 1 MHz. La realimentación ideal de tensión en serie con $\beta = 0{,}1$ da $1 + A\beta = 101$ a frecuencias medias.

La Figura 9.20b obtenida mediante análisis SPICE compara las curvas de ganancia en lazo abierto y cerrado $A(\omega)$ y $A_f(\omega)$. Muestra un incremento del ancho de banda y decremento de la ganancia, exactamente como se esperaba. Incluidas en la misma gráfica están las curvas de los módulos de las impedancias de entrada y salida para el amplificador realimentado.

De 500 Hz a 1 MHz (frecuencias medias), donde $A(\omega)$ es uniforme, grande y real, vemos que $Z_i \approx 1$ MΩ y $Z_o \approx 10$ Ω como predecía la teoría de realimentación. A frecuencias mayores, debido a la reducción de $A(\omega)$, Z_i pasa a ser compleja y decrece en magnitud aproximándose a su valor no realimentado de 10 kΩ a altas frecuencias. (A bajas frecuencias, Z_i es muy grande debido al condensador de acoplo en serie con el generador de test.) A bajas frecuencias Z_o crece hasta su valor no realimentado de 1 kΩ.

En el próximo apartado exploramos más profundamente la dependencia de los amplificadores realimentados de la frecuencia y que ello puede llevar a la inestabilidad si no se toman las precauciones adecuadas antes de introducir la realimentación.

9.6 ESTABILIDAD DE LOS AMPLIFICADORES REALIMENTADOS

Debido al desplazamiento de fase dentro del amplificador (circuito A) es posible que una componente de la señal realimentada a una frecuencia determinada ω_o se sume en lugar de restarse a la entrada. Si esta componente es suficientemente grande, el resultado son oscilaciones continuas a la frecuencia ω_o; el circuito ha pasado a ser un *oscilador* o generador de señal en lugar de un amplificador y decimos que el circuito es *inestable*. En este apartado, las letras mayúsculas indican fasores asociados con el análisis senoidal en régimen permanente.

9.6.1 CONDICIÓN DE INESTABILIDAD

Consideremos el circuito de tensión en serie de la Figura 9.21 como ejemplo concreto de producción de oscilaciones, donde las tensiones senoidales se indican mediante fasores. Con el interruptor en la posición 1 tenemos el amplificador realimentado con todas las resistencias referidas al circuito A; la posición 2 da lugar al amplificador no realimentado modificado. A frecuencias medias $A(\omega)$ y β son ambas positivas y reales. Por tanto, con el interruptor en la posición 1, el fasor realimentado $V_f = \beta A(\omega) V_i$ tiene el mismo ángulo que V_i. Esto significa que para excitación senoidal todas las tensiones de la ecuación $v_s(t) = v_i(t) + v_f(t)$ tienen ángulos de fase idénticos; de aquí se obtiene la sustracción

$$v_i(t) = v_s(t) - v_f(t)$$

necesaria para la realimentación negativa.

Condición de fase Ahora, con el interruptor en la posición 2, supongamos que la señal

$$v_s(t) = V \operatorname{sen} \omega_o t = v_i(t)$$

se aplica al amplificador no realimentado. Aún más, supongamos que ω_o es tal que $A(\omega_o)$ es compleja, esto es

$$A(\omega_o) = |A(\omega_o)| \angle \phi(\omega_o)$$

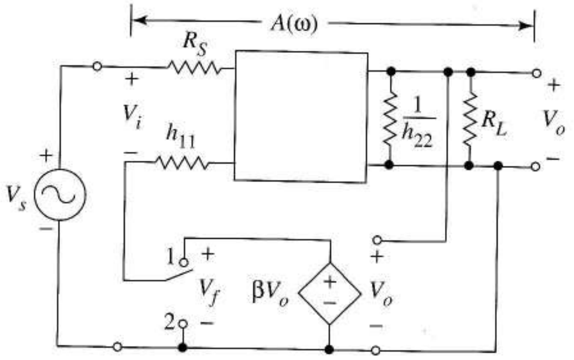


FIGURA 9.21 Ganancia de lazo en un amplificador realimentado.

Entonces, la salida de la fuente dependiente es

$$v_f(t) = \beta|A(\omega_o)|V \text{ sen } [\omega_o t + \phi(\omega_o)] \quad (9.20)$$

Si se cumple la condición

$$\phi(\omega_o) = 180° \quad (9.21)$$

a esta frecuencia, de acuerdo con la Ecuación (9.20) $v_f(t)$ *queda invertida respecto* a $v_s(t)$ dando

$$v_f(t) = -\beta|A(\omega_o)|V \text{ sen } [\omega_o t] = -\beta|A(\omega_o)|v_s(t)$$

En estas condiciones, si el conmutador cambia rápidamente a la posición 1, la señal realimentada refuerza (se añade) a $v_s(t)$. La resta en la entrada, según la ley Kirchhoff de tensiones provoca

$$v_i(t) = v_s(t) - v_f(t) = v_s(t) + \beta|A(\omega_o)|v_s(t)$$

Cuando esto ocurre decimos que tenemos *realimentación positiva* a frecuencia ω_o. Es posible que la realimentación sea negativa en frecuencias medias y positiva en frecuencias fuera de la banda pasante de $A(\omega)$, donde hay fase adicional. Para la inestabilidad se necesita también una segunda condición.

Condición de amplitud Con el interruptor en la posición 2 y la excitación $V_s = V$ sen $\omega_o t$, supongamos que, además de $\phi(\omega_o) = 180°$, tenemos también

$$\beta|A(\omega_o)| \geq 1 \quad (9.22)$$

Esta *condición de amplitud* conduce a dos interesantes posibilidades. La *igualdad* en la Ecuación (9.22) implica

$$v_f(t) = V \text{ sen } (\omega_o t + 180°) = -V \text{ sen } \omega_o t$$

Cuando se da esta condición podemos usar V_f para *sustituir* a V_s. Esto es, una vez que el circuito está funcionando, podemos cambiar el interruptor a la posisición 1, apagar la señal externa y usar V_f como señal de entrada. Después, habría continuamente una salida senoidal a frecuencia ω_o rad/s. Los circuitos que funcionan así se llaman *osciladores no autoarrancados*.

Cuando tiene lugar la condición de desigualdad en la Ecuación (9.22) V_f es idéntica en frecuencia y fase a V_s pero mayor en amplitud. En este caso la senoide de frecuencia ω_o crece en tamaño hasta que las no linealidades del circuito limitan su amplitud. El resultado es una oscilación permanente con una onda de salida periódica de frecuencia fundamental de ω_o rad/s. Un circuito diseñado para funcionar de este modo se llama *oscilador auto-arrancado*; pero si tales oscilaciones ocurren en un amplificador decimos que el amplificador es inestable.

Las condiciones de amplitud y fase asociadas con las oscilaciones tienen que ver con el producto complejo

$$L(\omega) = A(\omega)\beta \tag{9.23}$$

llamado *ganancia del lazo*, la ganancia total del lazo de realimentación desde la entrada de realimentación del amplificador hasta el punto de sustracción, incluyendo todos los efectos de carga en la entrada y la salida. La Figura 9.21 muestra que $L(\omega)$ es la función de ganancia V_f/V_s cuando el interruptor está en la posición 2, esto es, con el lazo de realimentación abierto.

Estableceremos ahora el *criterio de estabilidad de Nyquist*, una condición necesaria y suficiente para los amplificadores realimentados de los tipos que hemos estudiado, para ser inestables. Si hay alguna frecuencia ω_o tal que la *ganancia del lazo*

$$L(\omega_o) = A(\omega_o)\beta = M\angle 180°,\ \text{y}\ M \geq 1 \tag{9.24}$$

entonces el amplificador es inestable y habrá oscilaciones a ω_o rad/s. De otra manera el amplificador es estable.

La justificación de este criterio de estabilidad simple es que el ruido aleatorio está presente en todos los circuitos con su potencia distribuida entre *todas* las frecuencias (una infinidad de pequeños generadores que están a la espera, cada uno de ellos deseando ser amplificado). Por esta razón, si hay *alguna* frecuencia para la que se cumple la Ecuación (9.24) las oscilaciones son inevitables, no importa qué tensión externa se aplique a la entrada. Simplemente la oscilación se superpone a la señal aplicada externamente y crece en amplitud espontáneamente.

9.6.2 DIAGRAMAS DE BODE PARA AMPLIFICADORES INESTABLES Y ESTABLES

Entre las varias herramientas disponibles para estudiar la estabilidad están los diagramas de Bode de amplitud y fase de $L(\omega)$. Estos diagramas muestran si un amplificador realimentado dado es estable o no, y, si es estable, en qué medida lo es. Si un circuito es inestable, los diagramas proporcionan la información necesaria para hacerlo estable.

Para determinar si un amplificador realimentado es estable la Ecuación (9.24) indica que sólo necesitamos examinar la magnitud de la ganancia del lazo a aquella frecuencia ω_o a la que el desplazamiento de fase es 180. Si $|L(\omega_o)|$ es mayor que uno entonces el amplificador es inestable, si es menor que uno, es estable.

La Figura 9.22a muestra los diagramas de amplitud y fase de la ganancia de lazo $L(\omega)$ para un amplificador inestable. Vemos que a frecuencia $\omega = \omega_o$, donde el desplazamiento es 180°, la ganancia de lazo $|L(\omega_o)|$ excede los cero decibelios (ganancia de lazo mayor que uno). Por lo tanto habrá oscilaciones y el amplificador es inestable.

Cuando un amplificador sea estable será conveniente saber en qué medida lo es. Los márgenes de ganancia y fase son medidas del grado de estabilidad.

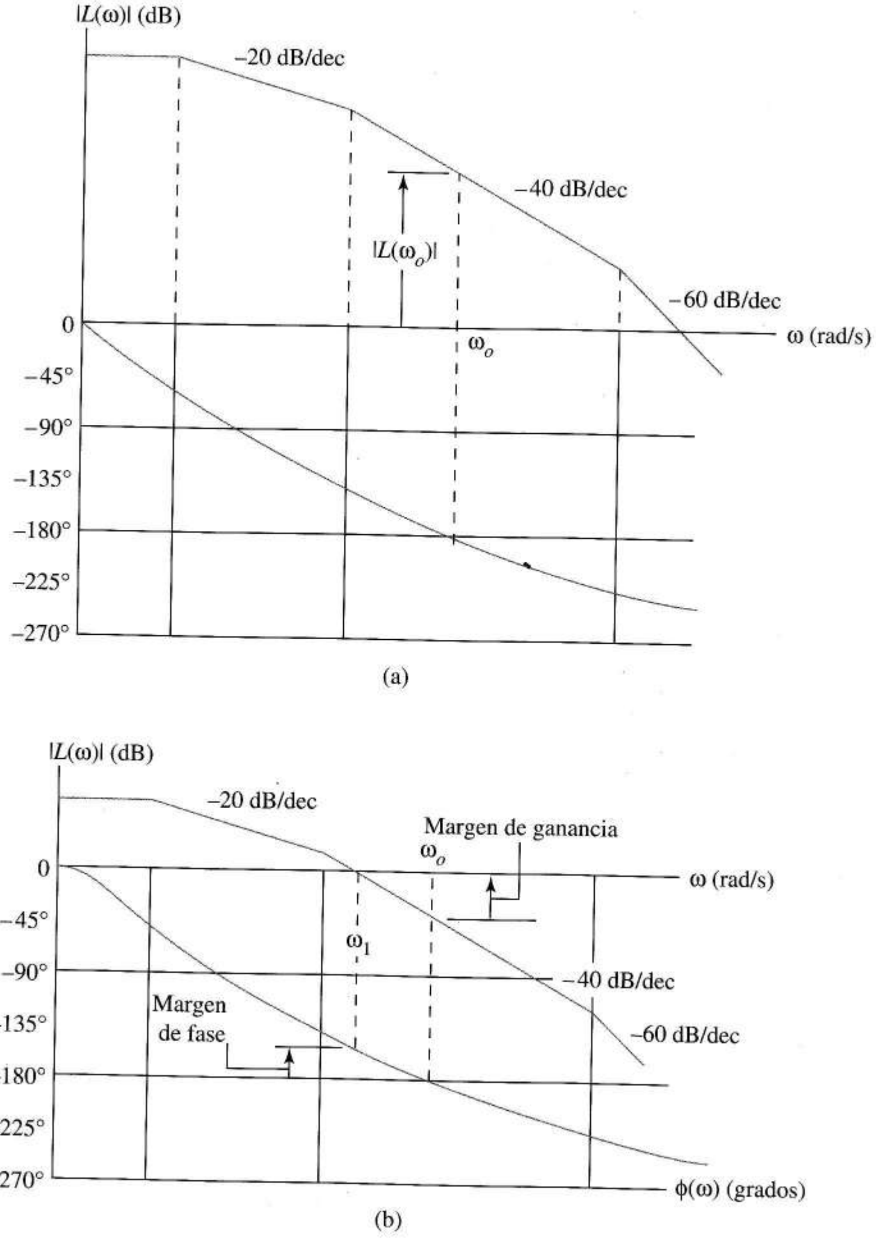


FIGURA 9.22 Determinación de la estabilidad a partir del diagrama de Bode de la ganancia de lazo: (a) amplificador inestable; (b) amplificador estable.

Margen de ganancia La Figura 9.22b muestra los diagramas en lazo abierto para un amplificador estable, fácilmente identificable por la ganancia negativa en dB a ω_o. Una medida del grado de estabilidad es el *margen de ganancia* definido por

$$\text{margen de ganancia} = 0 - \left|L(\omega_o)\right|_{dB} \tag{9.25}$$

donde ω_o es la frecuencia a la que el desplazamiento de fase es 180°. La margen de ganancia, definido para ser positivo cuando un amplificador sea estable, se lee fácilmente en el diagrama de Bode, como vemos en la Figura 9.22b. Cuanto mayor sea el margen de ganancia, más estable será el amplificador ya que está más lejos de satisfacer la condición crítica de oscilación. El amplificador inestable de la Figura 9.22a tiene un margen de ganancia negativo indicando con su magnitud el alcance de la inestabilidad y describiendo la cantidad de ganancia en exceso presente a ω_o.

Margen de fase Una segunda medida del grado de estabilidad es el *margen de fase*, definido por

$$\text{margen de fase} = 180° + \phi(\omega_1) \tag{9.26}$$

donde ω_1 es la frecuencia a la que la ganancia de lazo es cero dB, como se indica en la Figura 9.22b. El margen de fase es el desplazamiento de fase adicional que necesita el amplificador a la frecuencia ω_1 para volverse inestable. Márgenes de fase de 45° a 60° son valores razonables en un amplificador realimentado diseñado conservadoramente. Observe que el amplificador estable descrito por la Figura 9.22a tiene un margen de fase negativo que indica la cantidad de fase en exceso presente a la frecuencia ω_1.

9.6.3 ESTABILIDAD CON $A(\omega)$ COMO DATO

Construcción de los diagramas de Bode de $L(\omega)$ Los fabricantes de integrados (operacionales, por ejemplo) proporcionan las curvas de magnitud y fase para la función ganancia en lazo abierto $A(\omega)$. Para examinar la estabilidad de cualquier circuito realimentado con el circuito integrado, el usuario debe saber cómo construir el diagrama de Bode de la ganancia de lazo $L(\omega)$ para su diseño particular. La información deseada y la conocida se relacionan de un modo muy simple. Al expresar la Ecuación (9.23) en decibelios da

$$20 \log\left|L(\omega)\right| = 20 \log\left|A(\omega)\right| - 20 \log\left|\frac{1}{\beta}\right| \tag{9.27}$$

Esto significa que el diagrama de Bode de la ganancia de lazo $|L(\omega)|$ se relaciona con el diagrama de Bode de $|A(\omega)|$ mediante la *resta gráfica* de la constante $20 \log|1/\beta|$. Para los amplificadores considerados en este texto, es siempre una constante real asociada con un cuadripolo resistivo. Por lo tanto, esta resta gráfica equivale al cambio del sistema de coordenadas que vimos en la Figura 9.23a. Además el diseñador conoce $1/\beta$. Recuerde de la Ecuación (9.2) que $1/\beta$ se aproxima a la *ganancia en lazo cerrado deseada* para el amplificador realimentado. Por lo tanto, *para cada frecuencia, la ganancia de lazo en dB es la diferencia entre la ganancia del amplificador no realimentado y la ganancia (constante) que deseamos obtener del amplificador realimentado.* En cuanto al diagrama de fase, cuando β es positiva, la curva de fase de $L(\omega)$ es el diagrama de fase de $A(\omega)$. Si β es negativa, la curva de fase es el diagrama de fase de $-A(\omega)$.

Estabilidad en función de β Es interesante ver que es más fácil construir un amplificador realimentado estable con ganancia alta que con ganancia baja, como vemos en el siguiente ejemplo.

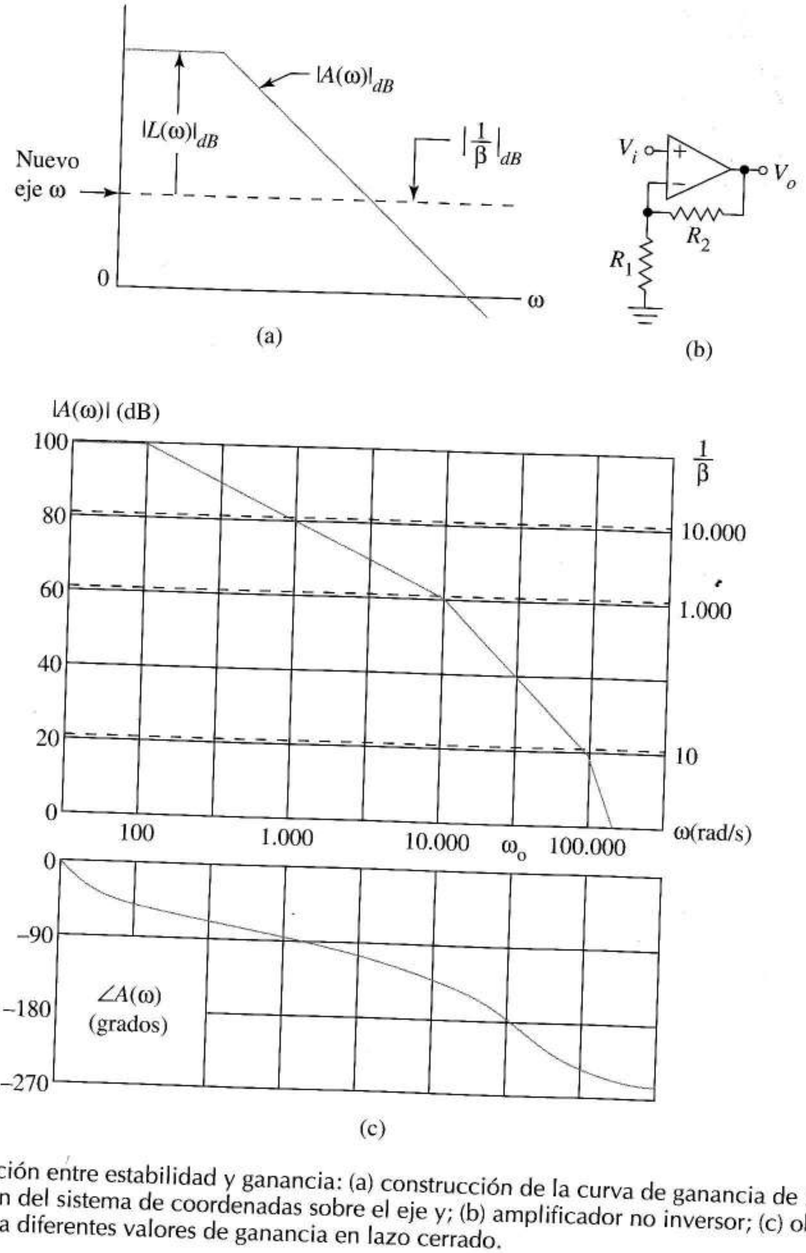


FIGURA 9.23 Relación entre estabilidad y ganancia: (a) construcción de la curva de ganancia de lazo desplazando el origen del sistema de coordenadas sobre el eje y; (b) amplificador no inversor; (c) obtención de la ganancia de lazo para diferentes valores de ganancia en lazo cerrado.

EJEMPLO 9.11 Supongamos que el amplificador operacional de la Figura 9.23b tiene las características de magnitud $|A(\omega)|_{dB}$ y fase $\angle A(\omega)$ en lazo abierto de la Figura 9.23c. Examinar la estabilidad del amplificador no inversor realimentado para ganancias de a) 10.000, b) 1.000 y c) 10 con el margen de ganancia.

Solución Para este circuito de realimentación de tensión en serie nuestro objetivo de diseño es un amplificador no inversor con ganancia de

$$\frac{1}{\beta} = 1 + \frac{R_2}{R_1}$$

Debido a que el ángulo de $1/\beta$ es cero a todas las frecuencias, la curva de fase del amplificador operacional es también la curva de fase de la ganancia de lazo.

a) Para la ganancia de 10.000 se tiene $20 \log|1/\beta| = 80$ dB, así que dibujamos la línea de trazos a 80 dB mostrada en la Figura 9.23c, y siguiendo la Ecuación (9.27), la consideramos como el nuevo eje ω. Respecto a este nuevo eje, la amplitud de la curva continua es $|L(\omega)|$. El margen de ganancia, $0 - L(\omega_o) = 41$ dB indica que el amplificador es bastante estable, con margen de ganancia de 41 dB.

b) Para la ganancia de 1.000 se tiene $20 \log|1/\beta| = 60$ dB, así que dibujamos la línea de trazos a 60 dB y la usamos como nuevo eje ω. Las curvas de ganancia de lazo muestran que este amplificador también es estable pero su margen de ganancia es sólo 21 dB.

c) Para la ganancia de 10 (ó 20 dB) el margen de ganancia es $0 - (39 - 20) = -19$ dB a ω_o. Este amplificador es inestable. ❑

En el ejemplo anterior, las curvas de ganancia y fase indican que para la Figura 9.23b el caso límite es una ganancia de lazo cerrado de 39 dB, esto es, $1 + R_2/R_1 = 89{,}1$. Cualquier amplificador con menos ganancia es inestable.

Ejercicio 9.10 Con la información gráfica, obtener el margen de fase para cada amplificador del Ejemplo 9.11.

Respuesta 90°, 47° y –50°.

Amplificador estable incondicionalmente En general la estabilidad depende de ; sin embargo es posible construir amplificadores que sean estables para cualquier β. La Figura 9.24 muestra las curvas de respuesta en frecuencia en lazo abierto para un *amplificador incondicionalmente estable*. La característica más destacada es un polo dominante a alta frecuencia que hace que la ganancia en lazo abierto caiga a razón de –20 dB/dec desde su valor de frecuencias medias hasta ω_1, la *frecuencia de ganancia unidad.* Dentro de este margen de frecuencia, el desplazamiento de fase es menor que 180° en todos los puntos.

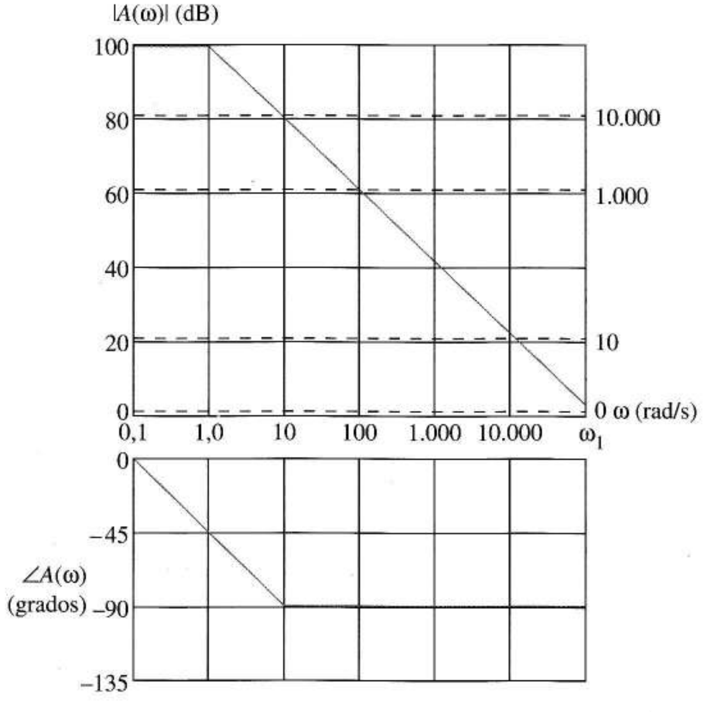


FIGURA 9.24 Curvas de ganancia en lazo abierto para un amplificador incondicionalmente estable.

La Figura 9.24 repite los dibujos de líneas de trazos del Ejemplo 9.11 para poder comparar. La nueva curva de trazos a 0 dB muestra que incluso un circuito seguidor es estable. El precio que pagamos por un amplificador estable incondicionalmente es un producto ganancia-ancho de banda reducido. Pronto veremos por qué.

9.6.5 RESPUESTA EN FRECUENCIA EN LAZO CERRADO

Para un amplificador con un solo polo a alta frecuencia, la Ecuación (9.5) y la Figura 9.2a muestran que la realimentación negativa renuncia a la ganancia a cambio del ancho de banda, sin cambiar la forma general de la curva de respuesta en frecuencia. Debido a su polo dominante esto es cierto para un amplificador estable incondicionalmente. Sin embargo si $A(\omega)$ tiene una forma más general, por ejemplo la de la Figura 9.22b, entonces la relación matemática entre $A_f(\omega)$ y $A(\omega)$ es más complicada igual que ocurre con $A_f(\omega)$.

Cuando $A(\omega)$ describe un amplificador de dos polos, la respuesta en frecuencia del lazo cerrado $|A_f(\omega)|_{dB}$ *se relaciona con el margen de fase*, como en la Figura 9.25, y la especificación de diseño del margen de fase tiene su origen en estas curvas. Un margen de fase de 45° da un pico aproximado de 2 dB para la respuesta en lazo cerrado, 60° da un pico aproximado de 0,5 dB, y 65,5° *da una respuesta totalmente plana*, sin picos. Para cada margen de fase, las curvas de respuesta en frecuencia de la Figura 9.25 relacionan también el ancho de banda en lazo cerrado y la frecuencia ω_1, aquella a la que el margen de ganancia es 0 dB, como vemos al examinar la variable independiente. El próximo ejemplo usa estas curvas en el diseño.

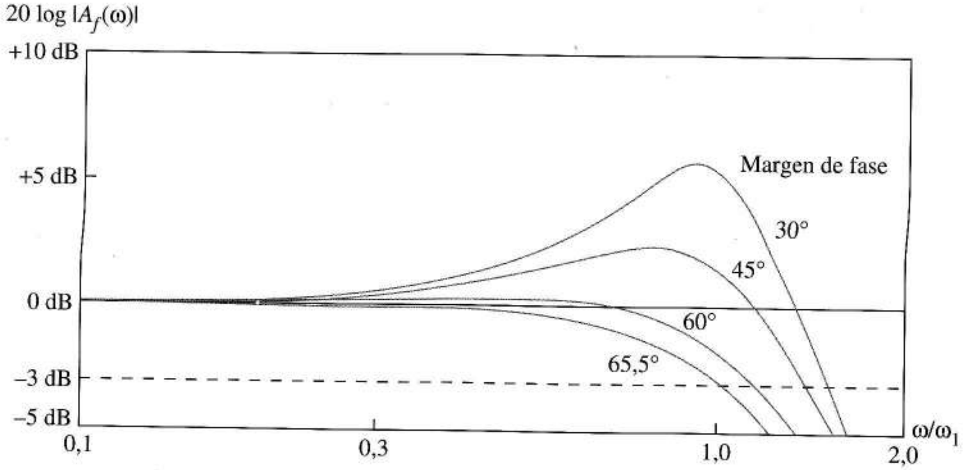


FIGURA 9.25 Curva de respuesta frecuencial para un cuadripolo amplificador realimentado como una función del margen de fase. La ganancia de lazo es 0 dB a $\omega = \omega_1$.

EJEMPLO 9.12 La Figura 9.26 muestra las curvas de respuesta en frecuencia para un amplificador operacional. Diseñar un amplificador no inversor que tenga una respuesta en frecuencia plana y obtener el producto ganancia-ancho de banda del amplificador.

Solución La respuesta en frecuencia presenta dos polos, así que el amplificador no realimentado es, al menos aproximadamente, un dispositivo de dos polos. La Figura 9.25 muestra que la respuesta en frecuencia plana implica un margen de fase de 65,5°. De la Ecuación (9.26), $\phi(\omega_1) = 65{,}5° - 180° = -114{,}5°$. Por lo tanto comenzamos por obtener la frecuencia ω_1, Figura 9.26, a la que el desplazamiento de fase es alrededor de –114,5°. De

la Figura 9.26 se tiene que $\omega_1 \approx 2\,\pi\,900$ rad/s. A esta frecuencia le corresponde en la curva de amplitud la ganancia en lazo cerrado que da ese margen de fase. Esta ganancia es 57 dB, que significa $|A(j2\,\pi\,900)| = 708$. Por lo tanto $A_f \approx 1/\beta = 708 = 1 + R_2/R_1$. La línea de trazos muestra $1/\beta$. Concluimos que un amplificador no inversor con $R_1 = 1$ kΩ y $R_2 = 707$ kΩ debe ser estable con un margen de fase de 65,5° y su respuesta en frecuencia es una curva plana. De la Figura 9.25 se obtiene que el ancho de banda del amplificador realimentado es $\omega_1 = 2\,\pi\,900$ rad/s. Como la ganancia es 708, el producto ganancia-ancho de banda es 637 kHz. ❑

La Figura 9.26 muestra que $A(\omega)$ tiene un ancho de banda de 100 Hz, ganancia de 5.623 (75 dB) y un producto ganancia-ancho de banda de 562 kHz. En el ejemplo anterior, el producto ganancia-ancho de banda no se mantuvo constante al añadir la realimentación, se incrementó a 637 kHz. La Figura 9.25 muestra que si se permiten picos, el ancho de banda puede incrementarse aún más.

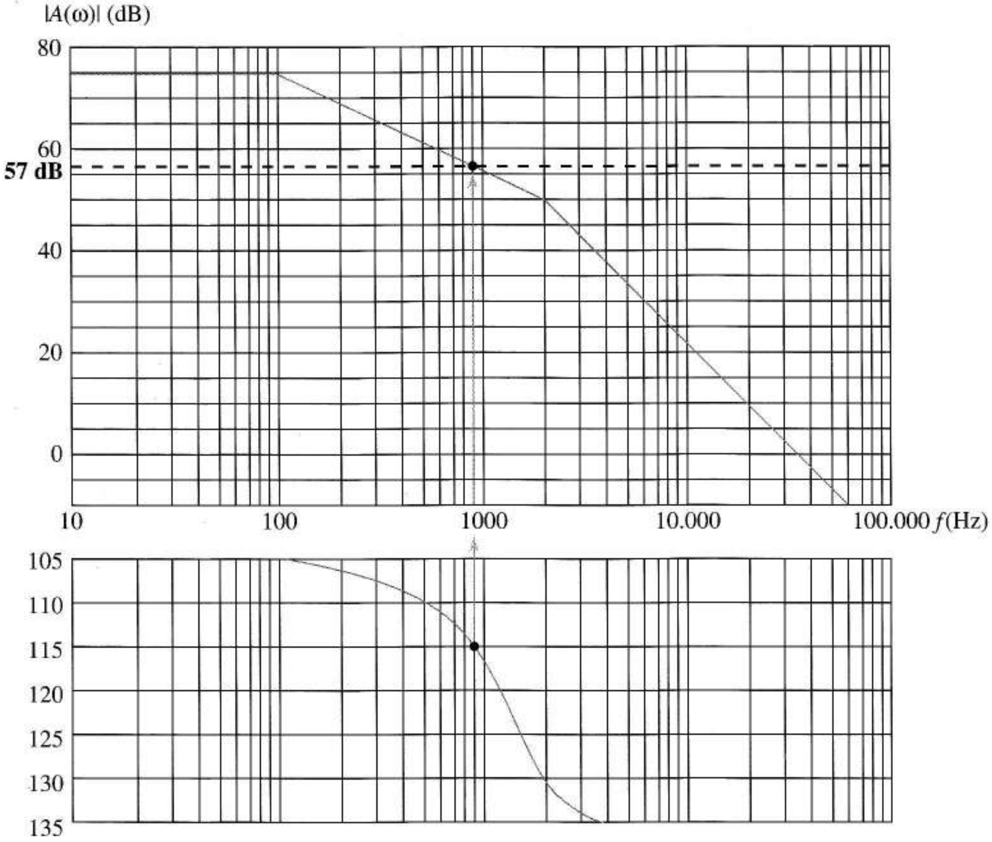


FIGURA 9.26 Curvas de respuesta en lazo abierto para un amplificador operacional.

Ejercicio 9.11 Obtener la ganancia en lazo cerrado para un margen de fase de 60° del amplificador operacional descrito por la Figura 9.26.

Respuesta 53 dB.

9.6.6 COMPENSACIÓN EN FRECUENCIA

Si un amplificador es inestable para una ganancia dada $1/\beta$, podemos hacerlo estable alterando su curva de ganancia en lazo abierto $A(\omega)$ [y de este modo $L(\omega)$]. Cambiar deliberadamente la respuesta en frecuencia del amplificador no realimentado para hacer un amplificador realimentado estable se llama *compensación en frecuencia*. De los diversos métodos de compensación en frecuencia disponibles examinamos sólo los dos más importantes, desplazamiento de polos y adición de polos.

Compensación por desplazamiento de polos Desplazamiento de polos significa mover el *menor de los polos a alta frecuencia* a una frecuencia aún menor–justo lo suficiente para estabilizar el amplificador para la $1/\beta$ dada –añadiendo uno o más componentes. La técnica específica que describimos estabiliza con un margen de fase de 45β; sin embargo es fácilmente modificable para otros márgenes de fase. Las curvas continuas en azul de amplitud y fase de la Figura 9.27 describen el amplificador no compensado. Los dos primeros polos a alta frecuencia están localizados a f_a = 1 kHz y f_b = 10 kHz. (Una escala en la parte superior muestra los símbolos para las frecuencias críticas). Usamos este amplificador como ejemplo en el procedimiento general de compensación que sigue.

1. Dibujar una línea horizontal a $|1/\beta|_{dB}$ sobre la curva de ganancia en lazo abierto. En la Figura 9.27 se utiliza una línea de trazos para $|1/\beta|_{dB}$ = 40 dB.
2. Sobre esta línea buscamos la frecuencia del *segundo* polo más bajo a alta frecuencia del amplificador no compensado, que en este caso es f_b = 10 kHz en la Figura 9.27.

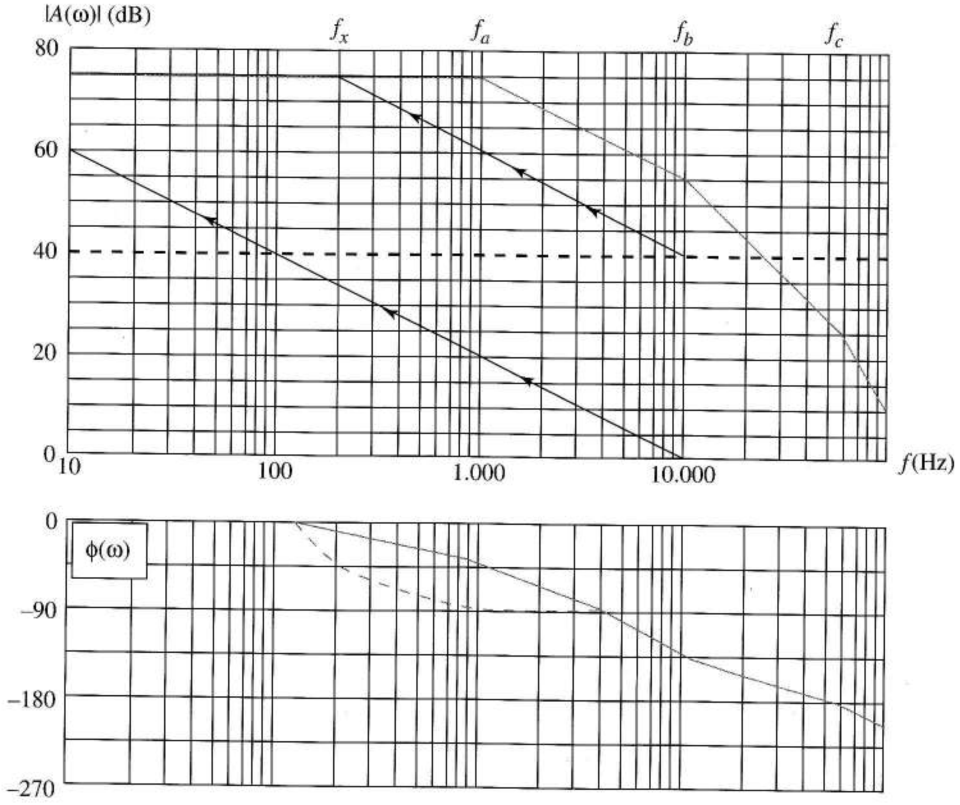


FIGURA 9.27 Compensación por desplazamiento de polos.

3. Desde este punto dibujamos una línea de pendiente –20 dB por década hasta que corte a la curva de ganancia en lazo abierto. La frecuencia f_x correspondiente al punto de intersección es la nueva frecuencia del polo. Esta recta de pendiente negativa, marcada con flechas, da, al cortar con la curva de ganancia en lazo abierto, $f_x = 200$ Hz.

Después de la compensación, los dos polos más bajos a alta frecuencia están a las frecuencias f_x y f_b. El diagrama de Bode para la nueva característica de ganancia en lazo abierto coincide con la original hasta f_x, aquí sigue por la línea marcada con flechas hasta cortarse con $|1/\beta|_{dB}$ y desde aquí corre paralela a la curva original ya que todos los polos, excepto el primero, permanecen inalterables. Una línea azul a trazos en la Figura 9.27 muestra como cambia la curva de fase para el caso de $|1/\beta|_{dB} = 40$ dB e ilustra por qué el margen de fase del amplificador compensado es 45°.

Ejercicio 9.12 Obtener la frecuencia f_x del nuevo polo para un amplificador realimentado con ganancia de 25 dB usando el amplificador en lazo abierto de la Figura 9.27.

Respuesta $\approx$ 30 Hz.

Si la información se da matemáticamente, es decir, como una función de transferencia en lugar de gráficamente, podemos calcular la frecuencia f_x del nuevo polo. Como la línea marcada con flechas tiene una pendiente de –20 dB/dec el número de décadas d que separa las frecuencias de los polos f_b y f_x es

$$d = \frac{|A_{med}|_{dB} - |1/\beta|_{dB}}{20\ \text{dB / dec}} \tag{9.28}$$

Podemos calcular entonces f_x

$$f_b = 10^d f_x \tag{9.29}$$

Usando estas ecuaciones en lugar de las curvas, da 31,6 Hz para la respuesta del Ejercicio 9.12.

Estabilidad incondicional Cuando un amplificador es probable que sea usado para muchos valores de ganancia de lazo cerrado por muchos usuarios, como en el caso del amplificador operacional μA741 o por un solo usuario para un amplificador de ganancia variable (Figura 5.36) es conveniente compensar el amplificador para obtener *estabilidad incondicional*[1]. No es necesario un nuevo procedimiento; simplemente diseñamos la compensación para $|1/\beta|_{dB} = 0$. En la Figura 9.27 la construcción para obtener la estabilidad incondicional, en la parte inferior izquierda, no cabe en el diagrama; sin embargo, las Ecuaciones (9.28) y (9.29) muestran que debemos mover el polo que hay en f_a a $d = (75 - 0)/20 = 3{,}75$ décadas por debajo de f_b, a

$$f_x = \frac{10^4}{5.623} = 1{,}78 \text{ Hz}$$

El precio que pagamos por la estabilidad incondicional es el valor del producto ganancia-ancho de banda. Por ejemplo, en la Figura 9.27 el amplificador no compensado tiene un ancho de banda de 1 kHz, una ganancia de 5.623 (75 dB) y un producto ganancia-ancho de banda de 5,62 MHz. Con compensación para ganancia de lazo cerrado de 40 dB el ancho de banda es 200 Hz; el producto ganancia-ancho de banda es 1,12 MHz. Después de compensar para estabilidad incondicional el producto ganancia-ancho de banda es sólo 5.623 × 1,78 = 10 kHz. Esta es una consideración importante, porque a mayor ganancia-ancho de banda en el amplificador de lazo abierto, tiene como resultado un valor superior del ancho de banda y otros parámetros de funcionamiento en el amplificador de lazo cerrado.

[1]N. del T. En el caso de operacionales se habla de amplificadores "compensados internamente en frecuencia".

Separación de polos Si los dos polos más bajos de alta frecuencia (f_a y f_b en la Figura 9.27) interaccionan, ocurre un complejo e interesante fenómeno llamado *separación de polos*. En la separación de polos no sólo f_a decrece cuando añadimos la capacidad para compensar, sino que simultáneamente f_b crece hasta un valor alto, normalmente desapareciendo de un diagrama de Bode como el de la Figura 9.27. Con la separación de polos, el polo de f_b se mueve a la derecha cuando añadimos la capacidad proporcionándonos un blanco escurridizo cuando tratamos de dibujar la línea que parte de f_b. Como el tercer polo, en f_c, no se mueve con la separación de polos, podemos anticipar la desaparición de f_b y usar en su lugar f_c, el tercer polo de alta frecuencia, como base para trazar la línea. La separación de polos es una buena noticia porque la compensación da como resultado un producto ganancia-ancho de banda mayor que cuando f_a y f_b corresponden a polos aislados. Si esperamos que haya separación de polos podemos usar la Ecuación (9.29) con f_c sustituyendo a f_b para estimar f_x. Gray y Meyer estudian el fenómeno de separación de polos con gran detalle en una de las referencias del final del capítulo.

Adición de polos *Adición de polos* significa añadir un *nuevo* polo de alta frecuencia que originalmente no estaba presente en el amplificador o, lo que produce el mismo efecto, mover algún polo de muy alta frecuencia a una nueva posición a mucha menor frecuencia. Esta técnica da amplificadores de menos producto ganancia-ancho de banda que el desplazamiento de polos, pero es especialmente útil cuando la única información que tenemos es el ancho de banda f_a , del circuito A.

El procedimiento gráfico para la adición de polos difiere del desplazamiento de polos sólo en que la línea inclinada que se traza comienza a la frecuencia del polo más bajo, f_a, en lugar de a f_b. Por ejemplo para el amplificador de 40 dB de la Figura 9.27 la línea comenzaría a 10^3 Hz. Según la Ecuación (9.28) el nuevo polo debe estar localizado $d = (75 - 40)/20 = 1{,}75$ décadas por debajo de 10^3 Hz. Según la Ecuación (9.29) éste está en $f_x = 10^{-1{,}75}10^3 = 17.8$ Hz, comparado con los 200 Hz del desplazamiento de polos. La adición de polos se usa ampliamente para lograr estabilidad incondicional a pesar de la penalización en el producto ganancia-ancho de banda que se produce comparándola con el desplazamiento de polos.

Ejercicio 9.13 En la Figura 9.27 deseamos añadir un nuevo polo en $f = f_x$ para estabilizar un amplificador realimentado de ganancia 50 dB. Obtener el ancho de banda del amplificador compensado calculando el número de décadas d que separan f_x y f_a.

Respuesta $d = 1{,}25$, 56,2 Hz.

9.6.7 OTROS ASPECTOS SOBRE EL CIRCUITO DE COMPENSACIÓN EN FRECUENCIA

En el Apartado 8.4.6 aprendimos a reducir el ancho de banda de un amplificador añadiendo un condensador al circuito. Una vez que obtenemos la frecuencia deseada de polo, f_x, usando una construcción gráfica o las Ecuaciones (9.28) y (9.29), podemos usar los métodos del Capítulo 8 para obtener la capacidad necesaria para la compensación en frecuencia.

EJEMPLO 9.13 Las Figuras 9.28a y 9.28b muestran los esquemas de un amplificador de transresistencia no realimentado y su equivalente a alta frecuencia. Ambos transistores tienen $\beta_f = 190$, $C_\pi = 30$ pF, $C_\mu = 5$ pF y $g_m = 0{,}12$ A/V. Q_2 se representa por su equivalente en base común usando $\alpha = 0{,}995 \approx 1$ y $r_e = 8{,}27\ \Omega$, ignorando las resistencias de difusión de base. La Figura 9.28c muestra los diagramas de amplitud y fase generados con el SPICE para la ganancia de transresistencia en líneas continuas. Del listado del SPICE se obtiene que la ganancia de transresistencia es 119 dB y la frecuencia de corte f_a ,es de aproximadamente 2 MHz.

a) Obtener la posición en el circuito y el valor de un condensador de compensación que añada un polo dominante nuevo. Después de añadir la realimentación el nuevo polo debe proporcionar funcionamiento estable para una ganancia de transresistencia en lazo cerrado de 60 dB.

b) Utilice el SPICE para obtener la respuesta en frecuencia del amplificador compensado.

Solución a) Las curvas muestran que si no hay compensación y se añade realimentación para la ganancia de transresistencia de 60 dB se obtiene un amplificador inestable con un margen de ganancia de aproximadamente –25 dB.

La Ecuación (9.28) muestra que el nuevo polo debe estar

$$d = \frac{119 - 60}{20} = 2{,}95 \text{ dec}$$

por debajo de f_a. Por lo tanto el nuevo polo debe estar localizado en $f_x = (2 \times 10^6) \times 10^{-2{,}95} = 2{,}24$ kHz. El circuito es un amplificador inversor de dos etapas con la inversión en la etapa de emisor común y la ganancia de tensión en la etapa de base común. Un condensador de compensación entre la base de Q_1 y el colector de Q_2, como en la Figura 9.28a, podría usar la multiplicación de Miller para reducir el ancho de banda.

A partir de la Figura 9.28b la ganancia de Miller a frecuencias medias es

$$\frac{V_o}{V_1} = 0{,}12\frac{5\text{ k}}{5\text{ k} + 8{,}27}(-5\text{ k}) = -599$$

Si ignoramos todos los demás condensadores, C_{comp} tiene un valor efectivo de $600C_{comp}$, y entonces deberíamos ver una resistencia de 1,58 kΩ. Como eso debe dar una frecuencia de polo $f_x = 2{,}1$ kHz, C_{comp} debe cumplir

$$\frac{1}{2\pi\left(2{,}1 \times 10^3\right)600C_{comp}} = 1{,}58 \times 10^3$$

o $C_{comp} = 79{,}9$ pF.

b) Añadiendo este condensador al circuito SPICE y recalculando las curvas de respuesta en frecuencia se obtienen las curvas de magnitud y fase a trazos de la Figura 9.28c. Está claro que añadiendo la realimentación propuesta a este amplificador compensado dará como resultado un amplificador estable de ganancia 60 dB. ❑

El ejemplo anterior constaba de un amplificador emisor-común/base-común con ancho de banda intrínsecamente alto y compensación por adición de polo. Los detalles de circuitos asociados con el desplazamiento de polos son similares. Por ejemplo, suponga que f_a está determinada por un condensador de Miller en una etapa de emisor-común o base-común. La capacidad externa añadida entre base y colector (o puerta y drenaje) incrementa entonces la capacidad de Miller como en el Ejemplo 8.10, desplazando la frecuencia del polo a la frecuencia inferior deseada f_x. El uso del efecto Miller es particularmente efectivo en la compensación de circuitos integrados porque el condensador de compensación no necesita ser grande.

Compensación de circuitos integrados cuando los detalles del circuito son desconocidos Hemos dado por cierto que el diseñador de un circuito integrado tiene un conocimiento detallado de la estructura del circuito A y sus parámetros, pero con circuitos integrados esto no siempre es así. A veces el fabricante de circuitos integrados proporciona patillas externas especiales para la compensación de frecuencia y una *receta* que nos dice exactamente cómo compensar el dispositivo. Típicamente la información incluye una familia de características de ganancia y fase en lazo abierto que corresponden a varios valores de componentes de compensación que coloca el usuario. El diseñador usa esta información para alcanzar el mayor ancho de banda compatible con las especificaciones de estabilidad y ganancia dadas.

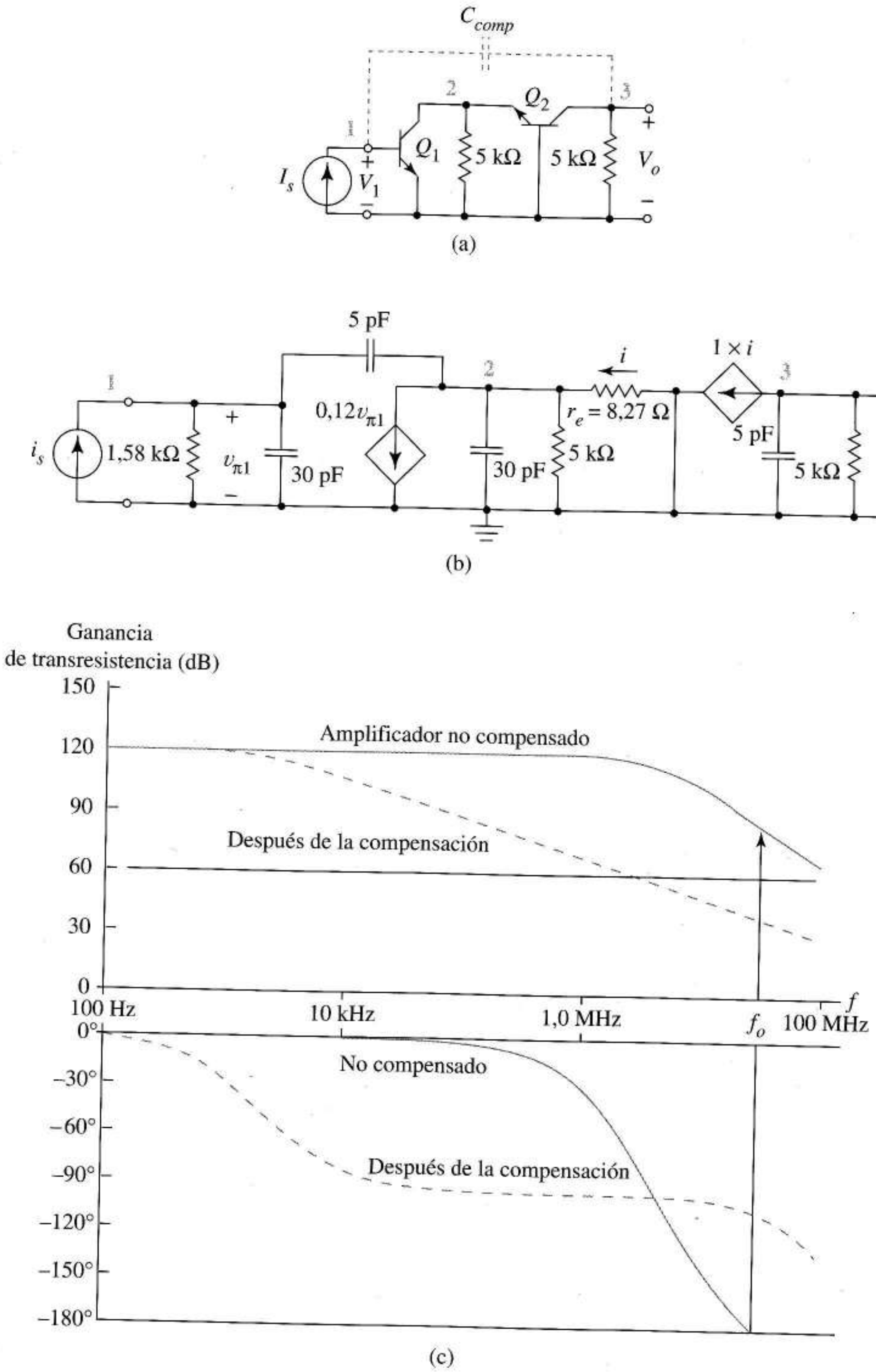


FIGURA 9.28 Compensación en frecuencia: (a) amplificador de transresistencia no compensado; (b) equivalente de alta frecuencia; (c) curvas de ganancia y fase de una amplificador no compensado y compensado.

9.6.8 COMPENSACIÓN EN FRECUENCIA Y *SLEW-RATE*

La compensación en frecuencia y el *slew-rate* de un amplificador realimentado están estrechamente relacionados. Este estudio amplía el estudio inicial de la velocidad de cambio, Apartado 2.5.14. Las Figuras 9.29a y b muestran una estructura interna típica de muchos amplificadores operacionales. Hay dos etapas de ganancia: un amplificador diferencial de transconductancia de entrada y un amplificador inversor de transresistencia; el amplificador de potencia de ganancia unidad gobierna la carga externa. Un condensador de compensación, que une el amplificador de transresistencia, es suficiente para determinar el comportamiento dinámico del amplificador operacional. Este condensador es un componente interno en amplificadores operacionales incondicionalmente estables; de otra manera es un componente externo puesto por el usuario.

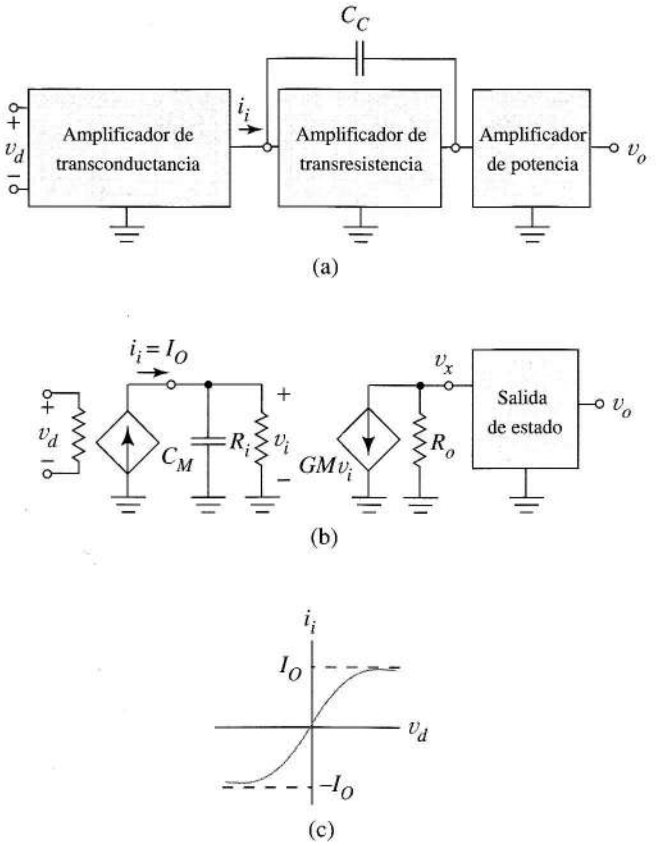


FIGURA 9.29 Compensación de un amplificador operacional: (a) diagrama de bloques del amplificador operacional con condensador de compensación; (b) circuito equivalente del amplificador operacional compensado; (c) característica de transferencia de la etapa de entrada.

La Figura 9.29b describe la primera etapa como una fuente de corriente controlada por la tensión diferencial de entrada y la segunda etapa por su equivalente Miller. Para la segunda etapa el polo dominante fija un ancho de banda en lazo abierto de

$$\omega_H = \frac{1}{2\pi R_i C_M}, \quad C_M = \left[C_C\left(1 + GM\,R_o\right)\right] \tag{9.30}$$

La Figura 9.29c muestra la característica de transferencia no lineal de la etapa de entrada. Cuando la tensión de entrada v_d es excesiva, se corta un transistor de entrada, forzando a la salida a llevarse la corriente de polarización I_O. Las Figuras 7.44a y b muestran cómo un transistor de entrada cortado provoca una corriente de salida constante en el otro transistor. En ese momento, la corriente entrante a la segunda etapa es $i_i = I_O$. De la Figura 9.29b la ecuación diferencial para v_i es

$$C_M \frac{dv_i}{dt} = +I_O - \frac{v_i}{R_i} \approx I_O \tag{9.31}$$

donde se supone $I_O >> v_i/R_i$. La relación de cambio de la tensión interna v_i es por lo tanto

$$\frac{dv_i}{dt} = \frac{I}{C_M} I_O$$

Como $v_o \approx v_x$, de la Ecuación (9.31) concluimos que el *slew-rate* (s.r.) es

$$\text{s.r.} = \left|\frac{dv_o}{dt}\right| = \left|\frac{dv_x}{dt}\right| = GM\,R_o \left|\frac{dv_i}{dt}\right| = \frac{GM\,R_o}{C_M} I_O \tag{9.32}$$

Sustituyendo el C_M de la Ecuación (9.30) da

$$\text{s.r.} \approx \frac{I_O}{C_C} \tag{9.33}$$

Esto muestra que es deseable un valor alto para I_O, que está directamente relacionada con la corriente continua de la etapa de entrada, en un amplificador que tenga un *slew-rate* alto.

Para relacionar slew-rate con el ancho de banda resolvemos la Ecuación (9.30) para $1/C_M$ y sustituimos en la Ecuación (9.32). Esto da

$$\text{s.r.} = \left|\frac{dv_o}{dt}\right| = 2\pi GM\,R_i R_o I_O \omega_H \tag{9.34}$$

Para hacer grande el *slew-rate* también debemos hacer el ancho de banda tan grande como sea posible; sin embargo esto debe ser compatible con el funcionamiento estable en lazo cerrado. Concluimos que un amplificador compensado internamente llega a un compromiso entre *slew-rate* y producto ganancia-ancho de banda para obtener estabilidad incondicional.

9.7 OSCILADORES SENOIDALES

Los osciladores son circuitos inestables que sirven como generadores de ondas eléctricas. Hay dos grandes clases de osciladores: *osciladores senoidales* que producen ondas senoidales y *osciladores de relajación* que producen ondas triangulares o rectangulares. Ambas clases de osciladores se usan

mucho para bases de tiempo en equipos de test y medida y para procesado de señal en sistemas de comunicación analógicos y digitales. Aquí nos centramos sólo en los osciladores senoidales, dejando los osciladores de relajación para el Capítulo 14.

9.7.1 TEORÍA GENERAL DE OSCILADORES SENOIDALES

Un oscilador senoidal tiene tres partes funcionales, un *desplazador de fase* que establece la frecuencia de oscilación, un circuito de ganancia para compensar las pérdidas de energía en el desplazador de fase y un *limitador* para controlar la amplitud de las oscilaciones. El circuito de ganancia puede ser un amplificador operacional, un transistor o un amplificador de transistores; el desplazador de fase suele ser un circuito *RC* o *LC*; el limitador puede ser un diodo, un termistor o un amplificador de ganancia variable. En algunos osciladores las funciones básicas se combinan en lugar de estar relegadas a subcircuitos individuales. Por ejemplo, las capacidades internas del transistor que proporciona ganancia pueden contribuir al desplazamiento de fase y las no linealidades intrínsecas del transistor proporcionan el limitador. La inestabilidad es común a todos los circuitos osciladores; la mejor forma de entenderlo es con la teoría de realimentación positiva.

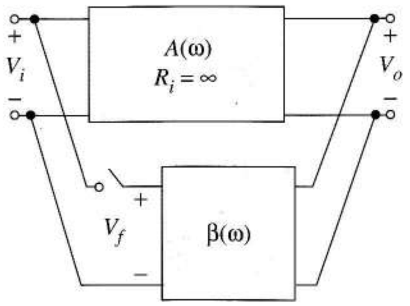


FIGURA 9.30 Estructura general de un oscilador senoidal.

La estructura de realimentación de tensión en paralelo de la Figura 9.30 describe muchos osciladores senoidales. El amplificador de tensión con ganancia $A(\omega) = V_o/V_i$ proporciona la ganancia y la red de realimentación $\beta(\omega) = V_f/V_o$ es el desplazador de fase. Una representación del oscilador, como la de la Figura 9.30, difiere del diagrama de un amplificador realimentado: consideramos la ganancia $A(\omega)$ como ganancia de tensión (no ganancia de transresistencia), $\beta(\omega)$ se define sin el concepto de sustracción en la entrada, la red de realimentación incluye los elementos reactivos para proporcionar el desplazamiento de fase necesario para la realimentación positiva y –por supuesto– no hay fuente de señal externa. Las no linealidades que limitan la amplitud de la señal se producen siempre, pero no aparecen en este modelo. El interruptor nos ayuda a examinar la ganancia de lazo del circuito.

Criterio de Barkhausen Suponga que $A(\omega)$ y $\beta(\omega)$ se definen de modo que no ocurran efectos de carga cuando se cierra el interruptor. El *criterio de Barkhausen* establece que habrá oscilaciones senoidales a la frecuencia ω_o con el interruptor cerrado siempre que la ganancia de lazo con el interruptor abierto sea

$$V_f / V_i = A(\omega_o)\beta(\omega_o) = M(\omega_o)\angle\phi(\omega_o) = 1 \qquad (9.35)$$

Cuando se cumple esta condición, se puede eliminar la fuente de señal senoidal V_i porque la amplitud y la fase de la señal realimentados a la entrada son exactamente los necesarios para sustituir a esta fuente.

Como el criterio de Barkhausen incluye una función de valores complejos implica dos condiciones para las oscilaciones, una condición de magnitud y una condición de fase. Usamos la *condición de magnitud*, $M(\omega_o) = 1$, como prueba para determinar si las oscilaciones pueden existir en un circuito dado. Esta condición surge de la necesidad física de que el amplificador proporcione ganancia suficiente para compensar exactamente las pérdidas de energía en el circuito. Si $M(\omega_o)$ es mayor que uno, el oscilador es de *auto-arranque* con las oscilaciones surgiendo e incrementando su amplitud hasta que las no linealidades provoquen una reducción de $M(\omega_o)$. Algunos circuitos osciladores necesitan un generador de señal para arrancar; sin embargo los circuitos auto-arrancados son los normales.

Suponiendo que las oscilaciones pueden ocurrir, la *condición de fase* $\phi(\omega_o) = 0$ determina la frecuencia de oscilación ω_o del circuito. Físicamente esta condición significa que esta señal retorna a la entrada exactamente en fase con ella misma.

9.7.2 OSCILADORES RC

Dos importantes osciladores usan circuitos de desplazamiento de fase *RC*. Ambos son adecuados para generar oscilaciones a frecuencias que van de pocos hertzios a cientos de kilohertzios.

Oscilador en puente de Wien La Figura 9.31a muestra el oscilador en *puente de Wien* con un amplificador operacional no inversor como elemento de ganancia. Se llama también *oscilador en puente* porque el elemento activo está rodeado por el circuito en puente *RC*, como vemos al redibujar el circuito como en la Figura 9.31b.

Para obtener las ecuaciones de diseño de éste o cualquier oscilador aplicamos el criterio de Barkhausen. De la Figura 9.31a, $\beta(\omega)$ es la función de transferencia

$$\beta(\omega) = \frac{Z_1}{Z_1 + Z_2}$$

donde Z_1 y Z_2 son las impedancias de los circuitos paralelo *RC* y serie *RC* respectivamente. Como $A(\omega)$ es la ganancia del amplificador no inversor, la Ecuación (9.35) requiere

$$A(\omega_o)\beta(\omega_o) = \frac{(1 + R_2/R_1)[R/(j\omega_o CR + 1)]}{[R/(j\omega_o CR + 1)] + (R + 1/j\omega_o C)} = +1$$

donde ω_o es la frecuencia de oscilación. Simplificando, se llega a la expresión

$$A(\omega_o)\beta(\omega_o) = \frac{(1 + R_2/R_1)\,j\omega_o RC}{1 + 3j\omega_o RC - \omega_o^2 R^2 C^2} = +1 \qquad (9.36)$$

Para que la expresión sea real, la parte real del denominador debe ser cero. Esto da la condición de fase

$$\omega_o^2 = \frac{1}{R^2 C^2} \qquad (9.37)$$

Despejando la frecuencia

$$\omega_o = \frac{1}{RC} \qquad (9.38)$$

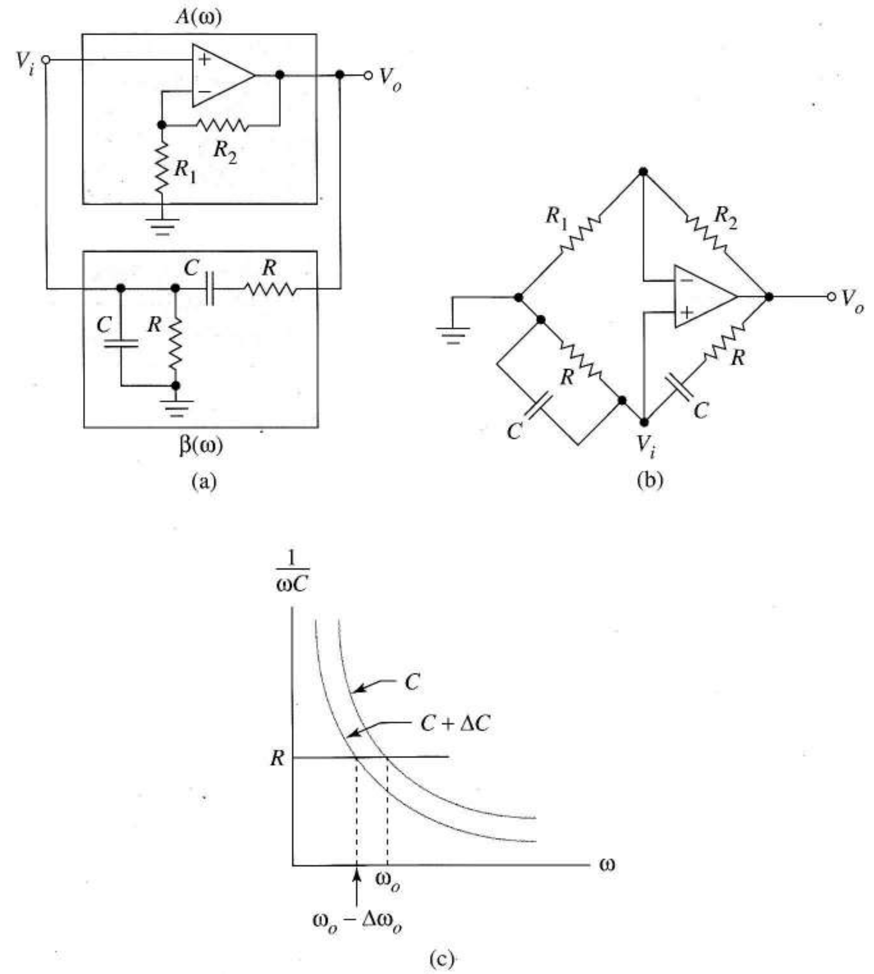


FIGURA 9.31 Oscilador en puente de Wien: (a) esquema; (b) redibujado para mostrar el puente; (c) ilustración de la estabilidad de frecuencia.

Sustituyendo en la Ecuación (9.36) da la condición de amplitud

$$\left(1 + \frac{R_2}{R_1}\right) = 3$$

Por tanto, si $R_2 \geq 2R_1$, el circuito oscilará; la inecuación implica oscilaciones de amplitud creciente.

Una característica muy importante de un oscilador es su *estabilidad en frecuencia*, su capacidad para mantener una frecuencia próxima al valor de diseño. A partir de la Ecuación (9.38) es fácil demostrar que

$$S_C^{\omega_o} = S_R^{\omega_o} = -1$$

particularmente para valores altos. Para dar una idea intuitiva de lo que implica, la Figura 9.31c muestra la Ecuación (9.38) como la solución gráfica de la ecuación $1/\omega C = R$. Las líneas de trazos

muestran el cambio de ω_o con las variaciones de C. (Como la expresión de la sensibilidad, este diagrama supone que los pares de resistencia y condensador son iguales).

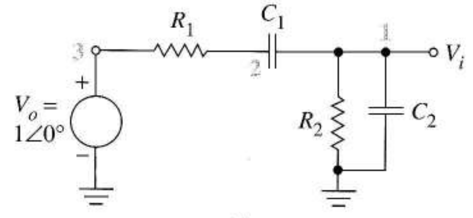
El siguiente ejemplo demuestra otra forma de estudiar la estabilidad en frecuencia de un oscilador usando el SPICE para dibujar la fase de $A(\omega)\ \beta(\omega)$.

EJEMPLO 9.14 Dibujar el desplazamiento de fase de la ganancia de lazo para un oscilador en puente de Wien con $R = 397{,}9\ \Omega$ y $C = 1.000$ pF. Hallar el cambio de frecuencia si el valor del condensador sube un 10%

Solución La Figura 9.32a es la red de desplazamiento de fase y la Figura 9.32b el código SPICE. La sentencia que describe C_2 para la segunda ejecución está marcada con un asterisco. Como la Ecuación (9.38) indica una frecuencia de oscilación de 400 kHz, la fase de $\beta(\omega)$, que es la fase de V(1), se dibuja desde 320 hasta 480 kHz.

La curva continua de la Figura 9.32c indica que la curva de fase del oscilador original es más o menos lineal dentro del margen del diagrama y va de cero a 400 kHz. Incrementando C_2 un 10% da la curva de trazos, mostrando que la frecuencia cae aproximadamente a 380 kHz, un cambio del 5%. Por tanto

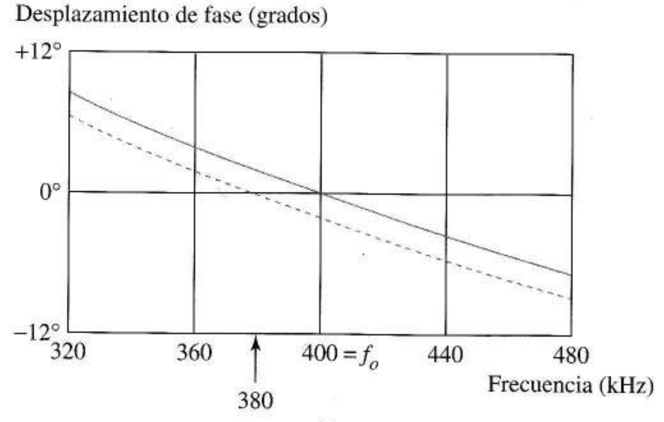
$$S_{C_2}^{\omega_o} \approx -0{,}5$$ ❑



(a)

```
EXAMPLE 9.14
VO 3 0 AC 1
R1 3 2 397.9
C1 2 1 1000P
R2 1 0 397.9
C2 1 0 1000P
*C2 1 0 1100P
.AC LIN 100 320K 480K
.PLOT AC VP(1)
.END
```

(b)



(c)

FIGURA 9.32 Determinación de la estabilidad de frecuencia a partir de la curva de fase: (a) circuito desplazador de fase; (b) código SPICE para dibujar la fase; (c) resultado del cambio de capacidad.

Del estudio de la estabilidad de frecuencia y el ejemplo concluimos que los componentes que contribuyen al circuito de desplazamiento de fase deben ser de gran calidad y relativamente insensibles a la temperatura y otros factores ambientales.

Oscilador de desplazamiento de fase La Figura 9.33a muestra el *oscilador de desplazamiento de fase*. El desplazador de fase consta de tres secciones *RC*. El elemento de ganancia está representado como un amplificador inversor ideal con ganancia de tensión $-K$.

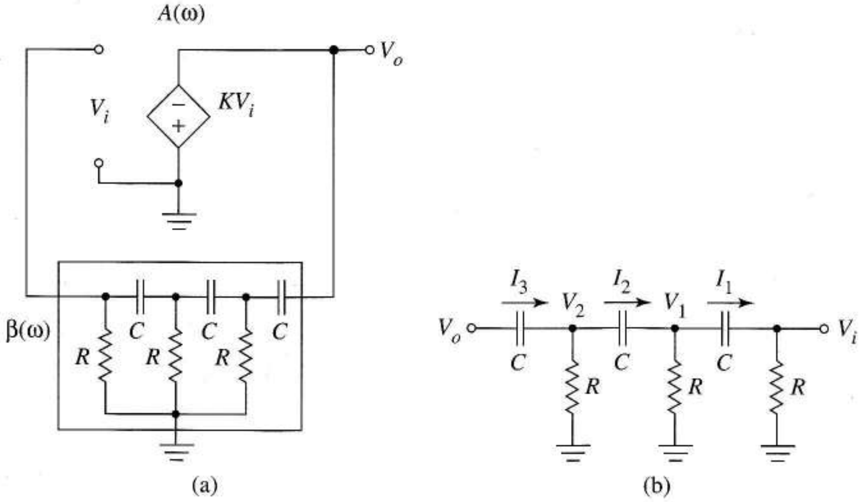


FIGURA 9.33 Oscilador por desplazamiento de fase: (a) circuito; (b) notación para calcular $\beta(\omega)$ para el oscilador.

Para obtener las condiciones de amplitud y fase del criterio de Barkhausen, analizamos el circuito desplazador de fase de la Figura 9.33b. La característica de este *circuito en escalera* se obtiene fácilmente mediante el análisis sistemático desde la salida hacia la entrada como sugieren las siguientes ecuaciones.

$$I_1 = \frac{V_i}{R}, \quad V_1 = V_i + I_1\frac{1}{j\omega C} = \left(1 + \frac{1}{j\omega RC}\right)V_i$$

$$I_2 = \frac{V_1}{R} + I_1 = \left(1 + \frac{1}{j\omega RC}\right)\frac{V_i}{R} + \frac{V_i}{R} = \left(2 + \frac{1}{j\omega RC}\right)\frac{V_i}{R}$$

Continuando así, se obtiene por fin

$$\beta(\omega) = \frac{V_i}{V_o} = \frac{1}{1 + 6/j\omega RC - 5/\omega^2R^2C^2 - 1/j\omega^3R^3C^3}$$

Por lo tanto nuestro diseño debe cumplir

$$A(\omega_o)\beta(\omega_o) = \frac{-K}{1 - j(6/\omega_o RC) - 5/\omega_o{}^2R^2C^2 + j(1/\omega_o^3R^3C^3)} = +1$$

Para obtener la condición de fase igualamos la parte imaginaria del denominador a cero. Esto da una frecuencia de oscilación de

$$\omega_o = \frac{1}{\sqrt{6}RC} \qquad (9.39)$$

Es fácil demostrar que la sensibilidad a los cambios de R y C es la misma que para el circuito en puente de Wien. Sustituyendo el valor de ω_o de la Ecuación (9.39) en la anterior, da la condición de ganancia.

$$\frac{-K}{1-30} = +1$$

ZARAGOZA

Por lo tanto el circuito oscila para cualquier $K \geq 29$.

Ejercicio 9.14 Resolver el primer paso que se omitió en el desarrollo anterior de $\beta(\omega)$, esto es, obtener la expresión de V_2 en función de V_i.

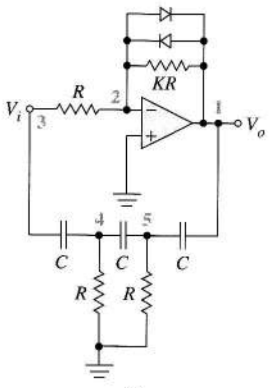
Respuesta $$V_2 = \left(1 + \frac{3}{j\omega RC} - \frac{1}{(\omega RC)^2}\right)V_i$$

Limitadores de amplitud Normalmente, si un oscilador es de autoarranque debe permitir posibles variaciones de los valores de los parámetros, se diseña el circuito de forma que se supere la condición de ganancia. Por esta razón, la amplitud de la señal crece hasta que alguna no linealidad reduce la ganancia efectiva de lazo. Si la amplitud de la señal se hace demasiado grande, la señal atraviesa gran parte de la zona no lineal de la característica de transferencia del dispositivo activo provocando una gran distorsión en la onda senoidal de salida. Hay tres formas básicas de controlar la amplitud de la señal mientras se mantiene la onda razonablemente senoidal.

Cuando la condición de ganancia no se sobrepasa excesivamente, el diseño puede contar con las no linealidades intrínsecas para limitar la amplitud de la señal a un valor adecuado para producir una senoide razonablemente no distorsionada. Sin embargo, esto no produce diseños muy *robustos* porque los valores de los componentes son bastante críticos en relación con la pureza de la onda.

La segunda forma es insertar un componente especial no lineal en el lazo, de forma que la ganancia de lazo empiece a disminuir con la amplitud de la señal mientras ésta es todavía pequeña. Un termistor con resistencia que decrece por auto-calentamiento, o un diodo colocado estratégicamente, son ejemplos de componentes utilizados para este fin. Un ejemplo es la Figura 9.34a, que muestra el oscilador de desplazamiento de fase de la Figura 9.33a con dos diodos añadidos para limitar. Mientras la tensión en la resistencia KR tenga amplitud de pico menor que 0,5 V el circuito es aproximadamente el mismo de la Figura 9.33a; sin embargo, cuando la amplitud de salida supera la tensión de codo del diodo, éste introduce una resistencia en paralelo con KR. Esta resistencia no lineal disminuye con el aumento de amplitud, rebajando la ganancia del amplificador inversor y de ese modo se limita la amplitud de la oscilación. El siguiente ejemplo y el Problema 9.47 estudian este limitador con más detalle.

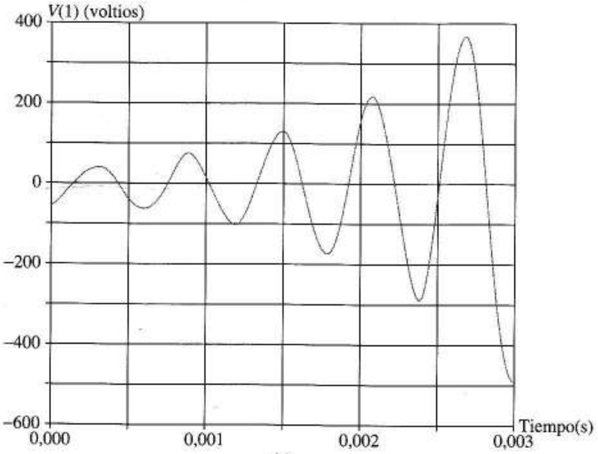
EJEMPLO 9.15 Estudiar con SPICE la onda de salida del oscilador de desplzamiento de fase de la Figura 9.34a sin y con limitador de diodos. Los valores son $R = 10$ kΩ, $K = 50$ y $C = 3.000$ pF. Usar una fuente dependiente de ganancia 10^5 para el amplificador operacional.



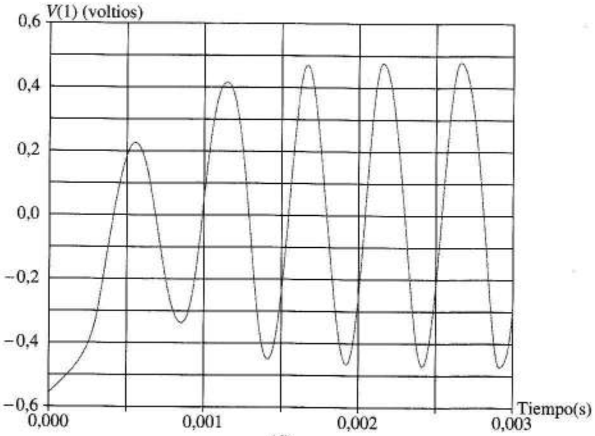
(a)

```
EXAMPLE 9.15
E1 1 0 0 2 1E5
*D1 2 1 DIODE
*D2 1 2 DIODE
*.MODEL DIODE D
R1 2 3 10K
R2 4 0 10K
R3 5 0 10K
RF 2 1 500K
RIN 2 0 100K
C1 3 4 3000P
C2 4 5 3000P
C3 5 1 3000P
.IC V(3)=1
.TRAN 0.02M 3M
.PLOT TRAN V(1)
.END
```

(b)



(c)



(d)

FIGURA 9.34 Oscilador por desplazamiento de fase: (a) esquema; (b) código SPICE; (c) salida con los diodos de limitación omitidos; (d) salida con limitación incluida.

Solución La Figura 9.34b es el código SPICE sin los diodos. La sentencia de la condición inicial ".IC V(3) = 1" cambia la tensión inicial en el nodo 3 a un valor de no equilibrio para ayudar al arranque de las oscilaciones. La Figura 9.34c muestra la salida sin las sentencias de los diodos. Como el modelo del circuito lineal no tiene limitación en ningún caso, la amplitud de la oscilación crece rápidamente hasta cientos de voltios en la simulación. La salida de un amplificador operacional real llegaría a sus límites de saturación dando una tensión de salida muy distorsionada, una afirmación fácilmente verificable usando el amplificador operacional más realista de la Figura 3.56.

La Figura 9.34 muestra la salida con las sentencias de los diodos presentes en el código de entrada. La onda converge rápidamente a una forma senoidal con la amplitud limitada por los diodos y la tierra virtual al margen de ±0,5 V.

❑

Ejercicio 9.15 Calcular la frecuencia de oscilación esperada en el Ejemplo 9.15 y cuántas divisiones horizontales debe ocupar cada periodo de oscilación en las Figuras 9.34c y d.

Respuesta 2,17 kHz, 0,924 divisiones/periodo.

Para senoides de calidad muy alta, la limitación puede ser proporcionada por un "amplificador lineal" cuya ganancia decrezca cuando la amplitud se incremente. En la Figura 9.35 el amplificador controlado por tensión de la Figura 5.45 es el elemento de ganancia en un oscilador en puente de Wien. Un rectificador de media onda con una carga capacitiva (*detector de envolvente*) filtra las variaciones de amplitud pequeñas y produce una señal de control continua V_C proporcional a la amplitud de la señal. El seguidor aísla el circuito de control del puente RC así que las condiciones de amplitud y fase no cambian. Cuando la amplitud de la oscilación crece, V_C se hace más negativa y la ganancia decrece automáticamente. La constante de tiempo del detector, R_DC_D debe ser igual a varios periodos de la onda del oscilador.

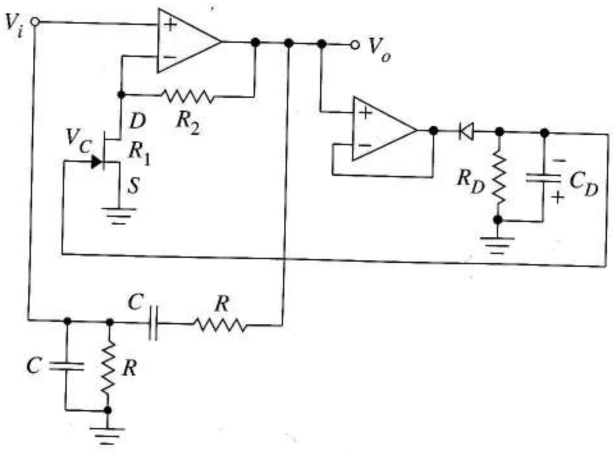


FIGURA 9.35
Un limitador que usa la amplitud de la señal para controlar la ganancia de lazo.

Pureza de la onda en osciladores senoidales Como la limitación implica funcionamiento no lineal, siempre se introduce "impureza" en las ondas de salida del oscilador, provocando que la salida difiera de la senoide deseada. Vimos en el Apartado 1.6.5 que podemos describir cualquier onda periódica como una serie de Fourier.

$$v(t) = \sum_{n=0}^{\infty} A_n \cos(n\omega_o t + \phi_n)$$

Para un oscilador, la salida ideal es sólo el término $n = 1$; los términos para los que $n \geq 2$ son términos de impureza no deseados introducidos por el limitador. Cuanto más pequeños sean estos térmi-

nos armónicos mayor es la *pureza de la onda*. Una medida útil de la impureza de la onda es la *distorsión armónica total*, THD, donde

$$\text{THD} = \frac{\text{valor rms de las componentes armónicas}}{\text{valor rms del termino de frecuencia fundamental}} \times 100$$

Si conocemos la frecuencia fundamental $f_o = 2\pi/\omega_o$ de la salida del oscilador podemos usar el SPICE para calcular la THD añadiendo la sentencia SPICE ".FOUR". Esta pide al SPICE que calcule las amplitudes de las primeras nueve componentes de la serie de Fourier y que las use para estimar la THD.

En el Ejemplo 9.15 la frecuencia de salida en la simulación era en realidad f_o = 2 kHz (en lugar de los 2,167 predichos por la teoría). Al añadir la sentencia

.FOUR 2.0E3 V(1)

se revela que la onda de tensión de salida contiene una distorsión del 5,84%. La Figura 9.36 muestra las amplitudes de los armónicos calculados por el SPICE para este ejemplo. La ventaja de los limitadores más sofisticados como el de la Figura 9.35 es la mejora de la pureza de onda. El diseñador de osciladores necesita cumplir a menudo una especificación de THD junto con las especificaciones de frecuencia y amplitud. La distorsión armónica se estudia con gran detalle en el Capítulo 10 en conexión con los amplificadores de potencia.

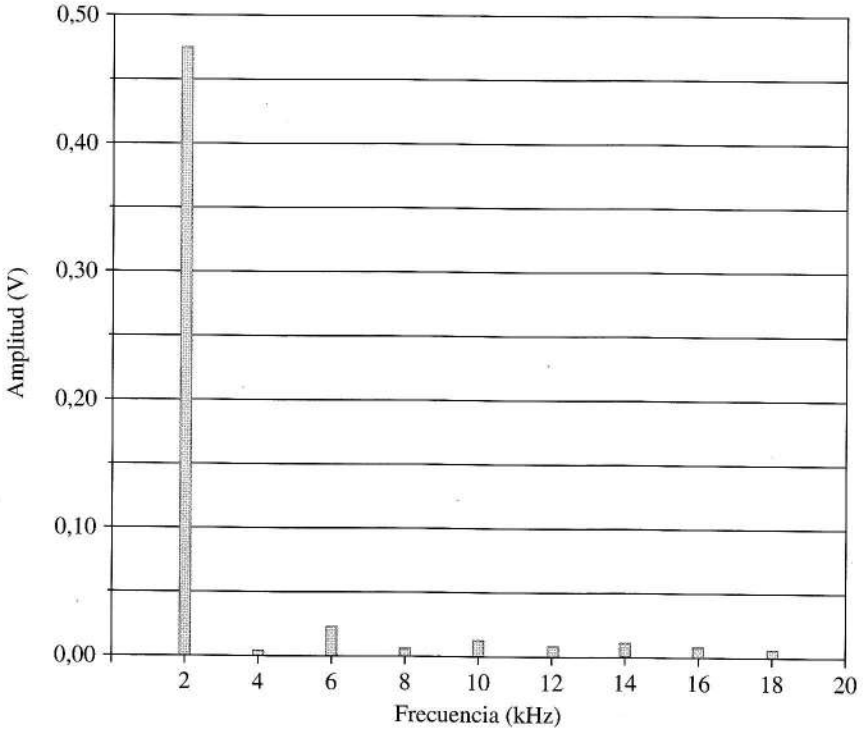


FIGURA 9.36 Amplitudes de Fourier para la forma de onda de la Figura 9.34d.

9.7.3 OSCILADORES LC

Dos osciladores importantes usan la estructura en pi de tres elementos de la Figura 9.37a para el desplazador de fase. En la Figura 9.37b un transistor polarizado para funcionamiento activo y pequeña señal proporciona la ganancia. De la Figura 9.37b

$$A(\omega) = \frac{V_o}{V_i} = -g_m\left[R_o \| Z_1 \| (Z_2 + Z_3)\right]$$

y

$$\beta(\omega) = \frac{Z_3}{Z_3 + Z_2}$$

Esto da la ganancia de lazo

$$A(\omega)\beta(\omega) = -g_m\left[R_o \| Z_1 \| (Z_3 + Z_2)\right]\frac{Z_3}{Z_3 + Z_2}$$

$$= -g_m \frac{1}{1/R_o + 1/Z_1 + 1/(Z_3 + Z_2)} \frac{Z_3}{Z_3 + Z_2}$$

$$= \frac{-g_m Z_3}{(Z_3 + Z_2)/R_o + (Z_3 + Z_2)/Z_1 + 1}$$

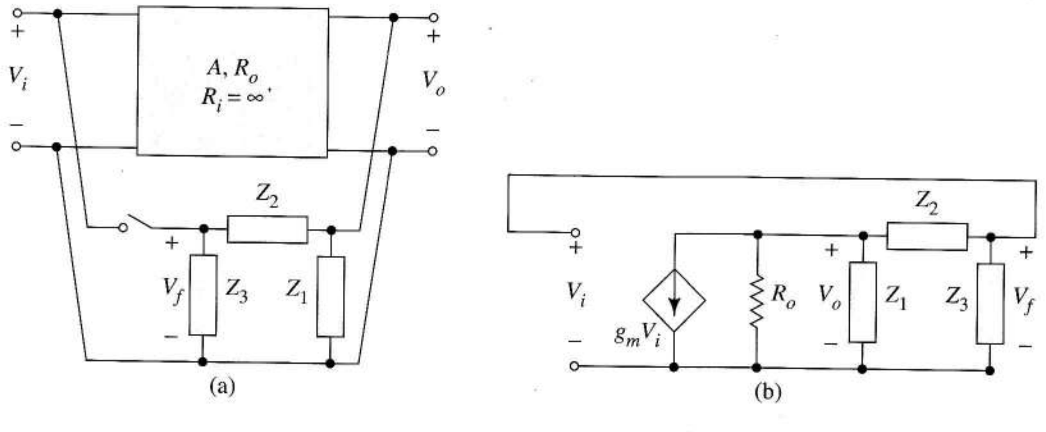


FIGURA 9.37 Configuración de un oscilador con desplazador de fase de tres elementos en escalera: (a) estructura general; (b) oscilador con un transistor como elemento activo.

El criterio de Barkhausen requiere

$$M\angle\phi = \frac{-g_m R_o Z_1 Z_3}{Z_1 Z_3 + Z_1 Z_2 + R_o(Z_1 + Z_2 + Z_3)} = +1 \tag{9.40}$$

Si cada impedancia es un elemento LC, entonces $Z_i = jX_i$, donde $X_i = \omega L_i$ para una bobina y $X_i = -1/\omega C_i$ para un condensador. Entonces

$$M\angle\phi = \frac{g_m R_o X_1 X_3}{-(X_1 X_3 + X_1 X_2) + jR_o(X_1 + X_2 + X_3)} = 1\angle 0° \tag{9.41}$$

Como el numerador es real, la condición de fase se cumple sólo si

$$X_1 + X_2 + X_3 = 0 \tag{9.42}$$

Cuando la Ecuación (9.42) se cumple, la condición de ganancia en la Ecuación (9.41) se reduce a

$$\frac{-g_m R_o X_3}{X_3 + X_2} \geq 1 \tag{9.43}$$

A continuación usamos estas condiciones para estudiar dos osciladores específicos.

Oscilador Colpitts En el oscilador Colpitts, Z_2 es una bobina y Z_1 y Z_3 son condensadores como en la Figura 9.38. Sustituyendo $Z = j\omega L_2$, $Z_1 = 1/j\omega C_1$ y $Z_3 = 1/j\omega C_3$ en la Ecuación (9.42) da

$$-\frac{1}{\omega C_1} + \omega L_2 - \frac{1}{\omega C_3} = 0$$

Despejando ω da la condición de fase

$$\omega_o^2 = \frac{1}{L_2\left[C_1 C_3 / (C_1 + C_3)\right]} \tag{9.44}$$

que establece la frecuencia de oscilación. Una segunda condición de diseño viene de la Ecuación (9.43)

$$\frac{g_m R_o (1/\omega_o C_3)}{-1/\omega_o C_3 + \omega_o L_2} = \frac{g_m R_o}{\omega_o^2 L_2 C_3 - 1} \geq 1 \tag{9.45}$$

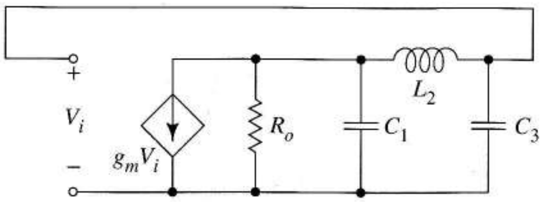


FIGURA 9.38 Oscilador Colpitts.

Sustituyendo ω^2_o por su valor de la Ecuación (9.44), lleva a la segunda condición de diseño

$$g_m R_o \geq \frac{C_3}{C_1} \tag{9.46}$$

Que especifica la ganancia necesaria para mantener la oscilación.

Ejercicio 9.16 Calcular la sensibilidad a L_2 de la frecuencia resonante de un oscilador Colpitts y estimar así la frecuencia resonante real de un oscilador diseñado para funcionar a 1 MHz si L_2 es un 12% mayor.

Respuesta – 0,5, 940 kHz.

EJEMPLO 9.16 El oscilador Colpitts de la Figura 9.39a tiene un transistor polarizado a 0,5 mA; $\beta_F = 120$; C_C es un condensador de acoplo grande. Obtener los valores para L_2, C_1 y C_3 para que el circuito oscile a $f_o = 1$ MHz ignorando las capacidades del transistor.

Solución La Figura 9.39 muestra el circuito equivalente en alta frecuencia. A 0,5 mA, $g_m = 0{,}02$ A/V y $r_\pi = 6$ kΩ. El equivalente de pequeña señal del oscilador es la Figura 9.39b donde

$$5{,}5\ \text{K}\Omega = r_\pi \| 159\ \text{k} \| 112\ \text{k}$$

De la Ecuación (9.46)

$$(0{,}02)(6 \times 10^3) = 120 \geq \frac{C_3}{C_1} \tag{9.47}$$

y de la Ecuación (9.44)

$$L_2 C_{eq} = \frac{1}{(2\pi 10^6)^2} = 25{,}3 \times 10^{-15} \tag{9.48}$$

donde $C_{eq} = C_1C_3/(C_1 + C_3)$.

Ahora tenemos dos ecuaciones que incluyen C_1, C_3 y L_2. En diseños con FET elegiríamos arbitrariamente el valor de un componente; sin embargo en diseños con bipolares debemos minimizar el efecto de r_π ya que la teoría no incluye una resistencia en esta posición. Por lo tanto, seleccionamos C_3 de forma que su reactancia sea mucho menor que $r_\pi = 5{,}5$ kΩ. Esto da la tercera ecuación de diseño. Usando dos órdenes de magnitud para asegurar que r_π tiene efecto despreciable da

$$\frac{1}{1\pi 10^6 C_3} = \frac{1}{100} 5{,}5 \times 10^3$$

o $C_3 = 2.894$ pF.

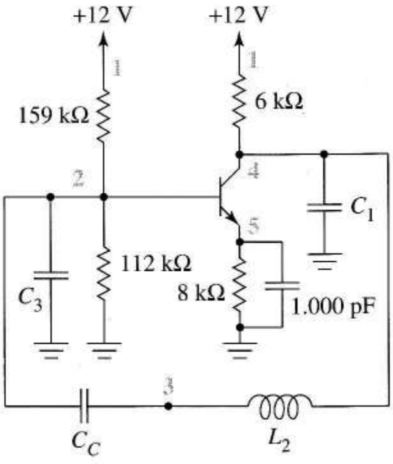
Como nuestro diseño depende de una aproximación y los valores reales de los componentes no son exactamente los que esperamos, cumplimos la Ecuación (9.47) usando $C_3/C_1 = 75$ en lugar del valor de limitación de 120 para asegurar las oscilaciones con auto-arranque. Con C_3 previamente seleccionado da

$$C_1 = \frac{2.894}{75} = 38{,}6\ \text{pF}$$

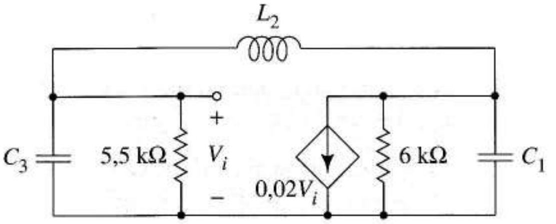
y $C_{eq} = 38{,}1$ pF. De la Ecuación (9.48)

$$L_2 = \frac{25{,}3 \times 10^{-15}}{38{,}6 \times 10^{-12}} = 0{,}655\ \text{mH}$$

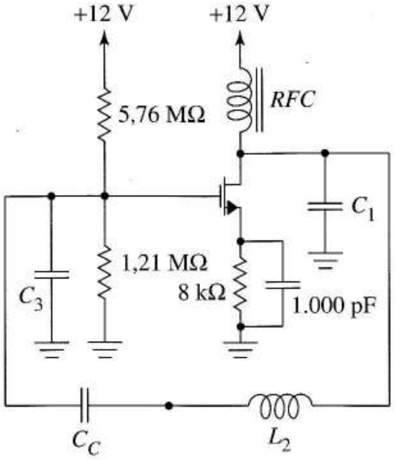
El condensador de acoplo C_C debe tener reactancia << $\omega_o L_2$ a 1 MHz. Como la última es 4,11 kΩ entonces $C_C = 0{,}001$ μF. ❑



(a)



(b)



(c)

FIGURA 9.39 Realizaciones del oscilador Colpitts: (a) circuito para un oscilador de BJTs; (b) equivalente de pequeña señal para el circuito de BJTs; (c) oscilador de MOSFETs.

En los osciladores Colpitts, la resistencia de colector o drenador se suele sustituir por un *choque*. La bobina de choque es un cortocircuito a efectos de polarización pero presenta un circuito abierto a las frecuencias de radiofrecuencia (rf) del oscilador. Cuando se usa un choque de rf, R_o en la Figura 9.38 pasa a ser la resistencia de salida r_o del transistor. El choque reduce la disipación de potencia del circuito y mejora la pureza de la onda de salida.

Ejercicio 9.17 La Figura 9.39c muestra un oscilador de MOSFETs con el drenador polarizado a 1 mA a través del choque de RF. Si los parámetros del transistor son $k = 4$ mA/V^2, $V_t = 1{,}2$ V y $V_A = 70$ V, obtener la condición para oscilación.

Respuesta $197 \geq C_3/C_1$.

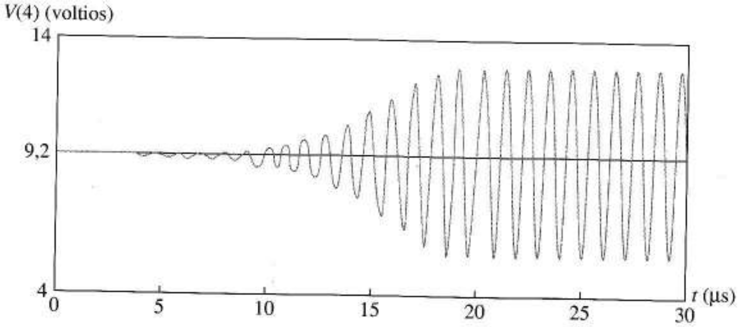
Hemos visto que las simulaciones de SPICE son útiles para verificar los diseños de osciladores, examinar la distorsión y explorar las limitaciones de la sensibilidad. Hay algunas dificultades prácticas de simulación cuando se incluyen condensadores de desacoplo y acoplo grandes en las simulaciones junto con componentes que tengan constantes de tiempo pequeñas. A veces hay problemas de convergencia en los algoritmos numéricos o se necesita un número muy grande de ciclos de oscilador antes que el circuito alcance el régimen permanente. El siguiente ejemplo muestra un modo de evitar problemas de constantes de tiempo en las simulaciones de osciladores. Un análisis inicial de continua determina la tensión en los condensadores grandes y luego los sustituye por fuentes de tensión continua de la polaridad apropiada (ver el estudio relacionado con la Figura 7.10b). Esta sustitución da el mismo punto Q y el mismo modelo de alta frecuencia sin introducir constantes de tiempo grandes.

EJEMPLO 9.17 Estudiar con SPICE cómo se generan las oscilaciones en el Ejemplo 9.16.

Solución El código SPICE de la Figura 9.40a usa valores determinados en el diseño de la Figura 9.39a. Después del análisis inicial de continua se sustituyen los condensadores CE y CF por las fuentes VEE y VFF respectivamente. Como se espera un periodo de oscilación aproximado de 1μs la sentencia inicial .TRAN ejecuta la simulación para 30 periodos para mostrar el desarrollo de las oscilaciones.

```
EXAMPLE 9.17
VCC 1 0 DC 12
RB1 1 2 159K
RB2 2 0 112K
RC 1 4 6K
RE 5 0 8K
C1 4 0 38.6E-12
C3 2 0 2894E-12
L2 3 4 0.664E-3
*CE 5 0 1000P
VEE 5 0 DC 3.7456
*CF 3 2 0.001U
VFF 3 2 DC 4.714
Q1 4 2 5 TRAN
.MODEL TRAN NPN BF=120
.IC V(2)=4.5
.TRAN 2E-7 30E-6
.PRINT TRAN V(4)
.PLOT TRAN V(4)
.OP
.END
```

(a)



(b)

FIGURA 9.40 Oscilador Colpitts con BJT: (a) código SPICE; (b) onda de salida mostrando el transitorio de arranque inicial.

La Figura 9.40b indica que la oscilación se superpone a una tensión de colector continua de 9,2 V. Midiendo el periodo medio de los últimos nueve ciclos de los datos de salida obtenemos f_o = 0,9414 MHz. Las oscilaciones alcanzan las condiciones de régimen permanente después de, aproximadamente, 20 μs.

La simulación demuestra la limitación realizada por las no linealidades intrínsecas del transistor en lugar de por un circuito limitador especial. Como usamos $C_3/C_1 = 75$ en nuestro diseño, la ganancia de lazo es bastante alta y la oscilación resultante tiene una amplitud de pico de alrededor de 3,5. La distorsión armónica es alrededor del 13%. El Problema 9.54 estudia como afecta un C_1 menor al desarrollo y la pureza de la onda. ❑

Oscilador Hartley El oscilador Hartley, Figura 9.41, es la Figura 9.37b con bobinas para Z_1 y Z_3 y un condensador para Z_2. Para este circuito la Ecuación (9.42) da

$$\omega_o L_1 - \frac{1}{\omega_o C_2} + \omega_o L_3 = 0$$

que establece la frecuencia del oscilador

$$\omega_o^2 = \frac{1}{C_2(L_1 + L_3)} \tag{9.49}$$

Sustituyendo las reactancias en la Ecuación (9.43) da

$$\frac{-g_m R_o \omega_o L_3}{\omega_o L_3 - 1/\omega_o C_2} = \frac{g_m R_o \omega_o^2 L_3 C_2}{1 - \omega_o^2 L_3 C_2} \geq 1$$

o

$$(g_m R_o + 1)\omega_o^2 L_3 C_2 \geq 1$$

Sustituyendo la Ecuación (9.49) en esta expresión y simplificando da la condición de ganancia.

$$g_m R_o \geq \frac{L_1}{L_3} \tag{9.50}$$

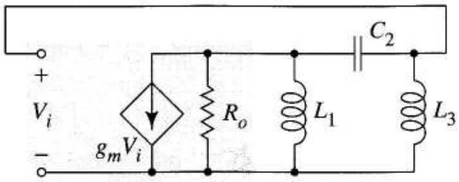


FIGURA 9.41 Circuito de pequeña señal del oscilador Hartley.

9.7.4 OSCILADORES CON CRISTAL DE CUARZO

Estabilidad en frecuencia Sabemos que la estabilidad en frecuencia es una consideración importante en un oscilador. Las ecuaciones de diseño de Colpitts y Hartley muestran que en estos circuitos la frecuencia depende enteramente de los componentes activos de los resonadores. Por lo tanto estamos preocupados por las variaciones de estos componentes debidas al envejecimiento, temperatura y tolerancias, especialmente porque las capacidades del transistor, a veces, forman parte del desplazador de fase.

Definiendo $C_{eq} = C_1C_3/(C_1 + C_3)$ para el oscilador Colpitts podemos ver ω_o en la Ecuación (9.44) como la frecuencia a la que las reactancias ωL_2 y $1/\omega C_{eq}$ son iguales, como ilustran las curvas en negrita de la Figura 9.42. Las curvas finas muestran que las variaciones de C_{eq} y L_2 afectan a la frecuencia de oscilación. Cuando se necesita mayor estabilidad de frecuencia que la que pueden proporcionar las capacidades e inductancias discretas se utilizan cristales de cuarzo en el circuito desplazador.

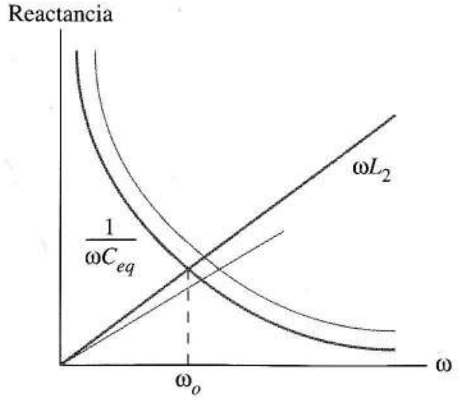


FIGURA 9.42
Estabilidad de frecuencia de un oscilador Colpitts.

Resonador de cristal En los cristales de cuarzo las deformaciones físicas pequeñas y reversibles dan como resultado una tensión eléctrica y, a la inversa, la tensión aplicada produce deformaciones físicas. Por lo tanto el cristal es un dispositivo electromecánico en el que excitación eléctrica y la deformación mecánica están estrechamente ligadas, una característica que hace que el cristal sea muy útil como transductor. Otra propiedad inusual del cristal de cuarzo es que, una vez puesto en movimiento, sus pérdidas de energía son pequeñísimas. Su circuito eléctrico equivalente es un circuito resonante *L-C* como el de la Figura 9.43a, en el que las pérdidas de energía del cristal están incluidas en el parámetro del cristal r y C' está asociado con el soporte externo que hace los contactos eléctricos con el cuarzo. Valores representativos de los componentes para un cristal de 90 kHz son $L = 137$ H, $C = 0{,}0235$ pF, $r = 15$ kΩ y $C' = 3{,}5$ pF.

Ahora desarrollamos una expresión para la reactancia del cristal de cuarzo que nos permita comparar las características del resonador de cristal con las curvas de reactancia *L-C* de la Figura 9.42.

Cerca de resonancia, donde se usa el cristal, $r << \omega L$. Omitiendo la resistencia para simplificar el desarrollo, la impedancia del cristal de la Figura 9.43a es

$$Z = \frac{\left(j\omega L + 1/j\omega C\right)1/j\omega C'}{j\omega L + 1/j\omega C + 1/j\omega C'} = \frac{-\omega^2 LC + 1}{-j\omega^3 LCC' + j\omega\left(C + C'\right)}$$

donde la segunda expresión se obtiene multiplicando numerador y denominador por $(j\omega C)$ $(j\omega C')$. A continuación sacamos factor común, $-LC$ en el numerador y $-jLCC'$ en el denominador. Esto da

$$Z = jX(\omega) = \frac{-LC}{-j\omega LCC'}\ \frac{\omega^2 - 1/LC}{\omega^2 - \left(C + C'\right)/LCC'} = \frac{-j}{\omega C'}\ \frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2} \tag{9.51}$$

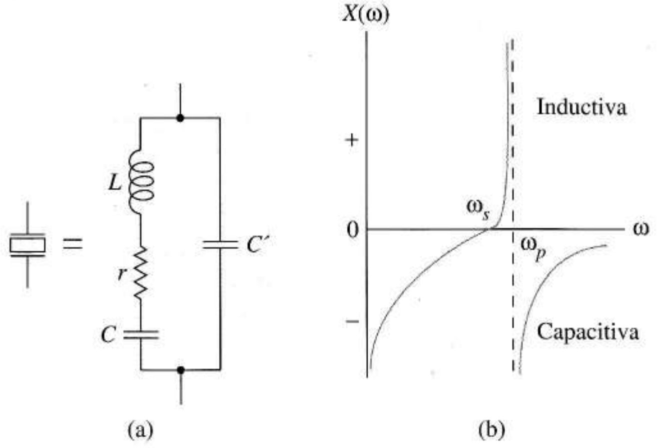


FIGURA 9.43
Resonador de cristal: (a) símbolo y circuito eléctrico equivalente; (b) curva de reactancia aproximada.

donde

$$\omega_s = \frac{1}{\sqrt{LC}} \text{ y } \omega_p = \frac{1}{\sqrt{LCC'/(C+C')}}$$

definen las frecuencias resonantes serie y paralelo del cristal respectivamente. La Figura 9.43b es un esquema de la Ecuación (9.51). Intuitivamente, cuando ω toma un valor ω_s, L y C entran en resonancia serie produciendo reactancia cero. Por encima de esta frecuencia, la reactancia inductiva domina la rama LC y esta reactancia entra en resonancia paralelo con C' a ω_p. Las frecuencias resonantes serie y paralelo están muy próximas en un cristal de cuarzo, 88.700 y 88.998 Hz respectivamente, para el cristal de frecuencia nominal 90 kHz descrito antes. Por tanto, el segmento de curva entre las resonancias serie y paralelo es casi una línea vertical. Además, en un cristal de cuarzo adecuadamente cortado, ω_p varía solo unos pocos cientos de ppm (partes por millón) dentro de un margen de temperatura amplio. Como vemos a continuación, esto lleva a una frecuencia del oscilador muy estable $\omega_o \approx \omega_p$.

Oscilador Pierce El oscilador Pierce controlado por cristal es un oscilador Colpitts con la bobina sustituida por un cristal como en la Figura 9.44a. Sustituyendo la reactancia del cristal $X(\omega)$ por la reactancia de L_2 en la Ecuación (9.42) da

$$X_1 + X(\omega) + X_2 = -\frac{1}{\omega C_1} + X(\omega) - \frac{1}{\omega C_2} = 0$$

La frecuencia de oscilación es, por lo tanto, la frecuencia ω_o que cumple

$$X(\omega) = \frac{1}{\omega C_{eq}}$$

La construcción gráfica de la Figura 9.44b muestra por qué la frecuencia de oscilación del oscilador Pierce es virtualmente independiente de las variaciones del condensador del resonador. Otro popular circuito oscilador de cristal se obtiene sustituyendo una de las bobinas en un oscilador Hartley por un cristal.

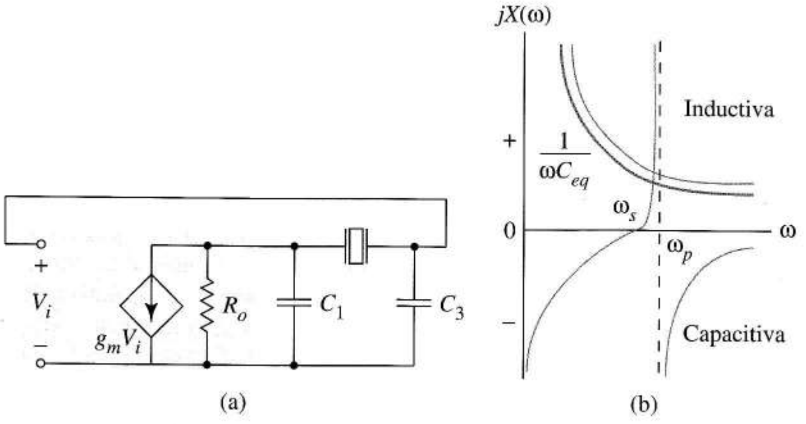


FIGURA 9.44 Oscilador Pierce: (a) circuito equivalente; (b) sensibilidad de la frecuencia del oscilador a las variaciones del condensador.

9.8 SUMARIO

Añadir realimentación negativa a un amplificador reduce la sensibilidad a las variaciones de los parámetros, incrementa el ancho de banda y reduce la distorsión no lineal. También podemos usar la realimentación para aumentar o disminuir la resistencia de entrada a frecuencias medias e (independientemente) incrementar o disminuir la resistencia de salida. Todas las mejoras implican la multiplicación o división por el factor de mejora $1 + A\beta$. Simultáneamente, la ganancia de lazo cerrado se divide por este factor; sin embargo, esto cuenta como una mejora toda vez que la nueva y más baja ganancia se aproxima a $1/\beta$. Usando relaciones entre resistencias para podemos controlar esta ganancia de lazo cerrado al $\pm 1\%$.

Con cuatro clases de realimentación podemos hacer que nuestro amplificador no realimentado se parezca más a un amplificador de tensión, corriente, transresistencia o transconductancia a frecuencias medias. Para cada clase de realimentación, la definición de ganancia A corresponde a la del amplificador ideal. El origen de la señal de realimentación define el circuito de salida del amplificador realimentado, la realimentación de tensión (corriente) disminuye (aumenta) la resistencia de salida, haciendo que el amplificador original se parezca más a una fuente de tensión (corriente) dependiente. La forma de restar la señal de realimentación a la señal de entrada determina la naturaleza del circuito de entrada. La realimentación en serie (paralelo) implica una sustracción de tensión (corriente) que incrementa (disminuye) la resistencia de entrada. Esto hace que el amplificador represente mejor una fuente dependiente controlada por tensión (corriente).

Los circuitos β resistivos que usamos en los amplificadores realimentados prácticos introducen efectos de carga en la entrada y la salida. Para aplicar las ecuaciones ideales de realimentación a este caso representamos el circuito β por un cuadripolo equivalente– aquél que corresponda al caso de realimentación particular que empleemos. Asociando todas las resistencias del circuito, incluyendo

las resistencias de fuente y carga, con el amplificador no realimentado e identificando el parámetro "1-2" con β, podemos aplicar las ideas simples de la teoría de realimentación ideal. Saber que la inversa del parámetro "1-2" se aproxima a la ganancia de lazo cerrado del amplificador realimentado lleva a atajos conceptuales en el análisis y diseño prácticos.

Para implementar con éxito la realimentación o evaluar los diseños de otros, debemos ser capaces de reconocer algunas topologías de realimentación prácticas estándar. La estructura de amplificador diferencial es una implementación de realimentación de tensión en serie que basa la sustracción de la entrada en la entrada diferencial del amplificador. En circuitos de realimentación clásicos, como en la topología del amplificador diferencial, el nodo de salida del amplificador no realimentado se conecta directamente al circuito β. La realimentación de corriente se caracteriza por medir indirectamente la corriente de salida utilizando un emisor desacoplado o una resistencia de fuente. La realimentación en serie clásica implica una conexión desde el circuito β a un emisor desacoplado o una resistencia de fuente en el circuito de entrada del amplificador no realimentado; la realimentación en paralelo usa una conexión directa desde el circuito β a un nodo de entrada del amplificador no realimentado. El circuito A debe proporcionar un desplazamiento de fase de 180º para facilitar la sustracción de corriente necesaria para la realimentación en paralelo; es necesario un desplazamiento de fase cero para la realimentación en serie.

Para asegurar que nuestro amplificador realimentado no oscile, examinamos la magnitud y la fase de su función ganancia de lazo que es el producto de las ganancias de los circuitos A y β. Si no existe una frecuencia a la que la ganancia de lazo sea negativa en signo y también mayor que uno en magnitud, el amplificador realimentado será estable. Los márgenes de ganancia y fase son dos medidas del grado de estabilidad que pueden ser incluidas en las especificaciones de diseño. Si el amplificador realimentado está destinado a ser inestable debemos compensarlo modificando la curva de ganancia de lazo abierto para obtener los márgenes de ganancia y lazo adecuados. Este proceso, llamado compensación en frecuencia, normalmente supone añadir una capacidad para reducir el ancho de banda del circuito A. Este puede ser un ajuste a medida ligado a una ganancia de lazo particular $1/\beta$. Alternativamente, podemos desear que nuestra compensación produzca un amplificador estable incondicionalmente que se acomodará a *cualquier* ganancia de lazo cerrado. La compensación a medida da como resultado amplificadores con mayor producto ganancia-ancho de banda. La compensación en frecuencia, obviamente, se relaciona con un ancho de banda del amplificador y también está estrechamente ligado al *slew-rate*. Condensadores de compensación más grandes dan *slew-rates* más bajos, otra desventaja de los amplificadores estables incondicionalmente.

Los osciladores son circuitos que se hacen inestables intencionadamente mediante realimentación positiva. Comunes a todos los osciladores son los desplazadores de fase que determinan la frecuencia de oscilación, los circuitos de ganancia que compensan las pérdidas de energía en los desplazadores de fase y los limitadores que controlan la amplitud de oscilación. El criterio de estabilidad de Barkhausen, basado en las condiciones para realimentación positiva, da una ecuación de valores complejos para cualquier oscilador. Las condiciones de Barkhausen dan una ecuación para la frecuencia de oscilación y una condición de amplitud que debe cumplirse para que ocurran las oscilaciones. En este capítulo sólo se consideran los osciladores con ondas de salida senoidales. Los osciladores de deplazamiento de fase y en puente de Wien usan circuitos RC para los desplazadores de fase; los osciladores Colpitts y Hartley utilizan circuitos resonantes.

Consideraciones importantes en el diseño de un oscilador senoidal son la pureza armónica de la onda y la estabilidad en frecuencia, la relativa insensibilidad de la frecuencia de oscilación a las variaciones de los parámetros del circuito y factores ambientales. La distorsión armónica total mide la impureza de la onda de salida mediante las amplitudes de armónicos presentes no deseados. Las definiciones de sensibilidad introducidas en el Capítulo 6 son ayudas útiles en el análisis y diseño de osciladores. Las simulaciones de SPICE nos ayudan a trabajar con la distorsión y la sensibilidad de forma práctica. Los cristales de cuarzo introducidos en los desplazadores de fase dan como resultado una gran mejora en la estabilidad en frecuencia.

REFERENCIAS

1. BANZAF, W. *Computer-Aided Circuit Analysis Using SPICE.* Englewood Cliffs NJ: Prentice Hall, 1989.
2. GRAY, P.R., y R.G. MEYER. *Analysis and Design of Analog Integrated Circuits,* 3ª ed. New York: John Wiley, 1993.
3. MILLMAN, J., y A. GRABEL. *Microelectronics.* New York: Mac Graw-Hill, 1987.
4. OPPENHEIM, A., y A. WILLSKY. *Signals and Systems.* Englewood Cliffs, NJ: Prentice Hall, 1983.
5. SOLOMON, J.E. "The monolithic op amp: A tutorial study", *IEEE J. Solid-State Circuits.* Vol. SC-9 (December 1974), pp. 314-332.
6. TUINENGA, P.W. *SPICE: A Guide to Circuit Simulation & Analysis Using PSPICE.* Englewood Cliffs, NJ: Prentice Hall, 1988.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE. *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 9.1

9.1 Un amplificador tiene ganancia de 800. Después de añadir realimentación negativa, la ganancia es 25. Obtenga los valores de $1 + A\beta$ y β.

9.2 Un amplificador realimentado de transresistencia debe producir una tensión de salida de 12 V cuando la corriente de entrada es 100 mA. El factor de mejora debe ser 50.

a) Obtenga la ganancia del amplificador no realimentado.

b) ¿Qué valor de β será necesario?

c) ¿Cuánto vale w_i cuando el amplificador realimentado desarrolla su tensión de salida máxima?

9.3 La ganancia de un amplificador de corriente es 300. La realimentación negativa se añade usando un factor de mejora de 100.

a) Si la corriente de salida máxima es 800 mA, ¿cuál es la corriente de entrada máxima del amplificador realimentado?

b) Para la corriente de salida máxima, obtenga los valores de las tres corrientes implicadas en la sustracción de la entrada.

Sección 9.2

9.4 Necesitamos un amplificador con ganancia de, al menos, 100. Las variaciones de ganancia en un determinado margen de temperatura deben ser del 1% o menos. Tenemos un amplificador de ganancia 200 que tiene variaciones de ganancia con la temperatura del 10%.

a) ¿Qué valor de β debe añadirse al amplificador dado para reducir las variaciones de ganancia a un 1%?

b) ¿Tendrán dos etapas amplificadoras realimentadas en cascada como las de la parte (a) suficiente ganancia? Suponga que no hay efectos de carga entre las dos etapas.

c) ¿Cuál será el peor porcentaje de variación con la temperatura para un amplificador de dos etapas consistente en dos amplificadores en cascada como los de la parte (a)?

9.5 Un amplificador tiene ganancia de 100.000, y sensibilidad de la ganancia a las variaciones de temperatura de 0,2. La realimentación negativa se usa para reducir la ganancia a 10.

a) ¿Cuál es la sensibilidad del amplificador realimentado a las variaciones de temperatura?

b) Obtenga la ganancia y sensibilidad a las variaciones de temperatura del conjunto formado por cinco amplificadores realimentados conectados en cascada.

9.6 Demuestre matemáticamente que añadir realimentación negativa a un amplificador descrito por la Ecuación (9.6) da como resultado un amplificador realimentado descrito por la Ecuación (9.7).

9.7 Un amplificador de audio con realimentación necesita una ganancia aproximada de 500 dentro del ancho de banda comprendido entre 60 Hz y 25 kHz. Suponga que esto se hace usando una red de realimentación con $\beta = 0{,}0018$. Obtenga las frecuencias de corte inferior y superior y la ganancia necesarias para el amplificador no realimentado original. (Suponga que los factores de mejora de baja y alta frecuencia obtenidos individualmente en el texto se aplican a los amplificadores más complejos descritos aquí.)

9.8 Un amplificador no realimentado tiene $A = 800$, $\omega_L = 85$ rad/s, $\omega_H = 9.000$ rad/s, $S^A_T = 10\%$. El amplificador

requerido debe tener $A_f \geq 75$, $\omega_{L,f} \leq 20$ rad/s, $\omega_{H,f} \geq 22.000$ rad/s y $S^{A_f}_T \leq 20\%$.

a) ¿Qué valor de β debe emplear el amplificador realimentado?

b) Enumere las especificaciones del amplificador realimentado resultante.

9.9 La Figura 9.9a muestra un amplificador no realimentado de ganancia de tensión A que entrega 5 W a un altavoz de 5 Ω cuando la tensión de entrada del amplificador es 50 mV rms. La distorsión no lineal en la salida del amplificador es un 1% del valor de la señal de salida.

a) Obtenga el valor numérico de la ganancia A.

b) Obtenga el valor de β necesario en la Figura P9.9b para reducir la distorsión al 0,1% con la misma amplitud para la señal de salida.

c) Obtenga el valor de la ganancia A_{PR} necesaria en el preamplificador.

Sección 9.3

9.10 Obtenga las expresiones de las resistencias de entrada y salida para la configuración de realimentación de tensión en paralelo de la Figura 9.6c.

9.11 Obtenga las expresiones de las resistencias de entrada y salida para la configuración de realimentación de corriente en serie de la Figura 9.6d.

9.12 Obtenga la clase de realimentación y la cantidad β que debemos añadir a un amplificador no realimentado con ganancia de tensión de 920, $R_i = 11$ kΩ y $R_o = 3$ kΩ, de forma que $R_{if} \geq 400$ kΩ y $R_{of} \leq 10$ kΩ. ¿Cuál será la ganancia del amplificador realimentado?

9.13 Halle el tipo de realimentación y la cantidad que se debe añadir a un amplificador no realimentado con ganancia de tensión de 920, $R_i = 11$ kΩ y $R_o = 3$ kΩ para que $R_{if} \geq 400$ kΩ y $R_{of} \geq 300$ kΩ prediciendo la ganancia del nuevo amplificador.

9.14 Para un amplificador con realimentación en paralelo, $R_{if} = 110\ \Omega$, $R_o = 2$ kΩ, $R_{of} = 26$ kΩ, $A_f = 20$, $\omega_H = 10^4$ rad/s y $\omega_{L,f} = 10$ rad/s.

a-e) Obtenga R_i, A, β, ω_{Hf} y ω_L.

f) El cambio de una resistencia en el amplificador de 10 kΩ a 11 kΩ cambia A_f de 20 a 21. Use la sensibilidad para obtener el nuevo valor de A.

9.15 Las medidas de un amplificador realimentado dan $A = 5.000$, $\omega_H = 8$ kHz, $\omega_L = 200$ Hz, $R_i = 50$ kΩ, $R_o = 1$ kΩ, variación de ganancia = 5%, distorsión de salida = 2 mV. Como las especificaciones necesitan que la variación de ganancia sea del 0,1%, se añade la realimentación ideal de tensión en serie que es suficiente para corregir la variación de ganancia

a) ¿Qué valor de β se usa?

b) Obtenga los valores de los parámetros para el amplificador realimentado.

Sección 9.4

9.16 a) Redibuje el circuito de tensión en serie de la Figura 9.8a con todas las resistencias transferidas al circuito del amplificador. Su diagrama debe mostrar la fuente y la carga ideales apropiadas.

b) Obtenga A, R_i y R_o para el circuito A que dibujó en la parte a).

c) Use los resultados de la parte b) para escribir las expresiones de A_f, R_{if} y R_{of} para el circuito de realimentación de tensión en serie.

9.17 Resuelva las partes b) y c) del Problema 9.16 directamente a partir del diagrama, desconectando la realimentación para obtener los parámetros del circuito A.

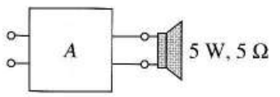
9.18 a) Redibuje el circuito de corriente en paralelo con todas las resistencias transferidas al circuito del amplificador. Su diagrama debe mostrar la fuente y carga ideales apropiadas.

b) Obtenga A, R_i y R_o para el circuito A que dibujó en la parte a).

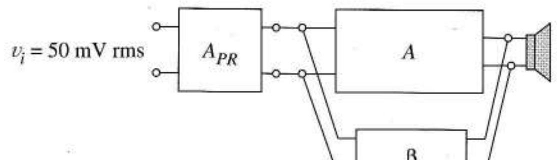
c) Use los resultados de la parte b) para escribir las expresiones de A_f, R_{if} y R_{of} para el circuito de realimentación de corriente en paralelo.

9.19 Resuelva las partes b) y c) del Problema 9.18 directamente a partir del diagrama original apagando la realimentación para obtener los parámetros del circuito A.

9.20 En el Ejemplo 9.5, R_{ix} y R_{ox} eran casi los mismos que R_{if} y R_{of} (del Ejercicio 9.6) respectivamente, porque la fuen-



(a)



(b)

FIGURA P9.9

te externa y las resistencias de carga estaban muy próximas a lo ideal. En la Figura 9.10, sustituya la resistencia de fuente de 200 kΩ por R_s = 10 kΩ y la resistencia de carga de 100 kΩ por R_L = 5 kΩ. Para este nuevo circuito calcule R_{if}, R_{of}, R_{ix} y R_{ox}. Observe que el circuito β no cambia.

9.21 La Figura P9.21 muestra un amplificador realimentado.

a) Utilice la teoría de realimentación ideal para obtener la ganancia, resistencia de entrada y resistencia de salida cuando la realimentación está activa.

b) Obtenga la resistencia de entrada vista por la fuente de señal y su resistencia interna.

c) Obtenga la resistencia vista por la resistencia de carga de 1 kΩ mirando hacia el amplificador.

9.22 La Figura P9.22 es un amplificador realimentado.

a) Use la teoría de realimentación para obtener la ganancia, resistencia de entrada y resistencia de salida cuando la realimentación está activa.

b) Obtenga la resistencia de entrada vista por la fuente de señal y su resistencia interna.

c) Obtenga la resistencia vista por la resistencia de carga de 19 kΩ.

9.23 La Figura P9.23 muestra el equivalente para un amplificador realimentado. Utilice la teoría para obtener:

a) La ganancia A del amplificador sin realimentación.

b) La resistencia de entrada R_i sin realimentación.

c) La resistencia de salida R_o sin realimentación.

d) La resistencia de entrada vista por la fuente de señal.

9.24 La baja distorsión y la excelente respuesta a alta frecuencia del seguidor de emisor se deben a su estructura de realimentación. La Figura P9.24 muestra el seguidor como un amplificador realimentado.

a) Redibuje el segundo diagrama usando el cuadripolo equivalente adecuado para la red de realimentación.

b) A partir de su circuito obtenga una expresión para A.

c) A partir de su circuito obtenga una expresión para A_f.

d) Demuestre que su resultado para A_f se aproxima a la expresión usual

$$A_{med} = \frac{(\beta_F + 1)R_E}{r_\pi + (\beta_F + 1)R_E}$$

9.25 La Figura P9.25 muestra el equivalente de pequeña señal del seguidor de emisor redibujado como un circuito de realimentación negativa.

a) Dibuje un nuevo equivalente con el circuito de realimentación (circuito β) sustituido por el cuadripolo equivalente necesario para el análisis de realimentación.

b) Obtenga los valores de los parámetros del cuadripolo en su circuito en función de R_S.

c) Obtenga la expresión del factor de mejora para este circuito de realimentación.

Sección 9.5

9.26 El amplificador operacional de la Figura P9.26 tiene las siguientes especificaciones de lazo abierto: ganancia de tensión = 10.000, resistencia de entrada = 100 kΩ, resistencia de salida = 808 Ω, frecuencia de ganancia unidad = 100 MHz.

a) Aplique la teoría de realimentación negativa ideal para determinar la ganancia de tensión, resistencia de salida, resistencia de entrada y frecuencia de corte para el circuito amplificador no inversor.

b) Demuestre que comprende el significado de resistencia de entrada y salida calculando los valores v_1 y v_2 para la Figura P9.26b.

9.27 La Figura P9.27 es el modelo de un amplificador operacional. La Figura P9.27b muestra la realimentación de tensión en paralelo añadida a este mismo amplificador operacional, haciendo un amplificador inversor. Considere la resistencia de 100 kΩ como parte de la fuente de señal.

a) Dibuje el circuito equivalente de realimentación incluyendo el cuadripolo equivalente correcto de la resistencia de realimentación y las representaciones de fuente de señal y amplificador correctos.

b) A partir de su circuito determine A, R_i y R_o.

c) Use la teoría de realimentación para obtener A_f, R_{if} y R_{of}.

d) Use sus resultados de realimentación para obtener v_o/v_i y la resistencia de entrada vista por v_i en la Figura P9.27b.

e) Compare sus respuestas de la parte d) con las previsiones basadas en el análisis de ganancia infinita usual.

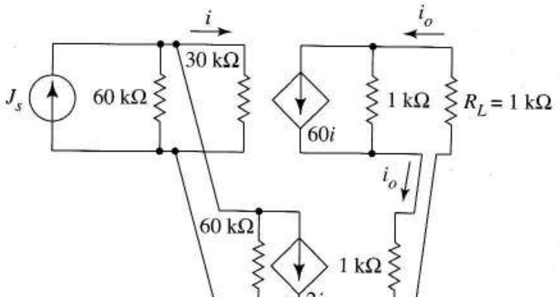


FIGURA P9.21

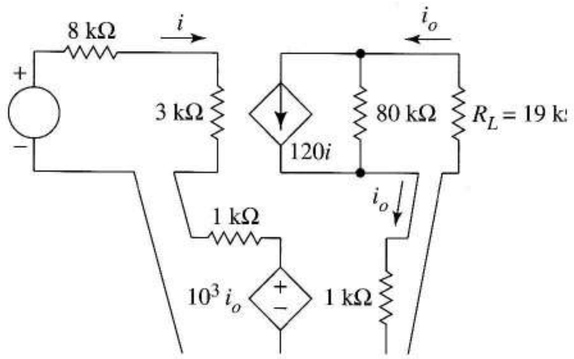


FIGURA P9.22

9.28 Demuestre que $\beta_{alterna} > \beta_{continua}$ en la Figura 9.16e.

9.29 Para cada circuito de la Figura P9.29 identifique el tipo de realimentación y obtenga el valor numérico de β usando el parámetro de cuadripolo apropiado del circuito de realimentación. Establezca si la realimentación es de continua o alterna. Si es de ambas, obtenga los valores de los parámetros de cuadripolo para ambas.

9.30 Dibuje los esquemas correspondientes a los de la Figura 9.16b y c que usan bobinas de choque en lugar de condensadores para producir los mismos tipo(s) de realimentación. Represente una bobina de choque por el símbolo de una bobina con dos líneas paralelas sobre los devanados.

9.31 Las medidas del amplificador de la Figura P9.31a dan el equivalente de la Figura P9.31b. Si añadiera realimentación negativa para hacer que el circuito se parezca a una fuente de corriente controlada por corriente:

a) ¿Qué tipo de realimentación debe añadir?

b) Suponiendo que pudiera construir un circuito β que no tenga resistencia de entrada o salida, ¿qué valor numérico debe usar para A, la ganancia sin realimentación?

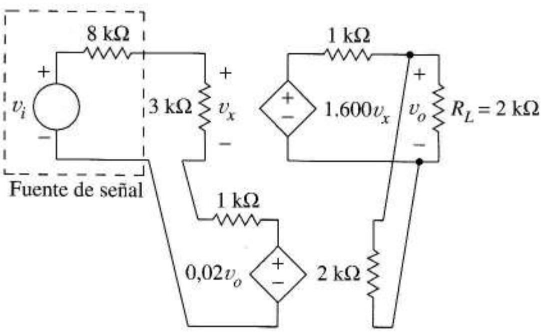


FIGURA P9.23

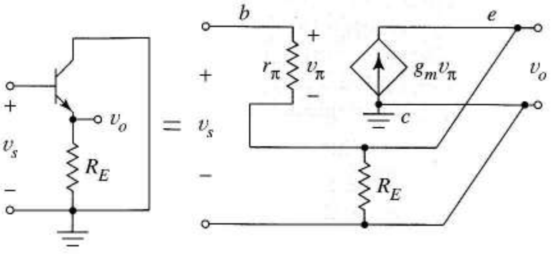


FIGURA P9.24

c) Añadiendo realimentación se reduciría la sensibilidad de ganancia a los cambios de temperatura del 10% actual al 0,1%. ¿Qué valor de β debería usar?

d) Dibuje de nuevo la Figura P9.31a tal como se da. Luego explique cómo añadir componentes para introducir realimentación sin que afecte a la polarización. No se preocupe por los valores de los componentes, sólo por la estructura del circuito. Marque con una X todo componente que deba ser eliminado.

e) Obtenga una ecuación de diseño aproximada que relacione el valor de β de la parte c) con los valores de los componentes de su circuito β.

9.32 Use el análisis de alterna de SPICE para simular a 1 kHz el amplificador realimentado del Ejemplo 9.10. Incluya una fuente de tensión alterna de 0 V en serie con la resistencia de carga de 16 kΩ, y use 1.000 F para asegurar que todos los condensadores de acoplo y desacoplo son cortocircuitos. Para los transistores utilice V_t = −0,8 V, $k = 2 \times 10^{-3}$ A/V², V_A = 120 V. Ignore el efecto del sustrato.

a) Use el SPICE para obtener la ganancia de tensión del amplificador realimentado. (El Ejemplo estimó 11,1.)

b) En su código SPICE sustituya la fuente de tensión y su resistencia por un equivalente Norton. Luego use el SPICE para determinar R_{if} y R_{of}. (El ejemplo predijo R_{if} = 417,7 Ω.) La resistencia de salida debe ser alta debido a la realimentación de corriente.

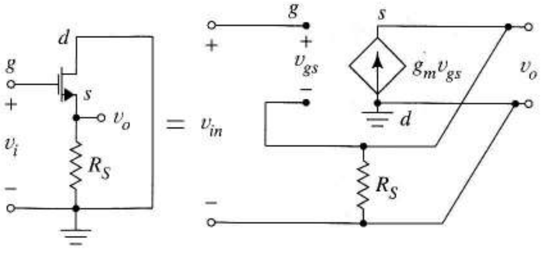


FIGURA P9.25

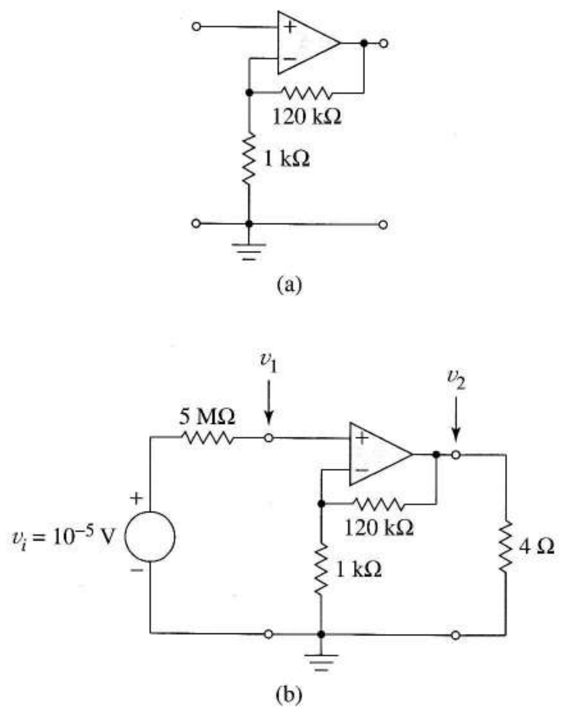


FIGURA P9.26

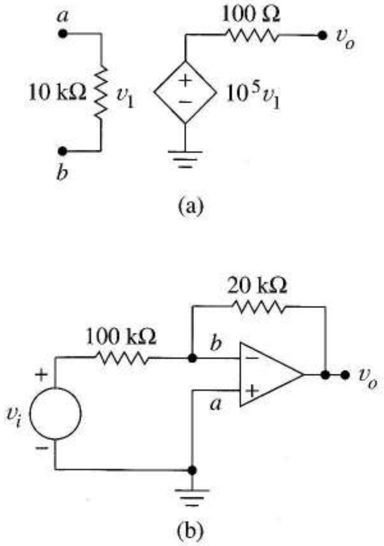


FIGURA P9.27

c) Abra el lazo de realimentación cambiando la resistencia de realimentación a 1.000 MΩ, y luego obtenga con SPICE las resistencias de entrada y salida. (Como esta simulación con el lazo abierto no incluye efectos de carga debidos a g_{11} y g_{22} no esperamos verificar nuestras predicciones numéricas. Sin embargo debemos ver aumentar la resistencia de entrada y disminuir la resistencia de salida).

9.33 En el Apartado 9.5.3 vimos que cuando la ganancia A es una función de la frecuencia el factor de mejora $1 + A(\omega)\beta$ se vuelve complejo, haciendo que R_{if} y R_{of} pasen a ser impedancias complejas. Describa el significado físico de la Ecuación (9.3) cuando $1 + A\beta$ es complejo, o sea ¿qué significa sensibilidad compleja?

9.34 Copie la Figura P9.34. Luego:

a) Añada al diagrama el componente o componentes de realimentación necesarios para incrementar la resistencia de salida y disminuir la resistencia de entrada. Añada realimentación sólo al circuito de alterna.

b) Suponga que el objetivo es un amplificador de corriente de ganancia –100. Suponiendo que $A_f \approx 1/\beta$ describirá el circuito final, escriba una ecuación de diseño que incluya el parámetro (s) de su circuito de realimentación.

9.35 Los subcircuitos generales en π y *t* de la Figura P9.35 se usan a menudo en amplificadores realimentados para contribuir a una β concreta; sin embargo ciertas resistencias pueden omitirse en el circuito β para ciertas clases de realimentación. Use las definiciones apropiadas de los "parámetros 1-2" para verificar estas afirmaciones en la Figura P9.35.

Sugerencia Para la realimentación de tensión β es y_{12} o h_{12}; para la realimentación de corriente es g_{12} o z_{12}; para la realimentación en serie es h_{12} o z_{12}; para la realimentación en paralelo es y_{12} o g_{12}.

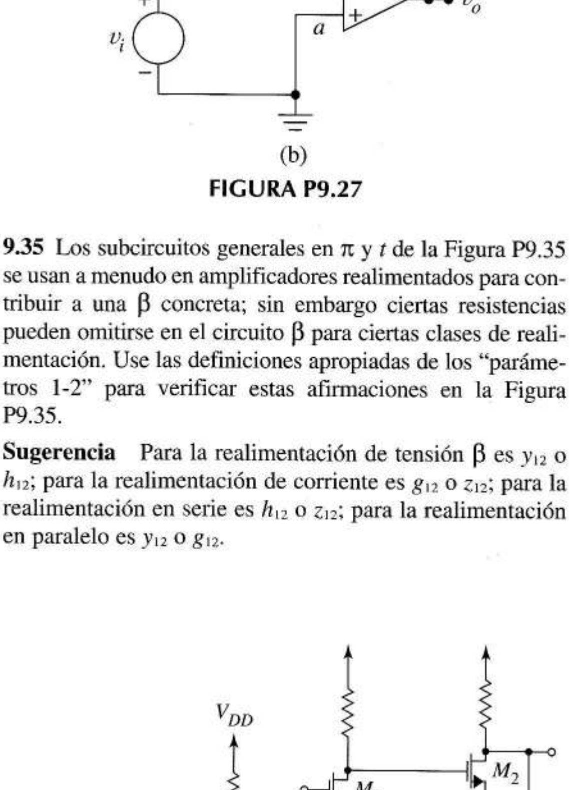


FIGURA P9.29

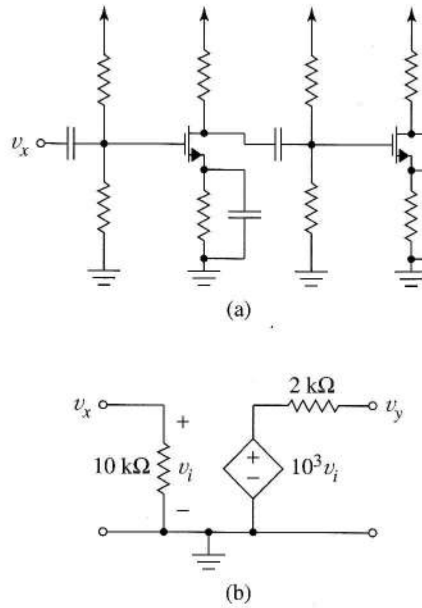


FIGURA P9.31

9.36 a) ¿Qué clase de amplificador imaginó el diseñador cuando diseñó la Figura P9.36: tensión, corriente, transresistencia o transconductancia?

b) ¿Qué sería más apropiado para el generador de señal, una fuente de corriente o una fuente de tensión?

c) ¿Sería más apropiada una resistencia de carga alta o una baja?

d) ¿La realimentación es de alterna, continua o de ambas?

e) Estime la ganancia.

9.37 Un amplificador no realimentado tiene resistencia de entrada de 1 kΩ y ganancia dada por

$$A(s) = 20.000 \frac{800}{s + 800}$$

donde s indica frecuencia compleja. Un circuito de realimentación en paralelo usa $\beta = 0,05$ para rebajar la resistencia de entrada. Sustituya la función de ganancia compleja en la expresión "usual" de R_{if} para obtener la impedancia $Z_{if}(s)$. Haga un diagrama de Bode de esta función.

Sección 9.6

9.38 Los diagramas de Bode de la Figura P9.38 describen la ganancia de lazo abierto de un amplificador operacional. Obtenga los márgenes de ganancia y fase de un amplificador no inversor realimentado usando este amplificador operacional cuando:

a) $\beta = 0,00179$.

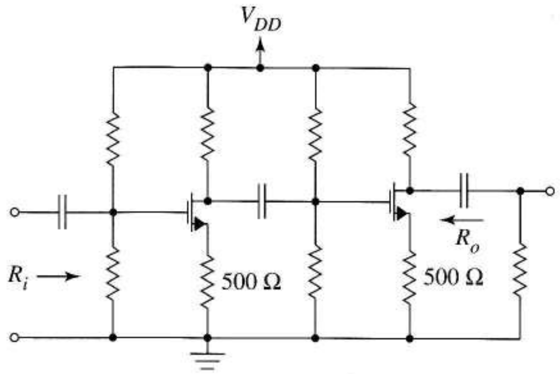


FIGURA P9.34

b) $\beta = 0,0316$.

c) $\beta = 0,1778$.

9.39 La Figura P9.39 es la ganancia de lazo de un amplificador realimentado.

a) ¿Cuánto debe reducirse la ganancia de lazo para hacer estable el amplificador?

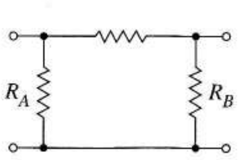
b) Estime la reducción de ganancia de lazo necesaria para hacer estable el amplificador con un margen de fase de 45°.

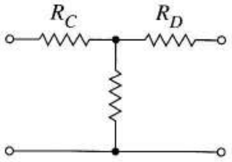
9.40 La Figura P9.39 muestra las curvas de repuesta en frecuencia de un amplificador operacional.

a) Diseñe un amplificador no inversor que tenga 45° de margen de fase, y dibuje su esquema con los valores de las resistencias.

b) Repita la parte a) para un margen de fase de 30°.

9.41 La Figura P9.41 muestra el diagrama de Bode de amplitud de un amplificador no compensado que tiene polos a las frecuencias 0,1 kHz, 1 kHz y 10 kHz.





R_A no es esencial para la realimentación en paralelo

R_B no es esencial para la realimentación en tensión

R_C no es esencial para la realimentación en serie

R_D no es esencial para la realimentación de corriente

FIGURA P9.35

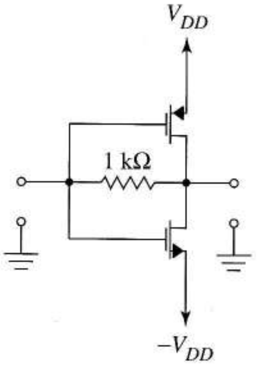


FIGURA P9.36

a) ¿Cuál es el producto ganancia-ancho de banda del amplificador no compensado?

b) Haga una copia de la Figura P9.41. Usando las coordenadas de fase de la derecha dibuje la curva de fase para cada polo. Luego utilice la suma gráfica para dibujar la curva del amplificador.

c) Si el amplificador es un amplificador operacional, ¿qué valor de la ganancia del amplificador no inversor da un margen de fase cero grados?

d) Obtenga el producto ganancia-ancho de banda si el amplificador está compensado para estabilidad incondicional añadiendo un polo dominante nuevo.

e) Obtenga el producto ganancia-ancho de banda si el amplificador está compensado para ganancias en lazo cerrado de 20 dB o más, añadiendo un polo dominante nuevo.

9.42 El polo más bajo de alta frecuencia del amplificador descrito por la Figura P9.41 se mueve para compensar el amplificador.

a) Obtenga la frecuencia del nuevo polo si el amplificador compensado es estable incondicionalmente.

b) Obtenga la frecuencia del nuevo polo si el amplificador compensable es estable con un margen de fase de 45° para una ganancia en lazo cerrado de 50 dB.

c) Dibuje la nueva curva de fase del amplificador después de que éste sea compensado como en la parte b).

Sección 9.7

9.43 Diseñe un oscilador en puente de Wien con frecuencia de 500 Hz.

9.44 Repita la ejecución del SPICE del Ejemplo 9.14 pero esta vez incremente C_1 y C_2 un 10%. Compare estos resultados con los del ejemplo.

9.45 Obtenga con SPICE las frecuencias de oscilación más alta y más baja del oscilador en puente de Wien del Ejemplo 9.14 dentro del margen de temperatura $-40°C \leq T \leq +70°C$ si los coeficientes de temperatura de las resistencias son los del Ejemplo 6.12.

9.46 a) Diseñe un oscilador de desplazamiento de fase para una frecuencia de 20 kHz. Use el SPICE para dibujar la curva de fase del circuito de cambio de fase.

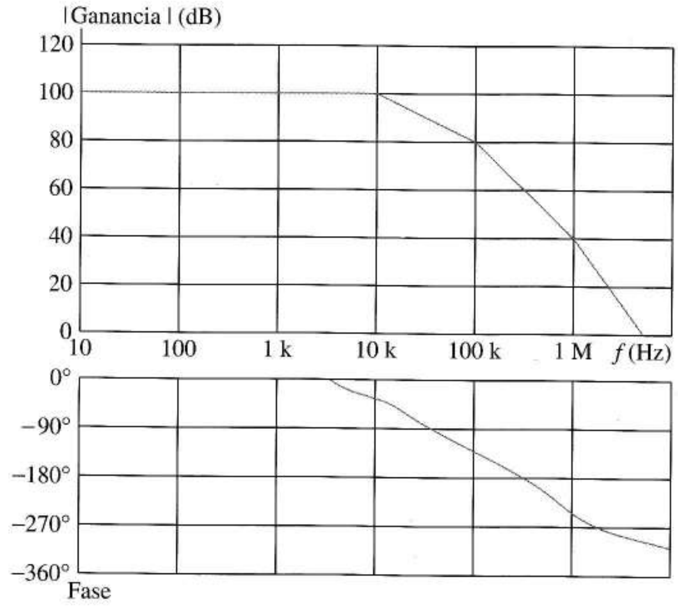


FIGURA P9.38

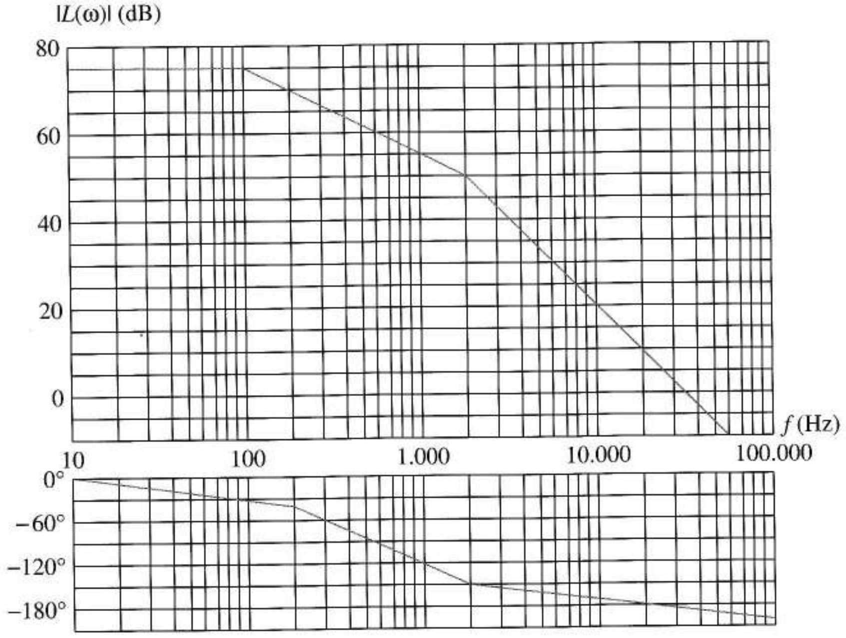


FIGURA P9.39

b) Obtenga el porcentaje de desplazamiento de la frecuencia si una de las resistencias aumenta un 10%.

c) Repita la parte b) para una disminución del 10% de un condensador.

9.47 Cuando los diodos se conectan como en la Figura P9.47a para formar un limitador, la curva tensión-corriente no lineal de la Figura P9.47b se comporta como una resistencia no lineal que decrece con el aumento de tensión.

a) Demuestre que la curva tensión-corriente está descrita por

$$i = 2I_s \text{senh}\left(\frac{v}{V_T}\right).$$

b) Para grandes variaciones simétricas de tensión de la amplitud V_1, como muestra la Figura 9.34b, la *resistencia de gran señal* R_{LS} está definida por

$$R_{LS} = \frac{\Delta v}{\Delta i} = \frac{V_1 - (-V_1)}{i(V_1) - i(-V_1)}$$

Utilice el resultado de la parte a) para obtener una expresión para R_{LS} en función de V_1 para el limitador de diodos.

c) Evalúe R_{LS} para $V_1 = 0$, 0,25, 0,5 y 0,55 V si $I_S = 10^{14}$A y $V_T = 0{,}025$.

9.48 Repita la simulación de SPICE del diagrama del Ejemplo 9.15 pero incluya la limitación con amplificador operacional como sugería la Figura 3.56. Conecte los diodos de limitación a ±10 V y use una resistencia de salida de 100 Ω. Utilice diodos por defecto.

9.49 a) Diseñe un oscilador de 2 MHz como el de la Figura 9.39c usando un MOSFET con $k = 4 \times 10^{-3}$A/V^2, $V_t = 1{,}2$ V

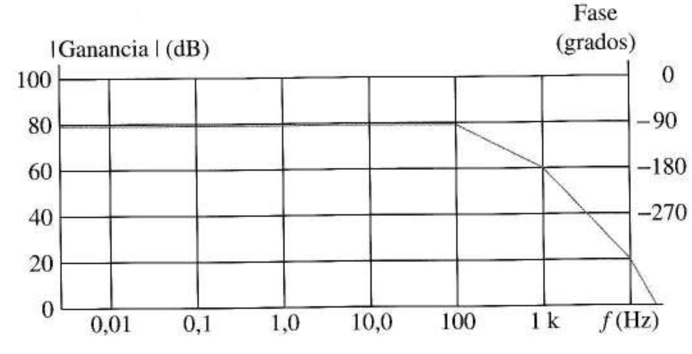


FIGURA P9.41

y $C_{gs} = C_{gd} = 2$ pF. Comience con el circuito equivalente de alta frecuencia, suponiendo que su transistor está polarizado a 1 mA y que la tensión Early es 70 V. Incluya las capacidades del transistor como parte de su diseño.

b) Diseñe un circuito de polarización adecuado para el transistor de su oscilador incluyendo todos los valores de los condensadores de polarización y acoplo necesarios. Dibuje el circuito equivalente final.

9.50 Dibuje el diagrama del circuito completo de un oscilador Colpitts con un operacional no inversor como elemento de ganancia. Use el amplificador operacional HA2544 internamente compensado, descrito en la Tabla 2.1 para diseñar un oscilador Colpitts de 10 MHz.

9.51 Utilice el efecto Miller para rediseñar el oscilador del Ejemplo 9.16 si el transistor tiene $C_\pi = 100$ pF y $C_\mu = 5$ pF.

9.52 Simule con SPICE el oscilador diseñado en el Ejemplo 9.16 usando un transistor 2N2222. Los parámetros SPICE para el 2N2222 son: IS = 14,3 F, BF = 260, VAF =74 V, VJC = 0,75 V, VJE = 0,75 V, CJE = 22 P, CJC = 7,3 P y TF = 411 P.

9.53 Recalcule los valores de g_m y r_π del Ejemplo 9.16 si un choque sustituye a la resistencia de colector. Luego repita el diseño del oscilador de 1 MHz para esta nueva propuesta de polarización.

9.54 Use el SPICE para determinar el cambio de frecuencia, amplitud y distorsión armónica total del oscilador Colpitts del Ejemplo 9.17 con C_1, usando el siguiente procedimiento.

a) Para el diseño del Ejemplo 9.17 determine la frecuencia real de oscilación midiendo el tiempo entre dos picos de los últimos nueve ciclos de la salida del SPICE, dividiendo por 9 y haciendo la inversa. Luego use la sentencia .FOUR con esta frecuencia para analizar V(4). Observe en la salida la amplitud de la componente de frecuencia fundamental y el % de distorsión armónica.

b) Cambie el valor de C_1 a 34,05 pF sin cambiar L_2 y repita el procedimiento de la parte a). Es posible que necesite cambiar la sentencia .TRAN de forma que la simulación dure 40 μs.

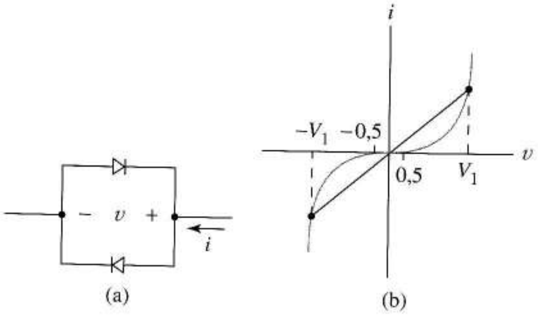


FIGURA P9.47

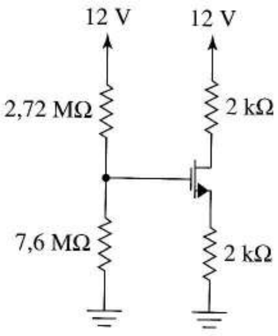


FIGURA P9.56

c) Explique por qué se predicen los resultados de las partes a) y b) con la teoría.

9.55 Un oscilador Hartley usa $L_1 + L_3 = 25$ μH y $C_2 = 40$ pF.

a) Dibuje con SPICE la fase en función de la frecuencia de la red de desplazamiento de fase gobernada por una fuente de corriente alterna independiente, para el diseño original y cuando C_2 es un 10% mayor. A partir de la Figura 9.41 esperamos que el circuito oscile a la frecuencia a la que el desplazamiento de fase es 180°. A partir de las curvas, determine la frecuencia de diseño nominal y la frecuencia cuando C_2 es un 10% mayor.

9.56 Diseñe un oscilador Hartley usando el circuito de polarización de la Figura P9.56 y compruébelo con SPICE. La frecuencia es 1,3 MHz. Los parámetros del transistor son KP = 0,5 × 10^{-3}A/V^2, CBD = 1,5 pF, VTO = 2 V y CBS = 0,5 pF. Opcional: añada valores razonables para la tensión Early y el coeficiente de efecto del sustrato y vea si afectan a la frecuencia de la onda.

9.57 Diseñe el oscilador de desplazamiento de fase de la Figura 9.34 para $\omega_o = 2\,\pi$ 90.000 rad/s. Luego use el análisis transitorio SPICE para ver la forma de onda de la tensión de salida para dos o tres valores de K.

9.58 Dibuje con SPICE la curva de frecuencia-fase para el circuito desplazador de fase de la Figura P9.58. La señal de entrada debe ser una corriente alterna. Use el equivalente del cristal de la Figura 9.43a. Los parámetros del cristal son $L = 137$ H, $C = 0{,}0235$ pF, $r = 15$ kΩ y $C' = 3{,}5$ pF. Intente determinar el cambio de frecuencia en tanto por ciento cuando el condensador de 32,2 pF crece un 10%.

FIGURA P9.58

Capítulo 10

CIRCUITOS Y SISTEMAS DE POTENCIA

Los circuitos de este capítulo desarrollan gran cantidad de potencia. Los *amplificadores de potencia* o *etapas de salida* proporcionan grandes señales de potencia a sus cargas. Algunos ejemplos de cargas pueden ser altavoces públicos o estéreo, bobinas de deflexión de pantallas de video y servomotores de *plotters* (trazadores) *XY*. Las fuentes de alimentación proporcionan la potencia continua necesaria para todos los tipos de equipamiento analógico y digital.

Al diseñador le preocuparán ahora una serie de conceptos especiales ya que el amplificador debe proporcionar gran potencia a la carga. El primero de ellas es el *rendimiento* definido por

$$\eta = \frac{P_{carga}}{P_i} = \frac{\text{señal desarrollada en la carga}}{\text{potencia de entrada de las fuentes de alimentación}} \qquad (10.1)$$

En los circuitos anteriores, el rendimiento era una preocupación menor ya que la potencia implicada era pequeña. Sin embargo, con los amplificadores de potencia, deberemos considerar el impacto sobre el circuito, la vida de las baterías o el coste y debemos pensar en los requisitos de las fuentes de potencia del amplificador. La Ecuación (10.1) nos indica que para una P_{carga} dada, un bajo rendimiento se convierte inmediatamente en requisito en la fuente de alimentación. Más aún, el rendimiento sugiere un segundo aspecto –la capacidad de los componentes del circuito de disipar calor– de cualquier fuente de alimentación que contribuya a calentar transistores y resistencias. Más concretamente, para una P_{carga} dada, (10.1) implica

$$P_i - P_{carga} = \left(\frac{1}{\eta} - 1\right) P_{carga} = \text{disipación de potencia en los componentes del circuito}$$

que muestra claramente la relación entre el calentamiento del circuito y la eficacia. En circuitos de potencia debe dedicarse especial esfuerzo en asegurar que los componentes no se destruyen por el excesivo calor. Finalmente, las grandes amplitudes de señal necesarias para producir señales de potencia de salida producen distorsiones de no linealidad. Los modelos de pequeña señal que se basan en la proyección sobre la tangente de la función de transferencia en el punto Q, no se pueden aplicar aquí, así que debemos volver a los modelos de gran señal como los usados en el análisis y diseño de los circuitos de polarización.

Los amplificadores de potencia se clasifican de acuerdo a la fracción de tiempo que conducen los transistores. Los amplificadores en clase A tienen transistores de salida en los que la corriente de señal circula todo el tiempo. Para obtener un mayor rendimiento, el amplificador en clase B utiliza transistores que sólo conducen la mitad del tiempo, quedando al corte el resto del tiempo. Los transistores de los amplificadores en clase AB conducen algo más de la mitad del tiempo con rendimientos similares a los circuitos en clase B, pero producen menor distorsión. *Los amplificadores en clase C* producen grandes cantidades de potencia con gran rendimiento usando transistores que conducen sólo una pequeña fracción del ciclo. Los cortos pulsos de la corriente de salida excitan un circuito resonante que elimina las componentes de la distorsión producidas por el funcionamiento no lineal del transistor. Como su aplicación es muy específica no los trataremos en el texto.

Los amplificadores en clase D producen formas de onda de salida binarias de muy alto rendimiento, próximo al 100% usando los transistores como interruptores. En aplicaciones analógicas, el amplificador en clase D necesita un *modulador* que transforma la información de la amplitud en ancho de pulso. En la salida se sitúa un filtro sin pérdidas que elimina los términos de alta frecuencia. Comenzaremos el estudio de los amplificadores de potencia examinando la disipación de potencia en los transistores bipolares y los de efecto de campo.

10.1 DISIPACIÓN DE POTENCIA EN LOS TRANSISTORES

La Figura 10.1 muestra un bipolar y un FET polarizados en un punto de funcionamiento en continua y sin señal presente. Podemos escribir las ecuaciones de la disipación de potencia en estos transistores. Para el FET

$$P_D = I_D V_{DS} \tag{10.2}$$

y para el bipolar

$$P_D = I_C V_{CE} + I_B V_{BE} \approx I_C V_{CE} \tag{10.3}$$

Con las polaridades de tensión y corrientes, P_D es la potencia que está siendo disipada por los transistores. Veremos qué quiere decir exactamente la disipación.

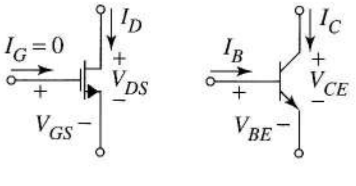


FIGURA 10.1 Disipación de potencia continua en los transistores.

Principios elementales de transferencia de calor Cuando dos superficies paralelas de un sólido se mantienen a temperaturas uniformes T_i y T_o (Figura 10.2a) circulan Q julios por segundo por unidad de área desde el lado de mayor temperatura al de menor temperatura y en dirección normal a la superficie. Si T_i es la mayor de las dos

$$Q = \frac{1}{K}\left(T_i - T_o\right) \text{ julios/s - m}^2$$

donde K es una constante de proporcionalidad característica del material. Se puede usar la ecuación al revés, pensando que la causa de la diferencia de temperaturas es el flujo de calor Q.

En los transistores de la Figura 10.1, la disipación de media de potencia P_D en julios/s se relaciona con la temperatura de la unión drenaje-sustrato (base-colector) T_J y la del *ambiente* que rodea al transistor T_A, por

$$P_D = \frac{1}{\theta_{JA}}(T_J - T_A)\,\text{julios/s} \tag{10.4}$$

donde θ_{JA} es la *resistencia térmica entre la unión y el ambiente*. Esta resistencia es una constante proporcionada en las hojas de datos de los fabricantes de los transistores de potencia.

La Figura 10.2b muestra una sencilla analogía con un circuito eléctrico que nos ayuda a comprender el calentamiento del transistor descrito por la Ecuación (10.4). Las tensiónes en los nodos representan temperaturas y la fuente de corriente constante, la disipación de potencia; la fuente de tensión fija T_A indica la temperatura del ambiente relativa a 0°C. Cuando la corriente o la tensión en el transistor son cero, $P_D = 0$ y la temperatura de la unión es igual a la del ambiente, pero cuando circula corriente como en la Figura 10.1, se genera calor en la unión debido a la pérdida de energía de los portadores al atravesar la unión inversamente polarizada. Durante este proceso, la energía eléctrica se convierte en térmica en la red cristalina, haciendo subir la temperatura de la unión por encima de la del ambiente y provocando un flujo térmico hacia el exterior. Con la nomenclatura de la Figura 10.2b, la fuente de corriente empieza a trabajar provocando un incremento de T_J. Para prevenir un daño catastrófico o un envejecimiento prematuro de la unión, se establece un límite de temperatura máxima $T_{J,\,\text{máx}}$ que varía de 125 a 200 °C y que no debe superarse. El diseñador debe provocar que T_J siempre sea menor que $T_{J,\,\text{máx}}$.

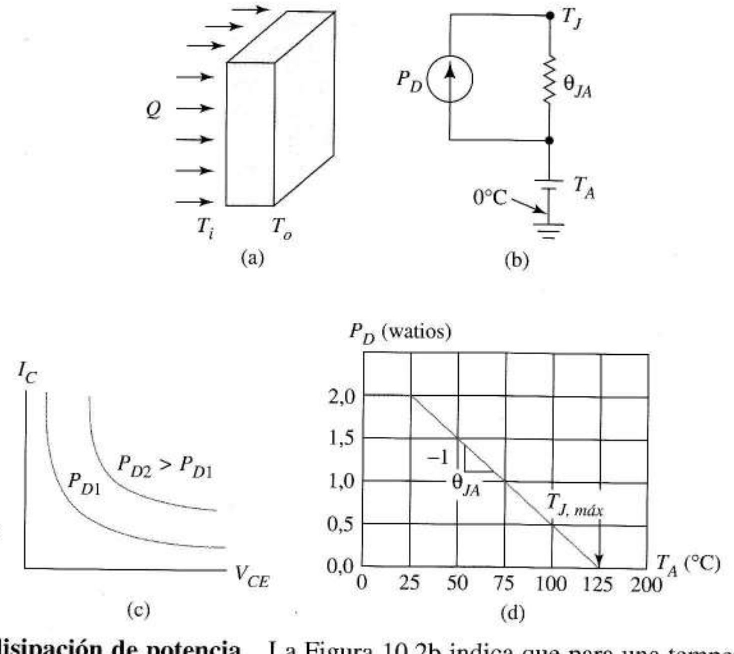


FIGURA 10.2
(a) Conducción de calor en un sólido; (b) analogía eléctrica de la disipación de potencia en un transistor; (c) hipérbolas de disipación de potencia para dos valores promedio; (d) curva de degradación de un transistor.

Hipérbola de disipación de potencia La Figura 10.2b indica que para una temperatura ambiente dada T_A, una $T_{J,\,máx}$ y una resistencia térmica θ_{JA} podemos especificar un máximo valor seguro de disipación P_D. Con P_D conocido y las Ecuaciones (10.2) y (10.3) podemos ver las restricciones de trabajo del transistor que son una serie de *hipérbolas de disipación de potencia*. Por ejemplo, en (10.3), cuando $P_D = P_{DI}$, una constante dada, y vemos a V_{CE} como variable independiente e I_C como variable dependiente, obtenemos la hipérbola (trazo continuo) de la Figura 10.2c. Cualquier punto Q por debajo de la hipérbola es un punto de trabajo seguro.

Supongamos que se usa un ventilador o un sistema de aire acondicionado para hacer descender la temperatura ambiente en las proximidades del semiconductor. Esta menor T_A significa que una mayor P_D, $P_D = P_{D2}$, podría estar permitida para una misma T_J, lo que significa que podemos tomar cualquier punto Q por debajo de la nueva hipérbola señalada como P_{D2} de la Figura 10.2c. Y viceversa, una mayor temperatura ambiente reduce la zona permitida de trabajo de las características de salida del transistor.

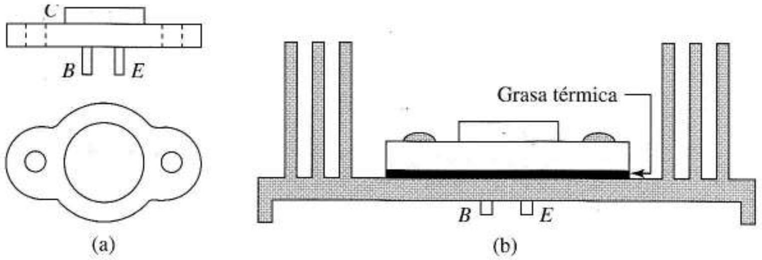
Curva de degradación La información de la disipación de potencia se suele dar de otra forma, como la *curva de degradación* de la Figura 10.2d. Esta curva nos dice que a 25 °C o menos, el transistor puede disipar con seguridad $P_D = 2$ W. Si la temperatura del ambiente supera los 25 °C la potencia P_D es proporcionalmente menor. La parte de la curva con pendiente no nula es la Ecuación (10.4) y la pendiente negativa es $1/\theta_{JA}$, llamada *factor de degradación*. La temperatura a la que $P_D = 0$ en la curva de degradación es $T_{J,\,máx}$. Así, a partir de la Figura 10.2d

$$\theta_{JA} = -\frac{125-25}{0-2} = 50\ °C/W$$

y $T_{J,\,máx} = 125$ °C.

Radiadores La Figura 10.3 muestra la estructura física de un transistor bipolar. El colector está eléctrica y térmicamente sujeto a la cápsula, luego sólo hay patillas para la base y el emisor. Esta estructura proporciona una forma de lograr disminuir la resistencia térmica inherente θ_{JA} haciendo una conexión física y térmica a un *radiador* o disipador como en la Figura 10.3b. El radiador es un elemento metálico diseñado para ayudar al transistor a disipar el calor por convección[1]. El calor circula de la unión a la cápsula, de aquí al radiador a través de una grasa especial[2] y del radiador al ambiente. La Figura 10.3c es la analogía eléctrica del circuito térmico donde

$$T_J = T_A + P_D\theta_{JA,\,radiador} = T_A + P_D\left(\theta_{JC} + \theta_{CS} + \theta_{SA}\right)$$



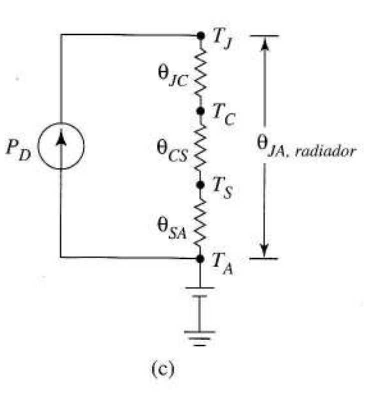


FIGURA 10.3 (a) Aspecto físico de un transistor de potencia; (b) transistor montado sobre un radiador; (c) analogía eléctrica de la disipación incluyendo el radiador.

[1] N. del T.: No sólo está presente el mecanismo de convección; los de conducción y radiación también ayudan a la evacuación del calor. Según las circunstancias, el de mayor importancia puede ser el de conducción o el de convección.

[2] N. del T.: Normalmente se emplea grasa de silicona.

Además de θ_{JA}, que describe la transferencia de calor sin radiador, el fabricante proporciona también la resistencia térmica θ_{JC} entre la unión y el encapsulado. Por otra parte, θ_{SA} es la resistencia térmica entre el radiador y el ambiente y la proporciona el fabricante del radiador o se obtiene de los catálogos de diseño de radiadores. Una buena grasa[2] diseñada para una correcta transferencia de calor tiene $\theta_{CS} \approx 0{,}2$ °C/W. Como $\theta_{JA,\ radiador} < \theta_{JA}$, el esquema eléctrico análogo muestra que al añadir un radiador sube la hipérbola de potencia P_D para las mismas temperaturas de la unión y del ambiente.

EJEMPLO 10.1 Un transistor de potencia con resistencia térmica $\theta_{JA} = 12$ °C/W se polariza en 2 A, 10 V a 25 °C de temperatura ambiente. Si $T_{J,\ máx} = 180$ °C, a) demostrar que el transistor se sobrecalienta. b) Si se usa un sistema de enfriamiento ¿qué temperatura ambiente sería necesaria para evitarlo? c) Hallar la $\theta_{JA,\ radiador}$ necesaria para una temperatura ambiente de 25 °C.

Solución Para ese punto Q, $P_D = 2 \times 10 = 20$ W. a) A partir de (10.4), $T_J = 25 + 12 \times 20 = 265$ °C que, como se supera $T_{J,\ máx}$, el transistor se sobrecalienta. b) Si $T_J = 180$ °C, $180 = 20 \times 12 + T_A$, de donde $T_A = -60$ °C. c) $180 = 20 \times \theta_{JA,\ radiador} + 25$ por lo que $\theta_{JA,\ radiador} = 7{,}75$ °C/W. ❑

Ejercicio 10.1 En el Ejemplo 10.1c, hallar la resistencia térmica del radiador si el fabricante del transistor especifica que $\theta_{JC} = 1{,}3$ °C/W y se usa grasa térmica de $\theta_{CS} \approx 0{,}2$ °C/W. ¿Se notará caliente el encapsulado después de instalar el radiador?

Respuesta 6,25 °C/W; sí, la temperatura de la cápsula será de 118 °F.

Zona de trabajo seguro (SOA) La Figura 10.4 muestra la *zona de trabajo seguro* (SOA)[3] del conjunto transistor-radiador. La zona está limitada por la hipérbola de disipación de potencia, la máxima corriente y la tensión de ruptura del transistor. En los bipolares hay también *ruptura secundaria* provocada por la distribución no uniforme de las corrientes que circulan que pueden crear sobrecalentamiento en zonas localizadas y que reducen la SOA como se indica. Sin embargo, veremos que se puede permitir salir de la zona durante *algún* tiempo sin peligro.

Transistores en paralelo Tanto en circuitos bipolares como en los FET se puede sustituir un transistor por dos o más transistores idénticos conectando entre sí los terminales correspondientes. En ese caso, la disipación total de potencia se divide por el número de transistores en paralelo. Se pueden colocar radiadores individuales o un radiador común.

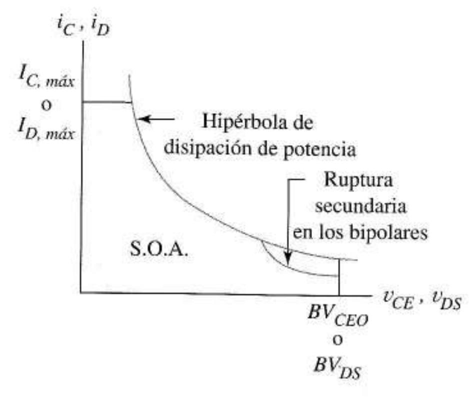


FIGURA 10.4
Zonas de trabajo seguro para los transistores bipolares y los de efecto de campo.

[3]N. del T.: SOA son las iniciales de Safe Operating Area.

10.2 TRANSISTORES DE POTENCIA Y AMPLIFICADORES DE POTENCIA

MOSFETs de potencia En los bipolares, se consiguen valores altos de $I_{C,\ máx}$ elevando el área base-emisor. En los MOSFETs de potencia el diseño no es tan sencillo ya que *W*/*L* escala la corriente [ver Figura 5.2a y Ecuación (5.8)]. Un canal de longitud *L* suficientemente pequeño para la elevada corriente necesaria ocasiona también tensiónes de ruptura muy bajas, *BV* ya que la zona de deplexión se expande en el canal durante el funcionamiento activo reduciendo la longitud efectiva L_E como en la Figura 5.48b. Por lo tanto, la estructura vertical de la Figura 10.5 es más interesante para los MOS de potencia. Este transistor se llama de *doble difusión* (algunas veces DMOS) porque su fabricación necesita difusión p y n y se denomina *vertical* por la dirección principal de circulación de la corriente. Como los otros FETs, el DMOS es un dispositivo de tres estados.

Cuando la tensión puerta-fuente es positiva, pero pequeña, las uniones pn bajo los extremos de la puerta están polarizadas inversamente con lo que $i_D = 0$ y el dispositivo está cortado. Cuando v_{GS} supera la tensión umbral $V_t > 0$ se produce una inversión en el material p justo debajo de la puerta y comienza a conducir. Los electrones circulan hacia el drenador n^- a través de los canales paralelos de longitud *L*. Como la región de deplexión se expande más en el material n^- cuando sube v_{DS}, la longitud efectiva del canal y la real son iguales. El intenso campo eléctrico creado en el canal, aunque con menor tensión drenador-fuente, acelera los electrones al máximo, fenómeno denominado *saturación de velocidad* cuyas consecuencias son una función de transferencia lineal como la de la Figura 10.5b, el espaciado uniforme de las características de salida como en la Figura 10.5c y la ecuación *lineal* de la zona activa

$$i_D = g_M\left(v_{GS} - V_t\right),\ v_{GS} > V_t \tag{10.5}$$

donde V_t es la tensión umbral y g_M es la *transconductancia directa* que, en función de los parámetros físicos,

$$g_M = 0{,}5C_{ox}WU_{máx} \tag{10.6}$$

donde $U_{máx}$ es la máxima velocidad de arrastre, alrededor de 10^7 cm/s para los electrones en el silicio y W y C_{ox} son la anchura del canal y la capacidad del óxido. La Figura 10.5d muestra un modelo estático de gran señal que describe al DMOS cuando está activo.

A bajas v_{DS}, la característica de salida se convierte en una línea recta de pendiente $1/R_{DS}$ que es el tercer parámetro importante del dispositivo. En *funcionamiento óhmico*,

$$i_D = \frac{1}{R_{DS}} v_{DS} \tag{10.7}$$

Son comunes valores de g_M entre 1 y 10 A/V, $V_t = 4$ V, R_{DS} de 0,1 a 4Ω y resistencias térmicas θ_{JC} de 1 a 7 °C/W.

Como en los FETs de baja potencia, la tensión umbral disminuye linealmente con la temperatura de la unión a –2 mV/ °C, así como la transconductancia. Consecuentemente, cuando la temperatura sube, la función de transferencia cambia como en la Figura 10.5e.

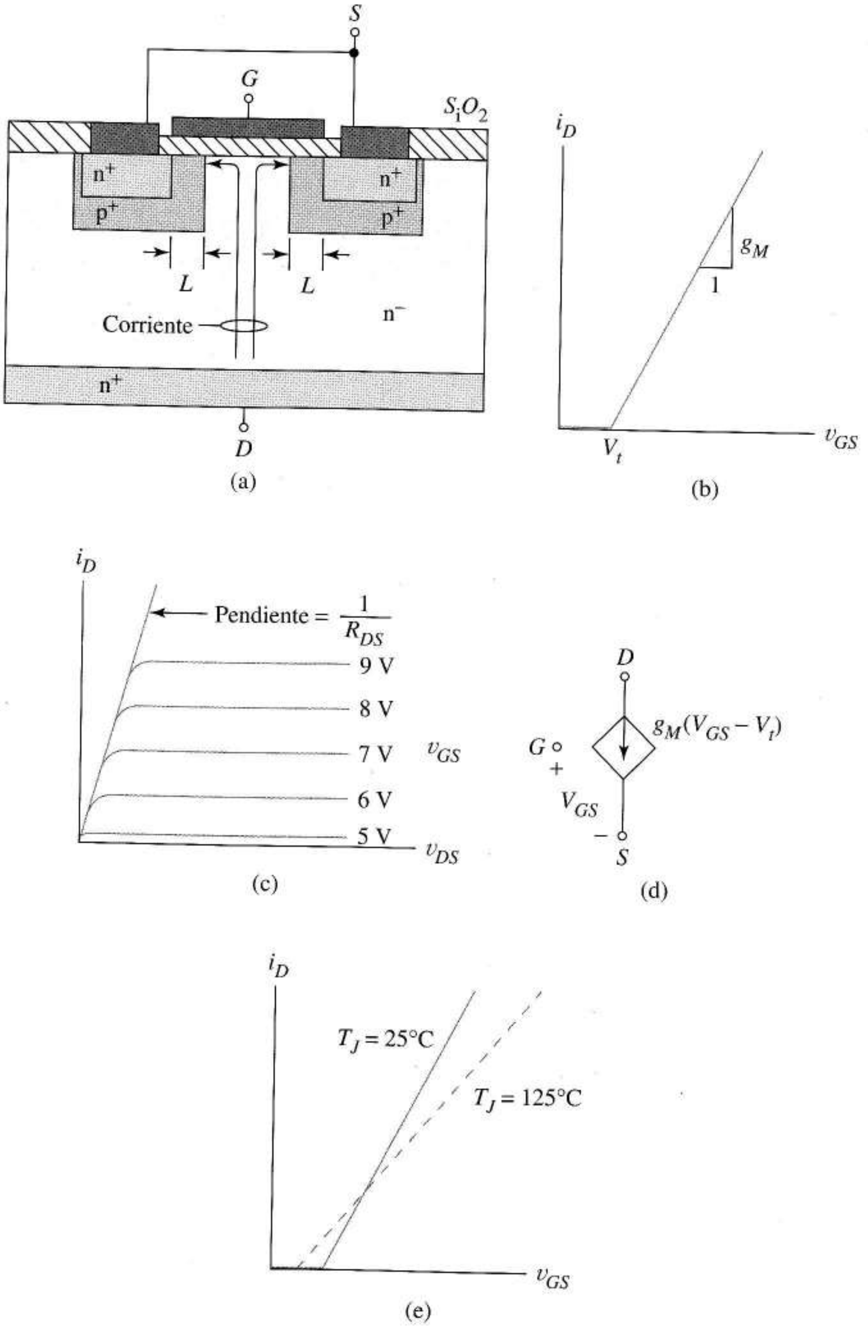
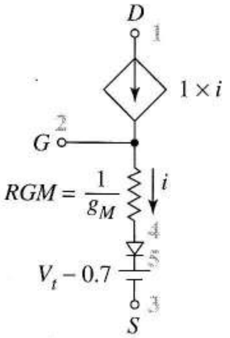


FIGURA 10.5 Transistor de potencia MOS de doble difusión: (a) estructura física; (b) función de transferencia; (c) característica de salida; (d) modelo del circuito en zona activa; (e) variación con la temperatura.

La Figura 10.6 define un subcircuito SPICE para el estado activo de un MOSFET de potencia con $g_M = 0{,}25$ y $V_t = 4$ V. Este subcircuito sirve para corte y zona activa pero no para la zona óhmica. Como en el modelo del FET en puerta común de la Figura 7.21, la corriente es nula debido a la CCCS de ganancia unitaria. El diodo y la batería aseguran corriente despreciable de salida para $v_{GS} < V_t$ y la corriente directa dada por (10.5). En una de las referencias, Cordonnier y sus colaboradores describen un modelo SPICE con efectos dinámicos e indican cómo medir los parámetros necesarios.

Hay transistores de potencia de doble difusión de canal p aunque hoy en día es difícil fabricar pares complementarios con los mismos parámetros estáticos y dinámicos.




```
.SUBCKT POWERTR 1 2 3
*RGM = 1/GM
RGM 2 4 5
D1 4 5 RECT
.MODEL RECT D
* VT = THRESHOLD-0.7V
VT 5 3 3.3
F1 1 2 VT 1
.ENDS
```

FIGURA 10.6 Modelo SPICE del transistor DMOS en corte y zona activa.

10.3 AMPLIFICADOR EN CLASE A

10.3.1 ESQUEMA DE CIRCUITO

La Figura 10.7a es un *amplificador* o etapa de salida *en clase A*, un circuito que produce tensiones de salida de pico comparables a la tensión de alimentación con poca distorsión. Los clase A son una buena alternativa en diseños que tengan especificaciones de distorsión muy exigentes aunque su bajo rendimiento impone fuertes requisitos a los transistores y a la fuente de alimentación.

Cuando se estudia un circuito poco familiar es instructivo comenzar con la polarización, proporcionada en este caso por dos fuentes de alimentación y una fuente de corriente. Hemos incluido también una fuente de $V_{BE} \approx 0{,}7$ V en la entrada para simplificar la explicación inicial del circuito. En los amplificadores de potencia representaremos los transistores mediante su modelo de gran señal; por ello, el trabajo activo da el equivalente de la Figura 10.7b.

Cuando v_I es cero, v_O es cero con lo que el transistor está polarizado en $(V_{CE}, I_C) \approx (V_{CC}, I_{EE})$ punto fácil de situar en la zona activa con los componentes de polarización. Cada alimentación produce aproximadamente I_{EE} amperios sobre el circuito provocando una disipación total del circuito de

$$P_i = 2V_{CC}I_{EE} \tag{10.8}$$

Esta disipación de potencia en ausencia de señal se denomina *disipación de potencia en reposo.*

10.3.2 MÁXIMA EXCURSIÓN DE SEÑAL

En la Figura 10.7b se ve que aun con la señal presente

$$v_O(t) = v_I(t) \tag{10.9}$$

Esta linealidad no es sorprendente, ya que el circuito es un seguidor de emisor, un circuito de realimentación de tensión en serie del que esperamos una baja distorsión. Para entender los límites del funcionamiento lineal, examinaremos la línea de carga del circuito. Como la fuente de corriente/estructura en seguidor pone restricciones al circuito que no hemos visto antes, iremos a una demostración básica para obtener la ecuación de la línea de carga. A partir de la Figura 10.7a con $i_C \approx i_E$, tenemos

$$i_C = I_{EE} + \frac{v_o}{R_L} = I_{EE} + \frac{V_{CC} - v_{CE}}{R_L} \tag{10.10}$$

En el plano i_C-v_{CE}, esta ecuación es una línea recta de pendiente $-1/R_L$ que pasa por los puntos (V_{CC}, I_{EE}) y ($V_{CC}+ I_{EE}R_L$,0) como en la Figura 10.7c. Observemos que los extremos corresponden a la saturación y al corte del transistor. Como en los amplificadores de potencia las señales son grandes solemos tomar $V_{CE,sat} \approx 0$ para simplificar sin un error excesivo.

Para diseñar, elegimos I_{EE} para que la excursión de la salida sea tan grande como sea posible. Debido a

$$v_{CE}(t) = V_{CC} - v_O(t) \tag{10.11}$$

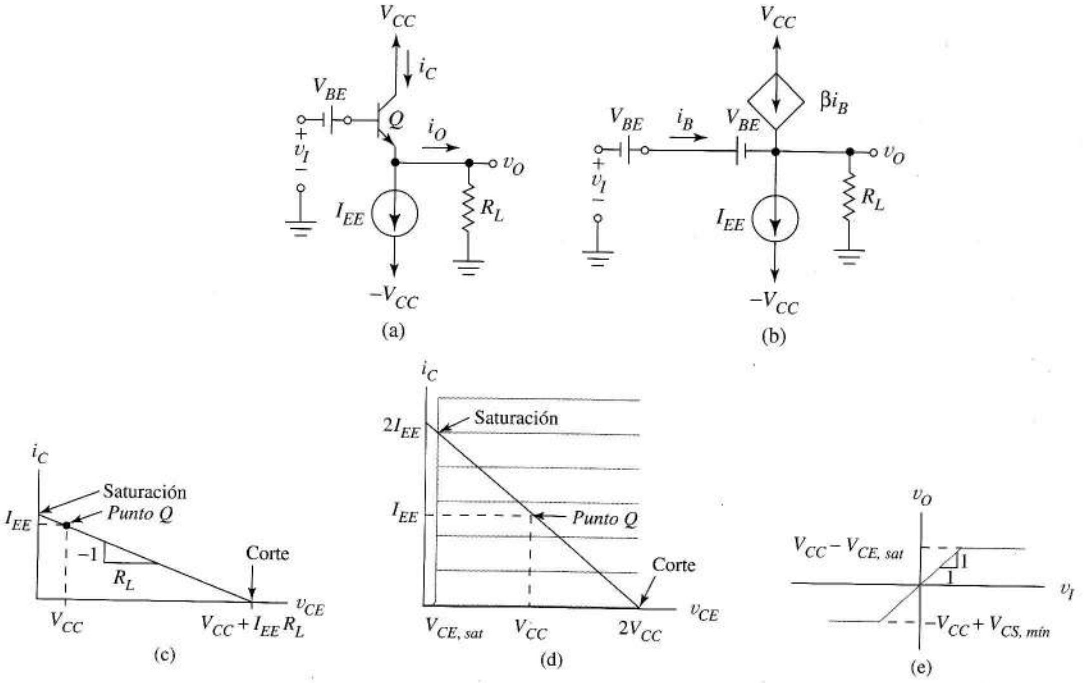


FIGURA 10.7 Amplificador en clase A: (a) esquema; (b) circuito equivalente; (c) construcción de la línea de carga; (d) línea de carga para la máxima amplitud; (e) función de transferencia.

grandes variaciones de $v_O(t)$ suponen grandes variaciones de $v_{CE}(t)$ (idealmente, el trabajo en alterna llega desde la saturación al corte sobre la línea de carga). También se necesitan desplazamientos iguales en los dos sentidos desde el punto Q. La Figura 10.7c muestra que para que la señal de salida sea grande y simétrica debemos centrar el punto Q en la recta de carga. Para hacerlo elegimos I_{EE} de tal forma que

$$V_{CC} = \frac{1}{2}\left(V_{CC} + I_{EE}R_L\right)$$

Esto da la ecuación de diseño

$$I_{EE} = \frac{V_{CC}}{R_L} \tag{10.12}$$

que (aproximadamente) centra el punto Q como en la Figura 10.7d. En este caso, el transistor está activo en el margen

$$V_{CE,sat} \leq v_{CE} \leq 2V_{CC}$$

Sustituyendo los límites de v_{CE} en la Ecuación (10.11) concluimos que la función de transferencia lineal valdría sólo para tensiones en el margen

$$-V_{CC} \leq v_O \leq V_{CC} - V_{CE,sat}$$

Sin embargo, en el Capítulo 6 vimos que la fuente de corriente I_{EE} tiene que tener una tensión mínima $V_{CS,\,mín}$ por lo que concluimos que en la práctica, el funcionamiento lineal del circuito queda limitado por

$$-V_{CC} + V_{CS,\,mín} \leq v_O \leq V_{CC} - V_{CE,\,sat}$$

Junto con la Ecuación (10.9) esto da la función de transferencia de la Figura 10.7e. Esta curva supone una fuente de señal de resistencia de salida no nula. La curva se satura debido a incrementos en la tensión de entrada v_I por encima de los puntos de ruptura de la curva provocados por las caídas de la resistencia de salida más que por incrementos en la tensión de salida. Si omitimos la fuente de polarización adicional, V_{BE}, de la Figura 10.7a, la curva de transferencia se desplaza hacia abajo para dar una tensión de desviación de $-V_{BE}$ voltios aunque sigue siendo lineal.

10.3.3 FORMAS DE ONDA

La Figura 10.8a muestra las formas de onda obtenidas al aplicar una señal senoidal en $t = 0$. Antes de $t = 0$ el transistor estaba polarizado como se indicó. Cuando se introduce la señal, (10.9) indica que $v_O(t)$ sigue a $v_I(t)$ como en la Figura 10.8b. Como la fuente de corriente mantiene I_{EE}, la corriente senoidal por la carga de la Figura 10.7a se añade a la continua por el transistor; en consecuencia, la forma de onda de corriente de colector se asemeja a la de la Figura 10.8c. La inversión de fase de $v_{CE}(t)$ respecto a $v_I(t)$ de la Figura 10.8d se obtiene de (10.11). Observemos que, en las Figuras 10.8c y d, cuando la señal es suficientemente grande lleva al transistor alternativamente a corte y saturación, resultando consistente con la línea de carga de la Figura 10.7d. Estudiaremos a continuación el rendimiento del circuito escribiendo las ecuaciones de estas formas de onda.

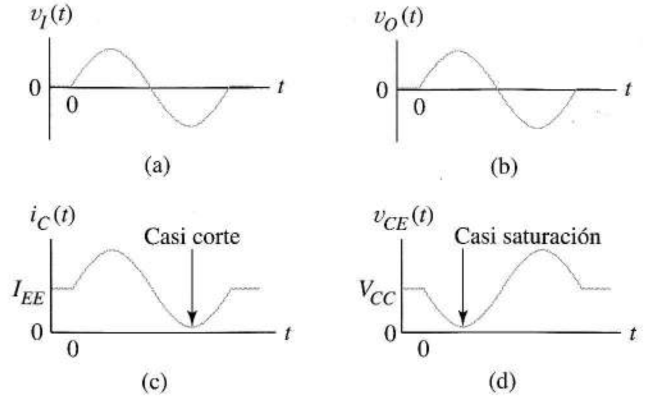


FIGURA 10.8 Formas de onda en un amplificador en clase A: (a) tensión de entrada; (b) tensión de salida; (c) corriente de colector; (d) tensión en el transistor.

10.3.4 BALANCE ENERGÉTICO Y RENDIMIENTO

Nuestro objetivo es tener en cuenta la potencia que entra y sale del amplificador. Las ecuaciones resultantes revelan algunos aspectos importantes relacionados con el rendimiento del amplificador y nos indican las consideraciones de diseño sobre los límites de potencia del transistor y las especificaciones de las fuentes de alimentación.

Balance energético sin señal La Figura 10.7a muestra que cuando $v_I = 0$ cada una de las fuentes de alimentación proporcionan $V_{CC}I_{EE}$ watios al circuito. Sustituyendo el valor de diseño de I_{EE} de (10.2) se tiene la potencia total de

$$P_i = 2V_{CC}I_{EE} = 2\frac{V^2{}_{CC}}{R_L} \tag{10.13}$$

Como la salida del transistor está polarizada en (V_{CC}, I_{EE}) su disipación de potencia sin señal es

$$P = V_{CC}I_{EE} = \frac{V^2{}_{CC}}{R_L}$$

La fuente de corriente tiene una tensión de V_{CC} y una corriente I_{EE}, luego también disipa

$$V_{CC}I_{EE} = \frac{V^2{}_{CC}}{R_L}$$

Concluimos que, sin señal, la potencia de entrada se divide por igual entre el transistor y la fuente de corriente como se indica en las dos primeras columnas de la Figura 10.9.

Balance energético con señal senoidal Supongamos que la señal en la Figura 10.8a es $v_I(t) = V_o$ sen ωt. De la Figura 10.8c, la corriente media en la alimentación positiva sigue siendo I_{EE}. Por lo tanto, (10.13) da la potencia media de entrada al circuito tanto con señal como en reposo.

Con señal presente, la potencia media de salida es el valor eficaz de tensión en la carga divido por R_L,

$$P_{carga} = \frac{V_o^{\,2}}{2R_L} \tag{10.14}$$

Para obtener el rendimiento del amplificador en clase A sustituimos (10.13) y (10.14) en (10.11). Esto da

$$\eta_A = 0{,}25\left(\frac{V_o}{V_{CC}}\right)^2 \tag{10.15}$$

Las dos últimas ecuaciones muestran que la potencia y el rendimiento suben con la amplitud de la señal, alcanzando el máximo en $V_o \approx V_{CC}$.

Como la máxima potencia de salida suele ser la condición clave del diseño y suele ser un dato, la denotaremos mediante

$$P_{máx} = \frac{V^2{}_{CC}}{2R_L}$$

La última columna de la Figura 10.9 muestra *gráficamente* el balance energético en el circuito para el caso de amplitud máxima. Cuando conectamos la señal y subimos gradualmente la amplitud, disminuye la disipación de potencia en el transistor, manteniéndose constante la disipación media en la fuente de corriente. Para una señal de la máxima amplitud, la potencia en la carga iguala la disipación en el transistor y el rendimiento es del 25%. Por conveniencia, la Figura 10.9 proporciona todas las potencias en función de $\boldsymbol{P_{máx}}$.

Balance energético en reposo		Balance energético a plena carga
Potencia total de entrada	Disipación de potencia sin señal	Disipación de potencia con señal de amplitud V_{CC}
Las dos alimentaciones juntas proporcionan $P_i = 2\,\frac{V_{CC}^2}{R_L} = 4P_{máx}$ (100%)	El transistor disipa $\frac{V_{CC}^2}{R_L} = 2P_{máx}$	Máxima potencia proporcionada a la carga $\frac{V_{CC}^2}{R_L} = 2P_{máx}$
		El transistor disipa $\frac{V_{CC}^2}{R_L} = 2P_{máx}$ (25%)
	La fuente de corriente disipa $\frac{V_{CC}^2}{R_L} = 2P_{máx}$	La fuente de corriente disipa $\frac{V_{CC}^2}{R_L} = 2P_{máx}$

FIGURA 10.9 Balance energético en un amplificador en clase A en función de la potencia máxima en la carga $\boldsymbol{P_{máx}}$ y de la resistencia de carga $\boldsymbol{R_L}$.

Diseño del amplificador en clase A Consideremos el diseño de un amplificador de potencia en clase A. Las especificaciones típicas suelen *ser* los valores de $\boldsymbol{R_L}$ y $\boldsymbol{P_{máx}}$ y buscamos el circuito que funcione con el mejor rendimiento. Las tareas de diseño consisten en elegir la fuente de alimentación adecuada y determinar los parámetros del transistor y de la fuente de corriente. Necesitamos saber la tensión continua y la corriente media de la fuente de alimentación. Del transistor, debemos saber la disipación de potencia, la corriente máxima y el límite inferior de la tensión de ruptura. Para diseñar la fuente de corriente necesitamos la corriente continua y la disipación de potencia.

Primero determinaremos la potencia de la alimentación. Comenzamos con la $\boldsymbol{P_{máx}}$ conocida y $\boldsymbol{R_L}$, de la primera columna de la Figura 10.9, despejamos V_{cc}:

$$V_{CC} = \sqrt{2P_{máx}R_L}$$

Como cada fuente de alimentación debe proporcionar $\mathbf{I_{EE}}$ para que $\mathbf{V_{CC}I_{EE}} = 2\boldsymbol{P_{máx}}$,

$$I_{EE} = \frac{2P_{máx}}{V_{CC}}$$

Esta es la corriente de la fuente de alimentación y también la de la fuente de corriente. Para hallar la potencia del transistor, notemos que en la mayoría de las aplicaciones de los amplificadores de potencia puede estar ausente la señal, al menos, a veces. La columna 2 de la Figura 10.9 muestra que el transistor debe estar previsto para que maneje 2 $\boldsymbol{P_{máx}}$ en reposo. La fuente de corriente constante también necesita un transistor de salida de 2 $\boldsymbol{P_{máx}}$. La Figura 10.10a nos recuerda que el transistor de potencia debe estar previsto para picos de corriente de más de $2I_{EE}$ y tensiones de ruptura $BV_{CEO} > 2V_{CC}$.

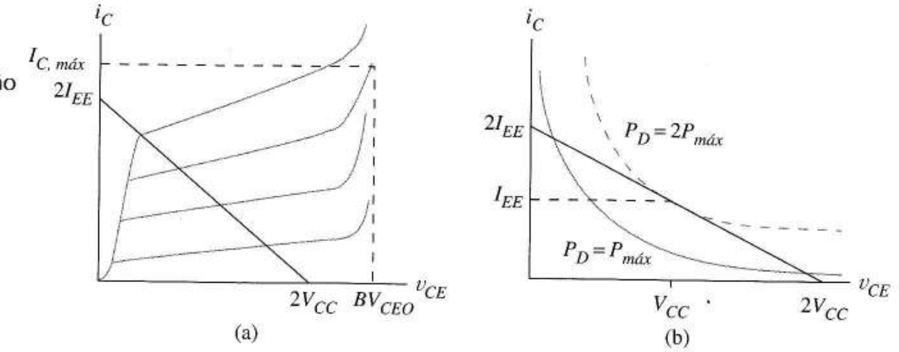


FIGURA 10.10 Límites en el diseño de un clase A: (a) ruptura y máxima corriente; (b) línea de carga en relación con la hipérbola de disipación de potencia.

Para aplicaciones especiales *en las que siempre esté* presente la *máxima señal*, la especificación de potencia del transistor de salida es la que muestra la columna 3 de la Figura 10.9, es decir, sólo $\boldsymbol{P_{máx}}$; en este caso, la mayoría de la línea de carga cae fuera de la *hipérbola* $P_D = \mathbf{P_{máx}}$. El transistor no se sobrecalentará bajo estas condiciones ya que la disipación *media* es menor de $\mathbf{P_{máx}}$ en un funcionamiento de alterna permanente. Esto significa que en la zona de elevada corriente, la tensión en el transistor es baja y que la zona de alta tensión corresponde a bajas corrientes. Las señales senoidales cambian lentamente cerca de un máximo y mínimo y rápidamente en medio, con lo que la disipación de potencia media es menor que la del funcionamiento estático en el centro de la línea.

Podría haber diseños especiales relacionados con la naturaleza de la señal. Si la señal es una senoide de muy baja frecuencia con un período grande en relación con las *constantes de tiempo térmicas* asociadas con el calentamiento y enfriamiento del transistor, el diseño más conservador llegaría a utilizar $P_D = 2\boldsymbol{P_{máx}}$, aun con señal siempre presente ya que la línea de carga se recorre demasiado lentamente. Las señales cuasi continuas pueden darse, por ejemplo, en un amplificador para el sistema de control de un motor de continua. El otro ejemplo extremo podría ser una onda cuadrada amplia que causaría el que el transistor esté cerca de saturación y corte donde o la corriente o la tensión son bajas. En este caso, elegir $P_D = \boldsymbol{P_{máx}}$ sería un diseño excesivamente conservador.

EJEMPLO 10.2 El amplificador en clase A de la Figura 10.11 debe proporcionar $\boldsymbol{P_{máx}} = 4$W de potencia senoidal sobre una carga de 10Ω. Q_3 tiene un area seis veces menor que la de Q_2. Obtener el diseño detallado incluyendo la disipación en la fuente de corriente.

Solución A partir de la Figura 10.9, cada alimentación debe desarrollar, al menos,

$$V_{CC} = \sqrt{2P_{máx} R_L} = \sqrt{2 \times 4 \times 10} = 8{,}94 \text{ V}$$

A partir de (10.12) la fuente de corriente debe producir

$$I_{EE} = \frac{8{,}94}{10} = 0{,}894 \text{ A}$$

Como no tenemos seguridad de que siempre esté la señal presente, elegimos potencias para Q_1 y Q_2 acordes con el funcionamiento en reposo. De la Figura 10.9 tenemos $P_D = 2P_{máx} = 8$W. Como el área de Q_3 es la sexta parte de la de Q_2, la corriente en R_B sería $I_{REF} = 0{,}894/6 = 0{,}149$ A y, por lo tanto,

$$R_B = \frac{8{,}94 - 0{,}7}{0{,}149} = 55 \ \Omega$$

La potencia de R_B debe ser $(0{,}149)^2 \times 55 = 1{,}22$ W.

La disipación necesaria de Q_3 será $0{,}7 \times 0{,}149$ A= 0,104 W. Para adecuarse al pico de la senoide de salida de $V_{CC} = 8{,}94$ V, la tensión de ruptura BV_{CEO} de Q_2 y Q_1 debe superar $2V_{CC} = 17{,}9$ V. La alimentación positiva proporciona $2P_{máx} = 8$ W y su corriente es $I_{EE} = 0{,}894$ A. La fuente negativa da $I_{EE} + I_{REF}$ por lo que la corriente es $0{,}894 + 0{,}149 = 1{,}04$ A; por lo tanto, la corriente máxima de la fuente será 1,04 A. En este diseño, la fuente suministra realmente $8 + 1{,}04 \times 8{,}94 = 17{,}3$ W al circuito por lo que el rendimiento del circuito es $4/17{,}3 = 23\%$, no el teórico 25%. ❏

En este ejemplo, supusimos la amplitud de la señal de potencia de $V_o = V_{CC} = 8{,}94$ V de pico. A partir de la Figura 10.7e sabemos que la amplitud de pico sería cercana a 8,74 V para evitar la saturación del transistor. La tensión de salida debe tener aún menor amplitud por la desviación de 0,7 V ya que la Figura 10.11 no incluye la fuente de entrada de V_{BE} de la Figura 10.7a.

Ejercicio 10.2 Hallar la máxima amplitud de la señal, V_o del circuito diseñado en el Ejemplo 10.2 considerando la tensión de saturación de la fuente de corriente y la tensión de desviación. (Pista: Hallar el valor negativo v_I que satura Q_2). Estimar la potencia media de salida y el rendimiento con esta amplitud y las Ecuaciones (10.14) y (10.15).

Respuesta 80,4 V, 3,23 W, 20,2%.

El Problema 10.18 establece el mismo funcionamiento para los MOSFET en clase A y que el procedimiento de diseño es el mismo que en los bipolares.

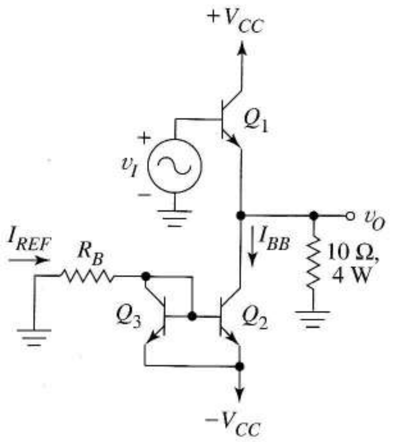


FIGURA 10.11
Amplificador en clase A.

10.4
DISTORSIÓN DE NO LINEALIDAD

Un importante parámetro de los amplificadores es su margen dinámico definido por

$$\text{margen dinámico} = 20 \log \left| \frac{\text{máxima señal útil}}{\text{mínima señal útil}} \right|$$

Cualquiera que disfrute con las sinfonías de Beethoven apreciará el hecho de que los sistemas electrónicos procesen con exactitud tanto señales de pequeña como de gran amplitud. En un amplificador, la mínima señal debe ser mayor que el ruido aleatorio propio del circuito y la mayor aquélla con distorsión aceptable. El ruido aleatorio queda fuera del ámbito de este texto aunque cuantificar la noción de distorsión sí queda a nuestro alcance. Haciéndolo, podemos dar y comprender especificaciones que definan nivel aceptable de distorsión, medir la distorsión, determinar los niveles permisibles de señal para un circuito dado y comparar diseños alternativos con relación a la distorsión.

Se produce distorsión de no linealidad cuando las señales son tan grandes que la curvatura de la función de transferencia afecta a la salida. A altas frecuencias, se añade a la distorsión la no linealidad de las curvas tensión-carga de los bipolares, MOSFETs y diodos. Aunque todo lo hagamos en función de las características *estáticas*, el lector cuidadoso notará que la definición de la distorsión y las técnicas de simulación se pueden generalizar para incluir las capacidades no lineales de los dispositivos de estado sólido.

Distorsión armónica La respuesta de cualquier circuito lineal a la senoide

$$v_I(t) = V_I \cos(\omega_o t)$$

es una senoide de frecuencia ω_o diferente posiblemente en amplitud y/o fase de $v_I(t)$. A partir de las proyecciones gráficas como las de la Figura 10.12a es evidente que la respuesta de un circuito no lineal no es una senoide pero tiene el mismo período que la entrada. En la Sección 1.6.5 aprendimos a aproximar una respuesta periódica por una serie finita de Fourier tal como

$$v_O(t) = V_{DC} + V_1 \cos(\omega_o t + \phi_1) + \sum_{n=2}^{N} V_n \cos(n\omega_o t + \phi_n) \tag{10.16}$$

donde V_{DC} es el *valor medio* o *de continua* de $v_o(t)$. El término de frecuencia ω_o es la respuesta buscada con lo que V_1/V_I resulta ser la ganancia del amplificador. Las *componentes* con $n > 1$ son términos de distorsión; la distorsión introducida por la no linealidad es

$$d(t) = \sum_{n=2}^{N} V_n \cos(n\omega_o t + \phi_n) \tag{10.17}$$

Como las frecuencias de los términos de la distorsión son *armónicos* o múltiplos de la frecuencia de excitación, se denomina *distorsión armónica.*

Los diagramas espectrales como el de la Figura 10.12b nos ayudan a ver las amplitudes de los términos de distorsión de la señal. Algunas de las amplitudes son cero. En estudios detallados sobre las series de Fourier, encontramos ecuaciones que nos permiten calcular los valores de V_n y ϕ_n para cada onda dada $v_o(t)$. Los programas de simulación como el SPICE tienen rutinas de cálculo que las implementan. En el laboratorio los *analizadores de espectro* aceptan cualquier entrada $v_o(t)$ y presentan

las amplitudes del fundamental y de los armónicos, igual que en la Figura 10.12b. De esta forma, podemos hallar los términos fundamental y de distorsión de cualquier circuito mediante cálculo, simulación o medida.

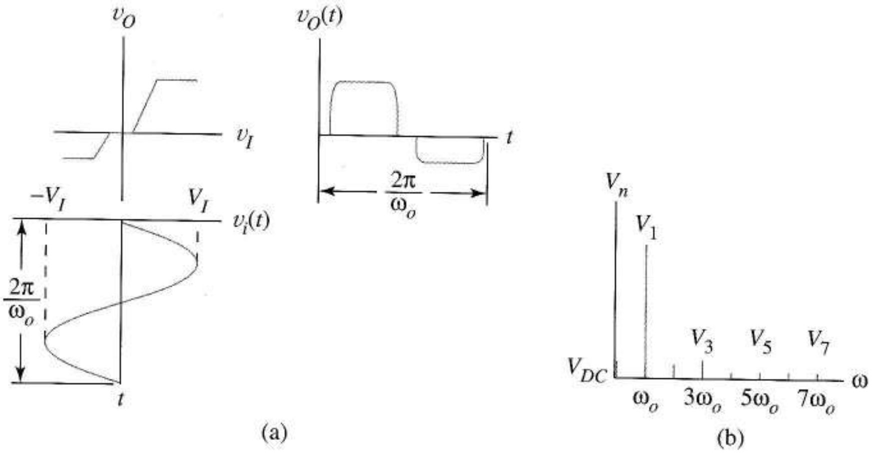


FIGURA 10.12 Ejemplo de distorsión armónica: (a) idea intuitiva de la distorsión a baja frecuencia; (b) vista en el dominio de la frecuencia (espectral) de la salida buscada y de las componentes de distorsión.

Para cuantificar la distorsión, utilizamos dos resultados muy conocidos de la teoría de circuitos: el *valor medio cuadrático* (valor rms) de $V_1 \cos(w_o t + \phi)$ es $V_1/\sqrt{2}$ y el valor rms de una suma finita de senoides de *diferentes frecuencias* es la raíz cuadrada de la suma de los cuadrados de los valores rms de cada componente. Por ejemplo, para

$$d(t) = V_2 \cos\left(2\omega_o t + \phi_2\right) + V_3 \cos\left(3\omega_o t + \phi_3\right) + \ \dots \ + V_N \cos\left(N\omega_o t + \phi_N\right) \tag{10.18}$$

$$V_{rms} = \left[\left(\frac{V_2}{\sqrt{2}}\right)^2 + \left(\frac{V_3}{\sqrt{2}}\right)^2 + \ \dots \ + \left(\frac{V_N}{\sqrt{2}}\right)^2\right]^{\frac{1}{2}} \tag{10.19}$$

El *porcentaje total de distorsión armónica*, %THD es el cociente del valor rms de la distorsión y de la señal de salida en tanto por ciento, es decir,

$$\%\text{THD} = \frac{V_{rms}}{V_1/\sqrt{2}} \times 100 = \frac{\left[\left(V_2/\sqrt{2}\right)^2 + \left(V_3/\sqrt{2}\right)^2 + \ \dots \ + \left(V_N/\sqrt{2}\right)^2\right]^{\frac{1}{2}}}{V_1/\sqrt{2}} \times 100$$

ó

$$\%\text{THD} = \sqrt{\left(\frac{V_2}{V_1}\right)^2 + \left(\frac{V_3}{V_1}\right) + \ \dots \ + \left(\frac{V_N}{V_1}\right)^2} \times 100 \tag{10.20}$$

Ejercicio 10.3 La medida con analizador de espectros de una salida da las siguientes amplitudes para la fundamental y los primeros armónicos: 2,31, 0,533, 0,91, 0,21 y 0,80. Hallar el %THD.

Respuesta 58%.

Cálculo del %THD con SPICE. Cuando se incluye el comando ".FOUR" en el código de entrada, el SPICE calcula las amplitudes de los nueve primeros armónicos de tensión o corriente en el análisis transitorio. La sintaxis del comando es:

.FOUR <frecuencia fundamental> <variable de salida>

donde la variable de salida es una tensión en un nodo, tensión diferencial o tensión en una fuente de corriente. Por ejemplo, dada la sentencia

.FOUR 100 V(3)

el SPICE analiza la forma de onda de tensión en el nodo 3 y calcula las componentes de V_1 a V_9 de su serie de Fourier utilizando $\omega_o = 2\pi 100$. También calcula la Ecuación (10.20).

El Ejemplo 10.3 utiliza los cálculos de distorsión para reincidir en el tema del análisis en pequeña señal.

EJEMPLO 10.3 El amplificador del Ejemplo 5.19 con coeficiente de efecto del sustrato $\gamma = 0{,}37$ para M_1 tiene una función de transferencia no lineal de la Figura 5.54c. Hallar el %THD de $v_O(t)$ cuando a) $v_I(t) = 4{,}3 + 0{,}1\ \text{sen}(2\pi 10^3 t)$, b) $v_I(t) = 4{,}3 + \text{sen}(2\pi 10^3 t)$.

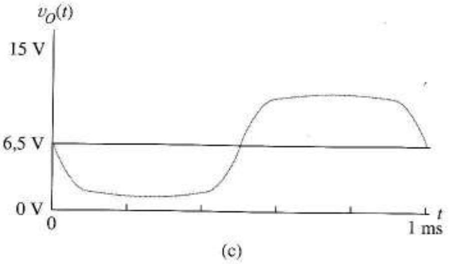
Solución a) Esta señal pone de manifiesto el análisis en pequeña señal. La tensión de desviación de 4,3 V es una componente continua que polariza la salida a 6,5 V. El código SPICE es el de la Figura 10.13a y la primera columna de la Figura 10.13b da el resultado. La componente fundamental de la salida tiene 14,4 mV de amplitud, por lo que el análisis en pequeña señal daría una ganancia de 14,4. Todos los armónicos son, al menos, tres órdenes de magnitud más pequeños que el fundamental con lo que %THD es sólo del 0,027 %. La salida parecerá una perfecta senoide.
b) Cuando la amplitud de VI cambia a 1 V y se completa la segunda ejecución SPICE obtenemos los resultados de la tercera columna. La salida tiene ahora una amplitud de 6 V (ganancia igual a 6) pero está acompañada por términos de distorsión grandes, especialmente en los armónicos impares. La distorsión armónica es del 25.3% y en la Figura 10.13c aparece la señal distorsionada. ❑

```
EXAMPLE 10.3
VDD 1 0 DC 12
M1 1 2 2 0 DEPL
M2 2 3 0 0 ENHA
.MODEL DEPL NMOS KP=4E-5
+VTO=-3 GAMMA=0.37
.MODEL ENHA NMOS KP=4E-5 VTO=2
VI 3 0 SIN(4.3 1E-3 1000)
*SINE WITH 4.3V OFFSET,1MV
*AMPLITUDE AND F=1000HZ
.TRAN 0.01M 1M
.FOUR 1000 V(2)
.PLOT TRAN V(2)
.END
```

(a)

	Pequeña señal	Gan señal
n	V_n	V_n
1	1,439E−02	6,011E+00
2	3,869E−06	5,729E−02
3	1,102E−07	1,385E+00
4	1,275E−07	5,728E−02
5	1,661E−07	5,630E−01
6	5,603E−08	2,435E−02
7	2,179E−08	2,374E−01
8	1,829E−07	9,337E−03
9	9,121E−08	8,388E−02
%THD	0,027	25,3

(b)



(c)

FIGURA 10.13 Análisis de distorsión en SPICE del amplificador de la Figura 5.54a: (a) código; (b) salida SPICE; (c) forma de onda de salida con un 25% de distorsión.

Distorsión de intermodulación Cuando en un sistema no lineal entran *dos o más* senoides de frecuencias diferentes, aparece un segundo tipo de distorsión no lineal, denominada *distorsión de intermodulación*. Como la distorsión armónica, la de intermodulación produce nuevas frecuencias en la salida que no estaban presentes en la entrada. Con ω_1 y ω_2 en las entradas, las nuevas frecuencias incluyen sumas y diferencias de la forma $\omega_1 \pm k\omega_2$ siendo k entero. Observemos que las frecuencias de los términos de intermodulación *no necesitan ser armónicos relacionados con cualquiera de las frecuencias de entrada*. Esto suele ser muy molesto en sistemas de audio. Como las señales reales no tienen que ser senoidales ni, incluso, tener formas de onda periódicas, la distorsión de intermodulación es un problema de bastante importancia. Podemos utilizar una sentencia especial de SPICE denominada .DISTO para calcular algunos de estos términos de distorsión en un análisis en alterna. PSPICE no soporta la sentencia .DISTO pero, en su lugar, emplea la transformada de Fourier para hallar las amplitudes de las frecuencias de intermodulación contenidas en las formas de onda del circuito.

En la siguiente sección, vemos que la distorsión de no linealidad se convierte en una consideración importante cuando intentamos mejorar el rendimiento de los amplificadores de potencia empleando el funcionamiento en clase B.

10.5 AMPLIFICADOR EN CLASE B

Cuando la potencia es grande, un rendimiento del 25% como en clase A se traduce en fuertes de corrientes de alimentación, transistores caros, grandes radiadores y elevados costes (o menor vida útil de las baterías). La principal razón del bajo rendimiento del clase A es su elevada corriente de polarización I_{EE}. El circuito en clase B mejora sustancialmente el rendimiento mediante transistores polarizados al corte.

10.5.1 AMPLIFICADOR BIPOLAR EN CLASE B

Polarización y señales La Figura 10.14a muestra el amplificador de potencia en clase B. Los transistores son *complementarios*, es decir, se usa un par npn-pnp con parámetros similares. Para estudiar la polarización, suponemos $v_I = 0$; ambos transistores están al corte. Esto da la Figura 10.14b que verifica que el corte es correcto y muestra que, sin señal, $v_o = 0$. De hecho, $v_O = 0$ en todo el margen de señales de entrada

$$-V_\gamma < v_I < V_\gamma$$

donde V_γ es la tensión de corte de los bipolares. Una importante ventaja sobre los clase A es que la *disipación en reposo es nula*.

Cuando v_I supera V_γ, Q_1 esta activo pero Q_2 permanece en corte dando el seguidor de emisor de la Figura 10.14c. A partir del circuito idealizado, estimamos

$$v_O = v_I - V_{BE}, \; v_I > V_{BE} \tag{10.21}$$

(suponiendo $i_B \approx 0$). La Ecuación (10.21) se aplica a cualquier v_I mayor hasta que Q_1 se satura. Cuando esto sucede, $v_O = V_{CC} - V_{CE,\,sat}$ como en la Figura 10.14d. En este momento v_O se mantiene y cualquier incremento en v_I cae en R_i sin cambiar v_O.

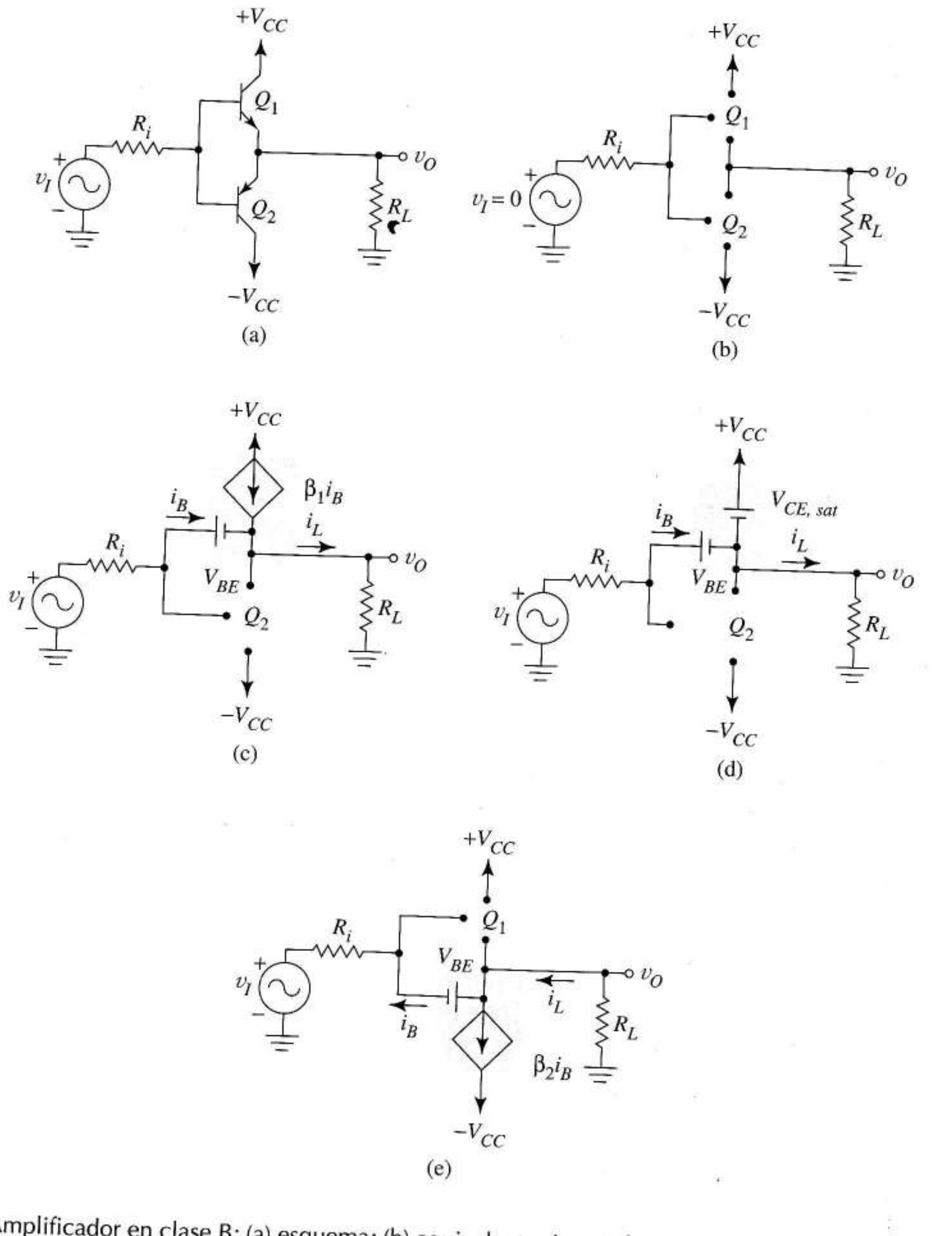


FIGURA 10.14 Amplificador en clase B: (a) esquema; (b) equivalente sin señal; (c) equivalente con v_I positivos; (d) equivalente cuando se satura Q_1; (e) equivalente para v_I negativas.

Cuando v_I evoluciona por la parte negativa en la Figura 10.14b, Q_2 conduce como en la Figura 10.14e y las tensiónes de entrada y salida cumplen

$$v_O = v_I + V_{BE},\ v_I > V_{BE} \tag{10.22}$$

hasta que se sature Q_2 a $v_O = -V_{CC} + V_{CE,\,sat}$. Como Q_1 mete corriente a R_L (Figura 10.14c) y Q_2 saca corriente de R_L (Figura 10.14e) el funcionamiento se denomina *push-pull*.

Distorsión de cruce La Figura 10.15 muestra la función de transferencia del amplificador clase B prevista en la Figura 10.14; en la curva real, las transiciones bruscas se convierten en transiciones suaves. Como ambos transistores están cortados con pequeñas v_I, la forma de onda de la salida se distorsiona en las proximidades de los pasos por cero. Esta *distorsión de cruce*, otro tipo de distorsión armónica, es un problema grave especialmente serio en señales de pequeña amplitud. También ocurre en el amplificador FET en clase B que estudiamos a continuación.

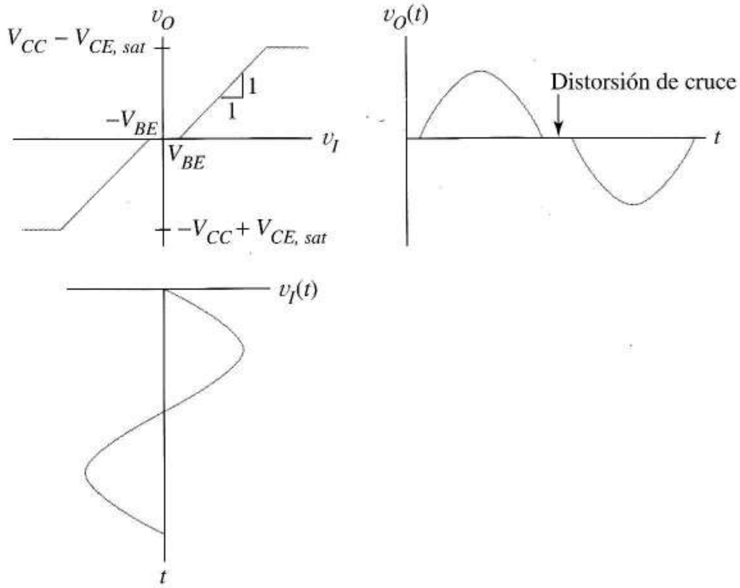


FIGURA 10.15 Función de transferencia de un amplificador en clase B creando distorsión de cruce.

10.5.2 AMPLIFICADOR MOS EN CLASE B

La Figura 10.16a es un amplificador MOS en clase B y la Figura 10.16b su circuito equivalente con $v_I = 0$. De nuevo, ambos transistores están cortados, no hay disipación de potencia en reposo y $v_O = 0$. Cuando v_I supera el umbral de M_1, éste pasa a estado activo dando el seguidor de fuente de la Figura 10.16c. Con los MOSFETs de doble difusión descritos por (10.15), la salida es

$$v_O = i_D R_L = g_M(v_I - v_O - V_t)R_L \tag{10.23}$$

Despejando v_O

$$v_O = \frac{g_M R_L}{1 + g_M R_L}(v_I - V_t), \; v_I > V_t \tag{10.24}$$

que se parece mucho a la Ecuación (10.21) para los bipolares, con $g_M R_L >> 1$. Esta aproximación suele ser válida porque g_M es grande en los MOSFETs de potencia. Si M_2 es complementario, tiene la misma g_M y también $V_{t2} = -V_{t1} = -V_t$. Cuando M_2 conduce, un análisis similar da

$$v_O = \frac{g_M R_L}{1 + g_M R_L}(v_I + V_t), \; v_I < V_t \tag{10.25}$$

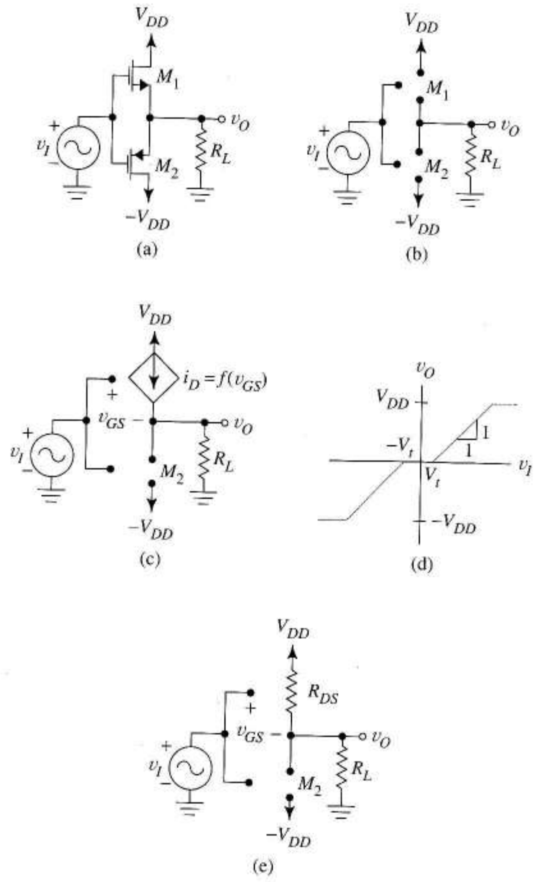


FIGURA 10.16 Amplificador FET en clase B: (a) esquema; (b) con $v_I = 0$; (c) con $v_I > V_t$; (d) función de transferencia; (e) mecanismo para saturación de la curva de transferencia.

que se parece a (10.22) para el circuito bipolar. La Figura 10.16d muestra la función de transferencia resultante. Cuando v_O llega hasta cerca de $-V_{DD}$ o V_{DD} el MOSFET entra en su estado óhmico y se convierte en una resistencia R_{DS} como se sugiere en la Figura 10.5c. Esta resistencia se combina con R_L para dar un divisor de tensión como en la Figura 10.16e. Con $R_{DS} << R_L$, la función de transferencia se satura a valores próximos a los de alimentación.

Cuando la corriente necesaria no es demasiado grande podemos usar la relación cuadrática de los MOSFETs para los transistores de salida. Debido a la realimentación negativa del seguidor de fuente, la función de transferencia del clase B se parece a la de la Figura 10.16d, resultando fácilmente demostrable por simulación.

Hay dos formas de reducir la distorsión armónica en los amplificadores clase B, aplicando realimentación negativa a la etapa de salida o modificando la polarización para crear un amplificador en clase AB. Ambos se usan muy a menudo.

10.5.3 REDUCCION DE LA DISTORSIÓN MEDIANTE REALIMENTACIÓN

Para reducir la distorsión mediante realimentación, incluimos el amplificador de potencia en el bucle de realimentación de un preamplificador de alta ganancia, procedimiento que demostraremos en los siguientes ejemplos y ejercicios usando SPICE.

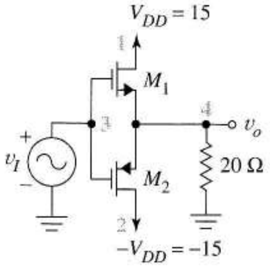
EJEMPLO 10.4 La Figura 10.17a muestra un amplificador en clase B gobernado por

$$v_I(t) = 12 \text{ sen } 2\pi 1000t$$

Dibujar la función de transferencia con SPICE y la forma de onda de salida si los transistores de salida siguen la ley cuadrática con k = 0,2 A/V² y $|V_t| = 3$ V.

Solución La Figura 10.17b es el código SPICE para el cálculo de la función de transferencia. Para obtener la forma de onda de salida, cada comentario debe sustituir a la sentencia precedente.

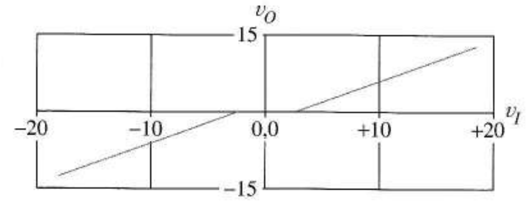
La salida SPICE de la Figura 10.17c confirma el parecido con la Figura 10.16d con una *zona muerta* en $-V_t < v_I < V_t$. La realimentación de tensión serie linealiza la función de transferencia cuando los transistores están activos pero no cuando están en corte. No se aprecia saturación de la característica en la salida aunque los transistores se lleven a la zona óhmica. La forma de onda de la respuesta temporal se ve en la Figura 10.17d con una marcada distorsión de cruce. La determinación de las consecuencias del efecto del sustrato –si las hay– se realiza en el Problema 10.28.



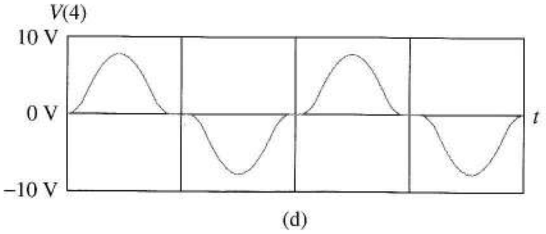
(a)

```
EXAMPLE 10.4
VPL 1 0 DC 15
VMI 2 0 DC-15
RL 4 0 20
M1 1 3 4 2 NCH
M2 2 3 4 1 PCH
.MODEL NCH NMOS KP=0.2 VTO=3
.MODEL PCH PMOS KP=0.2 VTO=-3
VI 3 0 DC 0.0
*VI 3 0 SIN(0 12 1000)
.DC VI-18 18 0.3
*.TRAN 0.02E-3 2E-3
.PLOT DC V(4)
*.PLOT TRAN V(4)
.OP
.END
```

(b)



(c)



(d)

FIGURA 10.17 Amplificador MOS en clase B: (a) esquema; (b) código SPICE; (c) función de transferencia; (d) salida mostrando la distorsión de cruce.

❑

Ejercicio 10.4 Analizar con SPICE la distorsión de cruce y calcular %THD del circuito de la Figura 10.17a.

Respuesta 18,4%, Figura 10.18.

n	V_n/V_1
1	1,000E+00
2	1,741E−03
3	1,710E−01
4	5,221E−04
5	6,384E−02
6	1,486E−03
7	2,367E−02
8	2,647E−03
9	6,495E−03

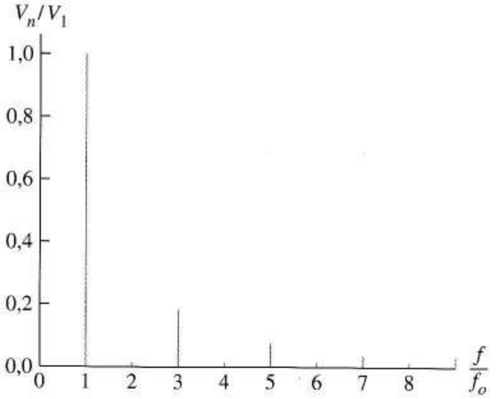
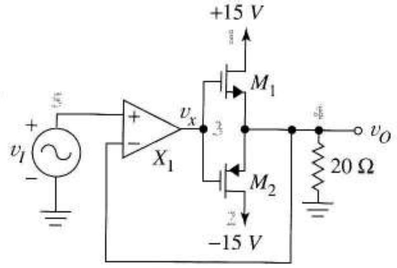


FIGURA 10.18 Líneas del espectro y valores tabulados mostrando la distorsión de cruce en la salida de la figura 10.17a.

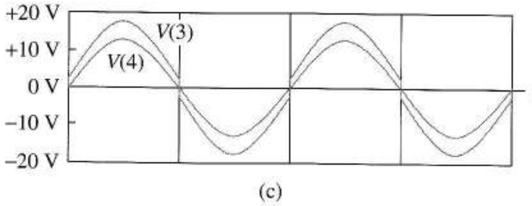
EJEMPLO 10.5 La Figura 10.19a muestra el amplificador de la Figura 10.17a introducido en el lazo de control de un circuito seguidor. Verificar con SPICE que la realimentación negativa disminuye la distorsión de cruce. Comparar el %THD del circuito realimentado con el circuito sin realimentar del ejemplo anterior.



(a)

```
EXAMPLE 10.5
******************
.SUBCKT OPAMP 1 2 3
RIN 1 2 100K
E1 5 0 1 2 1E5
ROUT 3 5 100
.ENDS
******************
VPL 1 0 DC 15
VMI 2 0 DC -15
RL 4 0 20
M1 1 3 4 2 NCH
M2 2 3 4 1 PCH
.MODEL NCH NMOS KP=0.2 VTO=3
.MODEL PCH PMOS KP=0.2 VTO=-3
VI 5 0 SIN(0 12 1000)
X1 5 4 3 OPAMP
.TRAN 0.02E-3 2E-3
.PRINT TRAN V(4) V(3)
.FOUR 1000 V(4)
.OP
.END
```

(b)



(c)

FIGURA 10.19 Amplificador en clase B realimentado para reducir la distorsión de cruce: (a) esquema; (b) código SPICE; (c) formas de onda de salida del circuito y del operacional.

Solución El código SPICE de la Figura 10.19b define un modelo de operacional sencillo y de elevada ganancia, el subcircuito OPAMP. Con un operacional de ganancia infinita, esperaríamos que la tensión del nodo 4 siguiera a la del nodo 5, pero con uno real sólo nos aproximamos a ello. La salida SPICE de la Figura 10.19c confirma que así ocurre, ya que la tensión V(4) no tiene distorsión de cruce apreciable. En esta figura también aparece el mecanismo corrector de la forma de onda de salida: la salida del operacional, V(3) se convierte en el valor que se necesita para obtener una salida senoidal. Con la realimentación, se reduce %THD de 18,4% a sólo 0,0131%.

Observemos que en la Figura 10.19c, V(3) tiene un valor de pico superior a los ±15 V de las alimentaciones. La salida real del operacional se saturaría a menos que se emplease otra alimentación mayor para el operacional. ❑

Ejercicio 10.5 El Ejemplo 10.5 explicaba que incluyendo el amplificador clase B en el lazo de realimentación de un operacional de alta ganancia se reduce significativamente la distorsión. Como muchos de los conceptos de operacionales, esta idea se aplica también en diseños más modestos. Para comprobarlo, hallar el nuevo %THD si la ganancia en lazo abierto del operacional es sólo de 100.

Respuesta %THD = 0,169%. Las formas de onda permanecen visiblemente senoidales.

Para tener ganancias mayores que uno, el circuito en clase B puede incluirse en el lazo de realimentación de un amplificador inversor o no inversor en lugar del seguidor. El amplificador en clase AB que se estudia a continuación emplea un método diferente para reducir la distorsión de cruce. La disipación de potencia, el rendimiento y el diseño de los amplificadores en clase B es prácticamente el mismo de los de clase AB por lo que analizaremos estos últimos en la siguiente sección.

10.6 AMPLIFICADOR EN CLASE AB

10.6.1 PRINCIPIOS DE FUNCIONAMIENTO

El amplificador en clase AB elimina la distorsión de cruce polarizando ambos transistores justo por encima del corte por lo que conducen algo de corriente con $v_I = 0$. En las Figuras 10.20a y b los diodos (transistores conectados como diodos) polarizados con corriente I_{BB} producen V_{BB} voltios entre las puertas (bases) de los transistores. Para los FETs, $V_{BB} > 2|V_t|$ y para los bipolares $V_{BB} > 2|V_\gamma|$ donde V_γ es la tensión de corte. Como alternativa, también se podría producir V_{BB} con un circuito multiplicador de V_{EE} o V_{GS}. Como I_{BB} y las corrientes de polarización en los transistores de salida son pequeñas, la disipación de potencia en reposo sigue siendo despreciable.

Cuando v_I se convierte en suficientemente positiva en la Figura 10.20b, Q_2 queda en corte mientras Q_1 se mantiene activo como en la Figura 10.20c. Para v_I grandes, los modelos indican

$$v_O = v_I + 0{,}5\ V_{BB} - V_{BE} \approx v_I$$

Para v_I negativos, Q_1 se corta y Q_2 pasa a estar activo; de nuevo $v_O \approx v_I$ es una aproximación razonable. Los modelos linealizados de la Figura 10.20c nos ayudan a comprender el funcionamiento en gran señal pero son imprecisos con pequeñas corrientes (cerca de $v_I = 0$), para cuyo caso no indican ni el funcionamiento simultáneo de los dos transistores ni la transición gradual de la tensión base-emisor con el transistor activo. Las curvas discontinuas azules de la Figura 10.20d explican la combinación de las funciones de transferencia individuales no lineales para producir la curva de transferencia (línea continua) $v_O = v_I$.

Como en clase B, la curva de transferencia se satura cuando la fuente de señal tiene resistencia aunque el mecanismo es diferente. Cuando v_I evoluciona por la zona positiva en la Figura 10.20c, la tensión a través de la fuente de corriente Q_5 baja hasta que se alcanza su mínima tensión $V_{mín}$; en este momento, suponiendo saturado el transistor de la fuente de corriente

$$v_O = V_{CC} - V_{mín} - V_{BE} \approx V_{CC} - 0{,}2 - 0{,}7 = V_{CC} - 0{,}9$$

En este momento Q_1 sigue activo debido a

$$v_{CE1} = V_{CC} - v_O \approx 0{,}9 \text{ V}$$

De la misma forma, el límite inferior de la saturación depende de la fuente de corriente Q_6. La Figura 10.20d muestra la función de transferencia completa. Como destacamos para el clase B, la caída en la resistencia interna del preamplificador (no mostrada en el diagrama) produce realmente la saturación de la función de transferencia del amplificador bipolar. En los circuitos con MOSFETs, la resistencia óhmica no lineal del transistor de salida forma un divisor con R_L.

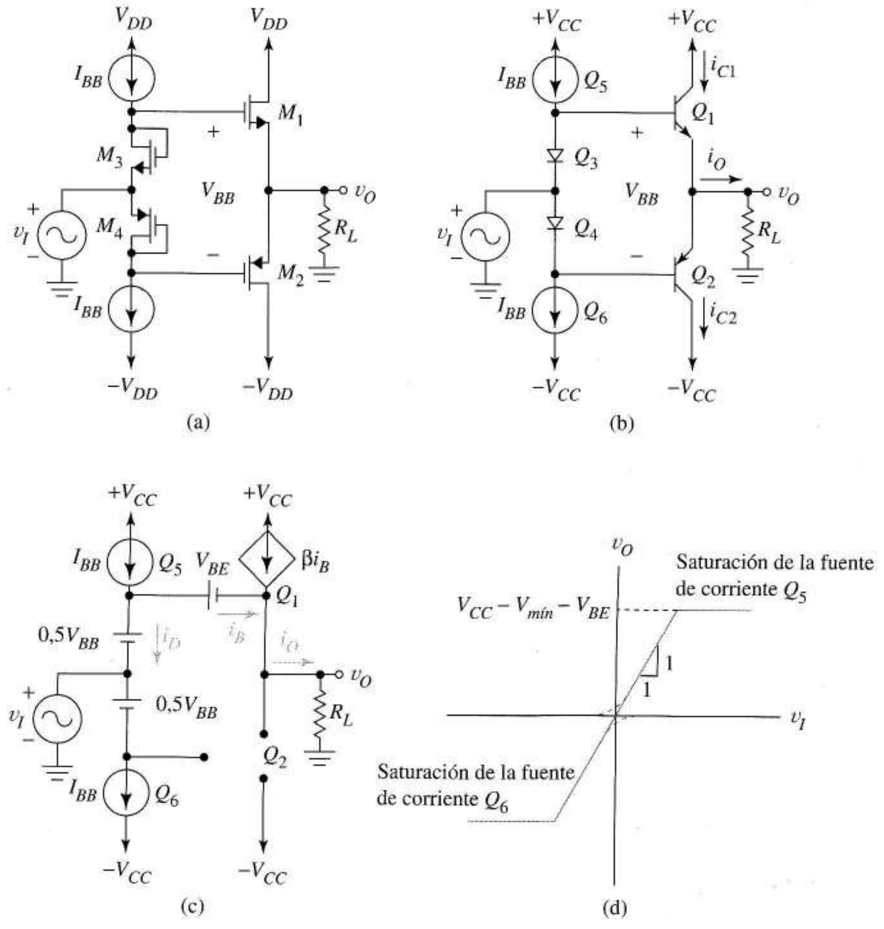


FIGURA 10.20 Amplificadores en clase AB: (a) circuito con MOSFETs; (b) circuito bipolar; (c) equivalente en gran señal para (b) cuando $v_I > 0$; (d) función de transferencia del amplificador bipolar en clase AB.

10.6.2 BALANCE ENERGÉTICO Y RENDIMIENTO DE LOS AMPLIFICADORES EN CLASE B Y AB

Nuestro siguiente objetivo es hacer los cálculos de la potencia que entra y sale del amplificador en clase AB (y B). Primero desarrollaremos una línea de carga que nos ayude a ver el funcionamiento completo del clase AB. Utilizando la línea de carga, obtendremos la ecuación de diseño y resumiremos gráficamente las relaciones globales de potencia a diagramas a escala.

Como quiera que en el amplificador en clase AB los transistores conducen alternativamente, la línea de carga más útil muestra las características de salida de ambos transistores dibujados en un sistema de coordenadas corriente de salida-tensión de salida. Relacionaremos los transistores con el nuevo sistema de coordenadas mediante las siguientes observaciones: cuando Q_1 conduce y Q_2 está cortado, la Figura 10.20b da

$$i_O \approx i_{C1} \text{ y } v_O = V_{CC} - v_{CE1}$$

un sencillo cambio de variables. Las nuevas variables, i_O y v_O se relacionan con la característica i_{C1}–v_{CE1} de Q_1 por la imagen especular de la característica de salida respecto al eje de corrientes ($v_O = -v_{CE1}$) y la translación V_{CC} voltios a la derecha. Esto da la curva marcada como Q_1 de la Figura 10.21a.

De la Figura 10.20b, cuando Q_2 conduce y Q_1 está al corte, los cambios de variable son

$$i_O \approx -i_{C2} \text{ y } v_O = -V_{CC} - v_{CE2}$$

Esto supone que las características del transistor pnp Q_2 del segundo cuadrante se reflejan sobre el eje de tensiones ($i_O = -i_{C2}$), después sobre el de corrientes ($v_O = -v_{CE2}$) y, finalmente, se trasladan V_{CC} voltios a la izquierda. Esto produce la curva de la Figura 10.21a etiquetada como Q_2.

En el nuevo sistema de coordenadas, la línea de carga es $i_o = v_o/R_L$ de la Figura 10.21a. Sin señal, ambos transistores están polarizados *cerca del corte*, punto 1. Con v_I positivos, Q_1 conduce, Q_2 está cortado y el punto de trabajo se desplaza hacia arriba hasta la saturación de Q_1, punto 2. Con v_I negativas, Q_2 conduce y el funcionamiento hace bajar por la línea de carga hasta la saturación de Q_2, punto 3, produciendo valores negativos para v_O e i_O. En la Figura 10.20d vemos que los transistores nunca llegan a la saturación. En aras de la simplicidad, como V_{CC} suelen ser valores grandes en relación con $|V_{CE,\,sat}|$ ignoramos estos aspectos tan detallistas y suponemos que los puntos Q se mueven desde $-V_{CC}$ hasta $+V_{CC}$.

Antes de continuar, observemos que podríamos utilizar la Figura 10.20a para obtener los cambios en las variables justo como se dijo (salvo en diferencias de notación). Esto da una línea de carga como la de la Figura 10.21a para el amplificador MOSFET en clase AB donde las características de salida del MOSFET sustituyen a los correspondientes del bipolar. Esto significa que podemos ver los circuitos bipolares y MOSFET de la misma forma. Más aún, todas las ecuaciones de potencia y rendimiento se aplican a ambas formas de amplificador.

Para obtener las relaciones de potencia, suponemos $v_I(t) = v_O(t) = V_o$ sen ωt donde, en general, V_o puede tomar cualquier valor en el margen $0 \leq V_o \leq V_{CC}$. A partir de la Figura 10.21a, deducimos que las corrientes por cada transistor son las formas de onda rectificadas en media onda de la Figura 10.21b. Hemos visto antes una forma de onda rectificada en la Figura 3.40b y (3.46). En este caso,

$$I_{med} = \frac{V_o}{\pi R_L}$$

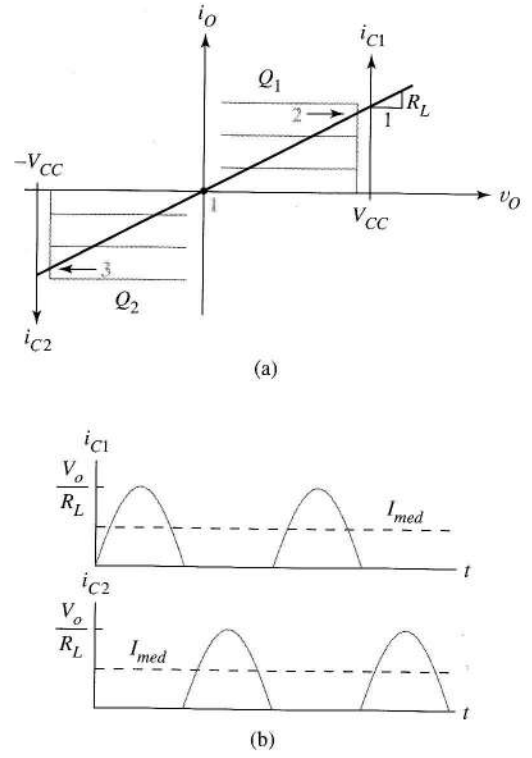


FIGURA 10.21 (a) Línea de carga para el amplificador en clase AB; (b) formas de onda de corriente en el transistor y la fuente de alimentación.

Calculamos a continuación la potencia media de entrada al circuito. Cada fuente de alimentación mantiene V_{CC} voltios mientras proporciona al circuito las corrientes de la Figura 10.21b. Por ello, las dos fuentes proporcionan, en total, una potencia media de

$$P_i = 2V_{CC}\frac{V_o}{\pi R_L} \tag{10.26}$$

Así, P_i es proporcional a la amplitud de la señal, V_o, en la clase B y no constante, como en la clase A. Como $v_O(t) = V_o$ sen ωt, la potencia media en la carga es

$$P_{carga}(V_o) = \frac{V_o^{\,2}}{2R_L} \tag{10.27}$$

La relación P_{carga}/P_i da el rendimiento del amplificador en clase AB (y B):

$$\eta_{AB} = \frac{\pi}{4}\frac{V_o}{V_{CC}} \tag{10.28}$$

Como en el clase A, el rendimiento sube con la amplitud de la señal. Si ignoramos las pequeñas tensiones de saturación, el máximo rendimiento corresponde a una señal de amplitud $V_o \approx V_{CC}$, dando $\pi/4 = 78{,}5\%$, una considerable mejora respecto a la clase A. Como los transistores trabajan la mitad del tiempo y están en reposo la otra mitad su disipación de potencia es igual y el total es la diferen-

cia entre P_i y P_{carga}. La disipación media de *cada transistor* es, por ello, $P_D = 0{,}5\ (P_i - P_{carga})$ que, a partir de (10.26) y (10.27) es

$$P_D(V_o) = P_i - P_{carga} = \frac{V_{CC}V_o}{\pi R_L} - \frac{V_o^2}{4R_L} \tag{10.29}$$

Vemos que la disipación de los transistores es una función parabólica de la amplitud de la señal. La Figura 10.22 muestra las Ecuaciones (10.28) y (10.29) juntas en función de la amplitud de la señal. La disipación de los transistores tiene un máximo relativo en $V_o = 2V_{CC}/\pi$ que, con (10.29) es

$$P_{D,máx} = \frac{V_{CC}^2}{\pi^2 R_L} \tag{10.30}$$

Usando (10.78), esto ocurre con un rendimiento del circuito del 50%.

10.6.3 DISEÑO DE LOS AMPLIFICADORES EN CLASE B Y AB

Para comprender cómo se une todo esto, orientaremos las ecuaciones alrededor de la condición de que para un diseño dado la potencia de salida $P_{carga} = \boldsymbol{P_{máx}}$ sobre una carga dada $\boldsymbol{R_L}$.

Lo primero es que el amplificador sea capaz de proporcionar la potencia $\boldsymbol{P_{máx}}$ a la resistencia de carga especificada y que lo haga con el máximo rendimiento. Con la Ecuación (10.28) el máximo rendimiento, 78,5% supone $V_o \approx V_{CC}$. Como $\boldsymbol{P_{máx}} = 0{,}785\ P_i$ en ese caso, podemos calcular la potencia de la alimentación, $P_i = 1{,}27P_{máx}$. La altura de la primera columna de la Figura 10.22b representa esta potencia media total. La segunda columna está a escala para indicar a dónde va esta potencia: $\boldsymbol{P_{máx}}$ va a la carga y $0{,}27\boldsymbol{P_{máx}}$, a calentar los transistores. Especificando $\boldsymbol{P_{máx}}$ y $\boldsymbol{R_L}$ y exigiendo máxima eficiencia especificamos indirectamente la potencia total de las fuentes de alimentación y la tensión de alimentación V_{CC}. A partir de esta información podemos obtener la corriente media de cada alimentación.

Lo siguiente es seleccionar los transistores de la potencia adecuada y el radiador necesario. Si pudiésemos asegurar siempre la máxima amplitud de la señal, $V_o = V_{CC}$ cada transistor sólo necesitaría disipar $0{,}135\boldsymbol{P_{máx}}$. Un diseño más conservador y normalmente más adecuado, permitiría la posibilidad de que $V_o < V_{CC}$. La Figura 10.22a muestra que al hacer la señal menos de V_{CC} se incrementa la disipación en los transistores. Así, los *requisitos de disipación de los transistores vendrán determinados por la condición de máxima disipación.*

De acuerdo con (10.27) al reducir V_o a $(2/\pi V_{CC})$ se reduce la potencia en la carga a

$$P_{carga} = \left(\frac{2}{\pi}\right)^2 \frac{V_{CC}^2}{2R_L} = \left(\frac{2}{\pi}\right)^2 P_{máx} = 0{,}405 P_{máx}$$

A partir de la Ecuación (10.26) esta menor señal reduce P_i de la fuente de alimentación a $0{,}881\boldsymbol{P_{máx}}$ en lugar de $1{,}27\ \boldsymbol{P_{máx}}$ dejando el resto

$$0{,}5(0{,}811 - 0{,}405)P_{máx} = 0{,}203\ P_{máx}$$

para ser disipada en cada transistor. Las dos últimas columnas de la Figura 10.22b muestran gráficamente los cambios que se producen al reducir la amplitud de la señal. La conclusión es obvia.

Usamos $P_{máx}$ y el caso de máxima potencia para hallar las especificaciones de la fuente de alimentación, pero para proteger a los transistores del sobrecalentamiento en el caso de una reducción eventual de señal, debemos prevenir una disipación individual de $0{,}203P_{máx}$. Los diseños de bipolares y FETs en clase B y AB utilizan las relaciones de potencia de la Figura 10.22b aunque queda la tarea extra de los clase AB de diseñar el circuito de polarización.

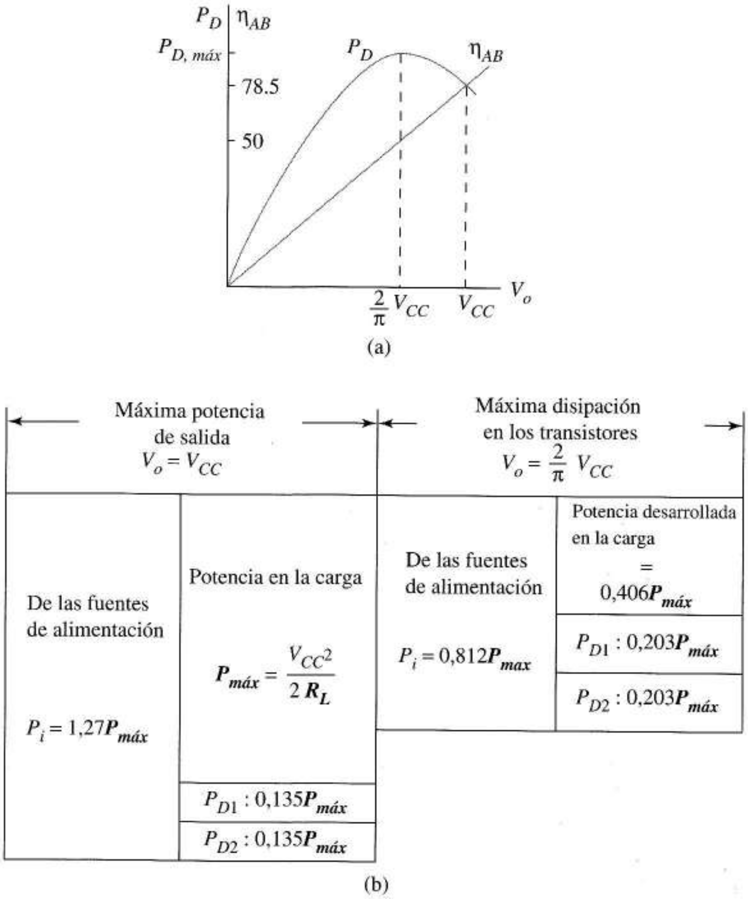


FIGURA 10.22 (a) Disipación en los transistores y rendimiento en función de la amplitud; (b) balance energético en el amplificador en clase AB a –escala para expresarlo en función de la máxima potencia en la carga, $P_{máx}$– para los casos de máxima salida y máxima disipación.

EJEMPLO 10.6 Diseñar el amplificador de potencia en clase B con las mismas especificaciones del clase A del Ejemplo 10.2, es decir, 4 W sobre una carga de 10 Ω.

Solución De la columna 2, Figura 10.22b, la máxima potencia de salida, la tensión de alimentación es

$$V_{CC} = \sqrt{2 \times 10 \times 4} = 8{,}94 \text{ V}$$

Las fuentes proporcionan $1{,}27 \times 4 = 5{,}08$ W al circuito, 2,54 W cada una, luego cada una de ellas debe estar prevista para dar una corriente media de $I = 2{,}54/8{,}94 = 0{,}284$ A. A partir de la columna 4 cada transistor de potencia debe ser capaz de disipar $0{,}203\ P_{máx} = 0{,}812$ W. ❑

La Tabla 10.1 que compara los diseños de los clase A y B de los Ejemplos 10.6 y 10.2 muestra la seria disminución de los requisitos de las corrientes de alimentación y de los transistores de salida

que se produce al subir el rendimiento. Una vez comprendidos los procedimientos de diseño básicos podemos manejar los pequeños cambios que son necesarios en procedimientos más reales.

Ejercicio 10.6 Rediseñar el amplificador del Ejemplo 10.6 subiendo V_{CC} de forma que se satisfagan las especificaciones originales con excursiones sobre la línea de carga con los límites prácticos $-V_{CC} + 0{,}9 \leq V_o \leq V_{CC} \leq -0{,}9$. Hallar la tensión de alimentación, la corriente media necesaria y la disipación de cada transistor.

Sugerencia En la Figura 10.22a, la V_o que proporciona 4 W es menos que la nueva V_{CC}.

Respuesta 9,84 V, 0,284 A, $P_D = 0{,}983$ W.

Para el funcionamiento en clase AB, la I_{BB} de la Figura 10.20b debe ser lo suficientemente grande para mantener la polarización de los diodos (o dispositivos) incluso para los picos de corriente de la señal. Cuando i_O sube a su máximo de la Figura 10.20c, la corriente del diodo i_D debe superar cierto mínimo, $I_{mín}$ o el diodo se corta y desconecta v_I del circuito. La ley de Kirchhoff de las corrientes exige

$$i_D = I_{BB} - \frac{i_{O,máx}}{\beta + 1} \geq I_{mín} \tag{10.31}$$

(Cuando los transistores de salida son MOSFETs, esto no ocurre).

TABLA 10.1 Amplificadores en clase A y B de 4W sobre una carga de 10W

	Disipación (W)	Características de la alimentación		Potencia media de la alimentación (W)	
	En cada transistor	Tensión (V)	Corriente (A)	Sin señal	Con señal.
Clase A	8	8,94	0,895, 1,04	17,3	17,3
Clase B	0,81	8,94	0,284 A	0	5,08

EJEMPLO 10.7 a) Convertir el circuito en clase B del Ejemplo 10.6 en un clase AB añadiendo las fuentes de corriente y los diodos. Los transistores de salida son complementarios con $\beta = 39$; $I_s = 10^{-14}$ A para los diodos. b) Estimar las corrientes de colector en reposo de los transistores de salida si se describen por la función de transferencia

$$i_C = 6{,}0 \times 10^{-14} \exp\left(\frac{v_{BE}}{V_T}\right)$$

(Los transistores de potencia tienen las uniones base-emisor seis veces mayores que las áreas de los diodos de polarización).

Solución a) En el Ejemplo 10.6 vimos que la tensión de pico de salida era de 8,9 V con lo que $i_{o,\,máx} = 8{,}94/10 = 894$ mA. Para mantener los diodos polarizados directamente justo por encima del corte en 0,55 V (elección arbitraria) necesitamos

$$I_{mín} = 10^{-14} \exp\left(\frac{0{,}55}{0{,}025}\right) = 35{,}8\ \mu\text{A}$$

A partir de (10.31),

$$I_{BB} \geq \left(\frac{894}{40}\right) m\text{A} + 0{,}036\ mA = 22{,}3\ mA$$

b) En estas condiciones de reposo, circula por los diodos $I_{BB} = 22{,}3$ mA. Como el área del transistor activo es seis veces la del diodo, la corriente de colector en reposo es de $6 \times 22{,}3 = 134$ mA. ❑

Debido a las elevadas corrientes de colector en reposo del ejemplo precedente, las fuentes deben proporcionar una potencia en reposo de 2 × (8,94 × 0,134) = 2,40 W valor inaceptable para 4 W de potencia en la carga. Sin embargo, volviendo a examinar la Ecuación (10.31) aparece una vía obvia para reducir la potencia en reposo: utilizar transistores de mayor β. Por ésta y otras razones que veremos luego, los pares Darlington sustituyen a los transistores de potencia en los circuitos prácticos.

Ejercicio 10.7 Calcular la disipación de potencia del transistor en clase AB del Ejemplo 10.7 cuando los transistores de salida se sustituyen con pares Darlington (todos los transistores tienen $\beta = 39$).

Respuesta 63,8 mW.

10.6.4 OTRAS CONSIDERACIONES SOBRE LOS AMPLIFICADORES DE POTENCIA

Disipación media e instantánea Cuando apliquemos la teoría a las tareas de diseño, debemos de tener cuidado de que las suposiciones en que se sustenta se cumplan en el caso que nos ocupe. Por ejemplo, las ecuaciones de diseño de funcionamiento en clase AB suponen que la frecuencia de la señal es mucho mayor que las *constantes de tiempo térmicas* del transistor, es decir, el movimiento sobre la línea de carga es tan rápido que la unión no tiene tiempo de calentarse y enfriarse en cada ciclo. En estas condiciones, el punto de trabajo puede traspasar la hipérbola de disipación sin que la potencia media supere las previsiones del radiador. Sin embargo, con señales demasiado lentas, cuando la temperatura de la unión puede cambiar en el mismo ciclo, la *potencia instantánea* es un factor más crítico que la potencia media. En un caso extremo, un amplificador diseñado para controlar la velocidad de un motor de continua podría trabajar durante bastante tiempo en el punto *A* de la Figura 10.23. La máxima disipación instantánea tiene lugar en el centro de la línea de carga siendo

$$P_D = \frac{I_{máx}}{2}\frac{V_{CC}}{2} = \frac{V_{CC}}{2\mathbf{R}_L}\frac{V_{CC}}{2} = \frac{V_{CC}^2}{4\mathbf{R}_L} = 0{,}5\ P_{máx} \qquad (10.32)$$

en lugar de $0{,}135\mathbf{P}_{máx}$ o $0{,}203\boldsymbol{P}_{máx}$ que se aplica en señales "rápidas".

Para cualquier otra aplicación que difiera de estos supuestos, consideremos lo que sucede si se produce una onda cuadrada en vez de una senoidal en la resistencia de carga en un amplificador en clase B. Esto significa que el punto *Q* salta de uno a otro extremo de la línea de carga de la Figura 10.21a. Como ambos transistores producen alta corriente a baja tensión, esperamos un rendimiento mucho mayor del 78%. El Problema 10.38 estudia esta hipótesis y la Sección 10.8 estudia la idea en el amplificador clase D, un amplificador de uso general de mayor rendimiento que el clase B.

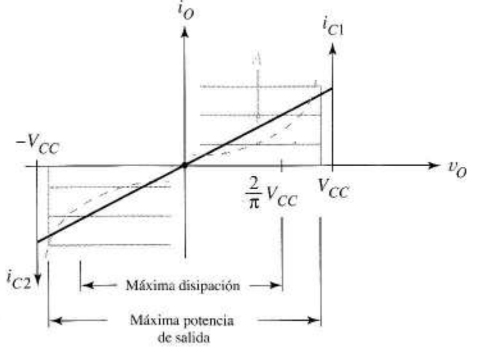


FIGURA 10.23 Línea de carga, hipérbola de disipación de potencia media y punto de máxima potencia instantánea del amplificador de potencia en clase AB.

Ganancia de potencia La ganancia de potencia de un amplificador debe ser mayor que uno ya que, de otra forma, la etapa precedente debe ser también un amplificador de potencia. Los circuitos FET tienen ganancia de potencia infinita pero no los bipolares. Como la ganancia de tensión de las etapas de salida bipolares es sólo uno, la ganancia de corriente debe ser mayor de la unidad haciendo que el valor de beta en continua (h_{FE} en las hojas de datos de los fabricantes) sea importante en los transistores de salida. La Figura 10.14c nos recuerda que la alta resistencia de entrada tiene mucho que ver con la ganancia de potencia de los amplificadores en clase B y AB, ya que la etapa de gobierno ve $R_i = (\beta + 1)R_L$. Así, aunque el circuito de mando pueda producir tensión en toda su amplitud, ésta se produce con muy bajo nivel de corriente, menor que la corriente de salida en el factor $(\beta + 1)$. Los transistores de potencia a veces tienen alta β; sin embargo, por las tolerancias de fabricación se pueden tener valores tan bajos como 5 ó 10, especialmente en los transistores pnp integrados. Por estas razones la conexión en Darlington de la Figura 10.24 que incrementa la β efectiva a β^2 es muy popular en amplificadores de potencia. Las etapas de salida usan a veces transistores pnp compuestos como en la Figura 7.28 por la misma razón. La Figura 10.24 también muestra que si la corriente de polarización puede circular a través de la fuente v_I, sólo se necesita una fuente I_{BB} para el trabajo en clase AB. Este circuito aprovecha la simetría clásica de la Figura 10.20b aunque con desviación de salida; sin embargo, la disipación $I_{BB}V_{CC}$ de la segunda fuente de corriente queda suprimida así como el *hardware* asociado.

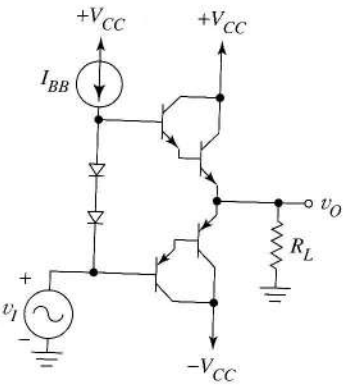


FIGURA 10.24 Etapa de salida con transistores Darlington.

Hay un problema especial de distorsión asociado con la resistencia de entrada del amplificador de potencia que tiene lugar cuando no son iguales las β de los transistores y cuando la resistencia de salida del mando no es pequeña en relación con la R_i del amplificador de potencia. Las Figuras 10.14c y e muestran que R_i toma distintos valores cuando $\beta_1 \neq \beta_2$ lo que provoca distintos valores para las tensiones positivas que para las negativas. A partir de la Figura 10.14c,

$$v_O = R_L i_L = R_L(\beta_1 + 1)i_B$$

donde i_B esta dada por

$$i_B = \frac{v_I - (v_O + V_{BE})}{R_i}$$

Sustituyendo i_B y despejando v_o da

$$v_O = \frac{(\beta_1 + 1)R_L}{(\beta_1 + 1)R_L + Ri}(v_I - V_{BE})$$

Un cálculo similar para la Figura 10.14e da

$$v_O = \frac{(\beta_2 + 1)R_L}{(\beta_2 + 1)R_L + R_i}(V_{BE} + v_I)$$

Si R_i es despreciable, estas expresiones se aproximan a las Ecuaciones (10.21) y (10.22); sin embargo, si R_i es grande, la ganancia de tensión es diferente para las dos polarizaciones dando una función de transferencia como la de la Figura 10.25a y distorsiona la forma de onda como en la Figura 10.25b. Los transistores de salida de elevada beta evitan este inconveniente proporcionado elevada ganancia de potencia y baja disipación en reposo.

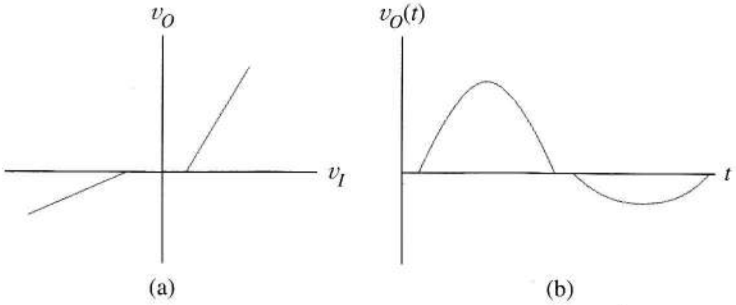


FIGURA 10.25 Consecuencias de la resistencia de salida del mando, de la baja resistencia de entrada del amplificador de potencia o de ambos: (a) función de transferencia asimétrica; (b) forma de onda asimétrica.

Realimentación térmica Aunque elijamos transistores de la adecuada potencia, se pueden producir sobrecalentamientos en los circuitos en clase AB. La tensión de polarización V_{BB} de las Figuras 10.20a y b debe tener un coeficiente de temperatura negativo para prever el mecanismo de autodestrucción del transistor denominado *realimentación térmica*. Para comprender esta realimentación supongamos que V_{BB} no varía con la temperatura. En ese caso, en el circuito FET en clase AB a la temperatura T_1, cada transistor se polariza a $v_{GS} = 0{,}5V_{BB}$ e $i_D = I_{D1}$ como en la Figura 10.26a. Como el transistor disipa aproximadamente $V_{DD}I_{D1}$ watios, la temperatura de la unión sube a T_2 provocando que la función de transferencia se desplace como en la figura lo que sube la corriente a I_{D2} incrementando la disipación de potencia y la temperatura de la unión. En el proceso de realimentación térmica este ciclo continua hasta el sobrecalentamiento del transistor. La Figura 10.26b muestra el mismo proceso, pero en los bipolares.

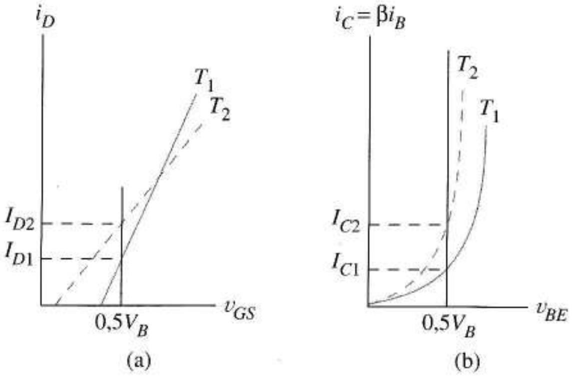


FIGURA 10.26 Fundamentos de la realimentación térmica: (a) en el FET de potencia; (b) en el bipolar.

Cuando los diodos, los transistores utilizados como diodos o los multiplicadores de V_{GS} o V_{BE} producen V_{BB}, las líneas verticales de la Figura 10.26 se desplazan a la izquierda con el incremento de temperatura, compensando la característica cambiante del transistor y manteniendo constante la corriente de polarización o, incluso, reduciéndola cuando sube la temperatura. En diseños integrados, los componentes que fijan V_{BB} están situados físicamente de tal forma que soportan el mismo entorno térmico que los transistores de salida.

Protección de cortocircuito Debido a las grandes cantidades de potencia que se manejan en las etapas de salida, el diseñador debe tener en cuenta aspectos que no son importantes en circuitos de baja potencia. Por ejemplo, en un circuito en clase A, si la salida se quedase accidentalmente en circuito abierto, la línea de carga pasaría a ser horizontal (Figura 10.27a) y la disipación instantánea de potencia se aproximaría a $2V_{CC}I_B = 4P_L$ que podría dañar el transistor de potencia si la frecuencia fuese baja.

Si hubiese un cortocircuito entre la salida y masa se podrían producir problemas en los amplificadores en clase A, B y AB. La Figura 10.27a muestra la línea de carga vertical resultado del cortocircuito en un amplificador en clase A. Cuando se mantiene a 0 V la tensión de emisor con v_I sólo limitada por la resistencia interna de la fuente de señal, se produce un fuerte incremento de la corriente de base y, con ello, de la de colector, obligando a trabajar fuera de la hipérbola de disipación como en la Figura 10.27a. La Figura 10.27 muestra la misma peligrosa situación en los amplificadores en clase B y AB. Para prevenir estos problemas, se debe incluir una protección de cortocircuito en los amplificadores de potencia. En la Figura 10.28 se consigue mediante Q_3, Q_4, R_{P3} y R_{P4}. Q_3, que normalmente está cortado, entra en conducción sólo cuando la caída en R_{P3} supera su valor de corte, es decir, en

$$i_{O,máx}\ R_{P3} > 0{,}5\ \text{V}$$

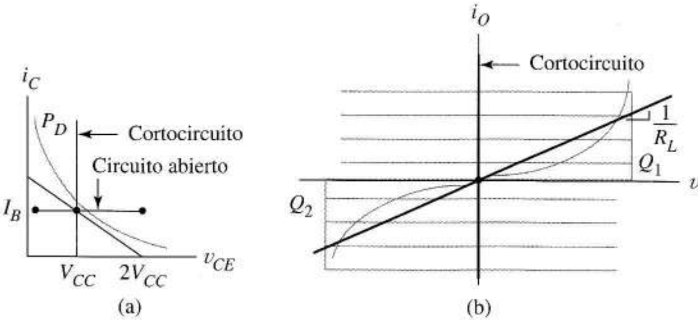


FIGURA 10.27 Líneas de carga modificadas por fallos accidentales de circuito abierto y cortocircuito: (a) clase A; (b) clases B y AB.

Con Q_3 en conducción, parte de la corriente de base de Q_1 se desvía directamente a R_L, limitando la corriente de colector y la disipación de Q_1 a valores seguros. Como Q_3 no está conectado a la fuente de alimentación, como Q_1, la potencia que disipa no es destructiva. Con valores negativos elevados de i_O, Q_4 y R_{P4} protegen de la misma forma a Q_2. El Problema 10.40 analiza algunos aspectos de este interesante circuito con SPICE.

Limitación de corriente recurrente Cuando se produce un cortocircuito accidental entre la salida y alguna de las alimentaciones, la línea de carga queda convertida en la línea vertical.

$$v_O = V_{CC} \ \text{ó}\ v_O = -V_{CC}$$

como en la Figura 10.29a. La protección de corto que sitúa los límites de corriente de seguridad en $\pm\, i_{O,\,máx}$ para $v_O = 0$ (líneas discontinuas) también permitirán excesiva disipación al permitir el trabajo en las zonas sombreadas por encima y debajo de las hipérbolas de disipación. Podríamos disminuir los límites de corriente de cortocircuito pero eso limitaría la máxima potencia de salida del amplificador. La Figura 10.29b presenta una modificación del circuito de limitación de corriente denominado *circuito recurrente* que proporciona una más eficaz protección de corto mediante dos resistencias adicionales R_1 y R_2. Las tensiónes de emisor y base de Q_3 son

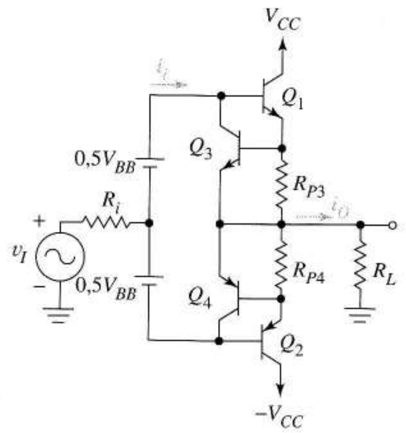


FIGURA 10.28
Protección de cortocircuito en un amplificador en clase AB.

$$v_B = \left(v_O + i_O R_{P3}\right)\frac{R_2}{R_2 + R_1},\ v_E = v_O$$

Esto da

$$v_{BE} = v_B - v_E = \frac{-R_1}{R_2 + R_1}v_O + \frac{R_2 R_{P3}}{R_2 + R_1}i_O \tag{10.33}$$

Haciendo que el valor de corte de v_{BE} relacione $i_O = i_{O,\,máx}$ con v_O por

$$i_{O,\,máx} = \frac{R_1}{R_2 R_{P3}}v_O + \frac{\left(R_2 + R_1\right)}{R_2 R_{P3}}V_\gamma \tag{10.34}$$

La Figura 10.29c muestra con líneas discontinuas que los valores de la resistencia pueden elegirse para que proteja al transistor de cortos a masa y a las alimentaciones permitiendo mayores corrientes de carga que la protección del tipo "línea horizontal" de la Figura 10.29a. El Problema 10.41 presenta más detalles sobre esto.

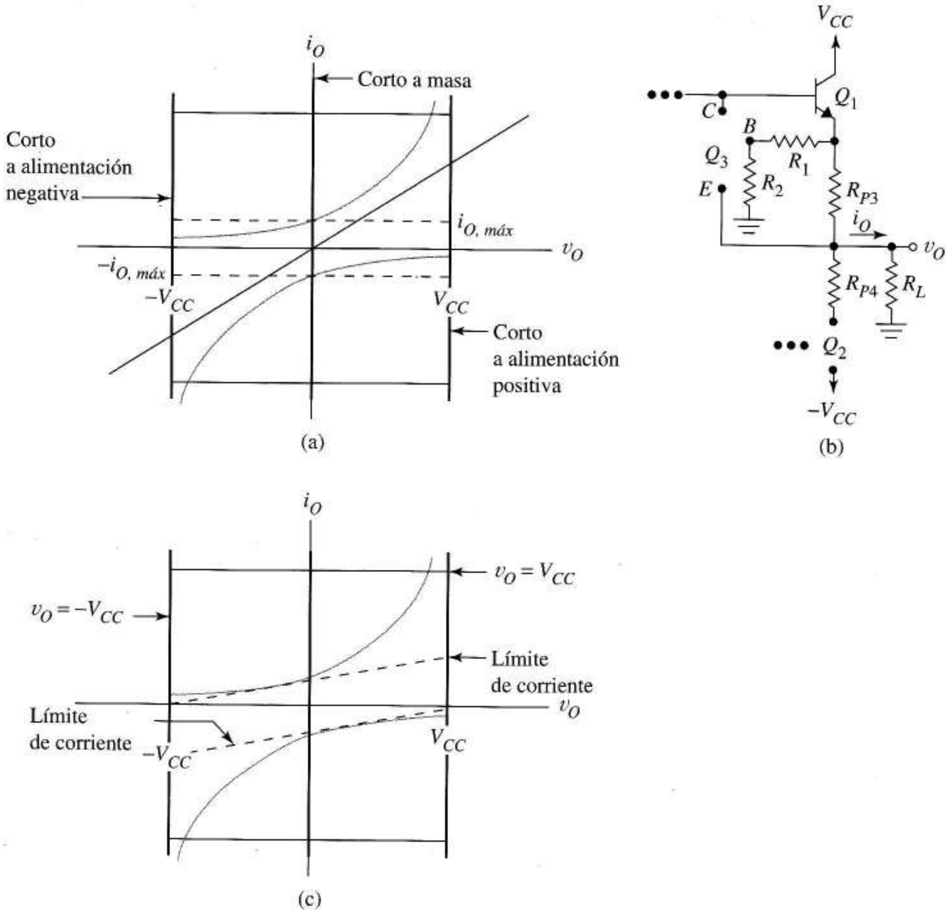


FIGURA 10.29 Protección de corriente recurrente: (a) el problema; (b) circuito recurrente; (c) límite posible de corriente con protección recurrente.

Desacoplo de las alimentaciones En los amplificadores de elevada ganancia, a veces se introduce accidentalmente realimentación positiva a través de las conexiones de alimentación. El origen es la impedancia Z_{AL} producida por la propia fuente de alimentación y los conductores que llevan la corriente de polarización I_B a las etapas previas. Como se indica en la Figura 10.30a, estos conductores también pueden llevar corrientes de *señal* I_{se} que se producen en las etapas individuales de ganancia. En la etapa de salida el fasor I_{se} podría ser el de una elevada corriente. Si Z_{AL} fuese nula no sería problema pero, en comparación con los pequeños niveles de señal de la primera etapa, la tensión de realimentación $V_r = I_{se}Z_{AL}$ puede ser apreciable. Como vimos en el Capítulo 9, pueden producirse inestabilidades si V_r llega en fase con la señal de entrada.

La forma práctica de resolver el problema es añadir un *condensador de desacoplo* grande y de baja inductancia justo en el *punto* en que la alimentación llega al circuito de salida para cortocircuitar I_{se} lo que reduce la señal en las líneas de alimentación sin afectar a la polarización. Cuando el problema es grave se añade otro condensador y una resistencia en serie formando el *circuito de desacoplo* de la Figura 10.30b. Así, la señal deberá pasar a través de las dos etapas *RC* del filtro antes de producir caídas de tensión en Z_{AL}. Por supuesto, la resistencia de desacoplo provocará caídas no deseables de tensión en la alimentación y disipará potencia.

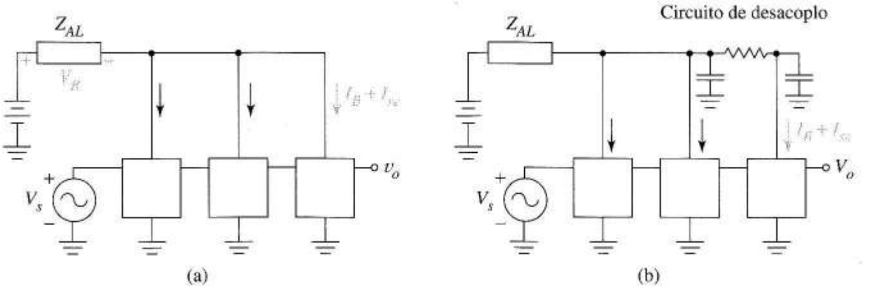


FIGURA 10.30 Prevención de la realimentación por las fuentes de alimentación: (a) el problema; (b) solución mediante circuito de desacoplo.

10.7 OPERACIONALES DE POTENCIA

Hoy en día, la forma más fácil de proporcionar cantidades grandes de potencia a las cargas es usar *operacionales de potencia*, que tener las características habitualmente asociadas a los operacionales pero que poseen, además, una etapa de salida –por lo general en clase B o AB– capaz de proporcionar gran cantidad de potencia. Se suelen usar con las configuraciones clásicas de realimentación con ganancias en bucle cerrado moderadas y ofrecen baja distorsión y sencillez de diseño. Las hojas de datos de los operacionales de potencia dan las resistencias térmicas y %THD, además de los parámetros usuales de ganancia en bucle abierto, tensión y corriente desviación y RRMC comparable, este último, a los de los operacionales de baja potencia.

Cuando las cargas precisan mucha potencia pueden trabajar en paralelo dos o más operacionales de potencia como en la Figura 10.31a, donde el OA_1 está en configuración no inversora y usa varios seguidores como amplificador de potencia para proporcionar la potencia a la carga. Debido a las diferentes desviaciones de OA_2–OA_N se deben poner pequeñas resistencias de ecualizacion de 0,1 Ω entre la salida de cada seguidor y la salida del circuito. Se podría usar una configuración inversora en OA_1. En la Figura 10.31b se muestra otra posibilidad con el operacional de potencia OA_1, proporcionando la ganancia y colaborando en la potencia de salida.

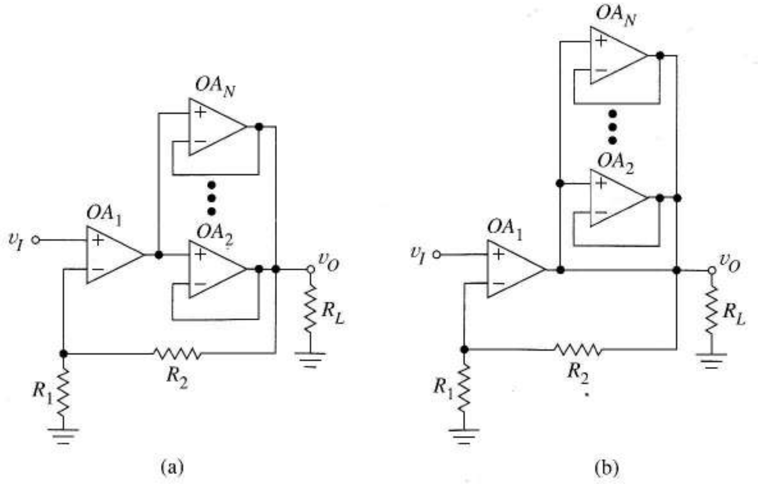


FIGURA 10.31 Operacionales de potencia compartiendo disipación de potencia: (a) gobierno más etapas de salida; (b) circuito con todos los operacionales de potencia.

Cálculos en la disipación de potencia en los operacionales Como los transistores de potencia, en los operacionales de potencia deben colocarse radiadores que les permitan disipar potencia sin superar las temperaturas críticas de las uniones. Como la mayoría de esta disipación se produce en los transistores de salida, se puede aplicar la teoría conocida de los clase B a estos circuitos. La única novedad es que la resistencia térmica de los operacionales se define para los pares de transistores de salida y debemos diseñar el radiador acorde con ello.

EJEMPLO 10.8 Con un único operacional de potencia con etapa de salida en clase B se deben producir 95 W sobre una carga resistiva de 4 Ω. Hallar la resistencia térmica del radiador θ_{SA}. El operacional disponible tiene θ_{JC} = 2,3 °C/W y una temperatura máxima de la unión de 200 °C. Suponer que la grasa térmica que conduce el calor desde la cápsula del operacional al radiador tiene θ_{CS} = 0,2 °C/W.

Solución Para 95 W sobre 4 Ω a máximo rendimiento, a partir de la Figura 10.22 se necesita

$$V_{CC} = \sqrt{2 \times 4 \times 95} = 27{,}6 \text{ V}$$

En esa misma figura, con un diseño conservador, los *dos transistores de salida* deben disipar en total 2 × 0,203 × 95 = 38,6 W, disipación necesaria para el operacional.

Suponiendo un temperatura ambiente de 25 °C,

$$38{,}6(2{,}3 + 0{,}2 + \theta_{SA}) + 25 = 200$$

o θ_{SA} = 2,03 °C/W. ❑

Ejercicio 10.8 Queremos estudiar un diseño alternativo al del Ejemplo 10.8 utilizando N operacionales en paralelo y sin *radiador*. ¿Cuánta potencia disipará cada uno?

Respuesta 0,406(95/N) W.

EJEMPLO 10.9 Si la resistencia térmica del operacional del Ejercicio 10.8 es θ_{JA} = 10 °C/W, hallar N.

Solución Suponiendo que cada operacional disipa independiente su potencia a 25 °C de temperatura ambiente,

$$(0{,}406) \times \left(\frac{95}{N}\right)\theta_{JA} + 25 = 200$$

o N = 2,20. Como N debe ser entero, utilizamos N = 3. ❑

En el Ejemplo 10.9 y el Ejercicio 10.8 las tensiónes de alimentación necesarias son 27,6 V, la misma que se calculó en el Ejemplo 10.8. Eso se debe a que la tensión de salida pico-pico de cada operacional es aproximadamente la tensión entre las alimentaciones positiva y negativa. Los operacionales producen una tercera parte de la potencia de salida cuando se conectan en paralelo, porque cada uno produce sólo la tercera parte de la corriente a la carga.

El *amplificador en puente* de la Figura 10.32a da otra forma de compartir la disipación entre dos operacionales. Por la oposición de fase entre las salidas seguidora e inversora, con una señal de entrada senoidal de amplitud V_{CC} se produce una senoide de salida de amplitud $2V_{CC}$ y máxima potencia

$$P_{máx} = \frac{(2V_{CC})^2}{2R_L} \quad (10.35)$$

Las Figuras 10.32b y c muestran la conducción alternativa de los cuatro transistores de salida y clarifican el término "amplificador en puente".

Estudiaremos el balance energético de este circuito. Con entrada senoidal

$$v_I(t) = \frac{V_o}{2} \operatorname{sen} \omega_o t$$

la corriente producida por cada alimentación es una senoidal rectificada en doble onda de amplitud V_o/R_L con valor medio $I_{med} = (2/\pi)(V_o/R_L)$. Las fuentes proporcionan en total

$$P_i = 2V_{CC} I_{med} = \frac{4V_{CC}V_o}{\pi R_L} \tag{10.36}$$

watios, de los que

$$P_{carga} = \frac{V^2{}_o}{2R_L} \tag{10.37}$$

caen en la carga. Esto deja $P_{OA} = 0{,}5(P_i - P_{carga})$ para disipar en *cada* operacional, donde

$$P_{OA} = \frac{2V_{CC}V_o}{\pi R_L} - \frac{V^2{}_o}{4R_L} \tag{10.38}$$

La V_o que maximiza P_{OA} es $V_o = (4/\pi)V_{CC}$ que sustituyéndolo en (10.38) y usado (10.35) para poner el resultado en función de la máxima potencia de salida da

$$P_{OA,\, máx} = \frac{2}{\pi^2} P_{\ máx} = 0{,}203 P_{\ máx} \tag{10.39}$$

En relación con la Figura 10.22b, vemos que en este circuito la máxima disipación de *cada operacional* es la misma de cada transistor de clase B con la misma potencia.

Ejercicio 10.9 En los Ejemplos 10.8 y 10.9 estudiar configuraciones de dos operacionales que proporcionen 95 W a una carga de 4 Ω. Determinar si podemos usar dos operacionales con $\theta_{JA} = 10$ °C/W para proporcionar la misma potencia en una configuración en puente y sin radiador. Máxima temperatura de la unión: 200 °C.

Respuesta No, $T_J = 218$ °C.

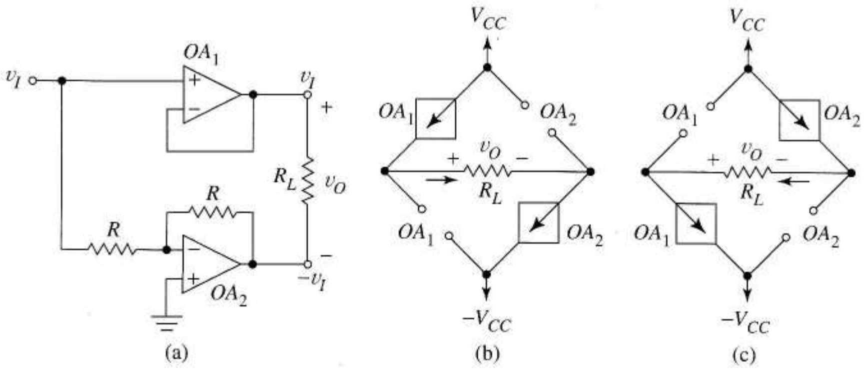


FIGURA 10.32 Circuito de potencia en puente: (a) esquemático; (b) circuito de salida con v_I positiva; (c) circuito de salida con v_I negativa.

10.8 AMPLIFICADOR EN CLASE D

Usando los transistores como conmutadores que conecten alternativamente la carga a las alimentaciones positivas y negativas, el *amplificador en clase D* proporciona casi el 100% de rendimiento. Hay poca disipación en los transistores porque la corriente elevada circula con el interruptor cerrado ($v_{DS} \approx 0$) y se produce elevada tensión con el interruptor abierto ($i_D \approx 0$). Como este amplificador presenta formas de onda binarias podríamos pensar que es excesivamente específico para usarse con señales analógicas generales pero, efectuando un procesamiento previo con un *modulador de ancho de pulso* se producen señales adecuadas con cualquier función temporal. El elevado rendimiento obtenido justifica la complejidad adicional del circuito modulador en ancho de pulso.

10.8.1 MODULACIÓN EN ANCHO DE PULSO (PWM[4])

El circuito de la Figura 10.33a permite que la anchura del pulso de la señal binaria $v_O(t)$ siga a la amplitud de la señal analógica $v_I(t)$. El tren de pulsos de alta frecuencia $v_K(t)$ produce la onda en onda de sierra $v_S(t)$ de al Figura 10.33c cerrado el bipolar durante un breve instante cada T segundos para descargar el condensador. Cuando el transistor está al corte, el condensador se carga linealmente a una velocidad determinada por la capacidad y la fuente de corriente.

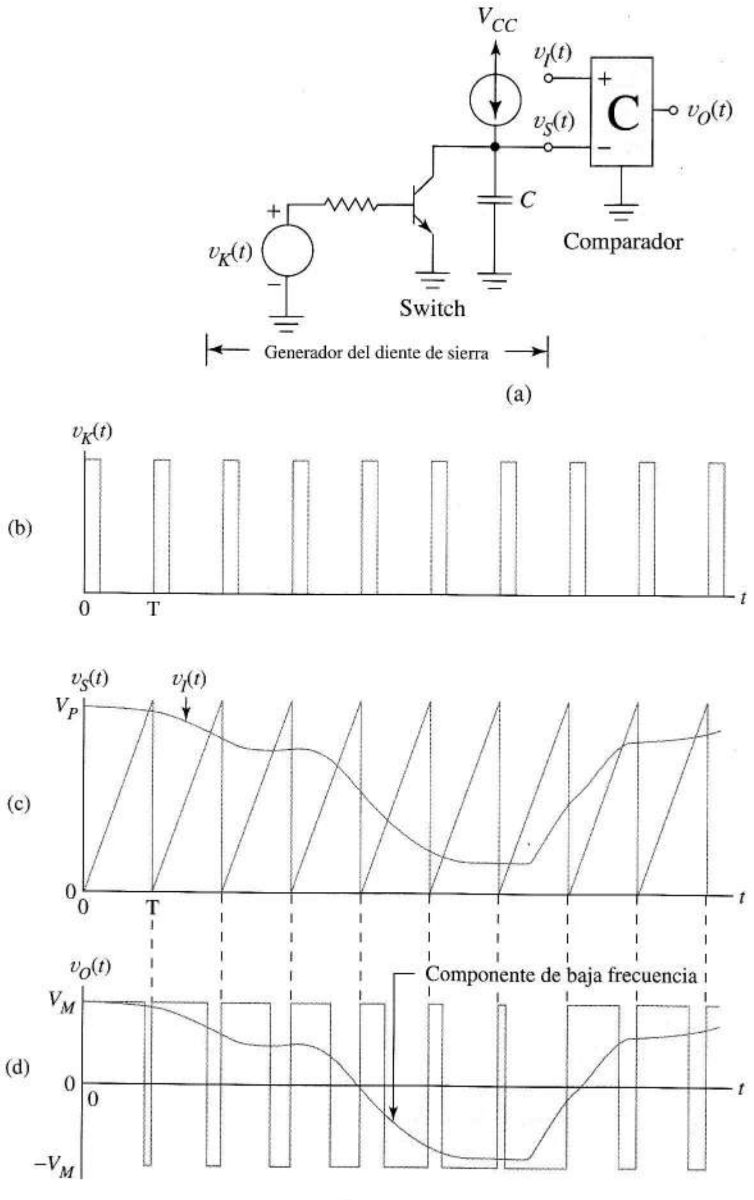
El comparador compara la señal analógica $v_I(t)$ con $v_S(t)$ como en la Figura 10.33c produciendo salida en estado alto ($v_O = V_M$) cuando $v_I(t) > v_S(t)$ y en estado bajo ($v_O = V_M$) cuando $v_I(t) > v_S(t)$. El resultado es la forma de onda PWM[4] $v_O(t)$ de la Figura 10.33d en la que el sombreado puede ayudar a reconocer el patrón de partida. Esta forma de onda binaria contiene una componente de baja frecuencia con la información de $v_I(t)$. Así, $v_O(t)$ es la suma de la señal de entrada con amplitud modificada y algunos componentes de alta frecuencia que pueden ser fácilmente eliminados mediante filtrado, proceso que se simplifica operando a mucha mayor frecuencia que la que sugiere el diagrama. Para amplificar una señal PWM sólo necesitamos reproducirla con un circuito que tenga capacidad de manejar alta potencia, es decir, elevadas corrientes y/o tensiones.

El circuito PWM global se describe mediante una sencilla función estática. Si definimos el *ciclo de trabajo*[5] δ como la función de cada período T en que $v_O(t)$ es positiva, en las Figuras 10.33c y d podemos ver que el circuito queda descrito por

$$\delta = \frac{1}{V_P} v_I \qquad (10.40)$$

donde V_P es el valor de pico de la forma de onda en diente de sierra. Esto es la Figura 10.33e.

[4]N. del T.: PWM son las abreviaturas (muy extendidas) de "Pulse Width Modulation".
[5]N. del T.: Un término muy extendido es el anglosajón "duty cycle" o, incluso, simplemente "duty".



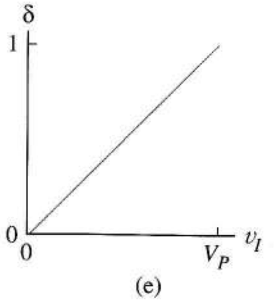


FIGURA 10.33
Modulación en ancho de pulso: (a) circuito de modulación; (b) tren de pulsos de período *T*; (c) comparación de las señales de entrada; (d) forma de onda de salida del comparador y su información de baja frecuencia; (e) ciclo de trabajo de la salida en relación con la amplitud de la entrada.

10.8.2 CIRCUITO EN CLASE D

La Figura 10.34a muestra el amplificador completo en clase D, incluyendo el circuito de salida CMOS. Primero consideremos la polarización. Cuando v_X es cero, M_1 y M_2 están al corte y los condensadores de desacoplo C_C se cargan a V_{DD} voltios. Durante el funcionamiento, v_x es una forma de onda PWM como la de la Figura 10.33d con valor de pico V_M. Los condensadores funcionan como fuentes de tensión continua y v_X se superpone al valor de polarización de las puertas. Esto significa, por ejemplo, que la puerta de M_1 se gobierna entre los valores de pico $V_{DD} + V_M$ y $V_{DD} - V_M$. Con V_M suficientemente grande, M_1 y M_2 pasan de corte a zona óhmica alternativamente. El filtro LC de *bajas pérdidas* transfieren la información a R_L mientras elimina las componentes de alta frecuencia no deseadas. Como el filtro es de bajas pérdidas, la potencia en R_L es la misma que la que desarrolla la etapa de salida.

La Figura 10.34b representa el circuito de salida. Los transistores se muestran como interruptores con pérdidas mediante sus equivalentes en zona óhmica. El filtro y la carga de la Figura 10.34c ven la misma señal que en la Figura 10.34b donde $v_{PWM}(t)$ es la forma de onda de salida PWM de valor binario como en la Figura 10.33d, pero con valor de pico V_{DD} (e invertida ya que v_X positivos ponen en conducción a M_2).

Los componentes de información de esta señal ven $\omega L \approx 0$ y $1/\omega C \approx \infty$, dando la Figura 10.34d donde K es la ganancia de tensión del amplificador. Los componentes de alta frecuencia ven $\omega L \approx \infty$ y $1/\omega C \approx 0$ como en la Figura 10.34e, una carga sin pérdidas y no contribuyen a la disipación de potencia del sistema. En la Figura 10.34d se anota toda la potencia producida por la alimentación y desarrollada en la carga; la potencia instantánea en la carga y de entrada con

$$v_I(t) = 0{,}5V_P + V_I\cos(\omega t)$$

son

$$P_{CARGA} = \frac{\left[KV_I R_L/(R_L + r_{on})\right]^2}{2R_L} \quad \text{y} \quad P_I = \frac{(KV_I)^2}{2(R_L + r_{on})}$$

dando un rendimiento del circuito de salida de

$$\eta = \frac{P_{CARGA}}{P_I} = \frac{1}{1 + r_{ON}/R_L} \times 100 \qquad (10.41)$$

que se acerca al 100% cuando M_1 y M_2 tienen r_{ON} mucho menor que R_L[6].

EJEMPLO 10.10 En la Figura 10.34a, M_1 y M_2 son MOSFETs complementarios con parámetros $k = 0{,}06$ A/V^2, $|V_t| = 1{,}2$ V y $R_L = 1\ \Omega$. La etapa de salida tiene $V_{DD} = 20$ V. Hallar la mínima tensión, V_M, de la forma de onda cuadrada v_X para lograr un 80% de rendimiento.

Solución Según (10.41) el rendimiento del 80% necesita $r_{ON} = 2{,}5\ \Omega$ con $R_L = 10\ \Omega$. Si el MOSFET no se usa como resistencia variable, r_{ON} queda determinada por (5.5). La tensión de puerta que pone a conducir el transistor debe cumplir que

$$2{,}5 = \frac{1}{0{,}06(V_{GS} - 1{,}2)}$$

es decir, $V_{GS} = 7{,}87$ V siempre que

$$|v_{DS}| \le 0{,}2|(v_{GS} - V_t)| \le 0{,}2 \times 6{,}67 = 1{,}33 \text{ V}$$

Como los condensadores de desacoplo se cargan a $|V_{DD}| = 20$ V, para M_2

$$v_{GS}(t) = v_G(t) - v_S(t) = \left[v_x(t) - V_{DD}\right] - \left(-V_{DD}\right) = v_X(t)$$

Como v_X es el valor de pico de V_M, $V_M = 7{,}87$ V. ❑

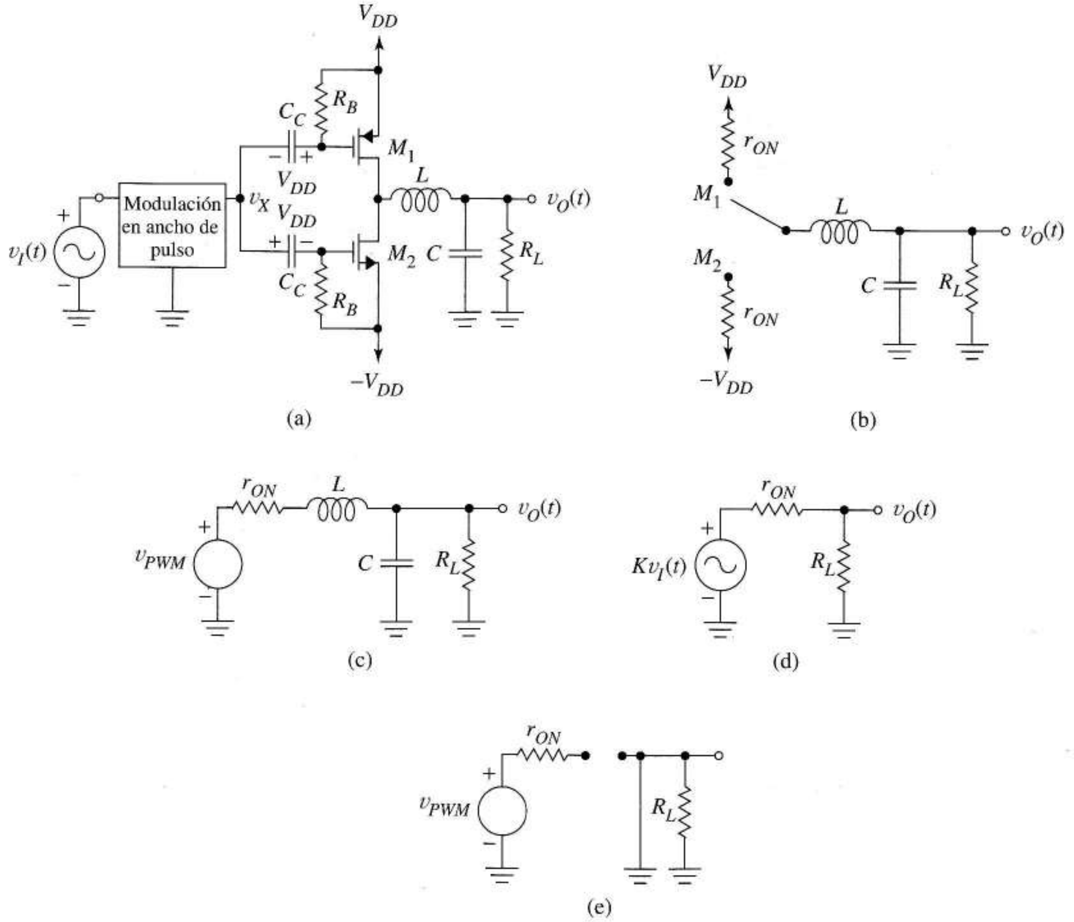


FIGURA 10.34 Circuito amplificador en clase D: (a) amplificador; (b) equivalente de la salida indicando la resistencia en conducción *rON* de los transistores y la señal PWM completa; (c) equivalente simplificado; (d) equivalente de salida sólo por las frecuencias de la señal; (e) equivalente de salida para las altas frecuencias.

La frecuencia $w_s = 2p/T$ del generador en diente de sierra de la Figura 10.33a debería ser lo suficientemente baja para que los parásitos de los transistores sean despreciables pero suficientemente alta para facilitar la tarea de filtrado. Antes del filtrado, el espectro de frecuencias de la forma de onda PWM tiene la forma general de la Figura 10.35 siendo la señal de entrada una senoide de frecuencia w_m. El ruido de alta frecuencia consiste en una senoide de la frecuencia de conmutación w_s más los componentes de *bandas laterales* de frecuencias $w_s \pm kw_m$ donde k toma valores enteros. El filtro de salida presentado como una filtro *LC* de paso bajo de segundo orden de la Figura 10.34 debe dejar pasar w_m y atenuar w_s y sus bandas laterales más importantes. Veremos como se diseñan filtros en el Capítulo 12 pero w_s debe ser, al menos, cuatro veces mayor que la mayor frecuencia contenida en la entrada.

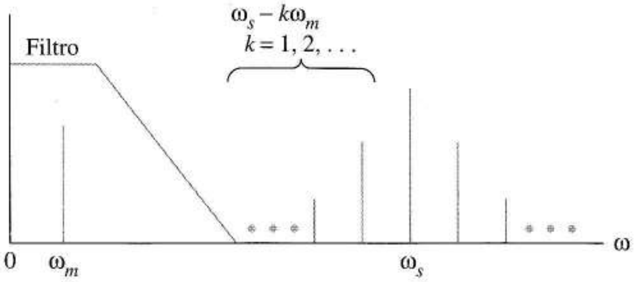


FIGURA 10.35 Espectro de un amplificador en clase D antes del filtro de pasa bajo.

Ejercicio 10.10 En lugar de usar el anterior criterio para el filtrado empleemos la inteligencia. Supongamos que el diagrama de Bode del filtro es plano basta ω_m y luego cae a –40 dB/dec. Para asegurar una buena atenuación del ruido a alta frecuencia de el ruido en $\omega = \omega_S - 7\omega_m$ debea reducirse en, al menos, 20 dB. Hallar la frecuencia de muestreo ω_s en función de ω_m.

Respuesta $\omega_s = 10{,}2\ \omega_m$.

Los amplificadores en clase D suelen trabajar en una configuración de bucle cerrado como en la Figura 10.36. La entrada al modulador de ancho de pulso es

$$v_X(t) = \frac{V_P}{2} + v_I(t) - v_O(t) = \frac{V_P}{2} + \in(t)$$

donde $V_P/2$ polariza la entrada a un nivel medio como en la Figura 10.33c. El error $\in(t)$ –la diferencia entre la salida deseada y la real– controla los interruptores para reducirlo. Esto obliga a la salida a seguir a la señal.

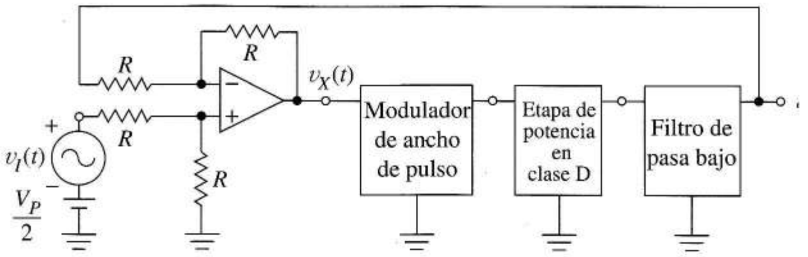


FIGURA 10.36 Configuración de un amplificador en clase D en bucle cerrado.

10.9 FUENTES DE ALIMENTACIÓN

El diagrama de la Figura 10.37 presenta las funciones básicas comunes a la mayoría de las fuentes de alimentación. El transformador proporciona aislamiento eléctrico entre la red de alterna y la salida y convierte la tensión a un valor más apropiado. La tensión alterna se convierte en una continua pulsante mediante un rectificador de media onda u onda completa y el filtro –uno o varios elementos L ó C– suaviza la variación de tensión. La salida del filtro es una *continua no regulada* con un pequeño rizado de alterna. Esta salida no regulada es válida cuando la corriente proporcionada cambia poco y cuando se pueden tolerar las variaciones (pequeñas) producidas por los cambios en la ten-

sión de red. Muchos circuitos electrónicos precisan un circuito regulador que mantenga la salida constante a pesar de los cambios de la carga o de la tensión no regulada. En muchos casos, el regulador también proporciona protección contra cortos accidentales en la salida. Como estamos ya familiarizados con los transformadores y rectificadores desde el Capítulo 3 comenzaremos con el filtro de las fuentes de alimentación.

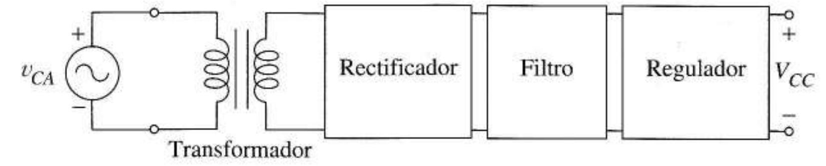
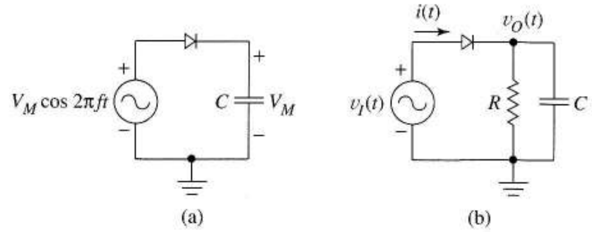


FIGURA 10.37
Subcircuitos de una fuente de alimentación.

10.9.1 RECTIFICADORES CON FILTROS

Rectificador/filtro de media onda Si el diodo de la Figura 10.38a es ideal, el condensador C se carga durante el transitorio a V_M voltios y se mantiene cargado a este valor. Sin embargo, para que este circuito sea útil debería suministrar potencia continua a una carga externa R como en la Figura 10.38b. Es interesante ver la Figura 10.38b como un rectificador ideal de media onda con un filtro por condensador C en paralelo con la carga. Como se puede ver en las curvas de régimen permanente de la Figura 10.38c, el funcionamiento del rectificador se modifica fuertemente por causa del condensador. Como C se elige de tal forma que la constante de tiempo RC es suficientemente grande comparada con el período $1/f$ de la senoide de entrada, la salida $v_O(t)$ no cae tan rápido como $v_I(t)$. Como quiera que v_O y v_I son las tensiones en los extremos del diodo, el diodo se apaga poco después de que la tensión alcance su valor de pico dejando que la tensión en la carga caiga exponencialmente. Si $RC >> 1/f$, v_O cambia sólo ligeramente antes de que el diodo entre de nuevo en conducción. Esto hace el *rizado* V_r muy pequeño. La corriente por el diodo es una secuencia de pequeños picos (destacados con un sombreado en el diagrama). Si sube RC, los picos de corriente son más cortos y altos, el diodo conduce intervalos más cortos y el pico debe ser más elevado para mantener el valor medio de la corriente en R. La corriente media se aproxima a V_M/R cuando la constante de tiempo es grande.



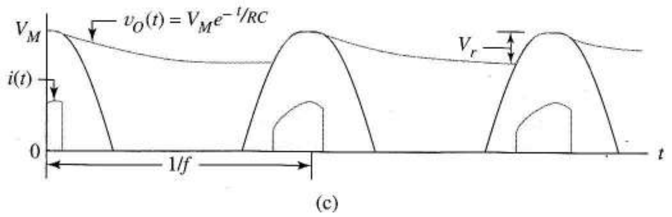


FIGURA 10.38
Rectificador de media onda y filtro: (a) fuente de alimentación básica sin carga; (b) esquema del rectificador-filtro; (c) tensión y corriente en el rectificador-filtro.

En un diseño típico, conocemos el valor deseado de continua $V_{CC} \approx V_M$ y la máxima corriente continua de salida I_{CC}; así, podemos determinar el mínimo valor de la resistencia de carga, R. La frecuencia, f, y el máximo rizado permisible, V_r ,también se suele especificar. Ahora obtendremos la ecuación de diseño que relaciona el rizado admisible con el tamaño del condensador de filtro.

La carga ΔQ que pierde el condensador en cada ciclo se relaciona con V_r, en la Figura 10.38c por

$$\Delta Q = C\Delta V = CV_r$$

Esta carga se sustituye con la corriente que circula por el diodo. Para la máxima corriente de salida, esta es

$$I_{CC} = \frac{\Delta Q}{\Delta t} = \frac{CV_r}{1/f} = fCV_r \tag{10.42}$$

Si el rizado es pequeño, $V_{CC} \approx V_M$ y la corriente media por el diodo de la Ecuación (10.42) debe igualar a la corriente de salida, es decir, $I_{CC} = V_M/R$. Sustituyéndolo en (10.42) y despejando C da la ecuación de diseño.

$$C = \frac{1}{fR}\frac{V_M}{V_r} \tag{10.43}$$

Así, reducir el rizado unitario admisible V_r/V_M significa subir el condensador. Una vez concluido el diseño, C, f y V_M de (10.43) son constantes. Cuando R sube (menor corriente demandada a la fuente) V_r se reduce. Como C siempre queda cargado a V_M voltios, el diodo debe tener TIP $\geq 2V_M$ voltios. El siguiente ejemplo ilustra el empleo de la Ecuación (10.43) en los diseños.

EJEMPLO 10.11 Diseñar una fuente de alimentación con un rectificador de media onda y un condensador de filtro que dé 12 V y 25 mA con un rizado del 2%.

Solución Supongamos f = 60 Hz. Seleccionamos la relación de vueltas del transformador para que VM = 12,7 V en lugar de los 12 V para compensar la tensión de codo del diodo. Con la máxima corriente R = 12 V/0,025 A = 480 Ω. Según (10.43)

$$C = \frac{1}{60 \times 480 \times 0{,}02} = 1.736\ \mu F$$

La TIP del diodo de ser de, al menos, 25,4 V. ❑

Ejercicio 10.11 Estimar el porcentaje del rizado en la fuente de alimentación del Ejemplo 10.11 si la alimentación proporciona 5 mA.

Respuesta 0,4%

Rectificador/Filtro de onda completa En la Figura 10.39 se explica cómo el condensador filtra la salida de un rectificador de onda completa. Para la misma RC, el rizado es menor que para el caso de media onda ya que el condensador tiene sólo la mitad de tiempo para descargarse. Para obtener la nueva ecuación de diseño de C, sustituimos el período $1/f$ por el que corresponde al caso de onda completa, $0{,}5/f$, lo que da

$$C = \frac{1}{2fR}\frac{V_M}{V_r} \tag{10.44}$$

Para hallar la tensión de pico inverso de los diodos de cualquier diseño de rectificador podemos simplificar observando que C siempre se carga aproximadamente a V_M. Como el condensador de filtro es caro y voluminoso, el rectificador de onda completa proporciona el mismo rizado con un C menor lo que es muy positivo. La tensión de codo del diodo reduce la tensión de salida a un valor algo menor de V_M que el que se obtendría con diodos ideales. Este efecto se observa en las simulaciones y es fácilmente predecible.

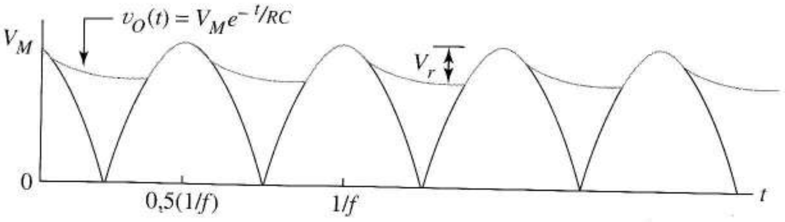


FIGURA 10.39 Formas de onda de salida del rectificador de onda completa con y sin filtro por condensador.

10.9.2 REGULADORES DE TENSIÓN

A veces, una fuente de alimentación precisa un regulador de tensión para mantener la tensión de salida constante a pesar de las variaciones en la carga, la tensión no regulada o ambos. Los dos parámetros que describen los reguladores de tensión son: la regulación de carga a (VR) y la regulación de línea (LR).

Para describir las variaciones en la tensión de salida debidos a cambios en la carga,

$$VR = \frac{\text{tensión en vacío - tensión a plena carga}}{\text{tensión a plena carga}} \times 100 = \left(\frac{V_{NL}}{V_{FL}} - 1\right) \times 100 \qquad (10.45)$$

donde V_{NL} y V_{FL} son, respectivamente, la tensión en vacío (salida en circuito abierto) y la tensión a plena carga que corresponde a la máxima corriente.

Para describir las variaciones en la salida debidas a los cambios en la tensión no regulada, definimos

$$LR = \frac{\text{cambio en la tensión regulada}}{\text{cambio en la tensión no regulada}} \times 100 = \frac{\Delta V_R}{\Delta V_U} \times 100 \qquad (10.46)$$

Estudiaremos dos tipos clásicos de regulador de tensión, el tipo paralelo y el serie. Los reguladores paralelo trabajan en paralelo con la carga externa, extrayendo corriente para que la tensión de salida sea constante. El regulador serie aplica un transistor en serie con la carga mientras el sistema de realimentación ajusta la corriente del transistor al valor adecuado para que se mantenga constante la tensión de salida.

Regulador paralelo El regulador de tensión zener de la Figura 3.30 y el Ejemplo 3.10 es un regulador paralelo lineal: es lineal porque trabaja donde el zener se comporta como una fuente de tensión lineal y paralelo porque se conecta en paralelo con la carga externa. El siguiente ejemplo muestra que la clave de la buena tensión de salida y de la regulación de línea es la baja resistencia interna del zener.

EJEMPLO 10.12 a) Hallar las expresiones de la regulación de carga y línea del regulador zener de la Figura 10.40.
b) Calcular la regulación de carga y línea usando $V_U = 15$ V, $R_S = 10\ \Omega$, $V_Z = 5$ V, $r = 0{,}1\ \Omega$ y $R_L = 25{,}6\ \Omega$.

Solución a) la Figura 10.40b muestra el equivalente Thèvenin del regulador. Según (10.45) como quiera que $r << R_S$.

$$\frac{\text{VR}}{100} = \frac{V_{TH1}}{\left[R_L/\left(R_L + R_{TH1}\right)\right]V_{TH1}} - 1 = \frac{R_{TH1}}{R_L} \approx \frac{r}{R_L}$$

Para hallar la regulación de línea, sustituimos en primer lugar el modelo del zener y R_L, Figura 10.40a, por un equivalente Thèvenin. Esto deja inalterada V_R y mantiene V_U en el diagrama.

La Figura 10.40c es una buena aproximación ya que $r << R_L$. Por superposición, V_R tiene componentes debidas a V_Z y V_U; para LR sólo buscamos la última, es decir,

$$V_{R,U} = \frac{r}{r + R_S} V_U$$

Según (10.46) concluimos que

$$LR = \frac{\Delta V_R}{\Delta V_U} 100 = \frac{r}{r + R_S} 100$$

b) Utilizando las expresiones recién obtenidas, VR = [(0.1)/25,6] × 100 = 0,391% y LR = 0,99%.

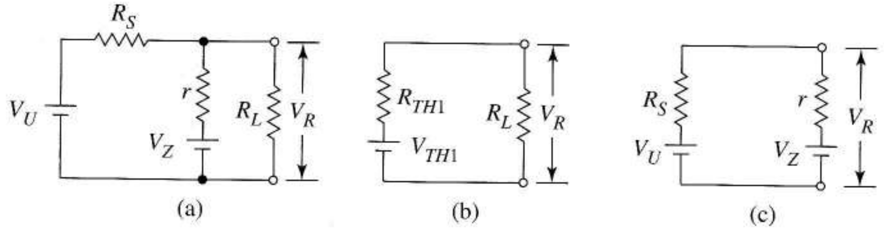


FIGURA 10.40 Regulador paralelo: (a) circuito equivalente; (b) circuito empleado para hallar la regulación de carga; (c) circuito empleado para hallar la regulación de línea.

❑

Ejercicio 10.12 La fuente de alimentación no regulada del Ejemplo 10.12 tiene un rizado de tensión de 5 mV. ¿Qué valor tiene el rizado de salida?.

Respuesta 0,495 mμV.

Regulador serie En la Figura 10.41a aparece un regulador serie. Se compara continuamente una fracción de V_R con una referencia zener V_Z, y la diferencia se usa para controlar la corriente del transistor serie. Si, por cualquier razón, V_R cae y la corriente del transistor sube, creciendo V_R y disminuyendo la caída V_S del transistor; un incremento en V_R disminuye la corriente de emisor y V_S sube.

La Figura 10.41b es el mismo circuito redibujado para mostrar el par operacional/transistor como circuito A en un amplificador realimentado de tensión en serie donde β consiste en R_F y R_1. La baja resistencia de salida del regulador de emisor

$$R_{salida} = \frac{R_o + R_\pi}{\beta_F + 1}$$

donde R_o es la resistencia de salida del operacional y es reducida por la realimentación de tensión. Consecuentemente, V_R es una fuente de tensión constante

$$V_R = \left(1 + \frac{R_F}{R_1}\right) V_Z$$

El punto Q del zener, polarizado con I_{BB} no cambia con la carga de la salida del regulador. Esto se presta a un fácil diseño integrado ya que la relación de resistencias y la tensión zener no deben tener variaciones térmicas. En el Problema 10.54 veremos que la regulación de carga depende de la resistencia de salida del circuito y la regulación de línea depende de las resistencias de la fuente de corriente y del zener.

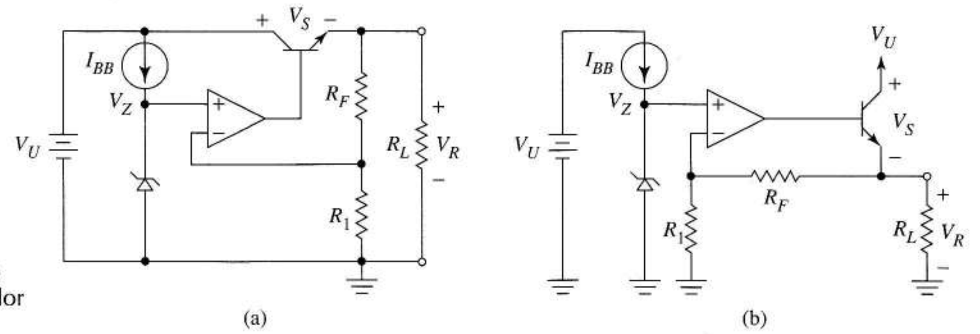


FIGURA 10.41 Regulador serie: (a) diagrama tradicional; (b) visto como un amplificador realimentado.

Existen varias posibilidades sobre el mismo circuito. Para lograr una menor resistencia de salida y, por ello, mejor regulación de carga, el transistor suele ser un par Darlington. La fuente de corriente I_{BB} puede ser una realización integrada sofisticada de elevada resistencia de salida para lograr la mejor regulación de línea. Una fuente de corriente más sencilla podría ser un JFET de canal n o un MOSFET de deplexión con la puerta conectada a la fuente. La corriente de polarización I_{BB} puede obtenerse con una resistencia sacrificando la regulación de línea.

Circuitos de protección La regulación de carga de las fuentes de alimentación suelen usar la misma protección de corto que se presentó en los amplificadores de potencia de las Figuras 10.28 y 10.29.

Fuentes de alimentación integradas Si el operacional de la Figura 10.41b es un operacional de potencia, no se necesita el bipolar y la salida del operacional puede manejar directamente la carga. Este circuito es una *fuente de alimentación integrada*. Entonces, la Figura 10.41b se reduce a un simple amplificador no inversor que multiplica la tensión del zener al valor deseado en la salida proporcionando la corriente solicitada por la carga. También se usan configuraciones inversoras en fuentes de alimentación.

EJEMPLO 10.13 La fuente de alimentación integrada de la Figura 10.42 se usa en una fuente de tensión regulada de 12 V sobre una carga R_L con $I_L \leq 3$ A. Los parámetros del JFET son $\beta = 8{,}89 \times 10^{-4}$ A/V^2 y $V_P = -1{,}5$ V. La tensión del zener es $V_Z = 6{,}7$ V con $I_Z = 1$ mA.

Completar el diseño hallando los valores de R_B, R_1 y R_F y calcular el peor caso de disipación del operacional.

Solución Para polarizar el zener en 1 mA, la V_{GS} del JFET debe cumplir

$$1 \text{ mA} = 8{,}89 \times 10^{-4} \left(V_{GS} + 1{,}5\right)^2$$

o $V_{GS} = -0{,}44$ V. Como esta es la tensión en R_B, necesitamos $R_B = 0{,}44/1$ mA = 440 Ω. R_1 y R_F deben cumplir

$$12 = \left(1 + \frac{R_F}{R_1}\right)6{,}7$$

que da $R_F/R_1 = 0{,}791$. Con $R_1 = 10$ kΩ, $R_F = 7{,}91$ kΩ.

Cuando el operacional proporciona 3 A con 12 V, la caída de tensión en el transistor de salida del operacional (se supone una etapa de salida en clase AB) es 20 − 12 = 8 V; así, la disipación térmica es 8 × 3 = 24 W. Tanto el operacional como el radiador deben ser capaces de disipar 24 W en régimen permanente. ❑

Como en los amplificadores de potencia, podemos definir el rendimiento del regulador como

$$\eta = \frac{\text{potencia de salida regulada}}{\text{potencia de entrada al regulador}}$$

En las fuentes de alimentación integradas y en los reguladores de la Figura 10.41, la mayoría de la potencia se disipa en el transistor de salida.

Ejercicio 10.13 Estimar el rendimiento del regulador del Ejemplo 10.13. Escribir también las expresiones de la máxima disipación de potencia del transistor serie y el rendimiento del regulador serie de la Figura 10.41a.

Respuesta 60%, $P_D = (V_U - V_R)I_{R,\,MÁX}$, $\eta = V_R/V_U$.

Este ejercicio y el ejemplo anterior muestran que la disipación interna se produce por el bajo rendimiento cuando hay grandes caídas de tensión en los reguladores convencionales. En la siguiente sección se estudian reguladores con baja disipación interna y, por ello, mayor rendimiento para las mismas especificaciones de salida.

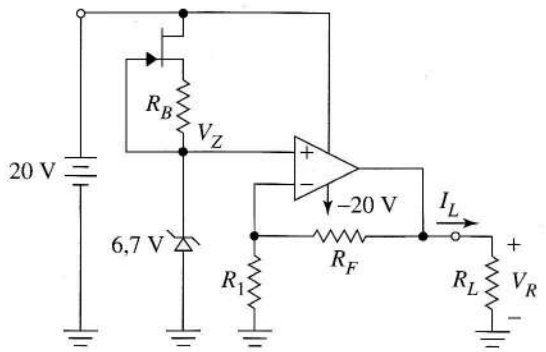


FIGURA 10.42 Fuente de alimentación integrada.

Reguladores conmutados La conmutación de los transistores que producen elevado rendimiento en los amplificadores en clase D, proporciona los mismos beneficios en los reguladores de tensión; de esa forma, las fuentes de alimentación que usan *reguladores conmutados* pueden ser más ligeras y compactas que los que usan reguladores lineales. Los conmutados también permiten más versatilidad y pueden dar tensiónes de salida superiores a las de entrada o de distinta polaridad. Como desventajas, se tiene mayor complejidad en la circuitería de control, necesidad de filtrado para eliminar el ruido de conmutación de la salida y se pueden producir interferencias electromagnéticas (EMI)[7] en los equipos próximos.

[7]N. del T.: EMI son las siglas anglosajonas de ElectroMagnetic Interference. Las fuentes de alimentación conmutadas también pueden producir interferencias por conducción en las líneas de alimentación.

Un regulador conmutado tiene dos partes: el *convertidor* que lleva a cabo la conmutación y un sistema de realimentación que la controla. Hay tres estructuras básicas de convertidores: *buck, boost* y *buck-boost*[8]. La Figura 10.43a muestra un convertidor *buck*. La tensión de salida de la fuente es $v_R = V_R + v_r$ donde V_R es la tensión de salida regulada y v_r es un pequeño rizado. El transistor S_1 se lleva periódicamente a corte y estado óhmico por medio de la fuente v_C a la frecuencia $f_s = 1/T_s$.

La Figura 10.43b muestra el transistor y el diodo sustituidos por interruptores ideales. Cuando v_C hace que se cierre S_1, se abre a la vez S_2 dando el circuito del estado 1. La tensión en L es

$$v_L \approx V_U - V_R$$

Esta expresión supone que C ha sido previamente cargado a V_R e ignora el pequeño rizado, v_r.

Sea δ el ciclo de trabajo, la fracción del *período de conmutación* en el que S_1 esta cerrado, con $0 < \delta < 1$. Tras δT_s segundos en el estado 1, v_C abre S_1. Ahora v_L se convierte en negativa mientras la bobina trata de mantener la corriente constante. Esto produce la conducción del diodo como en la Figura 10.43c y el circuito cambia al estado 2. Ahora, $v_L \approx -V_R$; al final del período de conmutación, v_C vuelve a poner en conducción a S_1 y comienza un nuevo ciclo.

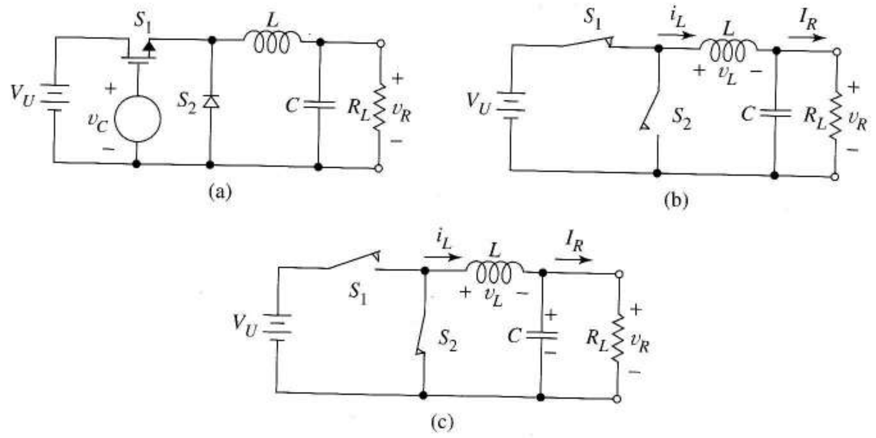


FIGURA 10.43 Convertidor conmutado buck: (a) esquema; (b) equivalente del estado 1; (c) equivalente del estado 2.

La Figura 10.44a da la tensión en la bobina v_L. Como la corriente media en el condensador es nula, la tensión media en la bobina también lo debe ser. Por ello,

$$\frac{(V_U - V_R)\delta T_s + (-V_R)(1-\delta)T_s}{T_s} = 0$$

que da el resultado

$$V_R = \delta V_U \qquad (10.47)$$

Para obtener una tensión regulada V_R a partir de una no regulada, V_U, v_C debe producir el ciclo de trabajo adecuado δ. Más aún, (10.47) es independiente de la carga R_L, lo que indica una perfecta regulación de carga en este circuito idealizado. Para hacer V_R independiente de los cambios en V_U, es

[8]N. del T.: Esta es la terminología más extendida aunque también se pueden usar los términos en castellano de reductor (*buck*), elevador (*boost*) y reductor-elevador (*buck-boost*).

decir, dar buena regulación de línea, necesitamos un circuito de realimentación que controle la salida continuamente y ajuste el ciclo de trabajo al valor adecuado.

Centrémonos en el rizado v_r. La corriente en la bobina es

$$i_L = \frac{1}{L}\int v_L(t)dt$$

por lo tanto, la corriente en la bobina es la de la Figura 10.44b. La corriente media en la bobina es I_R, la corriente de salida de la fuente de alimentación. Como el condensador no puede llevar corriente continua, de la ley de Kirchhoff de las corrientes, la parte variable de i_L debe circular por C (Figura 10.44c). Como

$$i_C = C\frac{dv_R}{dt}$$

hay un rizado v_r en R_L. El diseñador hará que el rizado sea pequeño en relación con V_R eligiendo un valor grande de C; esto se estudiará en el Problema 10.59.

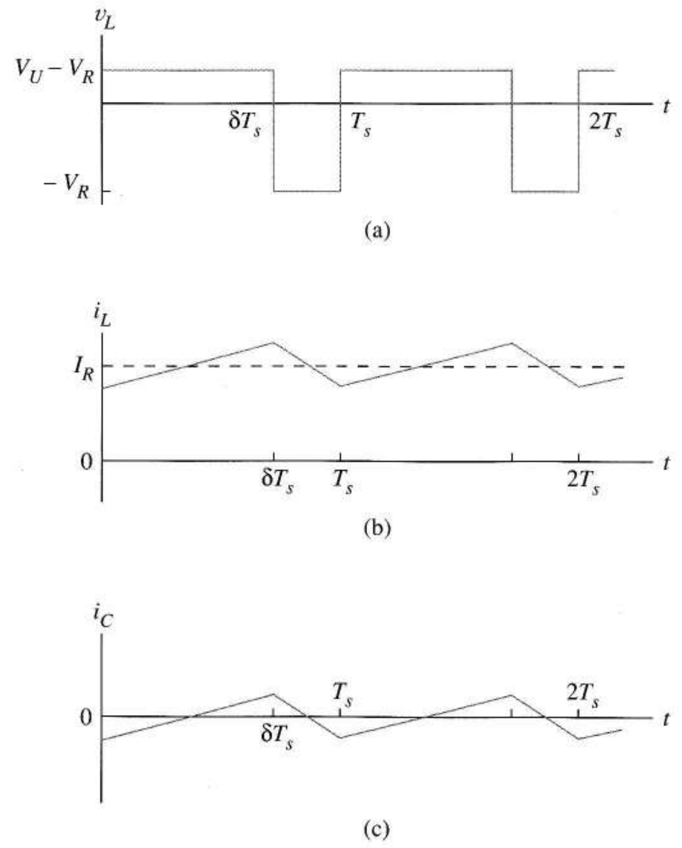


FIGURA 10.44 Formas de onda típicas del convertidor *buck* conmutado.

Necesitamos obtener ecuaciones de diseño para ayudarnos a elegir L y C. Las Figuras 10.44a y b indican que, entre δT_s y T_s, $i_L(t)$ tiene pendiente constante y se relaciona con $v_L(t)$ por

$$L\frac{di_L}{dt} = -V_R$$

Por lo tanto, el valor $i_{L,p\text{-}p}$(pico a pico) del rizado de $i_L(t)$ da la aproximación

$$L\frac{\Delta i_L}{\Delta t} = L\frac{-i_{L,\,p-p}}{(1-\delta)T_s} = -V_R$$

y despejando da la expresión

$$i_{L,\,p-p} = \frac{V_R}{L}(1-\delta)T_s = \frac{V_R(1-\delta)}{Lf_s} \tag{10.48}$$

Para evitar que el diodo conduzca durante la segunda parte del ciclo de conmutación, el diseño debe cumplir la condición (Figura 10.44b)

$$I_R - \frac{1}{2}i_{L,\,p-p} \geq 0$$

Sustituyendo (10.48) da la ecuación de diseño

$$Lf_s \geq \frac{V_R(1-\delta)}{2I_R} \tag{10.49}$$

Especificado V_R y eligiendo previamente δ según (10.47), esta ecuación permite elegir los valores adecuados de f_s y L. Para aplicar (10.49) en cualquier condición de carga debemos elegir f_s y L con el mínimo valor esperado de I_R, no para el máximo. Finalmente, para obtener un filtrado efectivo de la alta frecuencia de conmutación elegimos C para que $1/(\omega_s C) >> \omega_s L$, o

$$C \geq \frac{10}{(2\pi f_s)^2 L} \tag{10.50}$$

Si el diseño permite abrirse al diodo durante el $(1-\delta)T_s$ del ciclo de conmutación, el circuito tiene un tercer estado (ambos interruptores abiertos)[9]. Al diseñar así, se obtiene un funcionamiento más complejo pero se puede usar una bobina más pequeña, lo que es una ventaja. Mitchell describe este modo de trabajo en una de las referencias al final del capítulo.

Las Figuras 10.45a y b, respectivamente, muestran los convertidores *boost* y *buck-boost*. Hacemos las mismas suposiciones que hicimos para el *buck*, es decir:

1. Se puede ignorar inicialmente el rizado.
2. S_1 se cierra en δT_s segundos de cada ciclo de conmutación T_s
3. S_2 se cierra automáticamente cuando se abre S_1.

En el *boost*, esto lleva a

$$v_{L,\,AVE} = \frac{V_U(\delta T_s) + (V_U - V_R)(1-\delta)T_s}{T_s} = 0$$

[9]N. del T.: Este modo se conoce como modo de conducción discontinuo ya que la corriente por la bobina llega a anularse a diferencia del modo anterior, el modo de conducción continuo.

y la ecuación de diseño

$$V_R = \frac{1}{1-\delta} V_U \tag{10.51}$$

Como $\delta < 1$, la salida regulada es mayor que la entrada sin regular.

Para el *buck-boost*, un análisis similar nos lleva a

$$V_{L,AVE} = \frac{V_U(\delta T_s) + V_R(1-\delta)T_s}{T_s} = 0$$

y su ecuación de diseño

$$V_R = \frac{-\delta}{1-\delta} V_U \tag{10.52}$$

Como $0 < \delta < 1$, las polaridades de V_R y V_U son *opuestas*. El nombre *buck-boost* destaca que $|V_R| > V_U$ con $\delta > 0{,}5$ y $|V_R| < V_U$ con $\delta < 0{,}5$

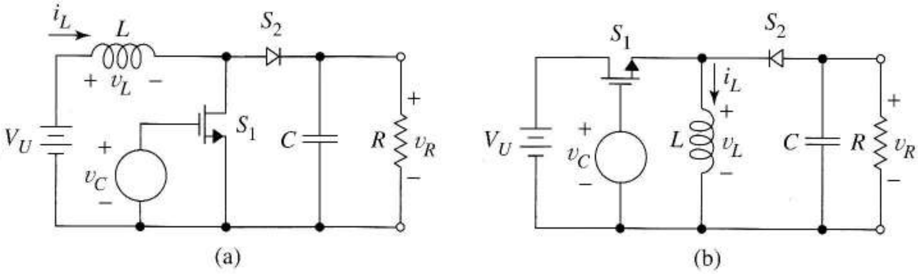


FIGURA 10.45
(a) Convertidor *boost*; (b) convertidor *buck-boost.*

La Figura 10.46 es la versión con bobinas acopladas[10] del *buck-boost*, denominado convertidor *fly-back*[11]. El funcionamiento es bastante simple y basta considerar que es como el *buck-boost,* pero con un desdoblamiento de las bobinas y el mismo núcleo magnético. Esta consideración nos lleva a que la clave para entender el trabajo de este circuito es la tendencia del flujo magnético en el núcleo a ser constante en lugar de la corriente como en el *buck-boost.*

Cuando se cierra S_1, la tensión V_U hace subir la corriente en la bobina hasta un determinado valor. Esta corriente produce un almacenamiento de energía en el núcleo. Al abrir S_1, esta energía no puede hacer circular corriente por el primario; como quiera que el flujo magnético en el núcleo tiende a mantenerse constante, debe circular corriente por el único camino disponible: el secundario. En ese caso, S_2 entra en conducción y la energía previamente almacenada en el núcleo se envía hacia la salida. En el preciso instante en que S_1 vuelva a entrar en conducción, la corriente por el primario vuelve a crecer y se repite el ciclo (modo de conducción continuo). Cabe la posibilidad de que la corrien-

[10]N. del T.: Es frecuente encontrar el término "transformador" en lugar de utilizar "bobinas acopladas". Esto se debe a que aparentemente transporta la energía del primario al secundario igual que los transformadores. Sin embargo, es un error hablar de transformador en este caso puesto que no hay conducción simultánea de ambos devanados, sino que hay un almacenamiento de energía en la inductancia magnetizante. Otros convertidores como el *forward* (directo) sí que tienen un transformador.

[11]N. del T.: Este nombre está mucho más extendido que el de su versión castellana, convertidor de retroceso.

te por el secundario se haga nula antes de que S_1 vuelva a conducir. En este caso, estaremos en modo de funcionamiento discontinuo, que resulta muy interesante en determinadas aplicaciones.

El hecho de que este convertidor proporcione aislamiento galvánico es de gran interés y presenta como ventaja respecto a las fuentes lineales tradicionales un menor peso de los componentes inductivos debido a la elevada frecuencia de conmutación.

La fuente de alimentación completa se relaciona con el circuito del amplificador clase D de la Figura 10.36. El circuito del convertidor, consistente en conmutadores y filtros sustituye al clase D y su filtro. La referencia zener continua sustituye a la señal de entrada, $v_I(t) + V_P$ de la Figura 10.36. El modulador de ancho de pulso convierte la diferencia entre la salida deseada y la obtenida, en una señal que controla los interruptores.

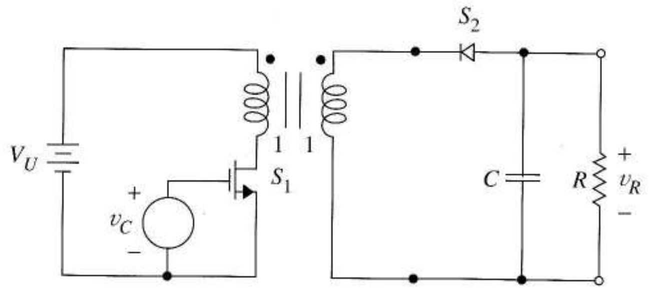


FIGURA 10.46
Convertidor *flyback*.

10.10 SUMARIO

Debido a las elevadas cantidades de energía que manejan los amplificadores de potencia y los reguladores de tensión, los diseñadores deben prever la disipación de potencia en transistores y resistencias. Las resistencias de potencia tienen límites máximos sencillos pero los transistores se describen con resistencias térmicas que relacionan la disipación de potencia y las temperaturas en las uniones. Estas resistencias térmicas permiten al diseñador facilitar el adecuado ambiente térmico añadiendo refrigeración, radiadores o ambos para mantener las temperaturas de la unión en valores seguros.

Para proporcionar grandes cantidades de energía a la salida, las señales deben ser grandes, lo que significa que los puntos instantáneos de trabajo atraviesan zonas muy amplias de las funciones de transferencia del amplificador de potencia, haciendo que la distorsión de no linealidad sea un problema potencial. La distorsión armónica se cuantifica con la distorsión armónica total (THD) que se suele expresar como un porcentaje de la salida deseada. La THD se usa como especificación en el diseño de los amplificadores de potencia y se obtiene en las simulaciones SPICE. Los circuitos con realimentación como los seguidores de emisor se suelen usar para mantener bajo el valor de distorsión en los amplificadores de potencia.

El amplificador en clase A produce salidas con baja distorsión pero su rendimiento es sólo del 25% lo que lleva a una elevada disipación en el transistor y a mayores requisitos de potencia de las alimentaciones. Los amplificadores en clase A consumen también grandes cantidades de energía en reposo (sin señal presente).

El amplificador en clase B no tiene disipación en reposo, solicita menos corriente de las alimentaciones y disipa menos potencia por cada watio de salida que el clase A por su elevado rendimiento: el 78%. Sin embargo, el amplificador en clase B tiene una zona muerta en su función de transferencia que provoca distorsión de cruce. Para mantener la ventaja del elevado rendimiento del clase B y

lograr baja distorsión armónica, los diseñadores los utilizan como salida de amplificadores realimentados. Otra forma de reducir la distorsión es añadir polarización a los transistores de salida para ponerlos ligeramente en conducción cuando no hay señal, técnica denominada trabajo en clase AB. La tensión de polarización para este fin debe tener coeficiente de temperatura negativo para evitar la realimentación térmica positiva. Los operacionales de potencia, que suelen incluir etapas de salida en clase B o AB son una forma sencilla de proporcionar elevada potencia a una carga. Las necesidades de potencia y de radiadores de los operacionales de potencia se calculan igual que los de clase B.

Con los amplificadores en clase D se logran mayores rendimientos, ya que los transistores de salida funcionan como interruptores que conectan las alimentaciones a la carga. Estos amplificadores necesitan más complicaciones en el circuito de procesamiento de la señal: un modulador de ancho de pulso para convertir la señal en una secuencia de pulsos y un filtro que elimine el ruido de alta frecuencia producido por el proceso de modulación. Con una realimentación global se pueden mejorar las características de los amplificadores en clase D.

Las fuentes de alimentación de potencia están constituidas por rectificadores de media onda u onda completa seguidos de filtros que reducen el rizado de salida. En aplicaciones más complejas se necesita un circuito que reduzca la regulación de carga (caída de la tensión de salida con la corriente de carga) y la regulación de línea (cambios en la tensión de salida producidos por cambios no deseados en la tensión de alimentación de entrada). Los reguladores paralelo sencillos emplean un diodo zener de baja resistencia interna en paralelo con la carga para compensar los cambios de corriente por la carga o en la tensión no regulada. Los reguladores serie emplean un transistor de potencia en serie con la carga para modificar la corriente por la carga cuando cambia la tensión en la carga debido a la causa que sea. En los reguladores serie la tensión de salida se compara con un zener patrón. Los reguladores conmutados emplean interruptores y elementos LC sin pérdidas para regular la tensión de salida de forma eficiente. Estos versátiles esquemas pueden proporcionar polaridades diferentes o mayor valor que la de la tensión de entrada.

REFERENCIAS

1. APEX MICROTECH. *High Perfomance Amplifier Handbook*. Tucson, AZ: Apex Microtech, 1987.
2. CORDONNIER, C., R. MAIMOUNI, H. TRANDUC, P. ROSSEL, D. ALLAIN, M. NAPIERALSKA. "Spice Model for TMOS Power Mosfets", *Application Note AN1043/D*. Motorola, Inc., 1989.
3. GAUEN, K. "Designing with TMOS Power MOSFETs", *Application Note AN913*. Motorola, Inc. 1989.
4. MAURO, R. *Engineering Electronics: A Practical Approach*. Englewood Cliffs, NJ: Prentice Hall, 1989.
5. MITCHELL, D. M. *Switching Converter Analysis*. New York: McGraw-Hill, 1988.
6. NATIONAL SEMICONDUCTOR CORP. *Linear Databook* 1. 1989.
7. PAULY, D. "High Fidelity Switching Audio Amplifiers Using TMOS Power MOSFETs", *Application Note AN1042*. Motorola, Inc., 1989.
8. SCHILLING, D., y C. BELOVE. *Electronic Circuits, Discrete and Integrated*. New York: McGraw-Hill, 1989.
9. STREETMAN, B. *Solid State Electronic Devices*. Englewood Cliffs, NJ: Prentice-Hall, 1980.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE*. En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

lograr baja distorsión armónica, los diseñadores los utilizan como salida de amplificadores realimentados. Otra forma de reducir la distorsión es añadir polarización a los transistores de salida para ponerlos ligeramente en conducción cuando no hay señal, técnica denominada trabajo en clase AB. La tensión de polarización para este fin debe tener coeficiente de temperatura negativo para evitar la realimentación térmica positiva. Los operacionales de potencia, que suelen incluir etapas de salida en clase B o AB son una forma sencilla de proporcionar elevada potencia a una carga. Las necesidades de potencia y de radiadores de los operacionales de potencia se calculan igual que los de clase B.

Con los amplificadores en clase D se logran mayores rendimientos, ya que los transistores de salida funcionan como interruptores que conectan las alimentaciones a la carga. Estos amplificadores necesitan más complicaciones en el circuito de procesamiento de la señal: un modulador de ancho de pulso para convertir la señal en una secuencia de pulsos y un filtro que elimine el ruido de alta frecuencia producido por el proceso de modulación. Con una realimentación global se pueden mejorar las características de los amplificadores en clase D.

Las fuentes de alimentación de potencia están constituidas por rectificadores de media onda u onda completa seguidos de filtros que reducen el rizado de salida. En aplicaciones más complejas se necesita un circuito que reduzca la regulación de carga (caída de la tensión de salida con la corriente de carga) y la regulación de línea (cambios en la tensión de salida producidos por cambios no deseados en la tensión de alimentación de entrada). Los reguladores paralelo sencillos emplean un diodo zener de baja resistencia interna en paralelo con la carga para compensar los cambios de corriente por la carga o en la tensión no regulada. Los reguladores serie emplean un transistor de potencia en serie con la carga para modificar la corriente por la carga cuando cambia la tensión en la carga debido a la causa que sea. En los reguladores serie la tensión de salida se compara con un zener patrón. Los reguladores conmutados emplean interruptores y elementos LC sin pérdidas para regular la tensión de salida de forma eficiente. Estos versátiles esquemas pueden proporcionar polaridades diferentes o mayor valor que la de la tensión de entrada.

REFERENCIAS

1. APEX MICROTECH. *High Perfomance Amplifier Handbook*. Tucson, AZ: Apex Microtech, 1987.
2. CORDONNIER, C., R. MAIMOUNI, H. TRANDUC, P. ROSSEL, D. ALLAIN, M. NAPIERALSKA. "Spice Model for TMOS Power Mosfets", *Application Note AN1043/D*. Motorola, Inc., 1989.
3. GAUEN, K. "Designing with TMOS Power MOSFETs", *Application Note AN913*. Motorola, Inc. 1989.
4. MAURO, R. *Engineering Electronics: A Practical Approach*. Englewood Cliffs, NJ: Prentice Hall, 1989.
5. MITCHELL, D. M. *Switching Converter Analysis*. New York: McGraw-Hill, 1988.
6. NATIONAL SEMICONDUCTOR CORP. *Linear Databook* 1. 1989.
7. PAULY, D. "High Fidelity Switching Audio Amplifiers Using TMOS Power MOSFETs", *Application Note AN1042*. Motorola, Inc., 1989.
8. SCHILLING, D., y C. BELOVE. *Electronic Circuits, Discrete and Integrated*. New York: McGraw-Hill, 1989.
9. STREETMAN, B. *Solid State Electronic Devices*. Englewood Cliffs, NJ: Prentice-Hall, 1980.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE*. En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

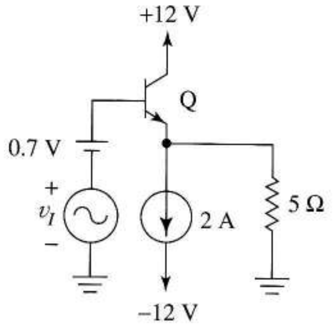


FIGURA P10.1

Sección 10.1

10.1 El transistor de la Figura P10.1 está en estado activo directo.

a) Calcule su disipación de potencia con $v_I = 0$. Suponga que la corriente de base es despreciable y la señal está desconectada.

b) Si $\theta_{JA} = 15$ °C/W, calcule la temperatura de la unión con el ambiente a 30 °C.

10.2 El transistor de la Figura P10.1 polarizado en (12 V,2 A) se equipa con un radiador. Las resistencias térmicas son $\theta_{JC} = 2{,}1$ °C/W, $\theta_{CS} = 0{,}9$ °C/W y $\theta_{SA} = 5$ °C/W.

a) Calcule la temperatura de la unión con temperatura ambiente de 5 °C.

b) ¿Cuáles son las temperaturas del radiador y del encapsulado si la temperatura ambiente es de 12 °C?

10.3 Dos transistores con $\theta_{JC} = 1{,}4$ °C/W, $\theta_{CS} = 0{,}3$ °C/W y 12 W de disipación comparten el mismo radiador. Si la temperatura de la unión es de 200 °C y la ambiente de 10 °C, halle la resistencia térmica del radiador mediante el equivalente térmico.

10.4 Un transistor de potencia con máxima temperatura de la unión de 180 °C debe disipar 80 W. Si $\theta_{JC} = 1{,}2$ °C/W y $\theta_{CS} = 0{,}3$ °C/W, calcule la resistencia térmica del radiador necesario

a) Si el radiador trabaja en un ambiente de 25 °C.

b) Si se trabaja en un ambiente refrigerado a −4 °C.

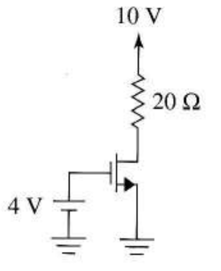


FIGURA P10.8

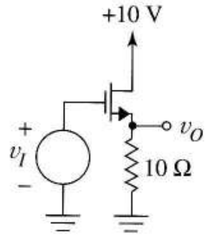


FIGURA P10.13

10.5 Un amplificador necesita que su transistor de potencia disipe 19 W en un ambiente a 35 °C.

a) El transistor disponible tiene $\theta_{JA} = 15$ °C/W y $T_{J,\,máx} = 195$ °C. Demostrar que se sobrecalentará.

b) Estudie la posibilidad de emplear dos transistores en paralelo.

10.6 Un transistor de potencia tiene las siguientes especificaciones: $I_{D,\,máx} = 20$ A, $BV_{DS0} = 40$ V, $\theta_{JA} = 8$ °C/W y $T_{J,\,MÁX} = 200$ °C. En el mismo sistema I_D–V_{DS} dibuje la SOA en ambientes de 25 y 40 °C.

10.7 Dibuje la SOA del MOSFET y localice tres puntos de trabajo diferentes en las hipérbolas de disipación. Dibuje la línea de carga tangente en cada uno de esos puntos. Comente los diferentes aspectos importantes de los distintos puntos Q en relación con la amplitud de la señal si ésta es simétrica y provocan que el punto de trabajo se desplace a lo largo de línea de carga en ambos sentidos.

Sección 10.2

10.8 El transistor de doble difusión de la Figura P10.8 se describe con

$$i_D = 0{,}05(v_{GS} - 2)$$

a) Hallar su disipación de potencia.

b) La temperatura de la unión no debe superar los 150 °C. ¿Se calentará si la temperatura ambiente es 50 °C y $\theta_{JA} = 200$ °C/W? Explíquelo.

c) Indique dos formas de reducir la temperatura de la unión sin modificar el punto de trabajo.

10.9 a) Verifique que el modelo de la Figura 10.6 tiene una función de transferencia como la de la Figura 10.5 usando el análisis de continua de SPICE.

b) Dibuje las características de salida i_D–v_{DS} del modelo a partir del circuito de la Figura 10.6. Las curvas diferirán de forma importante de los de la Figura 10.5c.

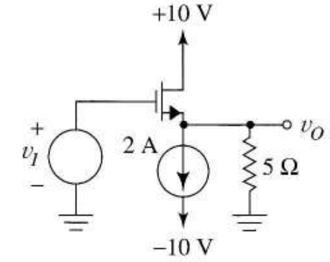


FIGURA P10.14

10.10 Dibuje un equivalente de tres terminales que describa el funcionamiento óhmico del transistor de la Figura 10.5.

10.11 Dibuje la característica de salida y la función de transferencia de un DMOS de canal p. Después diseñe un circuito SPICE equivalente similar al de la Figura 10.6.

10.12 Dibuje un diagrama de flujo que resuma las zonas de trabajo del transistor de potencia de la Figura 10.5 como se hizo en la Figura 5.6a para la ley cuadrática del MOSFET. Etiquete el diagrama de flujo con desigualdades aproximadas.

10.13 El transistor de doble difusión de la Figura P10.13 tiene $V_t = 2$ V, $g_M = 0{,}3$ A/V y $R_{DS} = 0{,}5\ \Omega$. Halle los valores de v_O y v_I en el punto en el que el transistor cambia a funcionamiento óhmico.

Sugerencia Lea el Problema 10.10.

10.14 Suponga que el transistor DMOS de la Figura P10.14 está activo. Sus parámetros son $g_M = 3$ A/V, $V_t = 2$ V.

a) Escriba la relación entre v_O y v_I con el transistor activo.

b) Halle el valor de v_I que corta el transistor.

Sección 10.3

10.15 Redibuje (y marque los valores numéricos) la función de transferencia de la Figura 10.7e sin la batería V_{BE} de la Figura 10.7a, es decir, a 0 V. Suponga que I_{EE} es un espejo de corriente básico. $V_{CC} = 15$ V, $V_{CE,\,sat} = 0{,}2$ V y $V_{BE} = 0{,}7$ V.

10.16 a) Diseñe un amplificador en clase A que proporcione 200 mW a una carga de 9 Ω suponiendo $V_{CE,\,sat} = 0$ V.

b) Calcule la potencia máxima necesaria del transistor de salida si

i) la señal está presente y es muy rápida en relación con las constantes de tiempo térmicas.

ii) la señal siempre está presente pero puede ser lenta.

iii) la señal puede estar ausente.

c) Halle la mínima tensión de ruptura que debe tener el transistor de la fuente de corriente.

d) Halle la potencia y la corriente necesarias para las alimentaciones.

10.17 Diseñe una fuente de corriente con bipolares para la etapa de salida del Problema 10.16 usando un circuito de fuente de corriente básico.

a) Dibuje el circuito completo con el amplificador de potencia y la fuente.

b) Halle la potencia necesaria del transistor de la fuente de corriente.

10.18 a) Dibuje un esquema con la versión MOSFET de la Figura 10.7a con una polarización externa V_{GS} en lugar de V_{BE}.

b) Dibuje el equivalente en gran señal del MOSFET de doble difusión de la Figura 10.7b.

c) Halle la expresión que debe satisfacer la V_{GS} del apartado a) para que juegue el mismo papel que V_{BE} en la Figura 10.7a incluyendo la corriente de la fuente de corriente y los parámetros del DMOS.

d) Obtenga la función de transferencia v_O / v_I del circuito equivalente.

e) Dibuje la característica de salida del transistor y la línea de carga del circuito indicando los límites del funcionamiento lineal de la función de transferencia.

f) Dibuje las formas de onda como las de la Figura 10.8.

10.19 a) Dibuje el equivalente en gran señal del circuito de la Figura 10.7a si el transistor sigue la ley cuadrática del MOSFET. Sustituya V_{BE} por una fuente de V_{GS} voltios.

b) Obtenga la expresión que relaciona v_O con v_I del circuito equivalente con el transistor activo.

c) Escriba la ecuación que relaciona v_O con v_I en el punto en que el transistor entra en zona óhmica.

d) Este circuito presenta una sorprendente función de transferencia lineal a pesar de la relación cuadrática del transistor. Dé una explicación intuitiva.

10.20 Haga un modelo SPICE del amplificador diseñado en el Ejemplo 10.2 incluyendo una resistencia de la fuente de señal de 100 Ω.

a) Dibuje la función de transferencia con $-12 \leq v_I \leq +12$ V usando el análisis en continua. Estudie la ganancia, las tensiones de desviación y la saturación escribiendo un párrafo que enumere y justifique las observaciones.

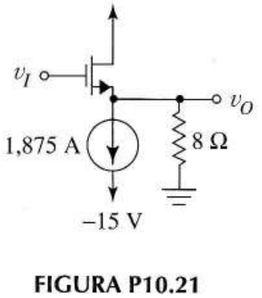


FIGURA P10.21

b) Halle la forma de onda de salida mediante el análisis transitorio cuando se introduce una señal de 1.000 Hz y 8,94 V de valor de pico. Relaciónela con la función de transferencia del apartado a).

c) Con los resultados del apartado b), reduzca la amplitud de la entrada que no distorsione apreciablemente la salida. Estime la potencia media de salida con esta entrada.

10.21 El transistor de la Figura P10.21 es un MOSFET de doble difusión con $g_M = 0{,}5$ A/V, $V_t = 2$ V y $R_{DS} = 1\Omega$.

a) Si $v_O = 0$ y el transistor está activo, halle v_I.

b) Dibuje el equivalente en gran señal del circuito suponiendo activo el transistor.

c) Halle la ecuación que expresa v_O en función de v_I utilizando este equivalente.

d) Estime el valor positivo de v_O más grande que se puede producir sin distorsión.

Sección 10.4

10.22 La medida con un analizador de espectro de la salida de un amplificador de potencia da las siguientes amplitudes relativas:

fundamental:	1,0000
tercer armónico:	0,0050
quinto armónico:	0,0001

Calcule el porcentaje de distorsión armónica suponiendo despreciables los demás armónicos.

10.23 La Figura P10.23 modela un amplificador que se satura cuando v_O alcanza ± 5,7 V aproximadamente.

a) Halle la función de transferencia para $-10\text{ V} \le v_s \le +10\text{ V}$ con SPICE.

b) Halle el %THD cuando v_S es una senoide de 100 Hz y valor de pico de 20 mV, 30 mV y 50 mV.

10.24 En los datos de gran señal de la Figura 10.13b el tercer armónico ($n = 3$) es, con diferencia, el más grande.

a) Calcule la relación entre la distorsión armónica del tercero y la total.

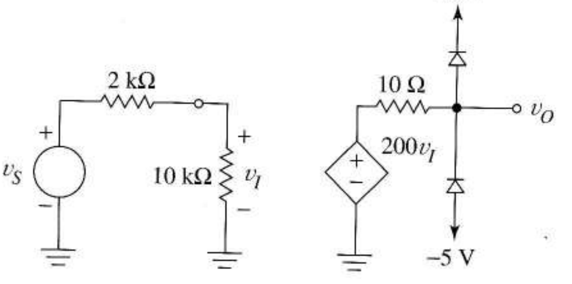


FIGURA P10.23

b) Suponga que se podría eliminar completamente la distorsión del tercer armónico mediante filtrado sin modificar las demás amplitudes. ¿Cuál es el %THD tras el filtrado?

10.25 Calcule el %THD del amplificador del Ejemplo 10.3 usando SPICE cuando la excitación es $v_I(t) = 4{,}3 + 0{,}2$ sen $(2\pi 10^3 t)$.

Sección 10.5.

10.26 Simule con SPICE el amplificador de la Figura 10.14a con $R_L = 10\ \Omega$, $R_i = 0{,}1\ \Omega$, $V_{CC} = 12$ V y transistores por defecto.

a) Dibuje la función de transferencia v_O–v_I.

b) Dibuje la forma de onda de salida con $v_I = 8$ sen $377t$.

c) Repita los anteriores apartados después de efectuar los siguientes cambios: haga que $\beta = 30$ en el transistor npn y 10 en el pnp, $R_i = 1$ kΩ. (Esto demuestra la carga de entrada de los seguidores de emisor cuando la resistencia de la fuente es alta y los transistores no son complementarios, resultado tratado en la Figura 10.25).

10.27 Halle la relación que liga v_I con v_O en el amplificador de potencia en clase B de tipo DMOS y el punto en el que el transistor de canal n pasa a estado óhmico.

10.28 Repita con SPICE la simulación del Ejemplo 10.4. Determine la pendiente en la zona lineal de la función de transferencia a partir de los datos de salida.

Después repita la simulación con GAMMA = 0,4 y determine la nueva pendiente.

¿Detecta algún cambio atribuible al efecto del sustrato?

10.29 Rehaga el Ejemplo 10.4 con los modelos de transistor de la Figura 10.6b en lugar del modelo SPICE del MOSFET. Esto supone la construcción de un modelo para el dispositivo complementario de canal p.

10.30 En la Figura 10.14a, $R_L = 3\ \Omega$, la potencia en la carga es 40Ω con v_O senoidal.

a) ¿Cuál es la corriente de pico de cada alimentación?

b) Si Q_1 tiene $\beta = 100$ y $R_i = 500\ \Omega$, halle el valor del pico positivo de v_I.

c) Si Q_2 tiene $\beta = 10$ y $R_i = 500\ \Omega$, halle el valor de pico negativo de v_I.

d) Con los resultados de los apartados b) y c) dibuje la forma de onda de v_I que produzca la salida senoidal supuesta. ¿Tendrá este problema el circuito si $R_i = 0$? Explíquelo.

Sección 10.6

10.31 a) Halle las tensiones y corrientes de diseño de las alimentaciones de la Figura P10.31 si el amplificador debe proporcionar 25 W a la carga. Suponga excitación senoidal.

b) Halle la potencia necesaria para los transistores de salida suponiendo que la señal es más rápida que las constan-

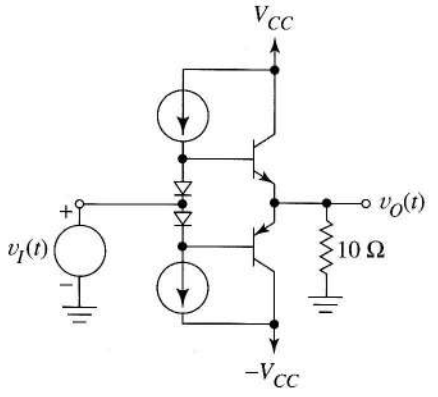


FIGURA P10.31

tes de tiempo térmicas. El circuito debe trabajar por debajo de su máxima potencia de salida.

c) ¿Qué resistencia térmica se necesita para mantener la temperatura de la unión por debajo de 180 °C si los transistores funcionan sin radiadores y con una temperatura ambiente de 14 °C?

10.32 Un amplificador en clase B utiliza alimentación de ±16 V. Los transistores de salida son MOSFETs de doble difusión con g_M = 1 A/V, R_{DS} = 0,6 Ω y $|V_t|$ = 2 V. R_L = 5 Ω.

a) Dibuje la función de transferencia del amplificador incluyendo la saturación. Halle la senoide de entrada que lo lleva al borde de la saturación.

b) Convierta el amplificador en clase AB añadiendo dos diodos con NMOS laterales (los habituales) en los que k = 10 mA/V^2 y V_t = 1 V. Polarice los transistores con las corrientes exactas para mantenerlo al borde del corte.

10.33 En el circuito en clase B de la Figura 10.14a, R_L = 5 Ω y R_i = 0. Cuando se aplica una señal senoidal se desarrollan 25 W en la carga. Ignore la distorsión de cruce.

a) Halle el valor de pico de v_O.

b) ¿Cuál es el valor de V_{CC} si se trabaja en el máximo rendimiento del 78,6%?

c) ¿Cuál es la potencia necesaria para los transistores? Se puede tener un valor de pico menor del calculado en el apartado a).

d) Halle el valor de pico de la corriente de entrada si β = 80.

10.34 El amplificador en clase AB de la Figura P10.34 trabaja al 70% de rendimiento con 140 W de potencia en la carga R_L.

a) ¿Cuánta potencia media suministran las alimentaciones?

b) ¿Cuál es la disipación media de cada transistor?

c) Si la temperatura ambiente es de 10 °C, halle la temperatura de la unión. Los valores individuales de resistencia térmica son Θ_{JC} = 4,0 °C/W, Θ_{CS} = 0,2 °C/W y Θ_{JC} = 1,8 °C/W.

d) ¿Cuál es la temperatura del encapsulado?.

10.35 Diseñe una etapa de salida bipolar en clase B con dos baterías de 9 V para que gobiernen un altavoz de 8 Ω ignorando la distorsión de cruce.

a) ¿Cuál es la potencia media de salida cuando la senoide de entrada tiene la máxima amplitud?

b) ¿Qué potencia se necesita en cada transistor de salida?

c) Halle la potencia media y de pico que deben proporcionar las baterías.

d) Con una senoide de salida de 7 V de pico calcule la potencia media del circuito y su rendimiento.

e) En estas condiciones de uso, cada batería puede suministrar 12 Amperios/hora. Estime el tiempo que duran las baterías en funcionamiento continuo a rendimiento máximo.

10.36 Un amplificador bipolar en clase B puede proporcionar $P_{máx}$ = 40 W sobre una carga resistiva y con una senoide de la máxima amplitud.

a) Halle la disipación de potencia necesaria en los transistores si la señal no es siempre de la máxima amplitud.

b) Halle el mínimo valor aceptable de $I_{C,\,máx}$ de la Figura P10.36 si R_L = 5 Ω.

Sugerencia Vea cómo funciona el circuito.

c) Dé alguna ventaja del uso de pares Darlington en la salida.

10.37 Haga un modelo SPICE del amplificador completo del Ejemplo 10.7.

a) Halle el %THD de la forma de onda de salida con una entrada senoidal de 1.000 Hz y 8,9 V de amplitud y con 0,1 Ω de resistencia de salida.

b) Elimine las fuentes de corriente y los diodos convirtiendo el circuito en un amplificador en clase B. Halle el %THD con la misma entrada.

10.38 En la Figura 10.23, V_{CC} = 10 V y R_L = 2 Ω. La tensión de salida del amplificador clase B es una onda cuadrada que lleva a saturación a los transistores de salida de forma alternativa.

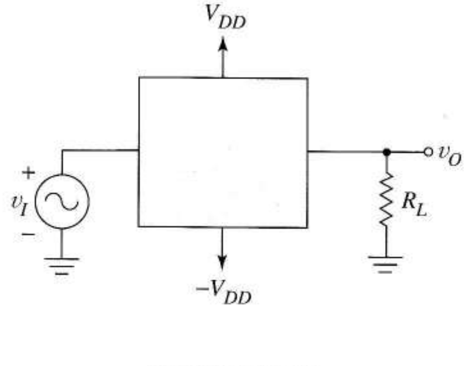


FIGURA P10.34

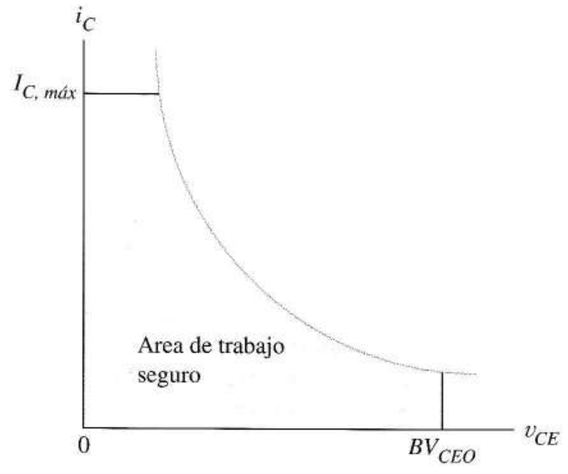


FIGURA P10.36

a) Dibuje la tensión de salida y la corriente de las alimentaciones.

b) Calcule la potencia media en la carga.

c) Calcule la potencia media de entrada al circuito.

d) Calcule la disipación media de cada transistor.

e) Calcule el rendimiento del circuito.

10.39 Haga un modelo SPICE del amplificador clase AB de los Ejemplos 10.6 y 10.7 y gobierne su entrada con una fuente alterna de 5 Ω de resistencia interna.

a) Compare las condiciones de polarización en reposo con los valores supuestos en el diseño. Resuma el resultado en una frase.

b) Dibuje las funciones de transferencia para $-9{,}0 \leq v_I \leq 9{,}0$ V examinando la linealidad, la desviación y la amplitud permitida. Resuma las observaciones y relaciónelas con la teoría.

c) Repita la simulación del apartado b) reduciendo la polarización a $I_{BB} = 5$ mA. Describa y explique el resultado.

10.40 En la Figura 10.28, $V_{CC} = 35$ V, $R_L = 10\ \Omega$, $R_{P3} = R_{P4} = 0{,}7$ V, $V_B = 1{,}04$ V y $R_i = 4\ \Omega$. Todos los transistores tienen $\beta = 80$; para Q_1 y Q_2, $I_s = 10^{-14}$A y para Q_3 y Q_4, 10^{-13} A.

a) Si los transistores de protección se cortan en 0,5 V, estime la máxima corriente de salida permitida. Compare el valor con el que tendría sin circuito de protección.

b) Analice y dibuje las corrientes de colector de Q_1 y Q_3 con SPICE en función de v_I con $-35\text{ V} \leq v_I \leq 35$ V.

c) Repita el apartado b) sustituyendo R_L por un cortocircuito. Explique los resultados en función de los principios de trabajo del circuito.

d) Cambie R_{P3} y R_{P4} para que los transistores de salida queden protegidos nominalmente a 0,6 A.

10.41 Con la ayuda de la Figura 10.29c diseñe un circuito de protección recurrente como el de la Figura 10.29b para un amplificador con $V_{CC} = 15$ V y una corriente de cortocircuito $i_{o,\ máx} = 5$ A.

a) Evalúe (10.34) en cortocircuito para obtener la primera ecuación de diseño.

b) Utilice la pendiente de la línea de limitación de corriente en la Figura 10.29c para obtener la segunda ecuación de diseño.

c) Elija una resistencia y obtenga las otras de las ecuaciones de diseño. Puede haber muchas soluciones.

10.42 Aunque $Z_{AL} = 0$ en la Figura 10.30a, el ruido de la fuente de alimentación puede entrar en la etapa de salida. La realimentación negativa puede reducirlo igual que reduce la distorsión. Suponga que la forma de onda de *salida* de un amplificador de dos etapas de ganancia 10 tiene dos componentes: 2 V de señal y 2 V de ruido de alimentación.

a) ¿Qué valor tiene la señal de entrada? (Esto es *intrascendente* para lo demás.)

Se introduce realimentación negativa con $\beta = 1$.

b) ¿Cómo tiene que ser de grande la entrada (tras añadir la realimentación) si se mantiene la salida en 2 V?

c) ¿Qué amplitud tiene el ruido de salida con el circuito realimentado?

d) Dibuje un preamplificador basado en operacionales que compense la pérdida de ganancia por la realimentación.

10.43 La Figura P10.43 muestra la Figura 10.20a modificada, usando un multiplicador de V_{GS}. Con $|V_t| = 2$ V para M_1 y M_2 seleccione V_B para que los transistores se polaricen un 5% por encima de su umbral. Si los parámetros de M_3 son $k = 2$ mA/V^2 y $V_t = 1$ V utilice el procedimiento de diseño del Problema 6.85 para hallar I_{BB}, R_1 y R_2.

10.44 Tome los Problemas 10.30a y c como datos. Analícelos sustituyendo los transistores por pares Darlington. Cada transistor del par tiene $\beta = 10$.

Sección 10.7

10.45 Los operacionales de potencia de la Figura P10.45 son idénticos y tienen etapas de salida en clase B. La máxima potencia en la carga es 75 W.

a) ¿Cuál es la tensión necesaria en las alimentaciones?

b) Si cada operacional está en un encapsulado aparte y $\theta_{JC} = 2{,}3$ °C/W y $\theta_{CS} = 0{,}2$ °C/W halle la θ_{SA} del radiador para que la temperatura de la unión sea menor de 180 °C. (La señal es más rápida que las constantes térmicas.)

10.46 Repita el problema 10.45 con cuatro operacionales en paralelo.

10.47 Estudie los requisitos de potencia media en las resistencias de entrada y realimentación del amplificador en puente de la Figura 10.32 si la senoide de salida es de la máxima amplitud. La alimentación es V_{CC}. ¿Cómo se pueden mantener bajos los requisitos de disipación de estas resistencias?

10.48 Diseñe un amplificador en puente con ganancia de tensión 4 que proporcione 115 W sobre una carga de 8 Ω con operacionales. No use radiador.

a) Haga el diagrama del circuito con los valores de las resistencias.

b) Halle la resistencia térmica θ_{JA} necesaria para que la unión no supere los 190 °C.

c) Dibuje un diagrama modificado con dos operacionales en paralelo y calcule el valor de θ_{JA} necesario. Suponga radiadores individuales.

Sección 10.8

10.49 Un modulador de ancho pulso fuciona como sigue: "la entrada a un integrador (con una resistencia entre la salida del operacional y el condensador) es una constante $-V_M$ voltios. Un transistor bipolar (funcionando como interruptor) manejado por un tren de pulsos cortocircuita la salida del integrador. El comparador es un operacional trabajando en lazo abierto".

a) Halle el límite del período T del tren de pulsos en función de V_M, R y C y la tensión de saturación, V_{SAT}, del integrador suponiendo la anchura de los pulsos como despreciable.

b) ¿Qué fija la amplitud de la salida de PWM?

c) ¿Es importante el *slew-rate* si el circuito PWM es parte de un amplificador en clase D?. Explíquelo.

10.50 En la Figura 10.34a, M_1 y M_2 son MOSFETs complementarios con $k = 0{,}06$ A/V^2 y $|V_t| = 1{,}2$ V, $R_L = 5$ Ω y

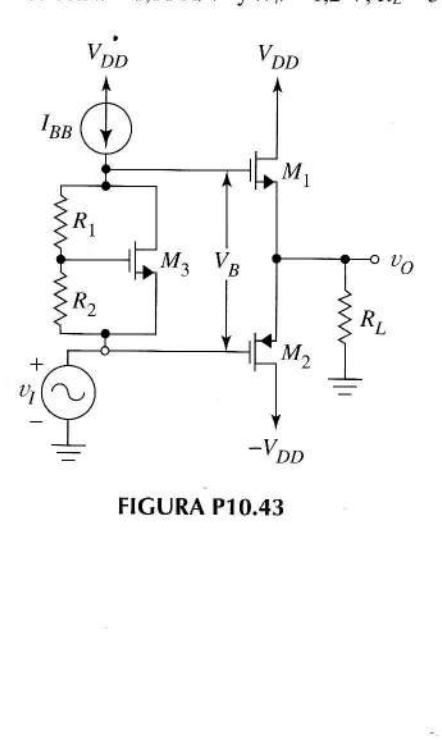


FIGURA P10.43

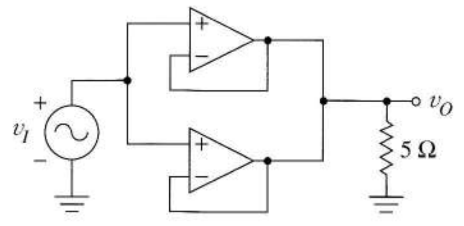


FIGURA P10.45

la etapa de salida emplea $V_{DD} = \pm 15$ V. Halle la tensión mínima, V_M, de la onda cuadrada v_X para un rendimiento del 90%.

10.51 El amplificador en clase D de la Figura 10.34 amplifica una señal con un espectro en el margen $\omega \le \omega_m$. El modulador tiene la frecuencia fundamental en ω_s. Para el filtro, C tiene que tener una reactancia mucho mayor que R_L en ω_m. Para eliminar el ruido de conmutación esa reactancia debe ser mucho menor que R_L a $\omega_s - 3\omega_m$.

a) Demuestre que estas condiciones y las habituales de ingeniería suponen la condición de diseño

$$\frac{10}{\omega_s - 3\omega_m} \le R_L C \le \frac{1}{10\omega_m}$$

b) Utilice el mismo tipo de razonamiento para la bobina demostrando que

$$\frac{10}{\omega_s - 3\omega_m} \le \frac{R_L}{L} \le \frac{1}{10\omega_m}$$

Sección 10.9

10.52 Un regulador paralelo como el de la Figura 10.40a proporciona 5 V con 1,2 A a partir de una tensión no regulada de 9 V con una regulación de carga de 20% y una regulación de línea del 5%.

a) Halle las especificaciones del zener (tensión, máxima corriente, resistencia interna) y el valor de la resistencia serie.

b) Halle la mínima potencia a especificar para R_S.

10.53 Las especificaciones del Problema 10.52 provocan una corriente elevada en el zener. Sustituya la especificación de la regulación de la línea por el requisito de 600 mA de corriente máxima en el zener. Obtenga, a partir de ese valor, la regulación de línea.

10.54 Halle la expresión de la regulación de carga y la de línea para el regulador serie de la Figura 10.41.

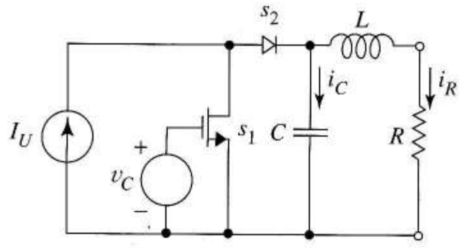


FIGURA P10.63

Sugerencia Dibuje el equivalente Thèvenin visto por R_L. Aplique la teoría de realimentación ideal. Para la regulación de línea, use análisis en pequeña señal e incluya las resistencias internas de la fuente de corriente y del diodo zener. El operacional tiene ganancia infinita.

10.55 Diseñe una fuente de alimentación como la de la Figura 10.42 que dé 800 mA de corriente de salida con $V_R = 5$ V. El JFET tiene $\beta = 2{,}08 \times 10^{-3}$ A/V^2 y $V_P = -1{,}2$ V. El zener da 3,2 V con 0,8 mA de polarización. Calcule la disipación necesaria en el operacional.

10.56 a)Diseñe una fuente de alimentación regulada que funcione con 120 V, 60 Hz de tensión de red y proporcione una salida de 9 V, 1 A. Emplee un rectificador de onda completa con filtro por condensador y un regulador serie como el de la Figura 10.41a. La tensión del zener es 6,7 V a 0,9 mA.

b) Halle la disipación de potencia necesaria para el transistor, el diodo, la fuente de corriente y la resistencia a plena carga.

c) Simúlela con SPICE incluyendo una resistencia de 100 kΩ en la fuente de corriente de I_{BB}. Juzgue la alimentación y dé un breve resumen de los resultados que sean importantes. Para estimular la imaginación ¿qué pasa con las sensibilidades, el rizado de salida, las variaciones en la corriente en el zener, las corrientes en los diodos del rectificador y la corriente de entrada en el transformador?

10.57 Haga un modelo SPICE de la alimentación diseñada en el Ejemplo 10.13. El JFET tiene una tensión Early de 50 V.

a) Utilice los datos SPICE para dibujar la curva de regulación de carga, es decir, V_R frente a R_L para $4\ \Omega \le R_L \le 100\ \Omega$.

b) Calcule las sensibilidades de la salida a los cambios en la tensión sin regulador, R_B y R_I usando SPICE.

c) Añada una fuente de tensión alterna en serie con la fuente de 20 V para simular el rizado del 1% a 120 Hz. Halle el porcentaje de rizado que aparece en la salida cuando $R_L = 4\ \Omega$ usando el análisis SPICE en alterna.

10.58 Un convertidor conmutado como el de la Figura 10.43a produce una salida regulada de 10 V a partir de la entrada no regulada de 17 V.

a) Halle el valor de δ y C. Elija L y f_s para que la corriente en la bobina no se haga nula con corrientes de 1 A de salida. Sirve cualquier diseño válido.

b) Dibuje la forma de onda i_L para $I_R = 1$ A y 10 A, marcando las amplitudes críticas.

c) Rehaga el dibujo de i_L para $I_R = 10$ A con frecuencia doble de conmutación.

10.59 La corriente en el condensador de la Figura 10.44c es aproximadamente igual a la parte variable en el tiempo de la corriente por la bobina.

a) Con

$$\frac{dv_R}{dt} = \frac{1}{C} i_C$$

dibuje la componente de rizado de v_R.

b) Obtenga la expresión del rizado v_r de la salida que permita elegir C para cualquier especificación del rizado unitario v_r / V_R.

10.60 Dibuje la forma de onda de corriente por la bobina de la Figura 10.44 en el caso en que i_L llegue a cero en t_l donde $\delta T < t_l < T$. Dibuje la tensión en el diodo.

10.61 En el convertidor *boost* de la Figura 10.45b dibuje $v_L(t)$ e $i_L(t)$ suponiendo $V_U > V_R$. Halle las expresiones de $i_{L,p\text{-}p}$ y Lf_s que se corresponden con (10.48) y (10.49). Suponga que el circuito tiene sólo dos estados como se supuso en el análisis del *buck*.

10.62 En el convertidor *buck-boost* de la Figura 10.45b dibuje $v_L(t)$ e $i_L(t)$ suponiendo $V_U > V_R$. Halle las expresiones de $i_{L,p\text{-}p}$ y Lf_s que se correspondan con (10.48) y (10.49). Suponga que el circuito tiene sólo dos estados como se supuso en el análisis del *buck*.

10.63 La Figura P10.63 muestra un convertidor de corriente dual de *buck*.

a) Describa su funcionamiento si v_C cierra S_1 durante los δT_s primeros segundos de cada ciclo y lo deja abierto el resto del tiempo.

Sugerencia La corriente del condensador es análoga a la tensión en la bobina del circuito dual.

b) Dibuje $i_C(t)$ y obtenga la relación de I_R, la componente continua de i_R, con I_U.

c) Halle la expresión de la tensión pico-pico del condensador.

d) Halle la desigualdad que debe cumplirse para que el funcionamiento tenga sólo dos estados.

Capítulo 11

CIRCUITOS INTEGRADOS ANALÓGICOS

Los circuitos integrados se clasifican en dos grandes categorías: digitales y no digitales. A menudo los circuitos no digitales o *analógicos* se llaman *circuitos integrados lineales* incluso aunque muchos de ellos tienen un funcionamiento no lineal. Este capítulo introduce algunos circuitos analógicos conocidos y utiliza para describirlos las técnicas de análisis de los capítulos anteriores. Estudiaremos los circuitos digitales en los Capítulos 13 y 14.

11.1 EL AMPLIFICADOR OPERACIONAL DE TRANSCONDUCTANCIA

El amplificador operacional de transconductancia (AOT.) es un circuito integrado que implementa la función fuente de corriente controlada por tensión. Una entrada diferencial facilita su utilización en configuraciones de realimentación negativa. El AOT. se caracteriza por una transconductancia controlada por una corriente de polarización *externa*; esta característica hace que sea útil en muchas aplicaciones, tanto lineales como no lineales, que necesitan ganancia variable.

En el diagrama del AOT de la Figura 11.a los símbolos de los diodos denotan transistores conectados como diodos, un convenio común en los diagramas de circuitos integrados; por lo tanto, cada rectángulo de trazos contiene un espejo de Wilson como el de la Figura 6.27a o su equivalente pnp. Los transistores de salida pnp de los circuitos de espejo representan transistores Darlington de ganancia de corriente grande.

Análisis de continua La Figura 11.1b, que muestra el AOT. polarizado por fuentes de 15 V simétricas, supone funcionamiento activo para todos los transistores. La resistencia externa R_B fija la corriente I_X deseada en el espejo Q_3 y los circuitos de Wilson reflejan las corrientes de polarización

del circuito. Las fuentes de alimentación y las caídas de tensión base-emisor fijan todas las tensiones excepto la tensión en la salida que depende del circuito de carga externo.

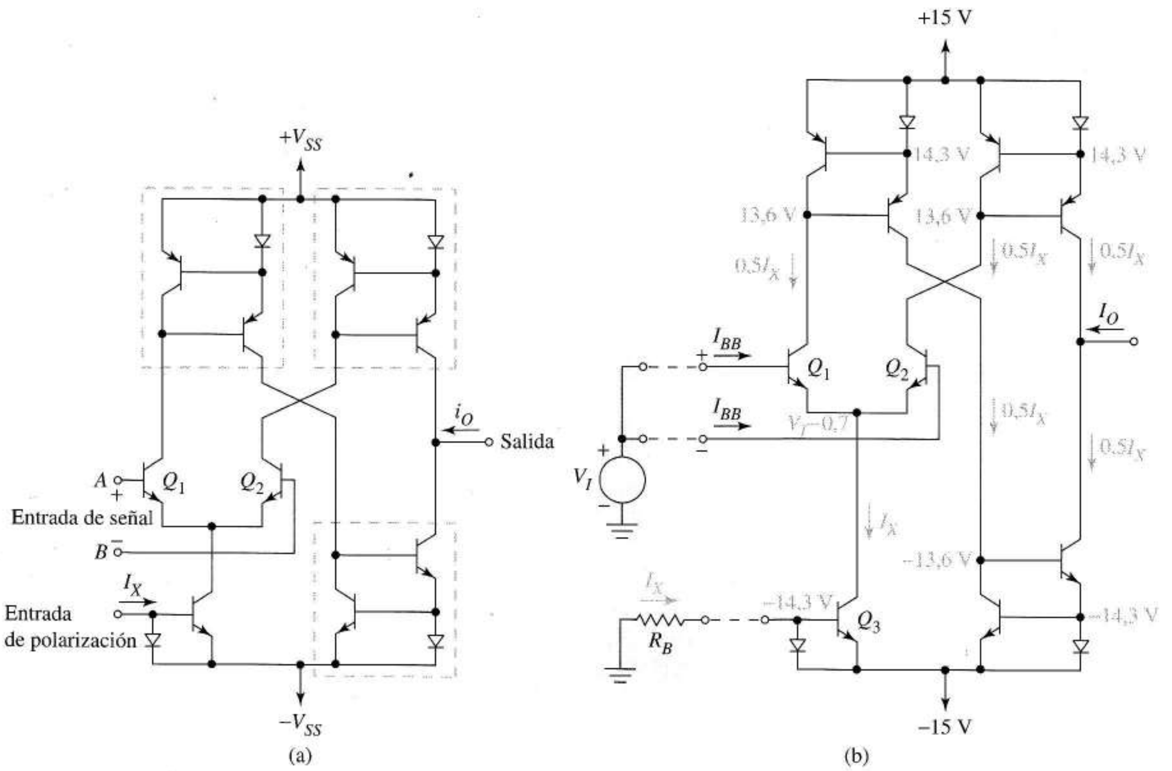


FIGURA 11.1 Amplificador operacional de transconductancia: (a) esquema; (b) polarización.

Incrementar V_I acaba saturando Q_1 y Q_2. Esto hace que

$$v_{CE1} = v_{CE2} = 13{,}6 - (V_I - 0{,}7) = 0{,}2 \text{ V}$$

proporcionando un límite superior para la entrada en modo común de $V_{I,\,máx} = 14{,}1$ V. Para una entrada negativa en modo común, la fuente de corriente Q_3 se satura cuando

$$v_{CE3} = (V_I - 0{,}7) - (-15) = 0{,}2 \text{ V}$$

Esto da $V_{I,\,mín} = -14{,}1$ V. Las hojas de características del AOT especifica que el circuito funciona con tensiones de alimentación que van de ±2 V a ±18 V. Un usuario entendido puede volver a realizar el análisis de continua para las tensiones de alimentación necesarias en cada aplicación particular.

El cuadripolo de la Figura 11.2a sugiere que el espejo de Wilson es un circuito con realimentación de corriente en paralelo. El espejo Q_5–Q_6 mide $i_x \approx i_o$ y crea una corriente de realimentación proporcional i_f que se resta a i_i en el nodo sumador. La realimentación de corriente en paralelo proporciona un dispositivo de resistencia de entrada baja y resistencia de salida alta, atributos ideales para un

circuito que debe funcionar como una CCCS tanto para la polarización como para las señales, que es lo que hace en el AOT La Figura 11.2b es un equivalente aproximado de pequeña señal con un pequeño error en el análisis de pequeña señal del AOT que se detalla a continuación.

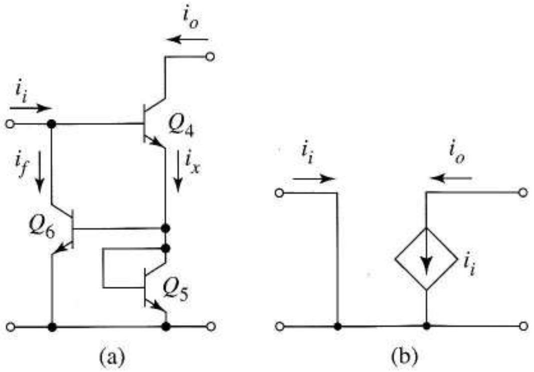


FIGURA 11.2 Espejo de corriente de Wilson: (a) circuito de realimentación de corriente en paralelo; (b) equivalente de lazo cerrado.

Señal de modo diferencial La Figura 11.3a muestra como responde el AOT a una excitación de pequeña señal en modo diferencial. Las corrientes de colector se copian en el circuito de salida con las fases relativas que se indican en el diagrama. La resistencia de salida del AOT (el equivalente paralelo de dos resistencias de salida de un espejo de Wilson) es mucho mayor que cualquier resistencia de carga externa así que la mejor forma de visualizar el circuito completo es la Figura 11.3b. A partir de Q_1 y Q_2 la resistencia de entrada es

$$R_i = 2r_\pi = \frac{2\beta}{g_m} = \frac{4\beta V_T}{I_X} \tag{11.1}$$

Para obtener *GM*

$$i_o = i_{c1} - i_{c2} = \left(g_m \frac{v_d}{2}\right) - \left(g_m \frac{-v_d}{2}\right) = 2\left(g_m \frac{v_d}{2}\right) = GMv_d \tag{11.2}$$

Por lo tanto en la Figura 11.3b

$$GM = g_m = \frac{I_X}{2V_T} \tag{11.3}$$

En la representación esquemática del AOT de la Figura 11.3c el símbolo de fuente de corriente con círculos entrelazados sugiere un dispositivo de transconductancia y además muestra la corriente de entrada que controla *GM*. Las hojas de características del AOT establecen que funciona en un margen que abarca tres décadas

$$1\mu\text{A} < I_X < 1.000\ \mu\text{A}$$

Para este margen la Ecuación (11.3) predice

$$20 \times 10^{-6}\ \text{A/V} < GM < 20 \times 10^{-3}\ \text{A/V}$$

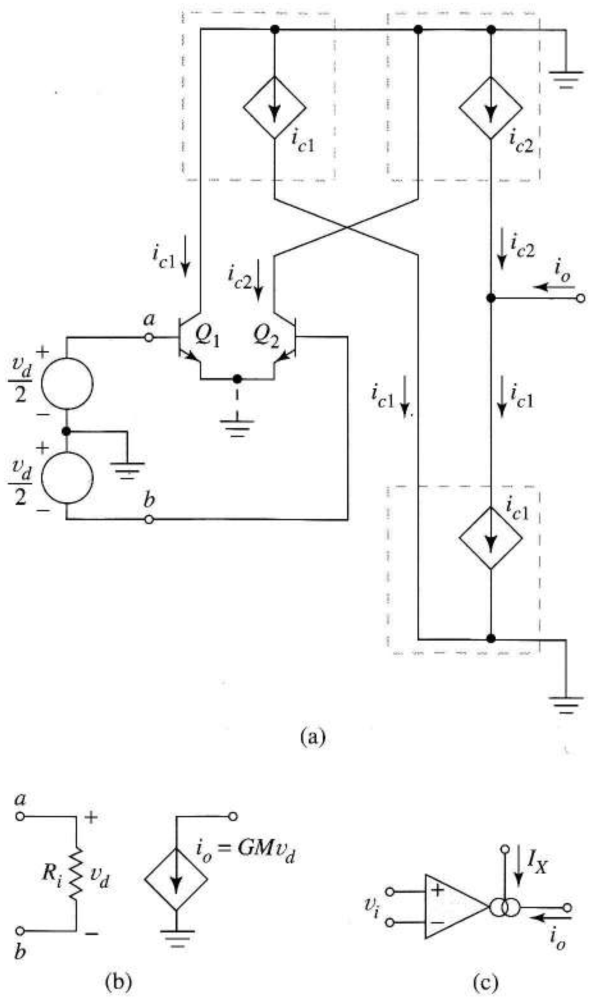


FIGURA 11.3 Amplificador operacional de transconductancia: (a) circuito equivalente simplificado; (b) modelo conceptual final del AOT; (c) símbolo mostrando la entrada de control de ganancia del circuito.

y usando $\beta = 150$ la Ecuación (11.1) da

$$15\ \text{M}\Omega \leq R_i \leq 15\ \text{k}\Omega$$

Aunque R_i no es alta para I_X grandes, la realimentación en serie externa del AOT puede dar circuitos de aplicación con resistencia de entrada alta.

Ganancia en modo común La Figura 11.4 muestra la respuesta del AOT a una señal en modo común. Como $i_{c1} = i_{c2}$ entonces $i_o = 0$ y cualquier ganancia en modo común distinta de cero será un efecto secundario. Son típicas razones de rechazo en modo común de 110 dB en los AOTs.

El siguiente Ejemplo ilustra el uso del AOT como amplificador de ganancia variable.

EJEMPLO 11.1 En la Figura 11.5a la resistencia variable R_B controla GM y por lo tanto la ganancia de tensión. Además, el seguidor de emisor proporciona resistencia de salida baja. Obtenga la ganancia de tensión y los valores necesarios de R_B cuando I_X vale 1 μA y 1.000 μA. El AOT está alimentado con ±5 V.

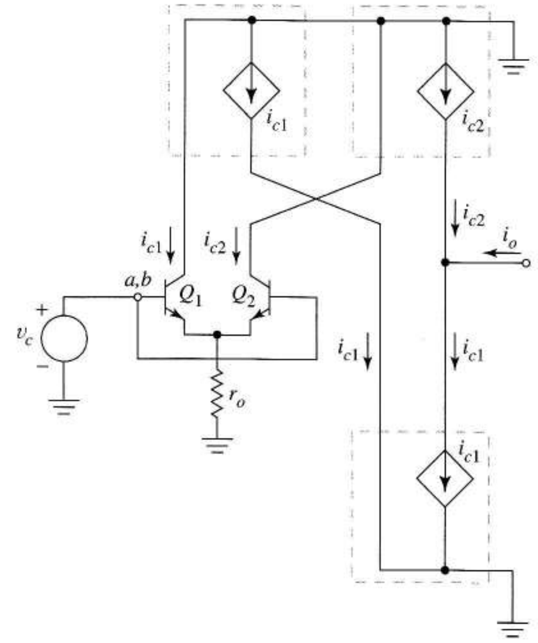


FIGURA 11.4
Funcionamiento en modo común del amplificador de transconductancia.

Solución Del equivalente de pequeña señal de la Figura 11.3b y la Ecuación (11.3)

$$\frac{v_o}{v_i} = -GM\,R_L = \frac{-I_x}{2(0{,}025)}(50\text{ k})$$

Por lo tanto la ganancia varía de 1 a 1.000.

A partir de las Figuras 11.1b y 11.5a vemos que para una alimentación de ±5 V

$$I_X = \frac{5-0{,}7}{R_B}$$

Por lo tanto, R_B debe variar de 4,3 MΩ a 4,3 kΩ para una variación de I_X de 1 a 1.000 μA. ❑

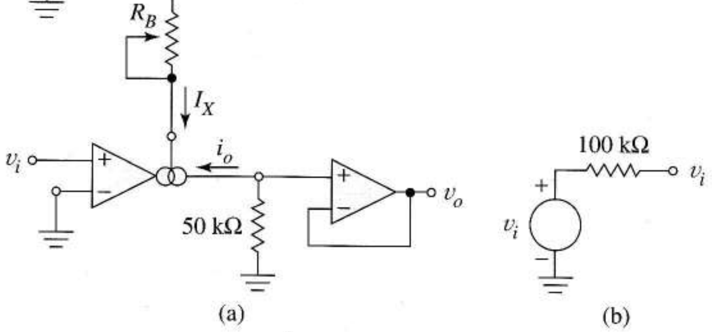


FIGURA 11.5
(a) Esquema del amplificador de ganancia variable;
(b) fuente de señal para el Ejercicio 11.1.

Ejercicio 11.1 La fuente de señal de la Figura 11.5b proporciona la señal de entrada al amplificador del Ejemplo 11.1. Obtener el valor de R_B necesario para hacer la resistencia de entrada del AOT igual a 100 kΩ si $\beta = 150$ para el transistor AOT. Obtenga la amplitud de pico de la señal de salida del amplificador para esta R_B si la amplitud de pico de v_i es 20 mV.

Respuesta 28,7 kΩ, 3 V.

Una aplicación menos habitual del AOT es el filtro controlado por tensión del Problema 11.3.

Límites de entrada para señales grandes Algunas aplicaciones necesitan que el AOT trabaje con señales de entrada grandes. Para describir estos circuitos y entender mejor los límites de la teoría de pequeña señal examinaremos el funcionamiento del AOT con gran señal.

El desarrollo que condujo a las Ecuaciones (7.80) y (7.81) mostraba que la corriente de colector de un transistor de entrada acoplado por emisor como Q_1 es

$$i_{C1} = \frac{I_X}{1 + e^{-v_D/V_T}} \tag{11.4}$$

donde la tensión diferencial de entrada v_D no es necesariamente pequeña. Como esta ecuación supone funcionamiento activo, implica que la corriente de base es positiva. La Figura 11.6a muestra cómo se limita la amplitud de $v_D(t)$.

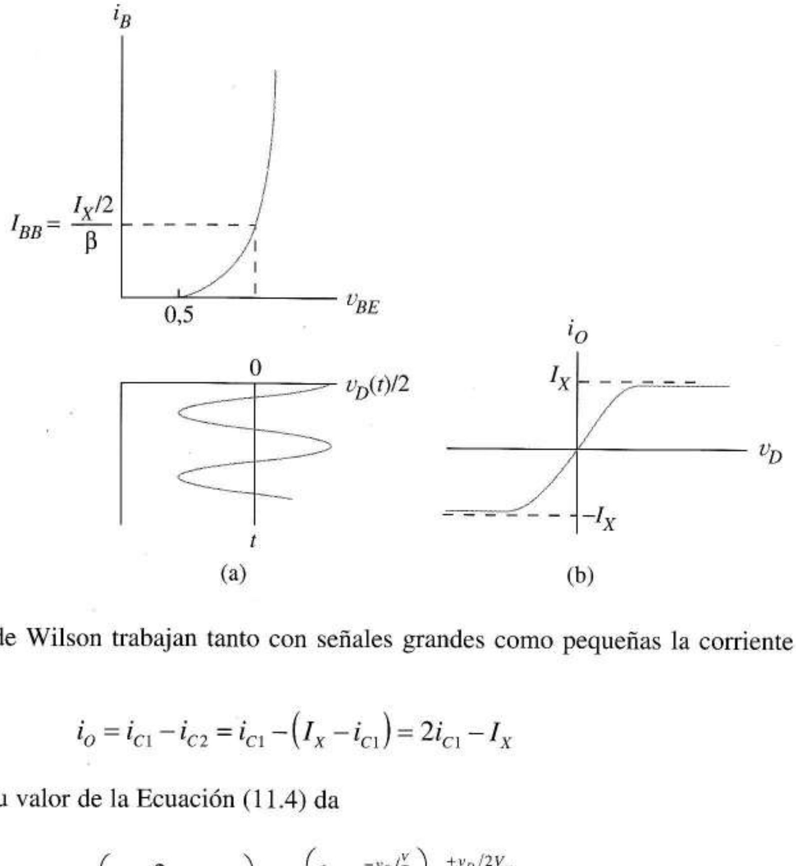


FIGURA 11.6 Funcionamiento en gran señal del AOT.: (a) límite de la amplitud de entrada impuesto por el funcionamiento activo; (b) característica de transferencia en gran señal.

Como los espejos de Wilson trabajan tanto con señales grandes como pequeñas la corriente de salida del AOT es

$$i_O = i_{C1} - i_{C2} = i_{C1} - \left(I_X - i_{C1}\right) = 2i_{C1} - I_X$$

Sustituyendo i_{C1} por su valor de la Ecuación (11.4) da

$$i_O = I_X\left(\frac{2}{1 + e^{-v_D/V_T}} - 1\right) = I_X\left(\frac{1 - e^{-v_D/V_T}}{1 + e^{-v_D/V_T}}\right)\frac{e^{+v_D/2V_T}}{e^{+v_D/2V_T}}$$

o

$$i_O = I_X\left(\frac{e^{+v_D/2V_T} - e^{-v_D/2V_T}}{e^{+v_D/2V_T} + e^{-v_D/2V_T}}\right) = I_X \tanh\left(v_D/2V_T\right) \tag{11.5}$$

que se parece a la Figura 11.6b.

En aplicaciones lineales de lazo abierto, v_D debe ser suficientemente pequeña para que la tangente hiperbólica de la Ecuación (11.5) se pueda aproximar por el primer término de su desarrollo en serie. Generalmente, esta aproximación, que da los resultados de pequeña señal de las Ecuaciones (11.2) y (11.3), necesita $v_D \leq 40$ mV. En aplicaciones lineales que usen realimentación negativa es posible una v_D mayor porque la realimentación reduce la distorsión. En algunas aplicaciones en lazo abierto como los circuitos de Schmitt-trigger el AOT funciona bien fuera de la región lineal, donde la corriente toma uno de los valores de saturación $\pm I_X$. El próximo ejemplo ilustra el funcionamiento en gran señal de un amplificador de transconductancia.

EJEMPLO 11.2 a) Obtener la curva de histéresis del circuito de Schmitt-trigger hecho con AOT de la Figura 11.7a cuando las tensiones de alimentación son ±12 V. Suponer resistencia de entrada infinita para el AOT.
b) Obtener el ancho de histéresis para $R_B = 230$ kΩ y $R = 5$ kΩ.
c) Comprobar que los transistores de salida no se saturan para estos valores.

Solución a) A partir de la curva de transferencia de la Figura 11.6b es de esperar el funcionamiento en régimen permanente para I_X o $-I_X$. Para empezar, supongamos que v_I es tan grande y positiva que $v_D >> 0$. Entonces $i_O = I_X$ y la tensión en el nodo inversor de entrada de la Figura 11.7a es

$$v_O = -RI_X = -V_S$$

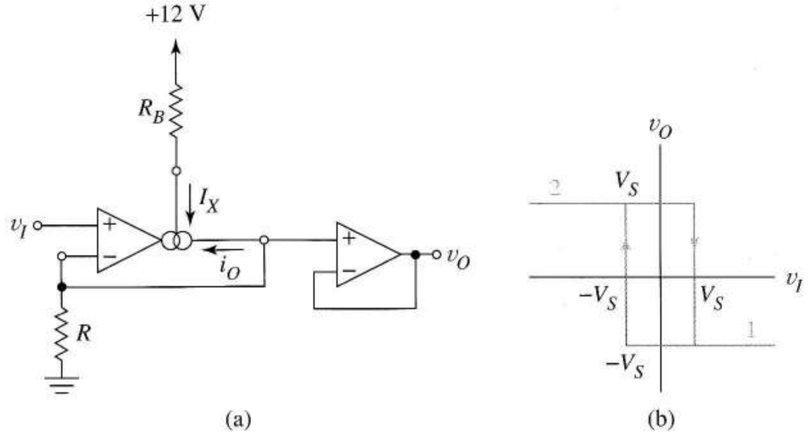


FIGURA 11.7 AOT. como un Schmitt trigger: (a) diagrama; (b) curva de histéresis.

La suposición $v_D > 0$ sigue siendo válida para todo v_I que cumpla

$$v_D = v_1 - \left(-RI_X\right) > 0$$

o sea, para $v_I > -RI_X = -V_S$. Concluimos que hemos descrito el funcionamiento en la región 1, Figura 11.7b.

Ahora supongamos que v_I es tan negativa que $v_D << 0$. Entonces $v_O = RI_X = V_S$, que permanecerá a este valor para

$$v_D = v_I - \left(RI_X\right) < 0$$

o sea, para $v_I < RI_X = V_S$. Esto corresponde a la región 2 de la Figura 11.6b.

b) Ahora debemos relacionar V_S con valores concretos de diseño. La Figura 11.1a muestra los detalles de polarización. La corriente de polarización para el AOT es

$$I_X = \frac{12 - 0{,}7 - (-12)}{R_B} = \frac{23{,}3}{R_B} \tag{11.6}$$

Por lo tanto,

$$V_S = RI_X = 23{,}3\frac{R}{R_B}$$

El ancho de la región de histéresis es $2V_S$. Con $R_B = 230$ k y $R = 5$ kΩ

$$2V_S = 2(23{,}3)\left(\frac{5}{230}\right) = 1{,}01 \text{ V}$$

Vemos que el ancho de histéresis se puede controlar con I_X, una característica especial del AOT.

c) Dado que nuestras ecuaciones presuponen funcionamiento activo para todos los transistores es conveniente comprobar si los transistores de salida se saturan. La Figura 11.1a muestra que para alimentaciones de 12 V los transistores de salida se saturan cuando los nodos de salida alcanzan

$$\pm(V_{SS} - 0{,}7 - 0{,}2) = \pm 11{,}1 \text{ V}$$

Como la tensión de salida de Schmitt-trigger varía entre

$$\pm V_S = \pm 0{,}505 \text{ V}$$

los transistores de salida nunca se saturan. Sin embargo si se forzara a i_O a circular por una R suficientemente grande los transistores se saturarían. ❑

Ejercicio 11.2 Para el Schmitt-trigger del Ejemplo 11.2.

a) ¿Es válido ignorar la resistencia de entrada cuando $\beta = 150$?

b) Obtener la R más pequeña para la que los transistores de salida se saturan.

Respuesta $R_i = 148$ kΩ $\geq 10\ R$ y por lo tanto es correcto. $R_{mín} = 110$ kΩ.

El *modulador de amplitud* de la Figura 11.8 es otra aplicación del AOT. El Problema 11.6 muestra que en la salida aparece una onda modulada en amplitud cuando $v_c(t)$ y $v_m(t)$ son respectivamente una señal portadora de alta frecuencia y una señal modulada en baja frecuencia que contiene la información a transmitir.

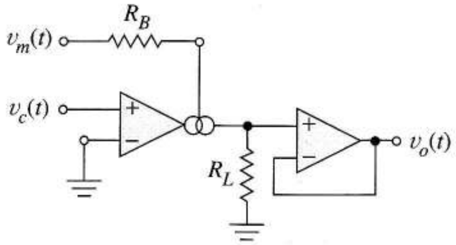
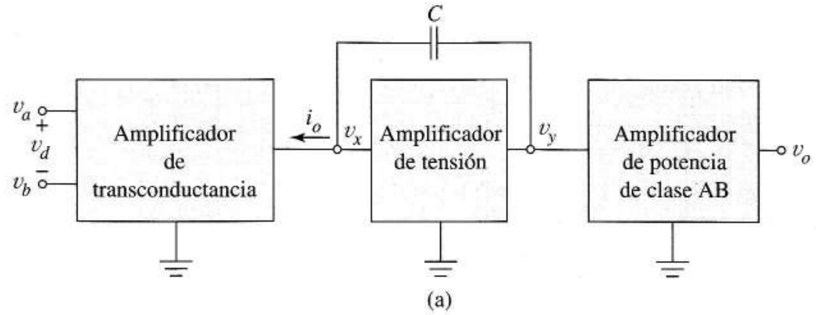


FIGURA 11.8 Un modulador de amplitud usando un amplificador operacional de transconductancia.

11.2 EL AMPLIFICADOR OPERACIONAL 741: UN CASO A ESTUDIAR

El análisis que viene a continuación revisa y refuerza los principios de los capítulos previos al aplicar estos principios a un circuito integrado complejo, el amplificador operacional 741. Somos capaces de verificar los parámetros de las hojas de características mediante un simple cálculo manual y, de la misma forma, si nuestra aplicación lo necesita, podemos estimar los valores de estos parámetros para condiciones que no están descritas en las hojas de características, como por ejemplo alimentaciones de +5 V y –6 V en lugar de ±15 V.



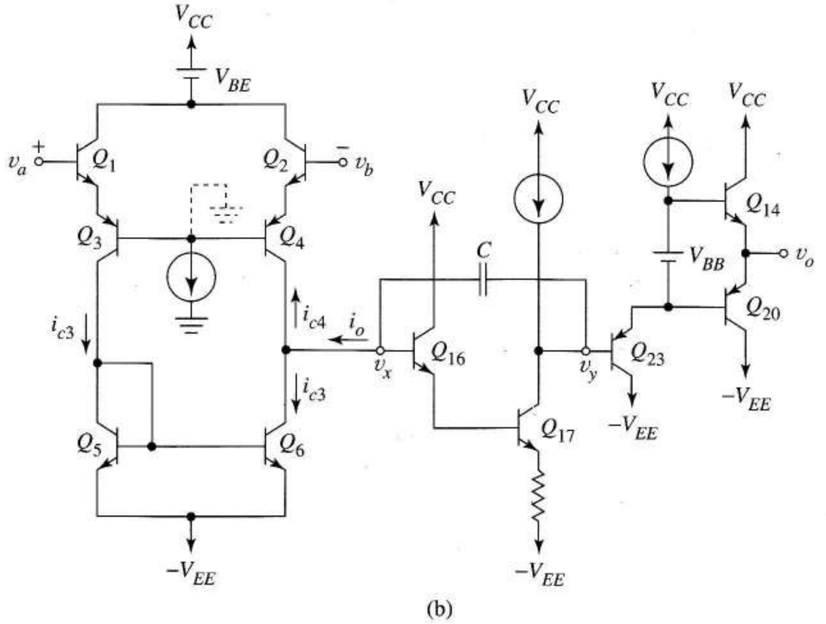
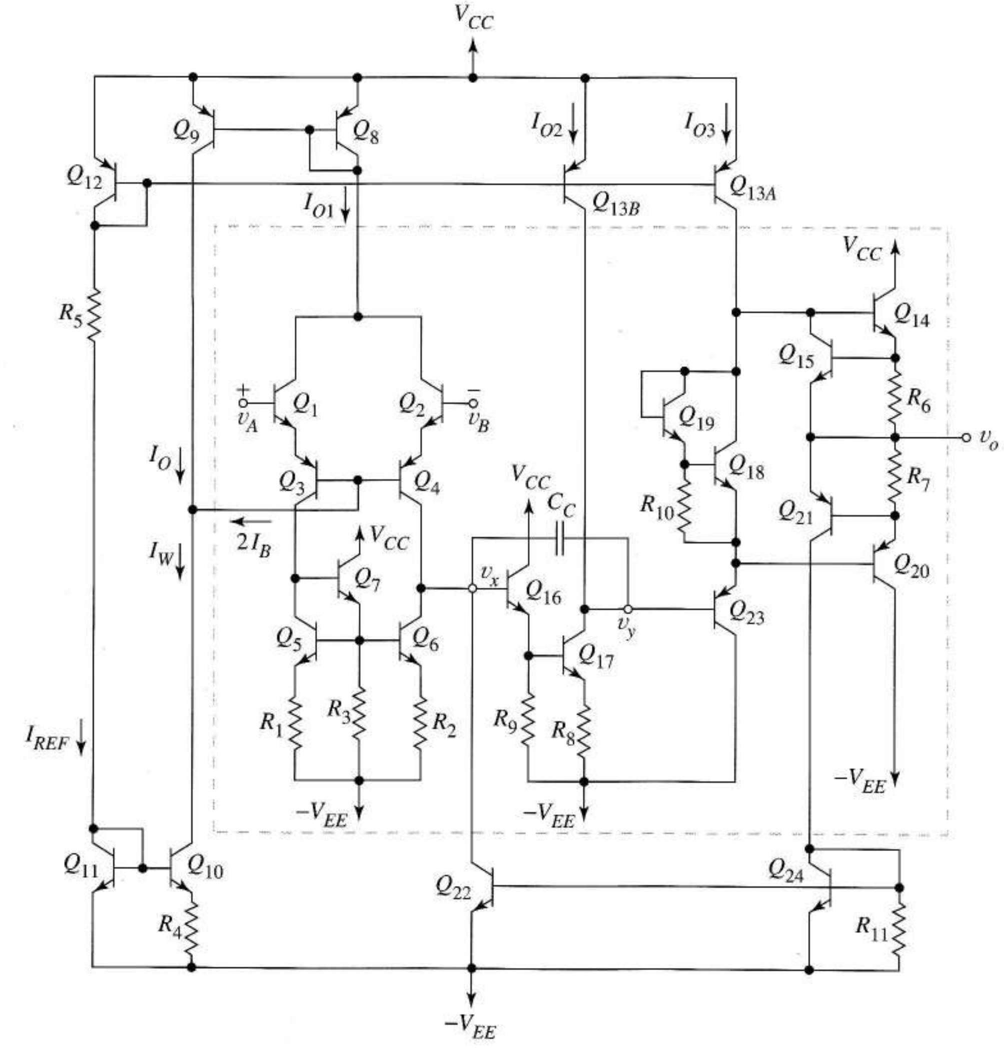


FIGURA 11.9 Amplificador operacional 741: (a) diagrama de bloques; (b) esquema simplificado.

11.2.1 DESCRIPCIÓN DEL 741

La Figura 11.9a es un diagrama de bloques del 741. Los amplificadores de transconductancia y tensión, juntos, proporcionan la elevada ganancia de tensión del amplificador operacional; la etapa de salida de clase AB entrega la potencia a la carga externa. La segunda etapa está puenteada por un condensador de compensación que fija la frecuencia de ganancia unidad, asegura estabilidad incondicional y determina el *slew-rate* del amplificador.

El esquema simplificado de la Figura 11.9b muestra los detalles más importantes. Al reconocer la masa virtual inducida por la excitación en modo diferencial, identificamos Q_1–Q_3 y Q_2–Q_4 como amplificadores cascodo emparejados que se polarizan con una fuente de corriente. La carga activa Q_5–Q_6 proporciona la alta resistencia de salida necesaria para el amplificador de transconductancia; además, refleja la señal i_{c3} en el circuito de salida y la suma a i_{c4} para formar la corriente de salida i_o.



R_1	1 kΩ	R_4	5 kΩ	R_7	27 Ω	R_{10}	40 kΩ
R_2	1 kΩ	R_5	39 kΩ	R_8	100 Ω	R_{11}	50 kΩ
R_3	50 kΩ	R_6	27 Ω	R_9	50 kΩ	C_C	30 pF

FIGURA 11.10 Esquema del amplificador operacional 741.

Q_{16} y Q_{17} son el amplificador en colector común/emisor común que usa la resistencia de salida de una fuente de corriente como carga. La resistencia de emisor no desacoplada proporciona una resistencia de carga grande al amplificador de transconductancia para mejorar la ganancia de tensión de la primera etapa.

En la etapa de salida, V_{BB} polariza a Q_{14} y Q_{20} ligeramente por encima de la tensión de codo. El seguidor de emisor reduce la resistencia de salida presentada al circuito de clase AB e incrementa la resistencia que carga al amplificador de tensión.

Las líneas de trazos del esquema completo del 741, Figura 11.10, encierran el amplificador efectivo de tres etapas. Como en el espejo de la Figura 6.28, la carga activa Q_5–Q_6 usa las resistencias de emisor R_1 y R_2 para dar una resistencia de salida mayor. El transistor Q_7 (con corriente de polarización proporcionada por R_3) mejora la ganancia de corriente del espejo (ver Figura 6.26). La segunda etapa sólo se diferencia de la Figura 11.9b en la adición de la resistencia de polarización R_9.

El subcircuito de la Figura 11.10 formado por Q_{18}, Q_{19} y R_{10} proporciona la tensión continua V_{BB} de la Figura 11.9b. Los transistores Q_{15}, Q_{21}, Q_{24} y Q_{22} están cortados excepto cuando la corriente de carga es excesiva. Cuando la protección para Q_{14} se activa debido un cortocircuito de salida, reduce la corriente de base de Q_{14}. La protección para Q_{20} usa un espejo, Q_{22}, para reducir la corriente de base de Q_{16}.

Los componentes de la Figura 11.10 que están fuera del rectángulo de trazos fijan las corrientes de polarización. Q_{11}, Q_{12} y R_5 fijan la corriente de referencia; Q_{13A} y Q_{13B} hacen copias a escala en las dos últimas etapas. El espejo de Widlar Q_{10}–Q_{11}–R_4 produce una corriente de polarización que es suficientemente baja para dar al amplificador operacional una resistencia de entrada muy alta.

La corriente de polarización de la primera etapa amplificadora se estabiliza mediante un mecanismo de realimentación de corriente en paralelo. Las corrientes de base de Q_3 y Q_4 se combinan para dar $2I_B$, que se resta a I_W para dar lugar a I_O que, a su vez, es reflejada por Q_8 para dar la corriente de polarización I_{O1}. Veremos que la ecuaciones de realimentación del Capítulo 9 también describen este sistema, pero como la ganancia de lazo es menor que uno nos referiremos a la función del circuito como *estabilización* en lugar de como realimentación negativa clásica.

Como el 741 no emplea polarización independiente de la alimentación, los puntos Q y los parámetros de pequeña señal dependen de las tensiones de alimentación. Los análisis de continua y de pequeña señal que siguen suponen $V_{CC} = V_{EE} = 15$ V. También suponen que todos los transistores npn tienen $\beta = 250$ y $V_A = 130$ V y que los transistores pnp tienen $\beta = 50$ y $V_A = 52$ V. En el análisis de continua usamos $I_S = 10^{-14}$ A para todos los transistores excepto Q_{14} y Q_{20}. Siempre que sea razonable se ignoran las corrientes de base frente a las corrientes de colector. Los valores de las resistencias están tabulados en la Figura 11.10 para reducir el desorden del diagrama.

11.2.2 ANÁLISIS DE CONTINUA

Corrientes de referencia y polarización Para alimentaciones de ±15 V la corriente de referencia es

$$I_{REF} = \frac{V_{CC} + V_{EE} - 2V_{BE}}{R_5} = \frac{30 - 2 \times 0{,}7}{39\text{ k}} = 0{,}733\text{ mA}$$

Los espejos Q_{13A} y Q_{13B}, con áreas respectivas de 0,25 y 0,75 referidas a Q_{12}, producen las corrientes $I_{O3} = 183$ μA e $I_{O2} = 550$ μA.

Como $R_4 = 5$ kΩ la fuente de Widlar cumple la Ecuación (6.38), o sea

$$0{,}025\ \ell\text{n}\left(\frac{0{,}733\text{ mA}}{I_W}\right) = I_W(5\text{ k})$$

así que $I_W = 18{,}5\ \mu A$. La primera y la segunda columnas de la Tabla 11.1 listan las corrientes continuas calculadas hasta aquí.

Estabilización de la polarización de la etapa de entrada A continuación examinamos el mecanismo de realimentación que estabiliza I_{O1}. El espejo Q_8–Q_9 tiene una corriente que cumple la Ecuación (6.29), donde I_{O1} es la corriente de referencia e I_O la corriente de salida. Por lo tanto

$$I_{O1} = \frac{\beta_P + 2}{\beta_P} I_O$$

donde β_P denota la beta de los transistores pnp. Sin la estabilización de la realimentación (y la resta de $2I_B$) I_O sería la corriente de Widlar, e I_{O1}, que es la que polariza todos los transistores de la primera etapa, sería muy sensible a β_P.

Si consideramos I_{O1} como la variable de salida e I_W como la variable de entrada de un sistema realimentado podemos escribir

$$I_{O1} = \frac{\beta_P + 2}{\beta_P} I_O = \frac{\beta_P + 2}{\beta_P}\left(I_W - 2I_B\right) = A\left(I_W - 2I_B\right) \qquad (11.7)$$

donde la ganancia sin realimentación es

$$A = \frac{\beta_P + 2}{\beta_P}$$

Supongamos que las tensiones de entrada v_A y v_B tienen componentes continuas iguales de acuerdo con el funcionamiento activo de Q_1 y Q_2 y que las corrientes de colector y de emisor son iguales en estos transistores. Entonces, la corriente de realimentación proporcionada por las bases de Q_3 y Q_4 es

$$2I_B = \frac{I_{O1}}{\beta_P + 1} \qquad (11.8)$$

que identifica la beta de realimentación como $\beta = (\beta_p + 1)^{-1}$. Entonces la Ecuación (9.1) da

$$I_{O1} = \frac{A}{1 + A\beta} I_W = \frac{(\beta_P + 2)/\beta_P}{1 + \left[(\beta_P + 2)/\beta_P\right]\left[1/(\beta_P + 1)\right]} I_W$$

$$= \frac{\beta_P^2 + 3\beta_P + 1}{\beta_P^2 + 2\beta_P + 1} I_W \approx I_W = 18{,}5\ \mu A$$

La aproximación que se suele hacer en la realimentación, $A\beta >> 1$, no es apropiada aquí. Es más, si fuera válida veríamos que I_{O1} e I_W estarían relacionadas por el parámetro $(\beta_P + 1)$ que depende de los transistores. En este sistema si $\beta^2_P >> 3\beta_p$ los términos elevados al cuadrado dominan en el numerador y el denominador. Esto significa que para *cualquier* $\beta_P > 30$ la aproximación $I_{O1} \approx I_W$ es una buena aproximación. Este desarrollo justifica las entradas de la columna 3 en la Tabla 11.1.

Corrientes de polarización especiales Las corrientes listadas en la última columna de la Tabla 11.1 son todas especiales, en Q_{14} y Q_{20} porque son corrientes de reposo de los transistores de potencia y, las otras, porque sus bajos valores justifican métodos de análisis especiales. Siempre que las corrientes de polarización sean bajas olvidamos la aproximación $V_{BE} = 0{,}7$ y, en su lugar, calculamos V_{BE}..

A partir de $I_{C6} \approx 9{,}3$ μA usamos la Ecuación (4.5) para demostrar que

$$V_{BE5} = V_{BE6} = 0{,}025\ \ell n\left(\frac{9{,}3\ \mu\text{A}}{10^{-14}\ \text{A}}\right) = 0{,}516\ \text{V}$$

CENTRO POLITÉCNICO SUPERIOR DE INGENIEROS · BIBLIOTECA · ZARAGOZA

La caída de tensión en R_3 es

$$V_{50\ \text{k}} = I_{E5}R_1 + V_{BE5} = (9{,}3\ \mu\text{A})1\ \text{k} + 0{,}516 = 0{,}525\ \text{V}$$

La corriente de emisor de Q_7 es $V_{50K}/50$ k = 10,5 μA.

En el amplificador de tensión la corriente de 550 μA de Q_{17} produce una caída de tensión de 55 mV en R_8. La corriente por R_9

$$I_{E16} = \frac{0{,}055 + 0{,}7}{50\ \text{k}} = 15{,}1\ \text{mA}$$

Como la corriente de emisor de Q_{16} es mucho menor que la de Q_{17} la suposición habitual $I_{E16} >> I_{E17}$ es discutible. Usando $\beta_n = 250$ da $I_{B17} = 550/250 = 2{,}2$ μA. A partir de aquí se redefine la estimación $I_{E16} \approx 15{,}1 + 2{,}2 = 17{,}3$ μA.

TABLA 11.1 Corrientes de colector del μA741 para alimentaciones de ±15V.

Q_{11}	0,733 mA	Q_{13B}	550 μA	Q_1	9,3 μA	Q_{16}	17 μA
Q_{12}	0,733 mA	Q_{17}	550 μA	Q_2	9,3 μA	Q_7	11 μA
Q_{10}	18,5 μA	Q_{13A}	183 μA	Q_3	9,3 μA	Q_{19}	15 μA
Q_9	18,5 μA	Q_{23}	183 μA	Q_4	9,3 μA	Q_{18}	168 μA
Q_8	18,5 μA			Q_6	9,3 μA	Q_{14}	160 μA
				Q_5	9,3 μA	Q_{20}	160 μA

A continuación, para reducir la distorsión, analizamos el circuito que produce V_{BB}. El espejo Q_{13A} proporciona 183 μA a los colectores de Q_{18}–Q_{19}. Suponiendo que $I_{C18} >> I_{C19}$ inicialmente podemos suponer

$$V_{BE18} \approx 0{,}025\ \ell n\left(\frac{183\ \mu\ \text{A}}{10^{-14}}\right) = 0{,}591\ \text{V}$$

Entonces R_{10} soporta

$$\frac{0{,}591}{40\ \text{k}} = 14{,}8\ \mu\text{A} \approx I_{E19}$$

De esto obtenemos

$$V_{BE19} = 0{,}025\ \ell n\left(\frac{14{,}8\ \mu\text{A}}{10^{-14}}\right) = 0{,}528\ \text{V}$$

Sabiendo que I_{C19} = 14,8 μA, redefinimos la estimación de I_{C18} a 183 – 14,8 =168 μA. Usando esto para recalcular V_{BE18} da

$$V_{BE18} = 0{,}025\ \ell n\left(\frac{168\ \mu A}{10^{-14}}\right) = 0{,}589\ V$$

así que $V_{BB} = V_{BE18} + V_{BE19}$ = 0,589 + 0,528 = 1,12 V. Si ignoramos las pequeñas caídas de tensión en R_6 y R_7 y suponemos que los transistores de salida de alta corriente tienen áreas tres veces mayores que las áreas de los otros transistores, entonces $V_{BE14} = V_{EB20} = V_{BB}/2$ = 0,56 V. Esto polariza los transistores de salida justo por encima de la tensión de codo a

$$I_{C14} = I_{C20} = 3\times 10^{-14} e^{0{,}56/0{,}025} = 160\ \mu A$$

Esto completa el análisis del circuito de polarización del 741 y la Tabla 11.1.

Disipación de potencia del amplificador operacional y corrientes de polarización de entrada En la Figura 11.10 la suma de las corrientes continuas que salen de la alimentación positiva es igual a la suma de las corrientes entrantes a la alimentación negativa

$$I_{C12} + I_{C9} + I_{C8} + I_{C_{13A}} + I_{C14} + I_{C16} + I_{C7} = 1{,}69\ mA$$

Estimamos la disipación en reposo del 741 como 1,69 mA × 30 V = 50,7 mW. Las hojas de características del 741 dan 50 mW como disipación típica para alimentaciones de ±15 V. A partir de las corrientes de colector de Q_1 y Q_2 estimamos las corrientes de polarización de entrada en 9,3 μA/250 = 37 nA. Las hojas de características dan 80 nA.

Límites en modo común Según la Figura 11.11 estimamos los valores límites de las entradas en modo común. La figura muestra las caídas de tensión V_{BE} de Q_8, Q_7 y Q_{16} además de las corrientes y tensiones de polarización previamente calculadas. Los colectores de Q_1 y Q_2 están polarizados a

$$V_{C1} = 15 - 0{,}534 = 14{,}5\ V$$

la tensión de colector de Q_5 es

$$V_{C5} = -15 + 0{,}527 + 0{,}519 = -14\ V$$

y la tensión de colector de Q_6 es

$$V_{C6} = -15 + 0{,}755 + 0{,}532 = -13{,}7\ V$$

Para corrientes de colector de 9,25 μA las caídas de tensión V_{BE} de Q_1 y Q_2 son 0,516 V. Cuando V_C crece, las tensiones de emisor de Q_1 y Q_2 siguen a la tensión de base hasta que Q_1 y Q_2 se saturan. La saturación ocurre cuando

$$V_C - 0{,}516 + 0{,}2 = 14{,}5$$

Por lo tanto, el límite superior en modo común es $V_{CMÁX}$ = 14,8 V.

Cuando V_C disminuye, las tensiones de emisor de Q_3 y Q_4 siguen a V_C, reduciéndose simultáneamente las caídas de tensión emisor-colector de Q_3 y Q_4. El límite inferior en modo común se alcanza cuando Q_4 se satura ya que $V_{C4} > V_{C3}$. Esto sucede cuando

$$V_C - 0{,}516 - 0{,}2 = -13{,}7$$

dando $V_{CMÍN} = -13$ V. Las hojas de características del 741 especifican un margen de tensión de entrada típico de ±13 V con alimentaciones de 15 V.

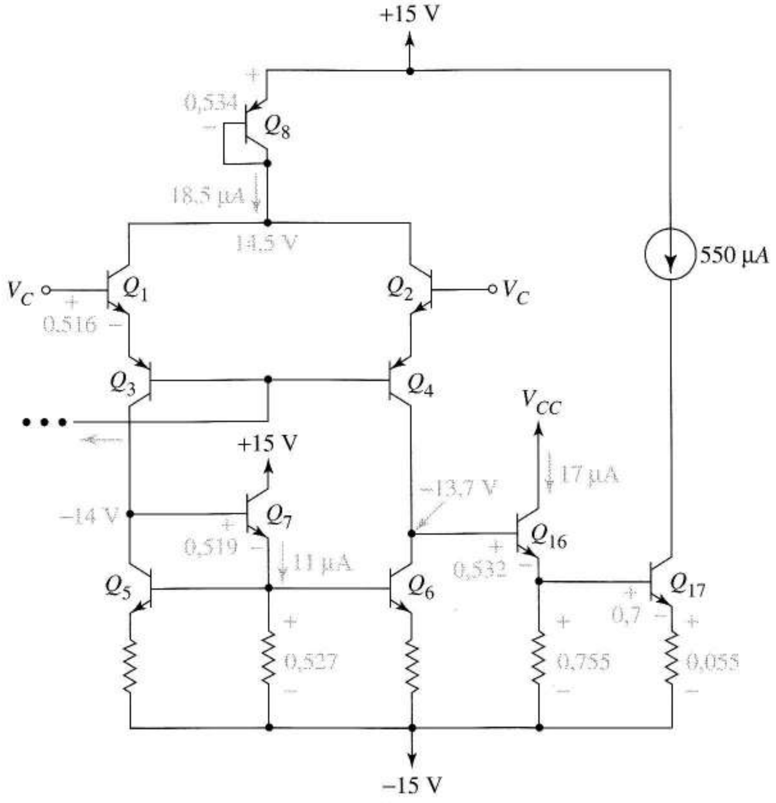


FIGURA 11.11
Circuito para obtener los límites de la tensión de entrada del 741.

Ejercicio 11.3 Estime el límite superior en modo común del μA741 cuando las alimentaciones son ±5 V.

Sugerencia El Problema 11.9 muestra que para ±5 V se tiene $I_W = 13{,}8$ μA $= I_{C8}$.

Respuesta 4,78 V.

11.2.3 ANÁLISIS DE PEQUEÑA SEÑAL

El objeto del análisis de pequeña señal es sustituir el diagrama de bloques de la Figura 11.9a por el circuito equivalente de la Figura 11.12, incluyendo los valores de los parámetros. Igual que el estudio anterior de polarización, este análisis supone alimentaciones de ±15 V.

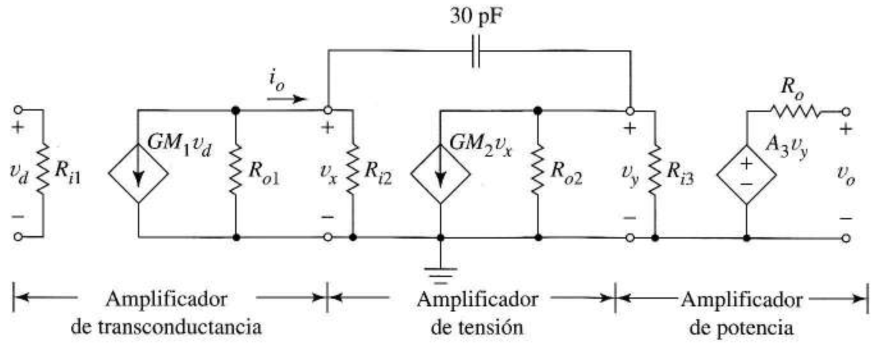


FIGURA 11.12 Circuito equivalente general para el amplificador operacional 741.

Amplificador de transconductancia El circuito simplificado de la Figura 11.13a da expresiones correctas para GM_1 y R_{i1}. Como la Tabla 11.1 da 9,3 μA para las corrientes de colector

$$g_m = \frac{9{,}3 \times 10^{-6}}{0{,}025} 0{,}372 \text{ mA/V}$$

desde Q_1 hasta Q_6. Como las señales en modo diferencial crean una masa virtual en las bases de Q_3 y Q_4 dibujamos el esquema de pequeña señal del medio amplificador de la Figura 11.3b. Está claro que el circuito de entrada del 741 es un amplificador diferencial en colector común/base común cuya resistencia de entrada está dada por la Ecuación (7.50). Por lo tanto, la resistencia de entrada que ofrece el 741 a una fuente en modo diferencial es

$$R_{i1} = 4r_{\pi 1} \tag{11.9}$$

que tiene un valor numérico

$$R_{i1} = 4\frac{250}{0{,}372 \times 10^{-3}} = 2{,}69 \text{ M}\Omega$$

Esta estimación está de acuerdo con el valor típico de las hojas de características del 741, 2 MΩ.

Ahora necesitamos obtener la transconductancia de la primera etapa, GM_1. Nuestra estrategia procede de la comparación del esquema de la Figura 11.13c con el circuito equivalente de la Figura 11.13d. Igualamos las corrientes de cortocircuito i_{sc} de las dos representaciones cuando se someten a excitación en modo diferencial. En la Figura 11.13c Q_1 convierte a i_i en

$$i_{e3} = (\beta_1 + 1)i_i$$

y luego Q_3 la convierte en

$$i_{c3} = \alpha_3(\beta_1 + 1)i_i \approx \beta_1 i_i$$

La carga activa refleja i_{c3} en el colector de Q_6. La otra mitad del amplificador, que es simétrica pero está excitada fuera de fase, da $i_{c4} \approx -\beta_2 i_i$. Aplicando la ley de las corrientes de Kirchoff en el nodo de salida y usando $\beta_2 = \beta_1$ da

$$i_{sc} = i_{c4} - i_{c3} = -2\beta_1 i_i = -2\frac{\beta_1}{R_{i1}} v_d$$

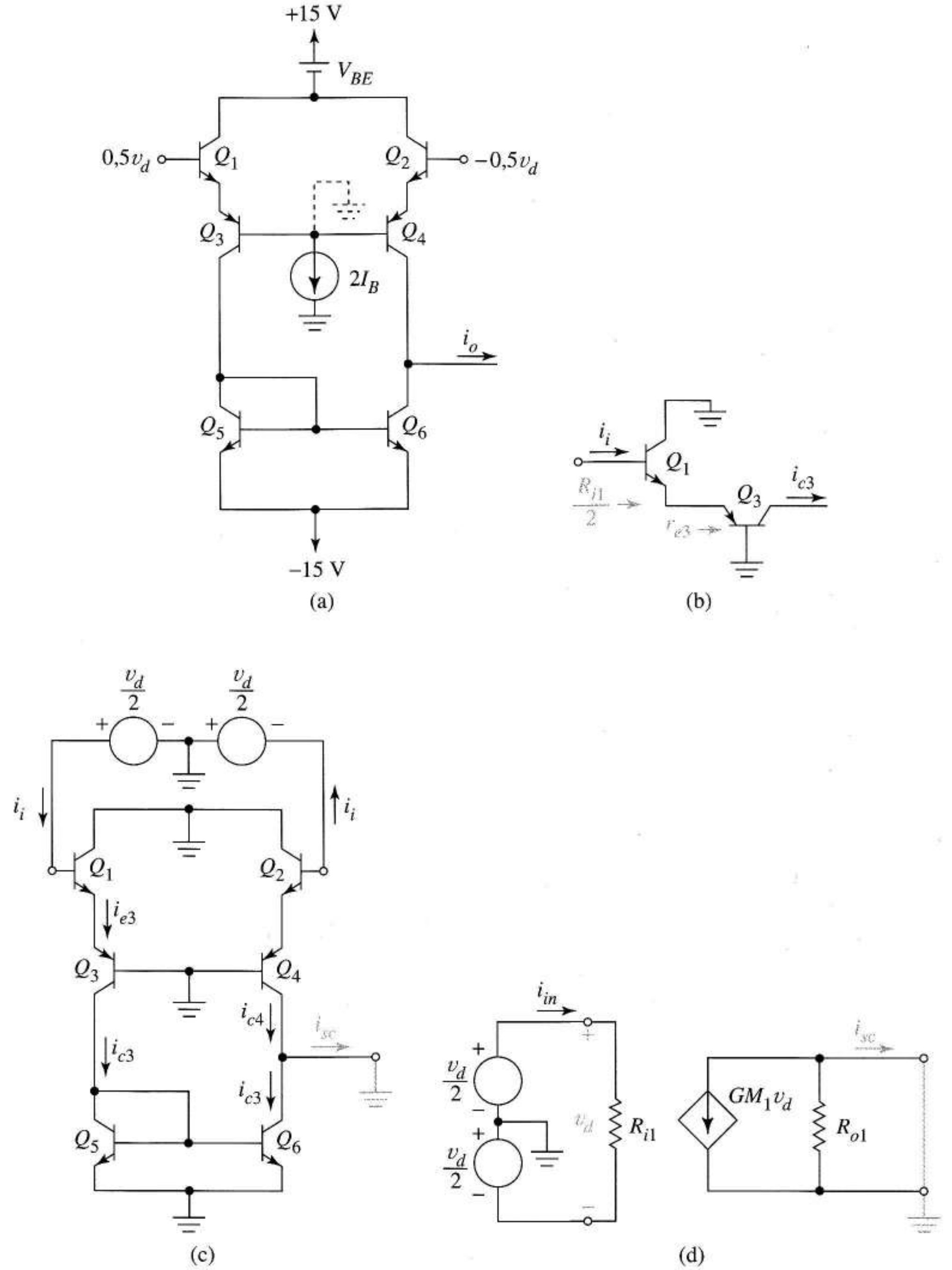


FIGURA 11.13 Circuitos usados para obtener R_{i1} y GM_1 para el 741: (a) esquema aproximado del amplificador; (b) esquema en pequeña señal de medio amplificador; (c) circuito para obtener la transconductancia; (d) circuito que define GM_1.

Sustituyendo la Ecuación (11.9) da

$$i_{sc} = -2\frac{\beta_1}{4r_{\pi 1}}v_d = -\frac{g_{m1}}{2}v_d = -GM_1 v_d$$

Concluimos que

$$GM_1 = 0{,}5g_{m1} \quad (11.10)$$

Para alimentaciones de ±15 V esto da $GM_1 = 0{,}186$ mA/V.

Todo lo que queda por hacer del análisis de la primera etapa es obtener la resistencia de salida R_{o1}. Como las resistencias R_1–R_3 de la Figura 11.10 afectan a R_{o1} debemos incluirlas en este análisis. El camino más directo es aplicar la definición de R_o al esquema de pequeña señal de la Figura 11.14. Sin embargo, obtenemos el mismo resultado con menos esfuerzo si dividimos la tarea en dos subtareas y usamos un resultado previo.

Si en la Figura 11.14 apagamos los generadores de señal, desde el nodo de salida vemos la resistencia R_{o4} entre el colector de Q_4 y masa y la resistencia R_{o6} entre el colector de Q_6 y masa. Entonces, obtenemos primero estas dos resistencias de salida y luego las usamos para $R_{o1} = R_{o4} \parallel R_{o6}$.

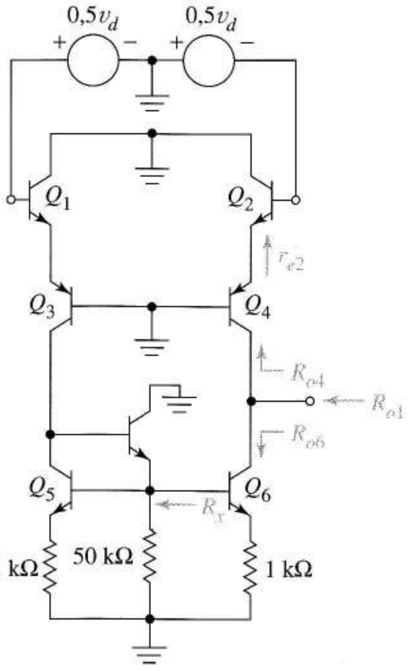


FIGURA 11.14 Esquema de pequeña señal del amplificador de transconductancia del 741.

Para R_{o6} podemos usar el resultado obtenido en la Figura 7.34a usando aquí $R_E = 1$ kΩ y $R_{TH} = R_X$, donde R_X es la resistencia vista desde la base de Q_6. Obviamente $R_X < 50$ kΩ. Como $I_{C6} = 93$ μA, y

$\beta = 250$, entonces $r_{\pi 6} = 672$ kΩ. Concluimos que la condición del "caso 2" y la Ecuación (7.70) se pueden aplicar aquí. Esto da

$$R_{o6} = \left(1 + \frac{9{,}3 \times 10^{-6}}{0{,}025} 10^3\right) r_{o6} = 1{,}37 r_{o6} \tag{11.11}$$

Usando $V_A = 130$ V da $r_{o6} = 14$ MΩ y $R_{o6} = 19{,}2$ MΩ. La Figura 7.34a también define R_{o4} supuesto que

1. Los parámetros del transistor son los de Q_4.
2. $R_{TH} = 0$ (la base de Q_4 está a masa).
3. $R_E = r_{e2}$, la resistencia de entrada en base común de Q_2.

Como $r_{\pi 4} = 50/0{,}38\text{x}10^{-3} = 132$ kΩ y $R_x = 0$, el caso también se aplica aquí y se supone $r_\pi >> R_{TH} + R_E$. Usando la Ecuación (7.70), con $R_E = r_{e2} \approx 1/g_m = 2{,}63$ kΩ obtenemos

$$R_{o4} = \left(1 + \frac{9{,}3 \times 10^{-6}}{0{,}025} 2{,}63 \times 10^3\right) r_{o4} = 1{,}98 r_{o4}$$

Para $V_A = 52$ V e $I_{C4} = 9{,}3$ μA se tiene $r_{o4} = 5{,}59$ MΩ. Por lo tanto $R_{o4} = 11{,}1$MΩ. Combinando los resultados de las dos resistencias de salida

$$R_o = 19{,}2 \text{ M} \| 11{,}1 \text{ M} = 7{,}03 \text{ M}\Omega$$

El amplificador de la primera etapa de la Figura 11.17 resume los resultados que hemos obtenido: $GM_1 = 0{,}186$ mA/V, $R_{i1} = 2{,}67$ MΩ y $R_{o1} = 7{,}03$ MΩ.

Análisis del amplificador de tensión La Figura 11.15a es el esquema de pequeña señal del amplificador de tensión; r_{o13B} es la resistencia de la carga activa Q_{13B}. La resistencia de entrada del circuito es

$$R_{i2} = r_{\pi 16} + (\beta_{16} + 1)\{50 \text{ k} \| [r_{\pi 17} + (\beta_{17} + 1)100]\}$$

En la Figura 11.15b se evalúa esta expresión con los valores de la Tabla 11.1 para I_{C16} e I_{C17}. El resultado es

$$R_{i2} = 5{,}67 \text{ M}\Omega$$

Para obtener GM_2 en la Figura 11.15a obtenemos que la corriente que circularía por el cortocircuito (línea de trazos) entre el colector de Q_{17} y masa cuando se aplica la tensión v_x. Los divisores de tensión de la Figura 11.15c nos ayudan en el análisis. El primer divisor da

$$v_{b17} = \frac{5{,}30 \text{ M}}{5{,}30 \text{ M} + 368 \text{ k}} v_x = 0{,}935 v_x$$

donde las resistencias vienen de la Figura 11.15b. Del segundo divisor

$$v_{e17} = \frac{25{,}1 \text{ k}}{25{,}1 \text{ k} + 11{,}4 \text{ k}} v_{b17} = 0{,}688 v_{b17}$$

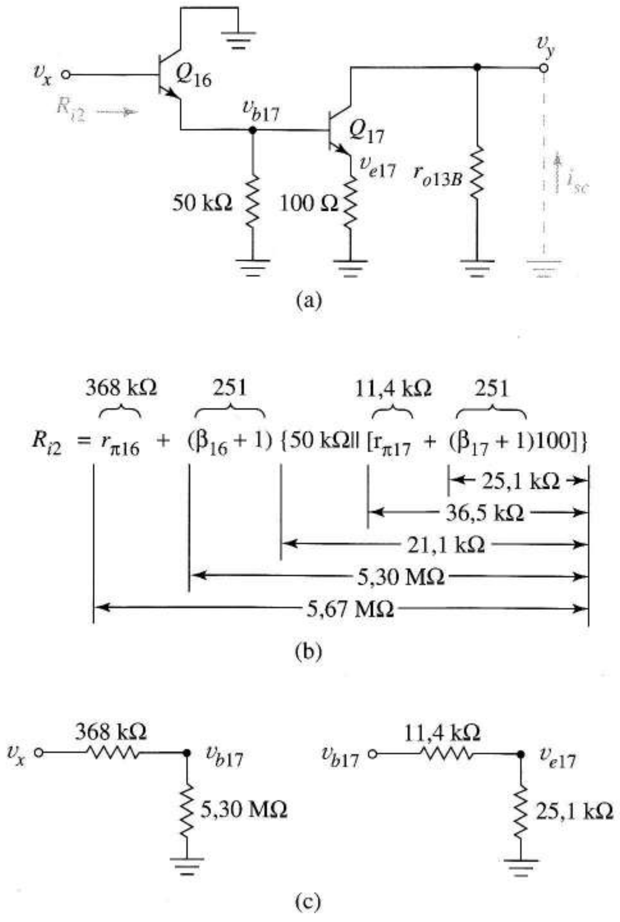


FIGURA 11.15 Amplificador de tensión: (a) esquema de pequeña señal; (b) componentes de la resistencia de entrada; (c) divisores de tensión que fijan la ganancia.

Finalmente la corriente de cortocircuito de la Figura 11.15a es

$$i_{sc} = i_{c17} \approx \frac{v_{e17}}{100} = 0{,}01 \times 0{,}689 \times 0{,}935 v_x = GM_2 v_x$$

Por lo tanto, la transconductancia del amplificador de tensión de la Figura 11.15a es $GM_2 = 6{,}43 \times 10^{-3}$ A/V.

De la Figura 11.15a la resistencia de salida del amplificador es

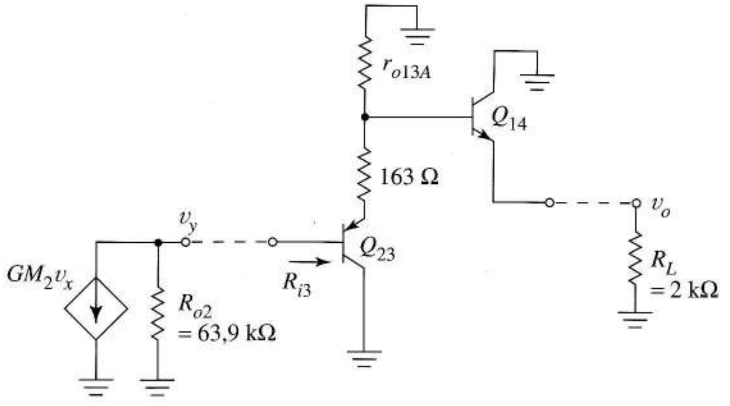
$$R_{o2} = r_{o13B} \| R_{o17}$$

donde R_{o17} es la resistencia de salida de Q_{17} y

$$r_{o13B} = \frac{52}{550\ \mu\text{A}} = 94{,}5\ \text{k}\Omega$$

No podemos usar la Ecuación (7.70) para obtener R_{o17} como hicimos antes con R_{o6} y R_{o4} porque no se dan las condiciones necesarias. El Problema 11.15 muestra que R_{o17} = 197 kΩ. Concluimos que R_{o2} = (94,5 kΩ) ‖ (197 kΩ) = 63,9 kΩ. Nuestros tres resultados claves: resistencia de entrada, transconductancia y resistencia de salida del amplificador de tensión se resumen en el circuito equivalente del amplificador de tensión de la Figura 11.17.

Análisis del amplificador de potencia El análisis de pequeña señal de un amplificador clase AB es poco fiable porque el circuito está pensado para desarrollar una *gran señal*. No obstante, nosotros haremos este análisis haciendo énfasis en el parámetro de gran señal β (h_{FE}) en lugar de g_m, haciendo las aproximaciones que sean pertinentes para r_π y teniendo en cuenta que nuestros resultados sólo serán estimaciones poco precisas.



(a)

$$R_{i3} = \overbrace{r_{\pi 23}}^{6,83\ k\Omega} + \overbrace{(\beta_{23}+1)}^{51}\{163 + \overbrace{r_{o13A}}^{284\ k\Omega} \| [\overbrace{r_{\pi 14}}^{1,67\ k\Omega} + \overbrace{(\beta_{14}+1)}^{251}2.000]\}$$

502 kΩ
504 kΩ
182 kΩ
182 kΩ
9,28 MΩ
9,29 MΩ

(b)

$$R_{i3} = \overbrace{r_{\pi 23}}^{6,83\ k\Omega} + \overbrace{(\beta_{23}+1)}^{51}\{(\overbrace{r_{o13A}}^{284\ k\Omega} + 163) \| [\overbrace{r_{\pi 20}}^{334\ \Omega} + \overbrace{(\beta_{20}+1)}^{51}2000]\}$$

102 kΩ
102 kΩ
75,1 kΩ
3,83 MΩ
3,84 MΩ

(c)

FIGURA 11.16 Etapa de salida: (a) esquema de pequeña señal y circuito de gobierno; (b) componentes de R_{i3} cuando Q_{14} conduce; (c) componentes de R_{i3} cuando Q_{20} conduce.

Cuando conduce Q_{14}, el circuito del amplificador es el de la Figura 11.16 a. La carga externa de 2 kΩ se ha elegido arbitrariamente para hacer las estimaciones numéricas y la resistencia de 163Ω muestra los efectos del circuita de polarización, Q_{18} –Q_{19}–Q_{10}, sobre las señales. (Véase el Problema 11.17). Se ha suprimido la resistencia de protección de cortocircuito R_6 ya que complica el análisis y no aporta gran cosa al resultado.

Cuando la corriente de salida crece con la señal $r_{\pi 14}$, la inversa de la pendiente de la característica de entrada de Q_{14} disminuye. Para hacer una aproximación elegimos el instante en que $v_o = 7{,}5$ V. Entonces, la corriente de colector de Q_{14} es 7,5/2 k = 3,75 mA y

$$r_{\pi 14} = \frac{250 \times 0{,}025}{3{,}75 \text{ mA}} = 1{,}67\text{k}\Omega$$

Trabajando con la escalera de resistencias vista desde la carga, como en la Figura 11.16b, obtenemos que la resistencia de entrada de Q_{23} en este instante es $R_{i3} = 9{,}29$ MΩ . Observe que ni la estimación de $r_{\pi 14}$ ni la del equivalente de 163 Ω tienen mucho efecto sobre el resultado.

Cuando Q_{20} conduce, estimamos otra vez r_π del transistor de salida en el momento en que la corriente de salida vale la mitad de su valor de pico. Esto es

$$r_{\pi 20} = \frac{50 \times 0{,}025}{3{,}75 \text{ mA}} = 334 \text{ k}\Omega$$

La Figura 11.16c muestra el cálculo de la resistencia de entrada. El resultado es $R_{i3} = 3{,}84$ MΩ. En la Figura 11.17 vemos este valor más pequeño de la resistencia de entrada, que conducirá a una estimación más pesimista (menor) de la ganancia de tensión de la segunda etapa.

A continuación examinamos la ganancia de tensión del amplificador de potencia. De la Figura 11.16a la ganancia es

$$\frac{v_o}{v_y} = \left(\frac{v_o}{v_{e23}}\right)\left(\frac{v_{e23}}{v_y}\right) \tag{11.12}$$

Como en la Figura 11.16b 163 Ω >> 182 kΩ entonces $v_o/v_{e23} = v_o/v_{b14}$. Con esta observación podemos expresar las relaciones de la Ecuación (11.12) como expresiones de un divisor de tensión usando la Figura 11.16b. El resultado es

$$A_{v3} = \frac{v_o}{v_{b14}} \times \frac{v_{c23}}{v_y} = \frac{502 \text{ k}}{504 \text{ k}} \times \frac{9{,}28 \text{ M}}{9{,}29 \text{ M}} = 0{,}995 \approx 1$$

Cuando Q_{20} conduce, el enfoque es el mismo pero los datos vienen de la Figura 11.16c. El resultado es

$$\overline{A_{v3}} = \frac{v_o}{v_{b20}} \times \frac{v_{c23}}{v_y} = \frac{102 \text{ k}}{102 \text{ k}} \times \frac{3{,}83 \text{ M}}{3{,}84 \text{ M}} = 0{,}997 \approx 1$$

A pesar de la relación 5:1 de las betas de los transistores de salida, la ganancia de tensión es casi igual para valores de tensión positivos como negativos. Observemos que este resultado se debe en gran medida al uso de seguidores de emisor en el *driver* y en las etapas de salida.

Finalmente estimamos la resistencia de salida del 741. En la Figura 11.16a cuando Q_{14} conduce, R_{o3} es la resistencia vista por R_L más la resistencia de protección R_6;

$$R_{o3} = \frac{\left[\left(R_{o2} + r_{\pi 23}\right)/\left(\beta_{23}+1\right) + 163\right] \| \, r_{o13A} + r_{\pi 14}}{} + R_6$$

$$= \frac{\left[(63{,}9 \text{ k} + 6{,}38 \text{ k})/51 + 163\right] \| \, 284 \text{ k} + 1{,}67 \text{ k}}{251} + 26 = 38{,}2 \ \Omega$$

De forma similar cuando Q_{20} conduce

$$\overline{R}_{o3} = \frac{\left[\left(R_{o2} + r_{\pi 23}\right)/\left(\beta_{23}+1\right)\right] \| \left(163 + r_{o13A}\right) + r_{\pi 20}}{} + R_7$$

$$= \frac{\left[(63{,}9 \text{ k} + 6{,}38 \text{ k})/51\right] \| \, (163 + 284 \text{ k}) + 667}{251} + 26 = 66{,}1 \ \Omega$$

En la Figura 11.17 podemos ver nuestras estimaciones. Las hojas de características del 741 da $R_o = 75 \ \Omega$.

Ganancia, ancho de banda y *slew-rate* La Figura 11.17 es el equivalente de pequeña señal del 741. El diagrama muestra las ganancias de tensión de cada etapa incluyendo los efectos de carga entre etapas. A partir de éstas predecimos

$$A = A_1 A_2 A_3 = 2{,}41 \times 10^5$$

para la ganancia en lazo abierto del 741, comparada con el valor publicado de 2×10^5.

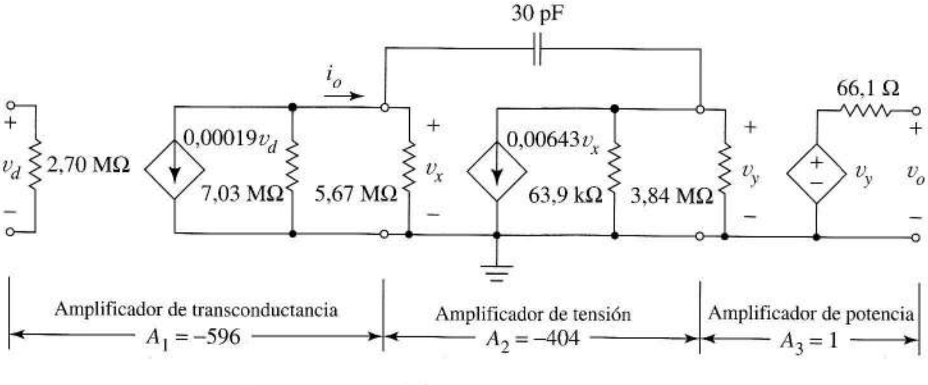


FIGURA 11.17 Modelo completo de pequeña señal del amplificador operacional 741.

La capacidad de Miller

$$C_M = (1 + 404)30 \text{ pF} = 12{,}150 \text{ pF}$$

sugiere un ancho de banda de

$$\omega_H = \frac{1}{(7{,}03\ \text{M} \parallel 5{,}67\ \text{M})1{,}22 \times 10^{-8}} = 26{,}1\ \text{rad/s}$$

ó 4,15 Hz. Nuestro circuito equivalente tiene un producto ganancia-ancho de banda o frecuencia de ganancia unidad de

$$f_\tau = 2{,}43 \times 10^5 \times 4{,}15 = 1{,}01\ \text{MHz}$$

El valor publicado es 1 MHz.

La Ecuación (9.33) predice el *slew-rate*, donde I_O es la corriente de polarización continua de la primera etapa. Para el 741, $I_O = I_{C8}$, 18,5 μA en la Tabla 11.1. Como $C_C = 30$ pF nuestra estimación es

$$\text{s.r.} = \frac{18{,}5\ \mu\text{A}}{30 \times 10^{-12}\ \text{F}} = 0{,}617\ \text{V}/\mu\text{s}$$

comparada con el valor publicado de 0,5 V/μs.

11.3 MULTIPLICADOR ANALÓGICO

Un proceso clave en sistemas de comunicaciones es el llamado *mezcla* (*mixing*), una combinación deliberada de señales de entrada de distintas frecuencias en un dispositivo no lineal para producir una señal de salida que contenga nuevas frecuencias. El *multiplicador analógico* mezcla señales produciendo una salida que es producto instantáneo de las señales que se aplican a sus dos entradas.

Para radiar información desde una antena primero es necesario combinar la información con una señal *portadora* de alta frecuencia mediante un proceso de mezcla llamado *modulación*. La modulación también nos permite transmitir mensajes múltiples con un solo canal de comunicación, después de combinar primero cada mensaje con una frecuencia de portadora individual. A veces, los multiplicadores analógicos sirven como *moduladores* en estas aplicaciones. Los receptores de comunicación emplean multiplicadores como *demoduladores* para invertir el proceso de modulación, es decir, separar la información de la portadora. La multiplicación de señales se puede usar para facilitar el filtrado de alta calidad en receptores de radio y compensar la atenuación de la señal en circuito con control de ganancia automático.

Conceptualmente el multiplicador más simple es el *multiplicador de gran señal de cuatro cuadrantes*, un circuito cuya salida es el producto de sus dos entradas sin que importen sus signos. Primero introduciremos un *multiplicador de dos cuadrantes* más simple y luego extenderemos los conceptos a circuitos más complejos.

11.3.1 MULTIPLICADOR DE DOS CUADRANTES

La Figura 11.18a muestra un multiplicador de dos cuadrantes básico, una pareja de emisores polarizados por la corriente I_O y con fuentes de entrada V_{BB} en modo común aplicadas a las bases de Q_1 y

Q_2. La otra señal de entrada, v_C, entra al circuito a través de la fuente de corriente. El desarrollo que condujo a la Ecuación (11.5) mostraba que para régimen permanente activo de Q_1 y Q_2

$$i_{C1} - i_{C2} = I_O \tanh\left(\frac{v_D}{2V_T}\right) \tag{11.13}$$

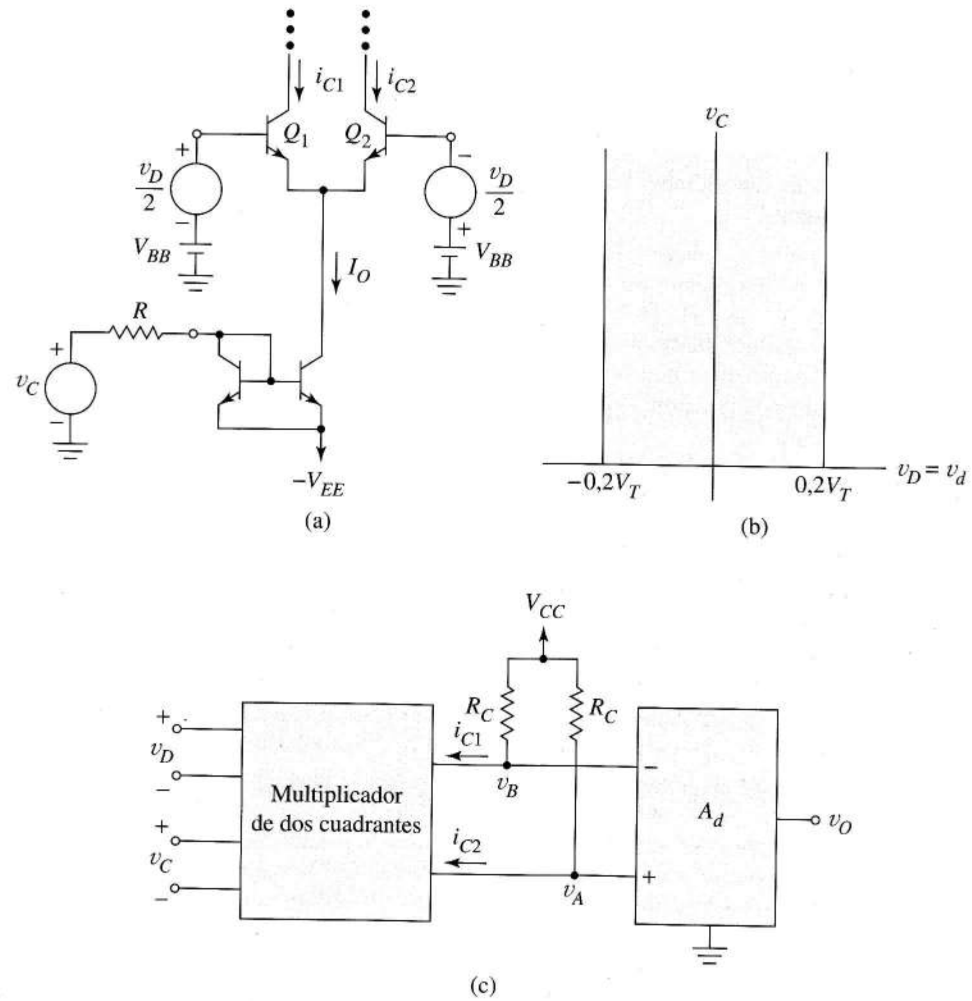


FIGURA 11.18 Multiplicador de dos cuadrantes: (a) circuito básico; (b) restricciones necesarias para la validez de la ecuación (11.16); (c) multiplicador de una sola salida.

donde $i_{C1}-i_{C2}$ es la salida. Según el espejo de corriente

$$I_O = \frac{v_C - V_{BE} + V_{EE}}{R}, \quad v_C > -V_{EE} + B_{BE} \tag{11.14}$$

donde la inecuación establece una condición necesaria para el funcionamiento activo de Q_1 y Q_2. Sustituyendo en la Ecuación (11.13) da

$$i_{C1} - i_{C2} = \frac{v_C - V_{BE} + V_{EE}}{R} \tanh\left(\frac{v_D}{2V_T}\right) \tag{11.15}$$

un resultado general de gran señal.

Si v_D es una pequeña señal, v_d, entonces la tangente hiperbólica se aproxima por su argumento dando

$$i_{C1} - i_{C2} = \frac{1}{2RV_T} v_d v_C + \frac{V_{EE} - V_{BE}}{2RV_T} \tag{11.16}$$

Nuestras suposiciones críticas, funcionamiento activo y entrada de pequeña señal necesitan respectivamente

$$v_C > -V_{EE} + V_{BE} \text{ y } |v_d| < 0{,}2\ V_T \tag{11.17}$$

Bajo estas condiciones el circuito genera el producto $v_d v_C$ deseado; sin embargo la Ecuación (11.16) contiene un error que se suma al producto de señales. Podemos eliminar el error usando la condición de polarización $V_{EE} = V_{BE} \approx 0{,}7$ V. Entonces la Ecuación (11.17) nos obliga a restringir las señales a

$$v_C > 0 \text{ y } |v_d| < 0{,}2\ V_T \tag{11.18}$$

Estas inecuaciones definen una banda aceptable en el primer y segundo cuadrantes del espacio de la señal de entrada como muestra la Figura 11.18b, de ahí el término *multiplicador de dos cuadrantes*.

La Figura 11.18c muestra la forma en que el amplificador diferencial de ganancia A_d transforma la diferencia de corrientes en una tensión de salida única. Esto es

$$v_o = A_d(v_A - v_B) = A_d[(V_{CC} - R_C i_{C2}) - (V_{CC} - R_C i_{C1})] = A_d R_C (i_{C1} - i_{C2})$$

Con el término de error eliminado, la Ecuación (11.16) muestra que el sistema multiplicador cumple

$$v_O = \frac{A_d R_C}{2RV_T} v_d v_C \tag{11.19}$$

EJEMPLO 11.3 Un transductor produce una tensión que varía lentamente entre 0 y 5 V para indicar la presión en un proceso de flujo. Diseñar un multiplicador como el de la Figura 11.18c para convertir la información de presión en la amplitud de onda portadora senoidal de 1 MHz. Con una entrada de presión de 5 V se produce una senoide de salida de 10 V de amplitud. Usar alimentaciones de $V_{CC} = +15$ V y $V_{EE} = 0{,}7$ V.

Solución Como la señal de presión es no negativa la introducimos como v_C. Elegimos usar la máxima amplitud de entrada posible para la señal portadora senoidal, que según la Figura 11.18b será

$$v_d(t) = 0{,}2V_T \text{ sen } \omega_c t = 0{,}005 \text{ sen } 2\pi 10^6 t$$

Para dar una onda senoidal de 10 V cuando $v_C = 5$ V, la Ecuación (11.19) necesita que A_d, R y R_C cumplan

$$10 = \frac{A_d R_C}{0{,}05\ R} 0{,}005 \times 5$$

Esto significa

$$\frac{A_d R_C}{R} = 20$$

así que elegimos arbitrariamente $R = R_C = 1$ kΩ y usamos un amplificador diferencial de ganancia $A_d = 20$.

Fijemos ahora la tensión de polarización adecuada V_{BB}. Con la portadora ausente y $v_c = 5$ V, la Ecuación (11.14) muestra que en la Figura 11.19a, Q_1 y Q_2 tienen corrientes continuas de colector de $I_O/2 = 0{,}5(5/R) = 2{,}5$ mA. Esto polariza los colectores a

$$V_{C1} = V_{C2} = V_{CC} - R_C \frac{I_O}{2} = 15 - 1\ \text{k}(2{,}5\ \text{mA}) = 12{,}5\ \text{V}$$

2,5 V por debajo de los 15 V de alimentación.

Cuando $v_C = 5$ V en la Figura 11.18c esperamos que la entrada del amplificador diferencial, $v_a - v_b$, sea una senoide de amplitud $|v_o|/A_d = 10/20 = 0{,}5$ V; por tanto, cada tensión de colector del multiplicador tiene un barrido de señal de 0,25 V. La tensión de polarización de entrada de $V_{BB} = 10$ V pone los emisores a $10 - 0{,}7 = 9{,}3$ V y polariza Q_1 y Q_2 a $V_{CE} = 12{,}5 - 9{,}3 = 3{,}2$ V, valor que se adapta fácilmente al barrido de señal de 0,25 V. La Figura 11.19a muestra el multiplicador completo. ❏

Ejercicio 11.4 Dibuje $v_o(t)$ para el multiplicador diseñado en el Ejemplo 11.3 cuando $v_C = 2{,}1$ V.

Respuesta Senoide de 10^6 Hz y amplitud de 4,2 V.

EJEMPLO 11.4 Usar pulsos y señales de rampa de 5 V para $v_C(t)$ para comprobar el diseño del Ejemplo 11.3 con SPICE.

Solución La Figura 11.19b muestra el código SPICE. Las fuentes dependientes simulan el amplificador diferencial y proporcionan una entrada en modo diferencial pura. La fuente VC genera los pulsos y rampas de prueba para la entrada.

La Figura 11.19c muestra la respuesta a pulsos de 5 V que activan y desactivan el amplificador diferencial generando interrupciones en la salida senoidal. La amplitud de salida es ligeramente menor que la esperada, quizás porque el SPICE calcula con una mayor fiabilidad.

Los resultados de la prueba de la rampa de la Figura 11.19d verifican que el circuito multiplicador tiene la relación lineal que demanda la aplicación entre la tensión de salida y la presión de entrada.

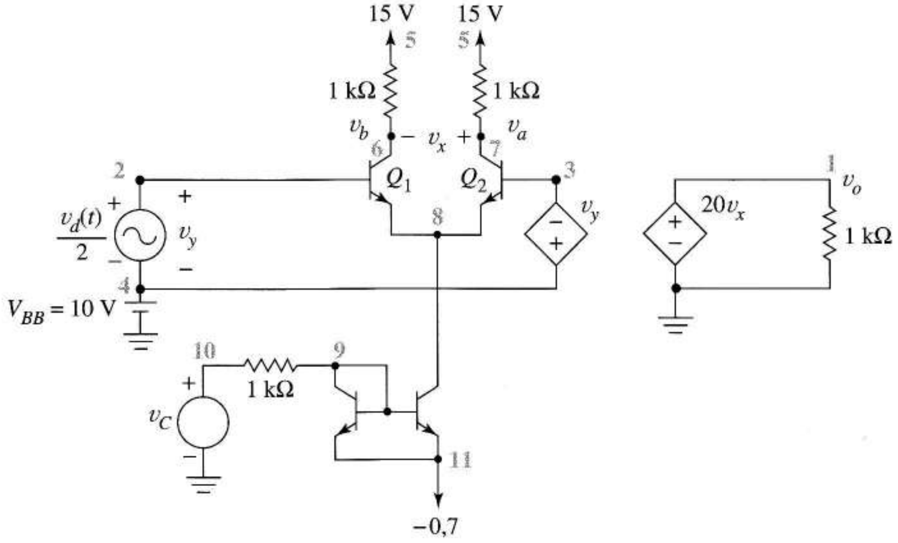
Hay otro detalle práctico de nuestro diseño que merece la pena examinar, la idea de usar $V_{EE} = V_{BB}$ para eliminar el término de error causado por la Ecuación (11.16). Como en nuestro diseño se usó la aproximación $V_{EE} = 0{,}7$ V provenientes de la desconocida V_{BE}, sospechamos que es posible que el circuito real produzca un pequeño error. Es más, examinando $v_o(t)$ en el listado de amplitudes del SPICE, descubrimos que hay una salida senoidal de 42 mV de amplitud entre los pulsos de la Figura 11.19c, que es demasiado pequeña para verla a la escala de la figura. ❏

Ejercicio 11.5 Como el circuito de la Figura 11.19a produce erróneamente una salida senoidal de 42 mV cuando $v_C = 0$, un uso prudente del circuito requiere que restrinjamos las variaciones de la entrada de control a un rango

$$v_{C,\,mín} \le v_C \le 5\ \text{V}$$

Obtener $v_{C,\,mín}$.

Respuesta $v_{C,\,mín} = 210$ mV.

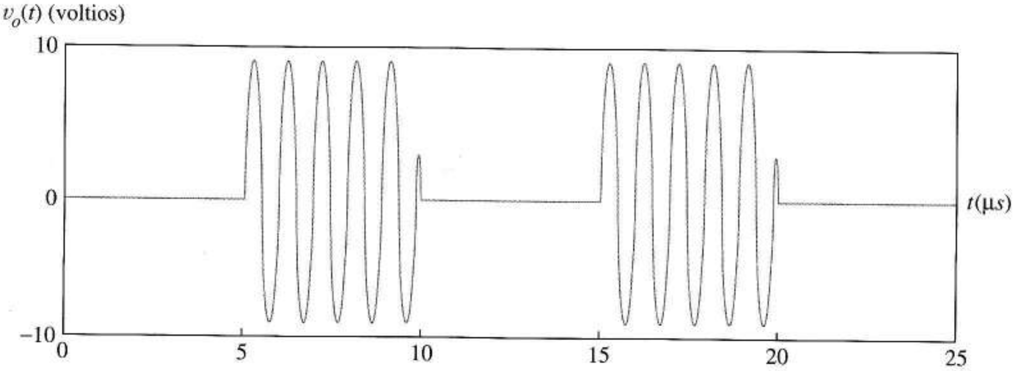


(a)

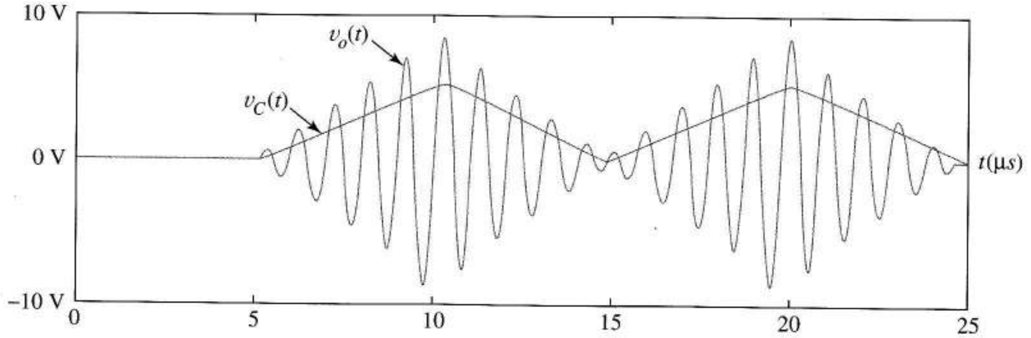
```
EXAMPLE 11.4
VCC 5 0 DC 15
VEE 11 0 DC -0.7
R 10 9 1K
RC1 5 6 1K
RC2 5 7 1K
RL 1 0 1K
QM1 9 9 11 NDEV
QM2 8 9 11 NDEV
Q1 6 2 8 NDEV
Q2 7 3 8 NDEV
.MODEL NDEV NPN BF=100
E1 4 3 2 4 1
E2 1 0 7 6 20
VBB 4 0 DC 10
VC 10 0 PULSE(0 5 5U 0 0 5U 10U)
*VC 10 0 PULSE(0 5 5U 5U 5U 0.1U 10U)
VD2 2 4 SIN(0 2.5M 1E6)
.TRAN 0.025U 25U
.OP
.PLOT TRAN V(1)
.END
```

(b)

FIGURA 11.19 Ejemplo 11.4: (a) diseño del circuito; (b) código SPICE; (c) respuesta a los pulsos; (d) respuesta a las rampas.



(c)



(d)

FIGURA 11.19 (Continuación)

11.3.2 MULTIPLICADOR DE PEQUEÑA SEÑAL DE CUATRO CUADRANTES

Célula de Gilbert La *célula de Gilbert*, Figura 11.20a, es un *multiplicador de cuatro cuadrantes* siempre que ambas entradas sean pequeñas señales. La célula de Gilbert es útil por sí misma y también es un bloque importante para construir otros circuitos. Las entradas son v_{D1} y v_{D2}, y la salida es $i_x - i_y$. Con los cambios de notación adecuados, la Ecuación (11.13) describe este circuito

$$i_{C3} - i_{C4} = i_{C1} \tanh\left(\frac{v_{D2}}{2V_T}\right) \tag{11.20}$$

e

$$i_{C6} - i_{C5} = i_{C2} \tanh\left(\frac{v_{D2}}{2V_T}\right) \tag{11.21}$$

ecuaciones que suponen que todas las corrientes de colector son no negativas. La salida es

$$i_X - i_y = (i_{C3} + i_{C5}) - (i_{C4} + i_{C6}) = (i_{C3} - i_{C4}) - (i_{C6} - i_{C5})$$

o

$$i_X - i_Y = (i_{C1} - i_{C2}) \tanh\left(\frac{v_{D2}}{2V_T}\right) \tag{11.22}$$

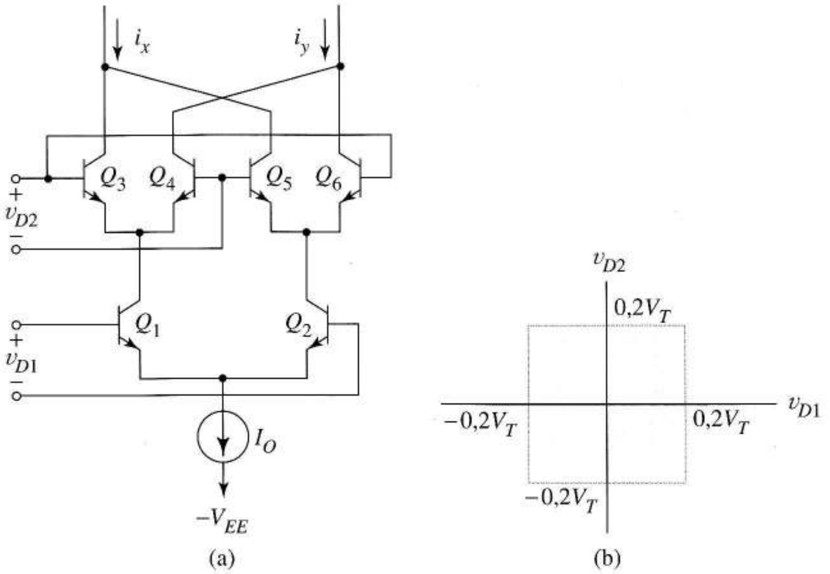


FIGURA 11.20 Célula de Gilbert: (a) esquema del circuito; (b) restricciones de las amplitudes de las entradas para que la Ecuación (11.24) sea válida.

La sustitución final procedente de la Figura 11.20a da la ecuación de la célula de Gilbert de gran señal.

$$i_X - i_Y = I_O \tanh\left(\frac{v_{D1}}{2V_T}\right) \tanh\left(\frac{v_{D2}}{2V_T}\right) \tag{11.23}$$

Cuando $v_{D1} = v_{d1}$ y $v_{D2} = v_{d2}$ cumplen las *condiciones de pequeña señal* $|v_{d1}/2V_T| << 1$ y $|v_{d2}/2V_T| << 1$, esto es

$$|v_{d1}| \le 0{,}2V_T \text{ y } |v_{d2}| \le 0{,}2V_T$$

entonces la Ecuación (11.23) se transforma en

$$i_x - i_y = \frac{I_O}{4V_T^2} v_{d1} v_{d2} \tag{11.24}$$

La Figura 11.19b muestra el espacio de entrada de cuatro cuadrantes de este multiplicador. En la célula de Gilbert no hay término de error que necesite una polarización crítica como en la Ecuación (11.16).

EJEMPLO 11.5 a) Obtener las frecuencias que aparecen en la salida de la Figura 11.20a para las pequeñas señales

$$v_{D1} = v_{d1}(t) = A \text{ sen } \omega_c t$$

y

$$v_{D2} = v_{d2}(t) = B \text{ sen } \omega_m t$$

cuando $\omega_c >> \omega_m$.

b) Seleccionar las amplitudes de señal, fijar los niveles de polarización y añadir cualquier componente necesario para que la salida de la célula de Gilbert se convierta en una tensión diferencial.

Solución a) De la Ecuación (11.24)

$$i_x - i_y = \frac{I_O}{4V_T^2} AB \text{ sen } \omega_m t \text{ sen } \omega_c t$$

Para obtener las frecuencias contenidas en el producto trigonométrico empleamos una igualdad conocida que da

$$i_x - i_y = \frac{ABI_O}{8V_T^2}\left[\cos(\omega_c + \omega_m)t - \cos\,(\omega_c + \omega_m)t\right]$$

Por lo tanto, el espectro de salida está formado por la diferencia y suma de frecuencias $\omega_c - \omega_m$ y $\omega_c + \omega_m$. En la teoría de comunicaciones se llaman frecuencias *laterales* superior e inferior, e $i_x - i_y$ se llama onda supresora de portadora de doble banda lateral, una clase de señales importante en sistemas de comunicación de larga distancia. Un modulador como éste, que produce frecuencias laterales pero no frecuencia portadora, se llama *modulador equilibrado*.

b) Las mayores amplitudes de señal, de acuerdo con la Ecuación (11.24), son $A = B = 0{,}2\ V_T = 0{,}005$ V. Si elegimos arbitrariamente $I_O = 4$ mA la amplitud el pico de la señal de salida es

$$\left|i_x - i_y\right|_{pico} = \frac{4 \text{ mA}}{4(0{,}025)^2}(0{,}005)^2 = 40\ \mu\text{A}$$

Hacer que i_x e i_y circulen por resistencias de colector de $R_C = 4$ kΩ (otra decisión arbitraria) produce una salida en modo diferencial de amplitud (4 kΩ) (40 μA) = 0,16 V. La Figura 11.21 muestra el circuito completo.

Examinemos ahora la polarización. Las corrientes de colector de Q_1 y Q_2 y las corrientes por las resistencias valen 2 mA. Si, como se indica, seleccionamos $V_{EE} = V_{CC} = 12$ V entonces, las tensiones de colector de Q_3, Q_4, Q_5 y Q_6 se convierten en

$$12 - (4 \text{ k}\Omega)(2 \text{ mA}) = 4 \text{ V}$$

Las bases de Q_3 ,Q_4, Q_5 y Q_6 se polarizan a 0V mientras las bases de Q_1 y Q_2 se polarizan a –3 V debe asegurar funcionamiento activo. ❑

Ejercicio 11.6 Para el circuito de la Figura 11.21.

a) ¿Qué funciona mal si la fuente de polarización de 3 V se sustituye por 0 V?

b) Para incrementar la amplitud de la señal de salida las resistencias de la Figura 11.21 se suben a 6 kΩ. Sugiera cambios en la polarización que hagan que esto sea posible. ¿Cuál sería la nueva amplitud de la señal de salida?

Respuesta Q_1 y Q_2 se saturan. Cambiar la fuente de –3 V a –6 V y polarizar la entrada sin $\omega_m t$ a –3 V, 0,24 V.

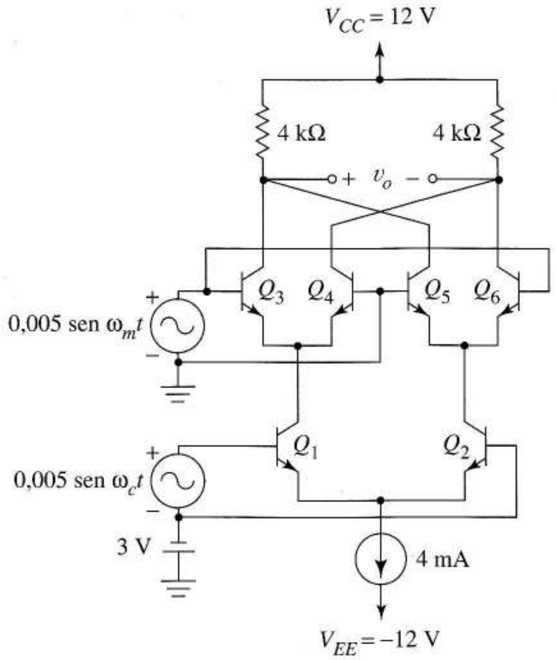


FIGURA 11.21 Circuito del modulador equilibrado diseñado en el ejemplo 11.5.

11.3.3 MULTIPLICADOR DE GRAN SEÑAL DE CUATRO CUADRANTES

Describimos ahora dos circuitos de entrada especiales que amplían el funcionamiento en cuatro cuadrantes de la célula de Gilbert a *grandes* señales.

Circuito convetidor tensión/corriente Primero veremos que el par de emisores acoplados de la Figura 11.22a convierte una tensión de entrada "grande" en una corriente diferencial de salida proporcional. Esto justifica añadir resistencias a los emisores de Q_1 y Q_2 en la Figura 11.20a para así eliminar la restricción de pequeña señal en el terminal de entrada "más bajo" de la célula de Gilbert.

Cuando las bases están a masa en la Figura 12.22a suponemos que todos los transistores están en funcionamiento activo y las corrientes de colector son $I_O/2$. Consideremos ahora la aplicación de una tensión de entrada diferencial v_{D1}, no necesariamente pequeña. Dando por válido, de momento, que podemos usar el análisis de pequeña señal, dibujamos la Figura 11.22b. La obtención de la Ecuación (7.20) mostraba que el modelo de pequeña señal del transistor bipolar es válido siempre que v_{be} sea 5 mV o menos. Las Figuras 11.22a y b muestran que v_{be} es sólo aquella parte de v_{D1} que cae en r_π, concretamente

$$v_{be} = \frac{r_\pi}{2r_\pi + 2(\beta+1)R_E} v_{D1} \approx \frac{1}{2g_m R_E} V_{D1}$$

cuando $(\beta+1)\, R_E >> r_\pi$. Sustituyendo $v_{be} = 5$ mV en esta ecuación, obtenemos que nuestro modelo de pequeña señal es válido para señales de *entrada* que cumplan

$$|v_{D1}| < \frac{g_m R_E}{100} = \frac{[(I_O/2)/V_T]R_E}{100} = \frac{I_O R_E}{5} \qquad (11.25)$$

Combinando los resultados de los análisis de polarización y señal da

$$i_{C1} = \frac{I_O}{2} + \beta \frac{v_{D1}}{R_i}$$

donde R_i es la resistencia de entrada del circuito mostrada explícitamente en la Figura 11.22b. Sustituyendo R_i y haciendo las aproximaciones usuales para un transistor de beta alta da

$$i_{C1} = \frac{I_O}{2} + \frac{1}{2R_E} v_{D1} \tag{11.26}$$

y

$$i_{C2} = \frac{I_O}{2} + \frac{1}{2R_E} v_{D1} \tag{11.27}$$

Por lo tanto,

$$i_{C1} - i_{C2} = \frac{1}{R_E} v_{D1} \tag{11.28}$$

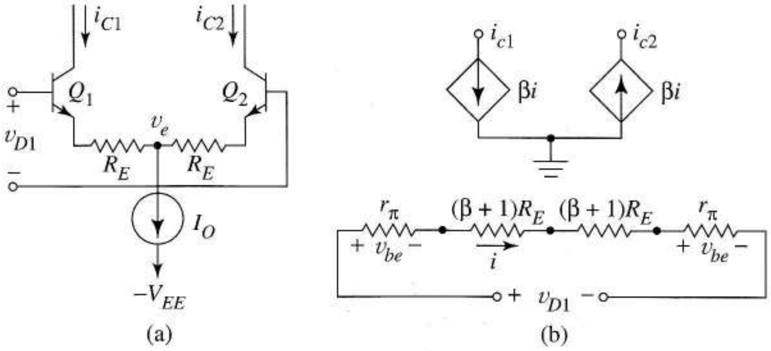


FIGURA 11.22 Circuito convertidor tensión-corriente: (a) esquema; (b) modelo de pequeña señal.

Concluimos que al añadir resistencias R_E a los emisores de Q_1 y Q_2 en la Figura 11.20a se amplía la banda de señal admisible para la v_{D1} de la Figura 11.20b a los límites marcados por la Ecuación (11.25). El circuito de Gilbert así modificado combina las Ecuaciones (11.28) y (11.22) para dar

$$i_X - i_Y = \frac{1}{R_E} v_{D1} \tanh\left(\frac{v_{D2}}{2V_T}\right) \tag{11.29}$$

A continuación describimos un circuito de predistorsión especial que compensa la función tangente hiperbólica (que no es lineal) de esta ecuación.

Circuito de predistorsión La Figura 11.23a muestra un circuito de predistorsión, un circuito tensión/corriente que usa transistores de carga conectados a diodos para producir la tensión de salida v_x. Como la salida es la diferencia de las tensiones V_{BE} de las parejas de transistores de salida conectados como diodos.

$$v_X = V_T \ell n\left(\frac{i_{C1}}{I_S}\right) - V_T \ell n\left(\frac{i_{C2}}{I_S}\right) = V_T \ell n\left(\frac{i_{C1}}{i_{C2}}\right) \tag{11.30}$$

Como las componentes de polarización y señal de las corrientes de colector son las de las Ecuaciones (11.26) y (11.27)

$$v_X = V_T \ell n\left(\frac{I_O/2 + v_{D2}/2R_E}{I_O/2 - V_{D2}/2R_E}\right) = V_T \ell n\left(\frac{1 + v_{D2}/I_O R_E}{1 - v_{D2}/I_O R_E}\right)$$

La igualdad

$$\ell n\left(\frac{1+x}{1-x}\right) = 2\ \tanh^{-1} x, \quad |x| < 1$$

(verdadera porque ambos lados tienen la misma serie de Taylor) da la ecuación equivalente

$$v_X = 2V_T\ \tanh^{-1}\left(\frac{v_{D2}}{I_O R_E}\right), \quad \frac{v_{D2}}{I_O R_E} < 1 \tag{11.31}$$

Cuando la señal *predistorsionada* v_X, proporciona la entrada "v_{D2}" para la ecuación del multiplicador de Gilbert (11.29) tenemos

$$i_X - i_Y = \frac{1}{R_E} v_{D1} \tanh\left[\tanh^{-1}\left(\frac{1}{I_O R_E} v_{D2}\right)\right] = \frac{1}{I_O R_E^2} v_{D1} v_{D2} \tag{11.32}$$

El circuito multiplicador de gran señal de la Figura 11.23b incorpora el circuito tensión/corriente para la señal v_{D1} y el circuito de predistorsión para la señal v_{D2}. Las Ecuaciones (11.25) y (11.31) limitan las amplitudes de la señal de entrada a

$$|v_{D1}| \le \frac{I_O R_E}{5} \quad \text{y} \quad |v_{D2}| \le I_O R_E \tag{11.33}$$

EJEMPLO 11.6 Diseñar un multiplicador de gran señal de cuatro cuadrantes para señales de entrada de amplitud máxima $|v_{D1}| = 1$ V y $|v_{D2}| = 5$ V con alimentaciones de ±15 V.

Solución Seleccionamos $|v_{D1}| = 1$ V en la Ecuación (11.3) da $I_O R_E = 5$ V. Si elegimos $I_O = 1$ mA entonces $R_E = 5$ kΩ y la Ecuación (11.32) pasa a ser

$$i_X - i_Y = 4 \times 10^{-5} v_{D1} v_{D2}$$

La Figura 11.24 muestra los datos de polarización conocidos; las resistencias de colector R_C se suman para producir la tensión de salida v_o. Como cada una lleva 0,5 mA de corriente de polarización, las resistencias R_C deben ser lo bastante pequeñas para evitar la saturación de $Q_3 - Q_6$. Si seleccionamos una tensión de polarización V_{CE} = 0,6 V para dar una tensión de salida relativamente grande, pero con un barrido de señal pequeño, entonces R_C debe cumplir

$$15 - R_C(0{,}5 \text{ mA}) = 13{,}6 + 0{,}6 = 14{,}2 \text{ V}$$

o $R_C = 1{,}6$ kΩ. La tensión de la señal de salida cumple

$$v_o = (i_X - i_Y)1{,}6 \text{ k} = 0{,}064 v_{D1} v_{D2}$$

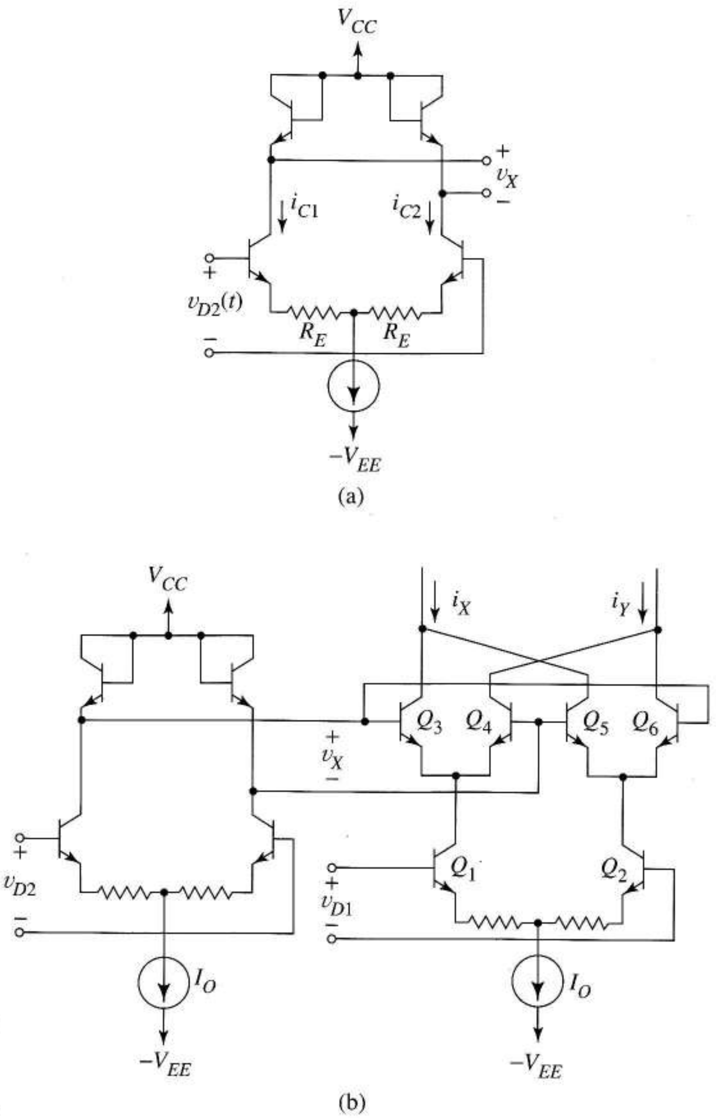


FIGURA 11.23
Multiplicador de gran señal de cuatro cuadrantes: (a) circuito de predistorsión; (b) multiplicador completo.

La tensión de salida instantánea máxima debería corresponder a $v_{D1}v_{D2}$ = 5 V; por lo tanto, $v_{o,\,máx}$ = 0,32 V. Los barridos de señal en los colectores de $Q_3 - Q_6$, de amplitud 0,32/2 = 0,16 V, se adaptan mediante la tensión de polarización seleccionada V_{CE} = 0,6 V. ❑

En el ejemplo anterior, rebajar la tensión de alimentación positiva del circuito de predistorsión a un valor menor que 15 V debería permitirnos usar resistencias R_C mayores para obtener una tensión de salida más alta.

Ejercicio 11.7 Obtener el nuevo valor de R_C que polariza Q_3–Q_6 a V_{CE} = 3,4 V si sustituimos la tensión de alimentación de 15 V del circuito de predistorsión por una alimentación de 5 V. Determinar la tensión instantánea máxima de la señal de salida en este caso.

Respuesta R_C = 16 kΩ, $|v_{o,\,máx}|$ = 6,4 V.

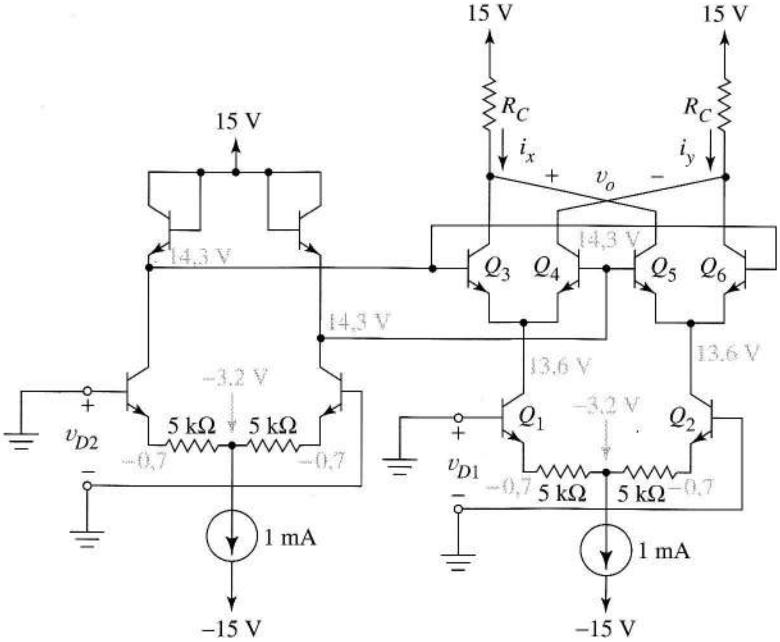


FIGURA 11.24 Diseño del multiplicador del Ejemplo 11.6.

11.3.4 MODULADOR EQUILIBRADO

El modulador equilibrado de la Figura 11.20 tiene otro modo de funcionamiento que incluye el paso, alternativamente, de estado activo a corte de Q_1 y Q_2 con una señal portadora en frecuencia de gran amplitud. Esto da los circuitos equivalentes de la Figura 11.25, porque al eliminar las corrientes de polarización los distintos pares de transistores de salida se cortan alternativamente. La Figura 11.25a es un amplificador de emisores acoplados descrito por

$$v_o = -g_m R_C v_{d2} \tag{11.34}$$

La Figura 11.25b da

$$v_o = g_m R_C v_{d1} \tag{11.35}$$

Para establecer la amplitud de entrada mínima de este modo de funcionamiento observe en la Ecuación (11.13) que v_{D1} desvía virtualmente todas las corrientes hacia un solo transistor de entrada cuando $|i_{C1} - i_{C2}| > 0{,}99\, I_O$, esto es, cuando la entrada cumple

$$|v_{D1}| > 2V_T \tanh^{-1} 0{,}99 = 132 \text{ mV} \tag{11.36}$$

A continuación mostramos que, cuando el circuito funciona de este modo, es un modulador equilibrado. Conmutando entre las Ecuaciones (11.34) y (11.35) la salida a la frecuencia portadora será

$$v_o(t) = \left[-g_m R_C v_{d2}(t)\right] v_{D3}(t) \tag{11.37}$$

donde $v_{D3}(t)$ es una onda cuadrada *ficticia*, de amplitud unidad y frecuencia portadora, que cambia el signo. Por ejemplo, sea $v_{D2}(t) = V_M \cos \omega_m t$ una onda moduladora de baja frecuencia y $v_{D1}(t)$ una onda cuadrada de frecuencia $\omega_c >> \omega_m$ que tiene una amplitud que cumple la Ecuación (11.36). La Figura 11.26a muestra las formas de onda resultantes.

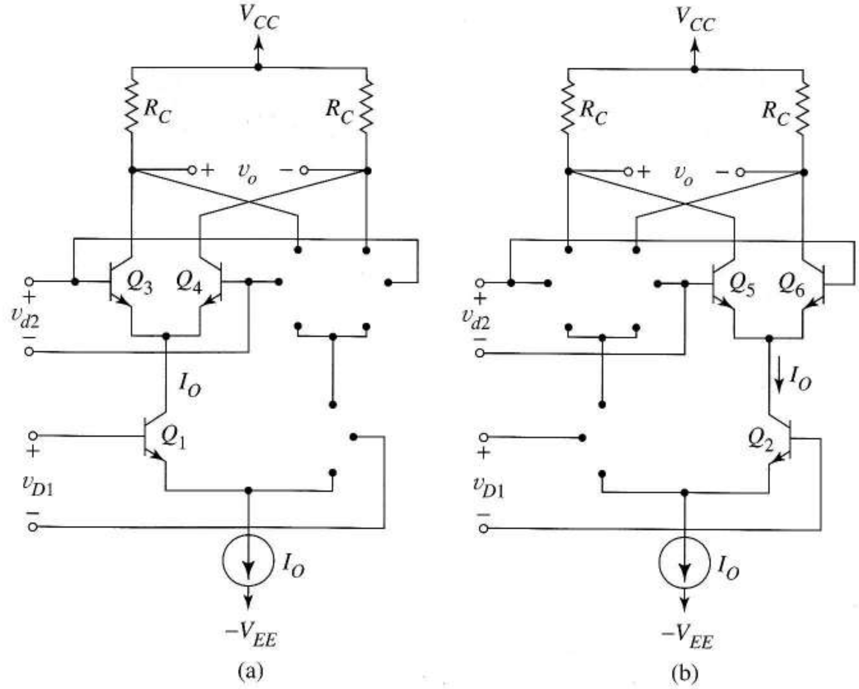


FIGURA 11.25
Modulador equilibrado con entrada portadora grande: (a) $v_{D1}>0$; (b) $v_{D1}<0$.

La serie de Fourier de $v_{D3}(t)$ es

$$v_{D3}(t) = \sum_{n=1,3,5,...}^{\infty} \frac{4}{n\pi} \text{sen } n\omega_c t \tag{11.38}$$

Para estas formas de onda la Ecuación (11.37) da

$$v_o(t) = -g_m R_C V_M \sum_{n=1,3,5,...}^{\infty} \frac{4}{n\pi} \text{sen } n\omega_c t \cos \omega_m t$$

que se puede expresar como

$$v_o(t) = \sum_{n=1,3,5,...}^{\infty} \frac{-2gR_C V_M}{n\pi} \left[\text{sen}\left(n\omega_c - \omega_m\right)t + \text{sen}\left(n\omega_c + \omega_m\right)t\right] \tag{11.39}$$

La onda de salida del modulador equilibrado se obtiene eliminando los términos de índice $n > 1$ con un filtro como el de la Figura 11.26b.

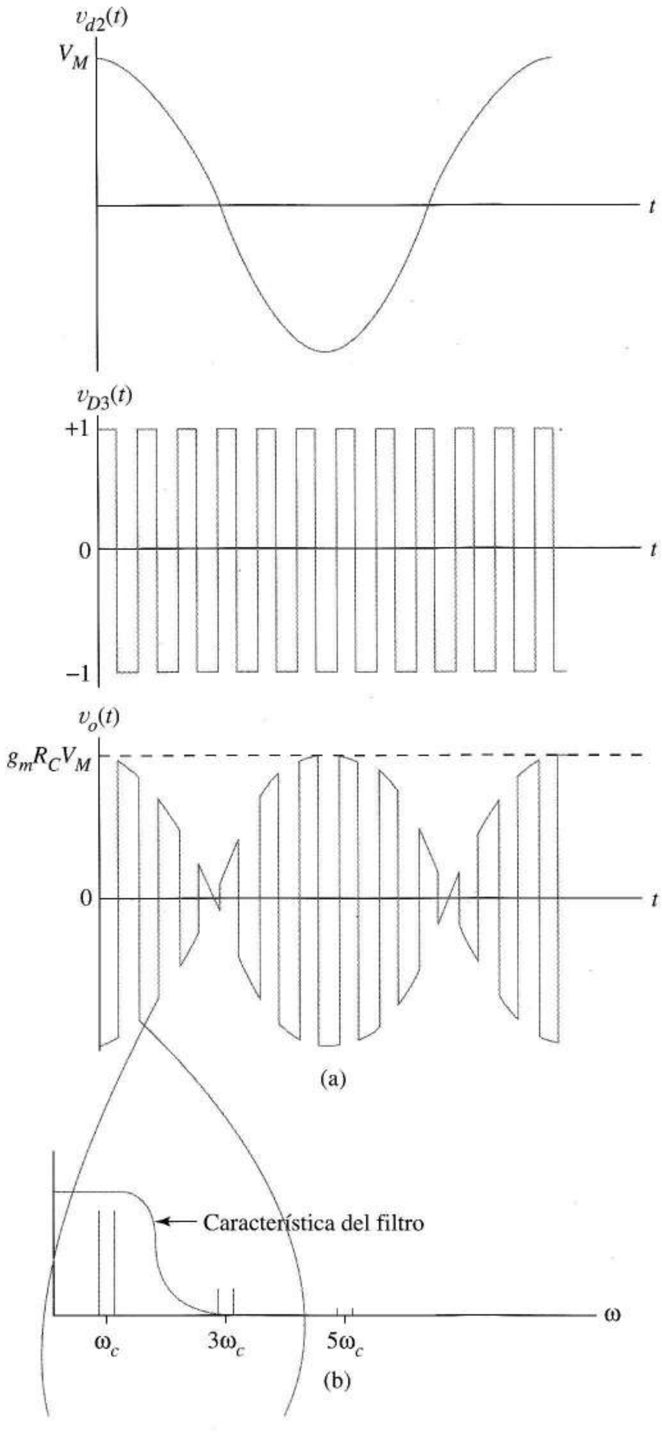


FIGURA 11.26 Modulador equilibrado: (a) ondas equivalentes para senoides moduladas en gran señal y pequeña señal; (b) funcionamiento del filtro necesario para eliminar las frecuencias no deseadas.

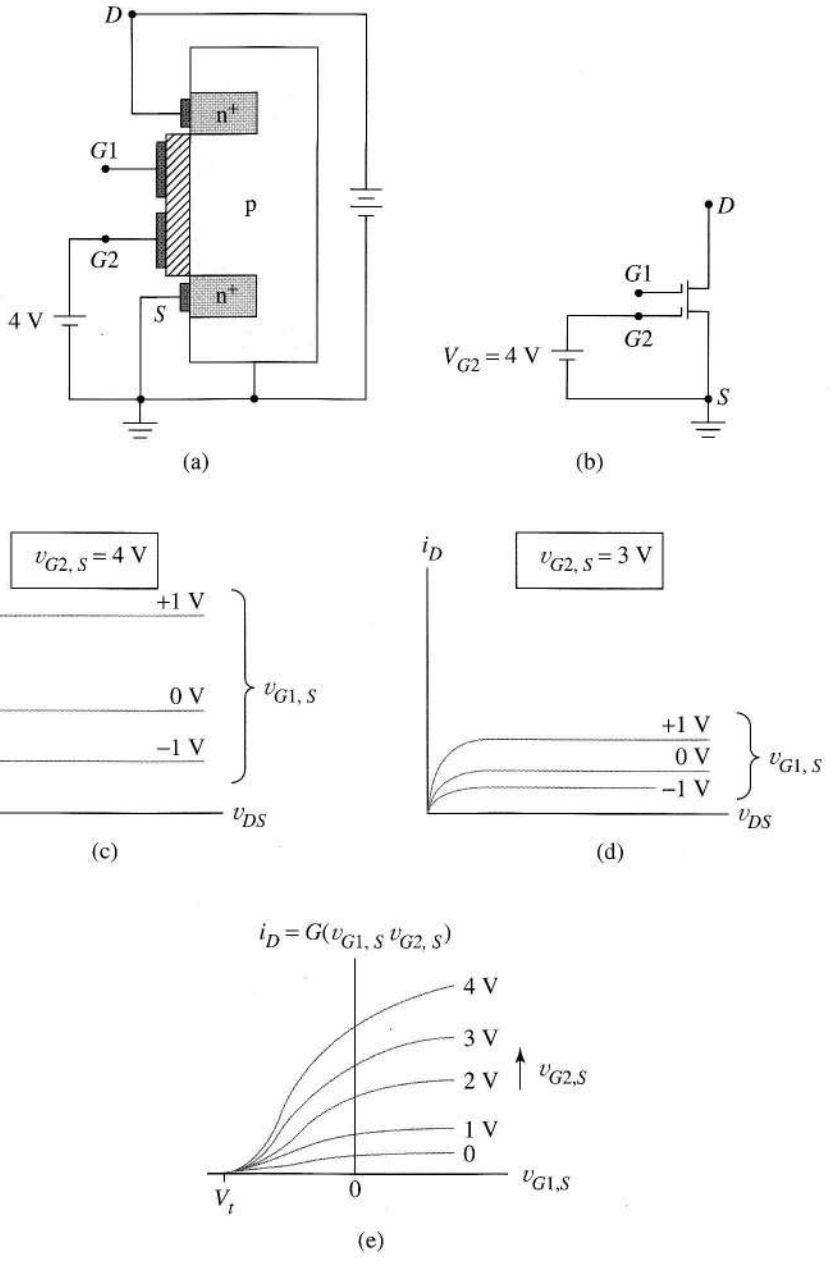


FIGURA 11.27 MOSFET de doble puerta: (a) estructura física; (b) representación esquemática; (c) características de salida para $v_{G2,S} = 4$V; (d) curvas de salida para $v_{G2,S} = 3$V (e) corriente de drenador en función de dos variables.

11.3.5 MOSFET DE DOBLE PUERTA

El MOSFET de doble puerta de la Figura 11.27a es un transistor especial adecuado para mezcladores, multiplicadores y aplicaciones de control automático de ganancia. En esta figura la tensión de polarización conecta la segunda puerta a la fuente; la Figura 11.27b muestra su esquema. Cuando $v_{G2,S} = 4$ V las características de salida, Figura 11.27c, se parecen a las características del MOSFET de deplexión; sin embargo, el canal que existe para $v_{G1} = 0$ se crea polarizando la puerta 2, no durante la fabricación. La conductividad del canal se puede controlar dinámicamente con la segunda puerta. Esto lo vemos en la Figura 11.27d que muestra las características de salida para $v_{G2,S} = 3$ V. La familia de características de transferencia, Figura 11.27e, representa la corriente de drenaje con una función no lineal de las dos tensiones puerta-fuente.

Después de fijar un punto Q estático con un circuito de polarización aplicamos pequeñas señales, $v_{g1,s}$ y $v_{g2,s}$ a las puertas. La corriente de drenaje de pequeña señal resultante es

$$i_d = \frac{\partial G}{\partial v_{G1,S}} v_{g1,s} + \frac{\partial G}{\partial v_{G2,S}} v_{g2,s} + \frac{\partial^2 G}{\partial v_{G2,S} \partial v_{G1,S}} v_{g1,s} v_{g2,s} \tag{11.40}$$

donde cada derivada parcial se evalúa en el punto Q. Esta expresión supone señales tan pequeñas que los términos de mayor orden son suficientemente pequeños para ignorarlos.

Para construir el equivalente de pequeña señal reescribimos esta ecuación con la notación de pequeña señal

$$i_d = g_{m1} v_{g1,s} + g_{m2} v_{g2,s} + g_{m1,2} v_{g1,s} v_{g2,s} \tag{11.41}$$

que sugiere el circuito equivalente de la Figura 11.28a. Para que el dispositivo multiplique, el último término de la Ecuación (11.41) debe ser dominante o hay que eliminar los otros filtrándolos.

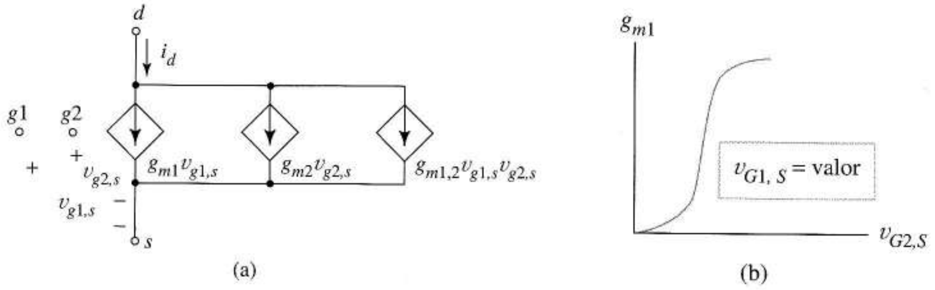


FIGURA 11.28 MOSFET de doble puerta: (a) circuito equivalente de pequeña señal; (b) g_{m1} evaluada como una función de $v_{G2,S}$ en el punto Q de valor $V_{G1,S}$.

A veces, las hojas de características del transistor dan los parámetros de pequeña señal para un punto Q determinado. Si no se da esta información o elegimos otro punto Q podemos estimar los valores de g_{m1} y g_{m2} a partir de una familia de características de transferencia como los métodos de Sección 7.23. A veces, además de las características de transferencia, las hojas de características incluyen una curva g_{m1} versus $v_{G2,S}$ como la de la Figura 11.28b. Como

$$g_{m1,2} = \frac{\partial\left(\partial G/\partial v_{g1,s}\right)}{\partial v_{G2,S}} = \frac{\partial g_{m1}}{\partial v_{G2,S}} \tag{11.42}$$

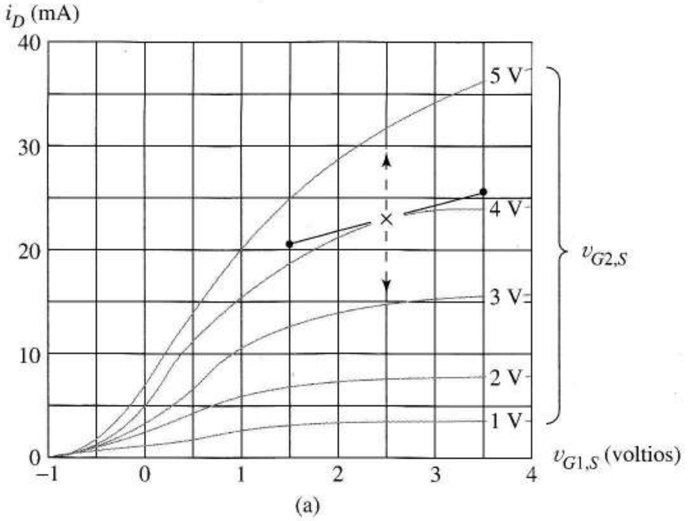
$g_{m1,2}$ es la pendiente de esta curva g_{m1} en el punto Q.

EJEMPLO 11.7 Las Figuras 11.29a y b describen un MOSFET de doble puerta. Obtener gráficamente g_{m1}, g_{m2} y $g_{m1,2}$ cuando el punto de funcionamiento es $(V_{G1,S}, I_D) = (2{,}5\text{ V}, 23\text{ mA})$.

Solución La Figura 11.29a muestra que $V_{G2,S} = 4$ V en el punto Q designado. El asterisco marca el punto Q en cada curva y las dos figuras muestran las construcciones.

En la Figura 11.29a los puntos al final de la línea de trazos vertical (v_{G1} constante) pasan por el punto Q dan g_{m2}, esto es,

$$g_{m2} \approx \frac{\Delta i_D}{\Delta v_{G2,S}}\bigg|_{v_{G1,S}=2,5} = \frac{(30-15)\times 10^{-3}}{5-3} = 0{,}0075\ \text{A/V}$$



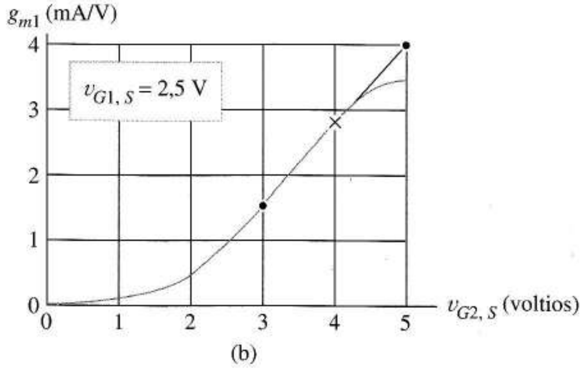


FIGURA 11.29
Curvas de la hoja de características y construcciones utilizadas en el Ejemplo 11.7.

La pendiente de la tangente a la curva en $V_{G2,S} = 4$ V es

$$g_{m1} \approx \frac{\Delta i_D}{\Delta v_{G1,S}}\bigg|_{v_{G2,S}=4} = \frac{(26-20{,}5)\times 10^{-3}}{3{,}5-1{,}5} = 0{,}00275\ \text{A/V}$$

En la Figura 11.29b la pendiente de la tangente es

$$g_{m1,2} \approx \frac{\Delta g_{m1}}{\Delta v_{G2,S}}\bigg|_{v_{G1,S}=2,5} = \frac{(4-1{,}5)\times 10^{-3}}{5-3} = 0{,}00125 \ \ \text{A/V}^2$$

❑

Ejercicio 11.8 Obtener los coeficientes de la Ecuación (11.40) cuando el punto Q de la Figura 11.29 es $(V_{G1,s}, I_D) = (2{,}5\ \text{V}, 14{,}5\ \text{mA})$

Respuesta $g_{m2} \approx 8$ mA/V, $g_{m1} \approx 15$ mA/V y $g_{m1,2} \approx 1{,}25$ mA/V^2.

11.4 PLL (BUCLE DE CAPTURA DE FASE)

Un *bucle de captura* de fase o PLL (Phase Locked Loop) es un circuito de realimentación negativa que acepta una frecuencia en su entrada y que proporciona en la salida una frecuencia o una tensión. Las aplicaciones incluyen demoduladores de amplitud, modulación de frecuencia, multiplicadores de frecuencia y sintetizadores de frecuencia. Los PLLs se pueden construir con subcircuitos o comprarse como dispositivos MSI. Este apartado hace hincapié en los principios de funcionamiento básicos comunes a todos los bucles de captura de fase y en el hardware utilizado en algunas implementaciones de circuitos integrados. Primero estudiamos el PLL suponiendo ideales sus componentes. Posteriormente describiremos algunos componentes reales y relacionamos sus características con el funcionamiento del bucle.

11.4.1 COMPONENTES DEL LAZO

La Figura 11.30 muestra la estructura general del bucle cuando la fase está enganchada. La señal de entrada, una señal senoidal (o cuadrada) de frecuencia angular ω_i y fase θ_i se aplica a un dispositivo llamado *detector de fase*. La salida del detector de fase, ampliada y filtrada, controla la frecuencia de un oscilador controlado por tensión (VCO[1]). La salida del VCO, una onda senoidal o cuadrada de frecuencia ω_o, proporciona una segunda entrada para el detector de fase. La salida del PLL, dependiendo de la aplicación, es una tensión v_3 que controla el VCO o la frecuencia ω_o de la salida del VCO. Las fases y frecuencias angulares instantáneas se relacionan de la forma habitual

$$\omega_i = \frac{d\theta_i}{dt} \ \text{ y } \ \omega_o = \frac{d\theta_o}{dt} \qquad (11.43)$$

La Figura 11.31 muestra una característica simplificada para cada componente del lazo. El filtro y el amplificador son conocidos. El detector de fase, que se describe matemáticamente por

$$v_1 = K_P(\theta_i - \theta_o) \qquad (11.44)$$

donde K_P es una constante, produce una salida v_1 siempre que las fases de las señales de entrada y del VCO difieran. El VCO, caracterizado por la Figura 11.31d, funciona a su *frecuencia de oscila-*

[1]N. del T.: VCO son las extendidas siglas anglosajonas de Voltage Vontrolled Oscillator.

ción libre ω_{FR} cuando v_3 es cero. Los valores positivos o negativos de v_3 hacen que la frecuencia aumente o disminuya respecto a ω_{FR} de acuerdo con

$$\omega_o = \omega_{FR} + K_o v_3 \tag{11.45}$$

donde K_o es otra constante. A continuación mostramos cómo interaccionan el detector de fase y el VCO durante el funcionamiento normal.

11.4.2 FUNCIONAMIENTO EN ESTADO DE ENGANCHE

Condición estática de enganche (seguimiento de fase) Para comprender el enganche de fase suponga un punto de arranque en el que las dos entradas del detector de fase son senoides de frecuencia ω_{FR} que tienen idéntica fase. En la Figura 11.32a representamos esta condición rotando los vectores cuyas proyecciones verticales instantáneas son las dos entradas del detector de fase. Ambos vectores giran a velocidad angular constante ω_{FR} rad/s y no hay diferencia de fases. Esto significa que en las Figuras 11.30 y 11.31, v_1, v_2 y v_3 son cero. Pero, de acuerdo con la Figura 11.31d, la tensión de entrada del VCO necesaria para *mantener* el *oscilador local* a la frecuencia ω_{FR}, esto es, igual a la frecuencia de entrada ω_i, es $v_3 = 0$. Por lo tanto el lazo está en equilibrio.

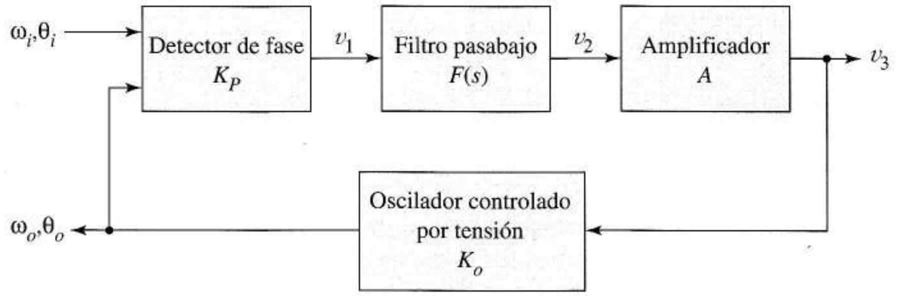


FIGURA 11.30 Diagrama de bloques del bucle de captura de fase.

Supongamos ahora que, de repente, ω_i toma un valor nuevo más alto. Entonces, en la Figura 11.32a el vector ω_i, girando más rápido, adelanta al vector ω_o. Esto produce una diferencia de fase $\Delta\theta = \theta_i - \theta_o$ como en la Figura 11.32b. La tensión de salida resultante del detector de fase, v_1, se filtra y amplifica en el bucle de la Figura 11.30. En la Figura 11.31d la frecuencia del VCO, ω_o, crece con la tensión de error amplificada, v_3, hasta que iguala el valor nuevo y más alto de ω_i. Otra vez ambos vectores giran a la misma velocidad angular (y más alta), pero ahora con una diferencia de fase positiva y constante, $\Delta\theta$, que representa un nuevo estado de equilibrio de bucle. Si ω_i disminuye se alcanza una situación semejante, con una diferencia de fase negativa que conduce a un nuevo equilibrio con v_3 negativa y una frecuencia de salida del VCO menor. En tanto que el bucle es capaz de ajustar de esta forma la frecuencia del VCO en respuesta a los cambios de la de entrada, tenemos la condición de *enganche de fase* y decimos que el lazo está en estado de enganche.

Cuando el lazo está en estado de enganche v_3 es proporcional a la frecuencia del VCO, que a su vez es idéntica a la frecuencia de entrada. Si sustituimos $\omega_i = \omega_o$ en la Ecuación (11.45) obtenemos

$$v_3 = \frac{\omega_i - \omega_{FR}}{K_o}$$

Concluimos que v_3 se puede usar como la salida del lazo en las aplicaciones donde la función del bucle es determinar una frecuencia de entrada desconocida ω_i.

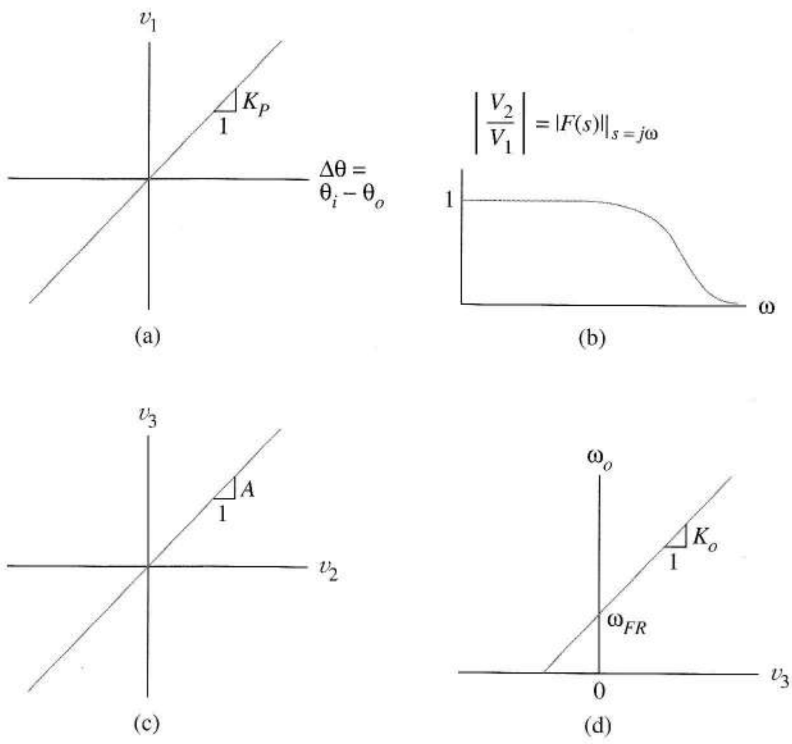


FIGURA 11.31 Caracterísitcas idealizadas de los componentes del PLL: (a) detector de fase; (b) filtro pasabajo; (c) amplificador; (d) oscilador controlado por tensión.

Los bucles de captura de fase suelen emplear ondas cuadradas para la entrada y la salida del VCO. En ondas cuadradas, el concepto de vector giratorio de la Figura 11.32 también se aplica; sin embargo las velocidades angulares representan las frecuencias fundamentales de las ondas cuadradas. Las ondas de valores binarios extienden el uso de los bucles de captura de fase a una gran variedad de interesantes aplicaciones. Por ejemplo, la Figura 11.33 muestra un bucle funcionando como *multiplicador de frecuencia*. El divisor de frecuencia digital produce una onda cuadrada de salida de frecuencia ω_o/N, que se acopla a una referencia de entrada estable ω_{REF}. Cuando el bucle está en estado de enganche, el VCO funciona a $\omega_o = N\omega_{REF}$, con una estabilidad de frecuencia igual a la de la frecuencia de referencia. El multiplicador de frecuencias se transforma en un sintetizador de ondas versátil usando un divisor programable para generar distintos valores de N y proporcionando a la entrada varias frecuencias de referencia controladas por cristal.

A los lazos en estado de enganche se le aplica el análisis de circuitos lineales. Aprovecharemos esta observación usando el análisis de circuitos lineales para describir el comportamiento dinámico del lazo en estado de enganche.

Descripción matemática de un bucle en estado de enganche Primero describiremos cada dispositivo de la Figura 11.30a mediante una función de transferencia, comenzando por el detector de fase. La transformada de Laplace de la Ecuación (11.44) es

$$V_1(s) = K_P\left[\theta_i(s) - \theta_o(s)\right]$$

Como la velocidad angular, no el ángulo de fase, es la entrada del bucle convertimos las funciones de fase en velocidades angulares usando la Ecuación (11.43). Para condiciones iniciales nulas, esto da

$$sV_1(s) = K_P\left[s\theta_i(s) - s\theta_o(s)\right] = K_P\left[\Omega_i(s) - \Omega_o(s)\right] \qquad (11.46)$$

donde $\Omega(s)$ denota la transformada de la velocidad angular. Para simplificar las expresiones seguiremos las *desviaciones de la frecuencia respecto a la frecuencia de oscilación libre* en lugar de seguir las frecuencias instantáneas absolutas. Por lo tanto, sustituyendo

$$\Omega_i(s) = \frac{\omega_{FR}}{s} + \Delta\Omega_i(s) \;\text{ y }\; \Omega_o(s) = \frac{\omega_{FR}}{s} + \Delta\Omega_o(s)$$

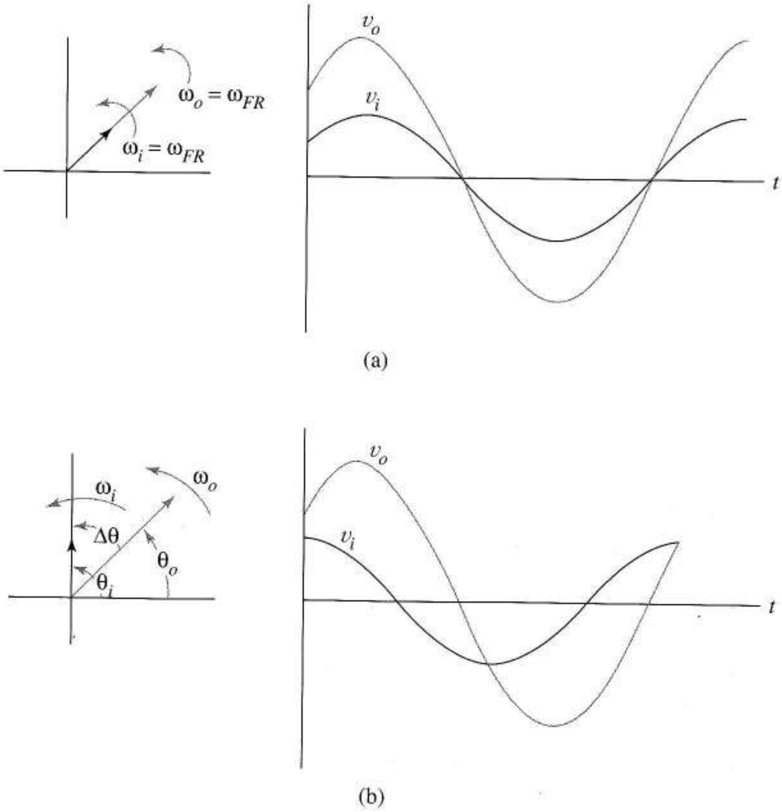


FIGURA 11.32 Creación de la señal de error del PLL: (a) cuando las entradas son iguales en frecuencia y fase la diferencia de fase es cero; (b) un incremento de la frecuencia de entrada causa un error de fase positivo .

El resultado es una ecuación del detector de fase que relaciona la tensión de salida con las desviaciones de frecuencia

$$V_1(s) = \frac{K_P}{s}\left[\Delta\Omega_i(s) - \Delta\Omega_o(s)\right] \tag{11.47}$$

De la función del filtro, $F(s)$, y el amplificador de las Figuras 11.31b y c obtenemos

$$V_3(s) = AF(s)V_1(s)$$

y

$$V_3(s) = AF(s)\frac{K_P}{s}\left[\Delta\Omega_i(s) - \Delta\Omega_o(s)\right] \tag{11.48}$$

El oscilador controlado por tensión de la figura 11.31 (d) cumple

$$\Delta\Omega_o(s) = K_o V_3(s) \tag{11.49}$$

Sustituyendo $V_3(s)$ en la Ecuación (11.49) por su valor de la Ecuación (11.48) da

$$\Delta\Omega_o(s) = K_o F(s) A \frac{K_P}{s}\left[\Delta\Omega_i(s) - \Delta\Omega_o(s)\right] \tag{11.50}$$

Despejando la relación entre la variable de salida $\Delta\Omega_o(s)$ y la variable de entrada $\Delta\Omega_i(s)$ se obtiene la función de transferencia

$$\frac{\Delta\Omega_o(s)}{\Delta\Omega_i(s)} = \frac{K_P A K_o F(S)}{s + K_P A K_o F(s)}$$

cuando ω_o es la salida. Podemos relacionar el PLL con la teoría de realimentación negativa interpretando esta ecuación según la Figura 9.1. La variable de salida x_o es $\Delta\Omega_o(s)$, la variable de entrada w_s es $\Delta\Omega_i(s)$ y $\beta = 1$. El detector de fase realiza la sustracción. Si la ganancia total de lazo, $K_o F(s) A\ K_P$, es suficientemente alta, es de esperar que la ganancia total del PLL sea $A_f \approx 1/\beta = 1$; es decir, la frecuencia de salida debe ser igual a la frecuencia de entrada. Esto describe la condición de régimen permanente cuando el lazo está en estado de enganche como ya explicamos usando la Figura 11.32. Sin embargo, usando la transformada de Laplace, también podemos estudiar el comportamiento transitorio del bucle. Si usamos v_3 como salida, sustituir en la Ecuación (11.49) conduce a

$$\frac{V_3(s)}{\Delta\Omega_i(s)} = \frac{K_P A F(s)}{s + K_P A K_O F(s)} \tag{11.51}$$

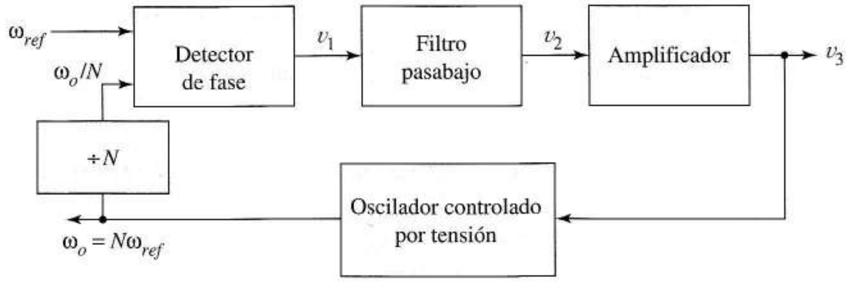


FIGURA 11.33 Configuración del multiplicador de frecuencia.

Dinámica de un bucle de primer orden Cuando no hay filtro en el bucle, esto es, cuando $F(s) = 1$ en la Ecuación (11.51) la dinámica es la de un sistema de paso bajo de primer orden.

$$\frac{V_3(s)}{\Delta\Omega_i(s)} = \frac{K_P A}{s + K_P A K_O} \tag{11.52}$$

caracterizado por la constante de tiempo $\tau = 1(K_P A\ K_o)$.

La Figura 11.34 muestra la respuesta del sistema cuando la frecuencia de entrada, inicialmente $\omega_x < \omega_{FR}$, cambia súbitamente a un valor $\omega_y > \omega_{FR}$ durante T segundos y, después, retorna a su valor original. La Figura 11.34a muestra la variación de frecuencia, la Figura 11.34b la onda de tensión de

entrada y la Figura 11.34c la tensión de salida $v_3(t)$. Como $\omega_o(t)$ es directamente proporcional a $v_3(t)$ vemos que la frecuencia del VCO crece exponencialmente hasta su nuevo valor en lugar de cambiar instantáneamente como lo hace la entrada. A menos que el bucle se diseñe para que tenga una constante de tiempo pequeña (ganancia de bucle alta) comparada con T, el circuito distorsiona el pulso de frecuencia igual que un filtro *RC* pasabajo distorsiona un pulso al añadir los tiempos de subida y bajada a la respuesta. Aunque es posible que la frecuencia parezca un soporte para la información un poco extraño, vemos que cualquier información codificada como un cambio de frecuencias se filtra mediante el sistema pasabajo de la Ecuación (11.52) igual que se filtró la información de tensión con circuitos pasabajos anteriores. De la Ecuación (11.52) concluimos que hay un *ancho de banda de filtro*, en este caso $\omega_B = K_P A K_o$ rad/s.

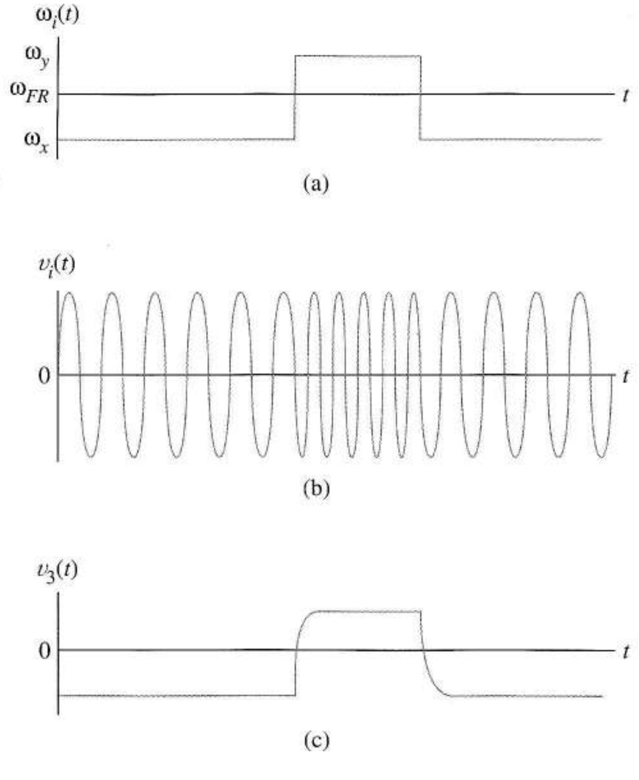


FIGURA 11.34 Respuesta transitoria del PLL cuando F(s)=1: (a) cambio de la frecuencia de entrada ; (b) forma de onda de la tensión de entrada; (c) tensión de salida.

Dinámica de un bucle de segundo orden Por razones que se verán cuando estudiemos los detectores de fase reales, los PLLs necesitan una función de filtro $F(s) \neq 1$. Cuando $F(s)$ es un filtro de primer orden o mayor, el PLL exhibe un comportamiento dinámico de segundo o mayor orden. Examinemos brevemente el importante caso de segundo orden.

Si sustituimos la función de filtro pasabajo

$$F(s) = \frac{\omega_H}{s + \omega_H} \tag{11.53}$$

en la Ecuación (11.51) el resultado es

$$\frac{V_3(s)}{\Delta\Omega_i(s)} = \frac{(K_P A\ \omega_H)/(s+\omega_H)}{s+(K_P A\ K_o\ \omega_H)/(s+\omega_H)} = \frac{K_P A\ \omega_H}{s^2+\omega_H s + K_P A\ K_o \omega_H}$$

En términos de ganancia de bucle

$$K_L = K_P A\ K_o \tag{11.54}$$

la función de transferencia es

$$\frac{V_3(s)}{\Delta\Omega_i(s)} = \frac{(K_L/K_o)\omega_H}{s^2+\omega_H s + K_L\ \omega_H}$$

En la notación normalizada de los sistemas de segundo orden esta ecuación toma la forma

$$\frac{V_3(s)}{\Delta\Omega_i(s)} = G(s) = \frac{1}{K_o}\frac{\omega_N^2}{s^2+2\zeta\omega_N s+\omega_N^2} \tag{11.55}$$

donde la *frecuencia natural de vacío* ω_N y la *relación de carga* ζ se dan en términos de parámetros de bucle mediante

$$\omega_N = \sqrt{K_L \omega_H} \tag{11.56}$$

y

$$\zeta = \frac{1}{2}\sqrt{\frac{\omega_H}{K_L}} \tag{11.57}$$

Por lo tanto, la información que entra codificada al lazo como cambios de frecuencia aparece en la salida como $v_3(t)$, pero sólo después de ser filtrada por la función filtro pasabajo de segundo orden $G(s)$.

La Figura 11.35a muestra la respuesta de frecuencia, Ecuación (11.55) en función de los parámetros del sistema. Debemos distinguir entre dos anchos de banda diferentes, el *ancho de banda del filtro* ω_H, y el *ancho de banda del lazo*, que define la respuesta de frecuencia del sistema en bucle cerrado. La línea de trazos muestra que cuando la relación de carga es menor que 0,707 el ancho de banda del lazo es mayor que la frecuencia natural en vacío ω_N. La Tabla 11.2 indica cómo se relaciona el ancho de banda con la relación de carga y ω_N. Las Ecuaciones (11.56) y (11.57) muestran que una ganancia de lazo alta, K_L, da un ancho de banda grande y un tiempo de respuesta pequeño a cambios transitorios de la señal de frecuencia. Sin embargo, valores excesivamente altos de la ganancia de lazo rebajan la relación de carga introduciendo picos e incluso oscilaciones en la respuesta del sistema como vemos en la Figura 11.35b.

TABLA 11.2 Ancho de banda normalizado del PLL para varias relaciones de carga.

ξ	Ancho de banda
0,1	1,545
0,25	1,485
0,707	1,0
1,0	0,645

EJEMPLO 11.8 Un PLL emplea un filtro de lazo pasabajo de primer orden $F(s)$ con ganancia unidad y ancho de banda ω_H. La respuesta total del filtro $G(s)$ debe tener un ancho de banda de 720 Hz y la respuesta de frecuencia con un pico que corresponde a $\zeta = 0,5$. Obtener los valores de ω_H y K_L.

Solución A partir de la Tabla 11.2 el ancho de banda normalizado es

$$\frac{2\pi 720}{\omega_N} \approx 1,27$$

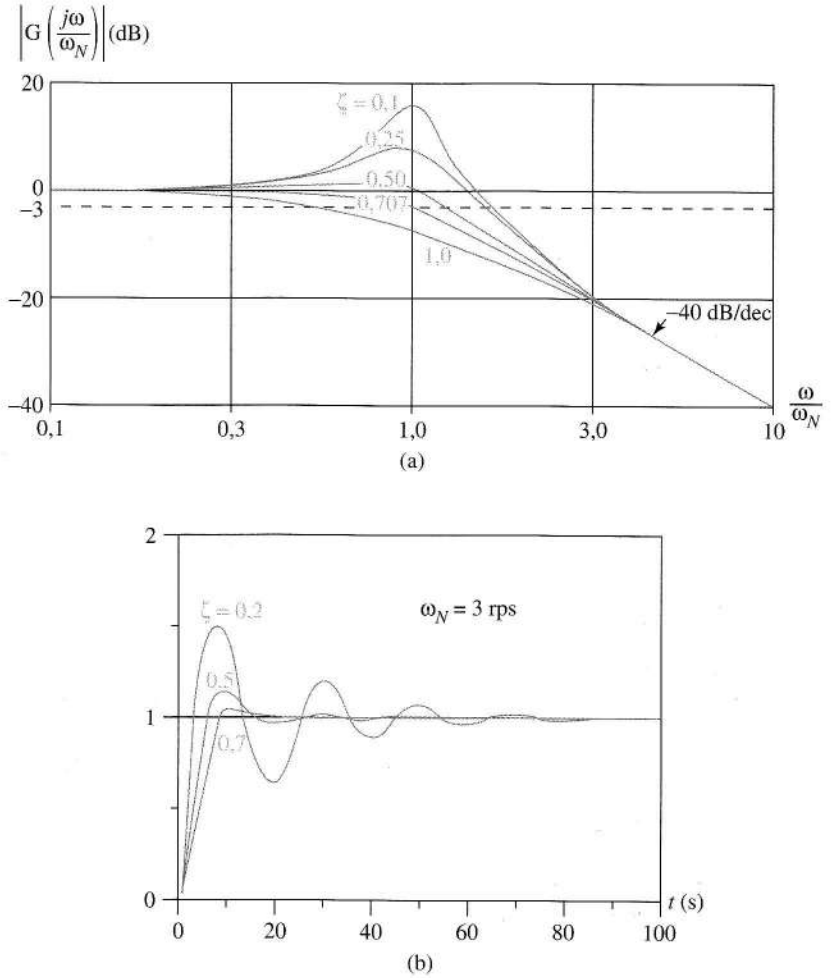


FIGURA 11.35 PLL con filtro de primer orden: (a) respuesta en frecuencia; (b) respuesta a un cambio de la frecuencia de entrada.

o $\omega_N = 3.562$ rad/s. Tenemos dos ecuaciones de diseño: la Ecuación (11.56) que da

$$\sqrt{K_L \omega_H} = 3562\ rad/s$$

y la Ecuación (11.57) que para $\zeta = 0,5$ es

$$1 = \sqrt{\frac{\omega_H}{K_L}}$$

Del producto de las ecuaciones

$$\omega_H = 3.562 \text{ rad/s}$$

Por lo tanto el ancho de banda $F(s)$ debe ser $\omega_H = 3562$ rad/s. Sustituyendo esto en la primera ecuación da

$$3.562 = \sqrt{K_L 3.562}$$

La ganancia de bucle debe ser $K_L = K_P A\ K_o = 3.562\ s^{-1}$. ❑

Ejercicio 11.9 Obtener ω_H y la ganancia de bucle K_L para un bucle de segundo orden con ancho de banda de 10 rad/s usando $\zeta = 1$.
Respuesta $\omega_H = 31$ rad/s, $K_L = 7{,}75\ s^{-1}$.

11.4.3 DETECTOR DE FASE

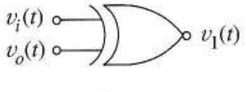
A continuación estudiamos tres tipos distintos de detector de fase. El primero es un circuito digital OR exclusivo, un detector de fase importante por derecho propio y útil como punto de partida para estudiar otros detectores.

Detector de fase digital En el *detector de fase* EXOR de la Figura 11.36a las tensiones de entrada, $v_i(t)$ y $v_o(t)$, son ondas cuadradas de frecuencias fundamentales ω_i y ω_o. Todas las tensiones conmutan entre los niveles lógicos uno y cero de la EXOR. Por conveniencia suponemos una puerta EXOR ideal que funciona con niveles lógicos uno y cero que corresponden a 5 V y –5 V respectivamente. La tabla de verdad de la Figura 11.36b describe la función EXOR según sus niveles de tensión. La salida es –5 V cuando las entradas son iguales y 5 V cuando difieren.

La Figura 11.36c muestra las ondas de entrada y onda de salida correspondiente de la EXOR y define la fase en función del período de la onda cuadrada. La salida, relacionada en cada instante con las entradas por la tabla de la verdad, es periódica cuando las frecuencias son idénticas. La media o componente de continua de esta onda de salida es la que en realidad caracteriza el detector de fase. Las frecuencias no deseadas se eliminan de la salida del detector de fase con un filtro pasabajo como èl de la Figura 11.30, dejando pasar la componente continua.

Para obtener la característica del detector de fase, primero vemos a $v_o(t)$ en la Figura 11.36c desplazada a la izquierda, de forma que la diferencia de fase es cero. Entonces las entradas de la EXOR siempre son idénticas, por lo que $v_I(t)$ permanece constante a –5 V. Si $v_o(t)$ se desplaza a la derecha de forma que se retrase 90º respecto a $v_i(t)$ las salidas son iguales la mitad del tiempo y distintas la otra mitad, siendo la salida una onda cuadrada de 5 V y valor medio cero. Para una diferencia de fase de 180º las entradas son *siempre distintas* así que la salida permanece constante a +5 V. Si desplazamos continuamente la fase de $v_o(t)$ crece en proporción al solapamiento de las ondas, como en la Figura 11.36d.

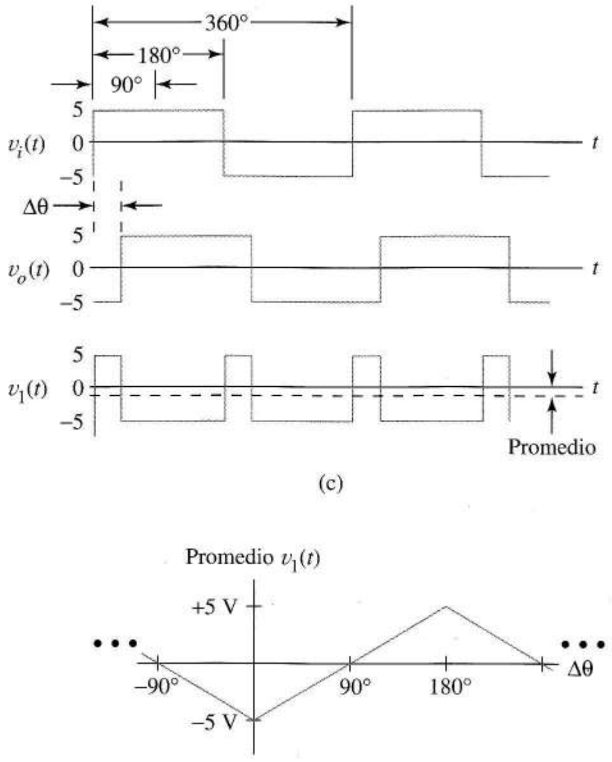
Como un desplazamiento positivo de $v_o(t)$ da como resultado la misma onda de salida que un desplazamiento negativo de igual valor, la característica de fase es una función par de la diferencia de fase $\Delta\theta$. Como una fase $\Delta\theta + n\ 360^\circ$, para cualquier entero n, produce la misma onda de salida que una fase $\Delta\theta$, la característica del detector de fase también es una función periódica de $\Delta\theta$.



(a)

v_i	v_o	v_1
–5	–5	–5
–5	5	5
5	–5	5
5	5	–5

(b)



(d)

FIGURA 11.36 Detector de fase EXOR: (a) circuito; (b) tabla de verdad usando tensiones cero y uno lógicas; (c) formas de onda de entrada y salida; (d) característica del detector de fase

Para el detector de fase EXOR, los vectores giratorios de la Figura 11.32 representan las frecuencias fundamentales de las ondas cuadradas de entrada. Como la característica de la Figura 11.36d da tensión de salida cero para 90° en lugar de para 0°, nuestra explicación del funcionamiento del PLL debe modificarse ligeramente. Con el detector de fase EXOR una diferencia de fase de 90° corresponde a la frecuencia de oscilación libre. Cuando ω_i se adelanta, la diferencia de fase decrece desde 90° hacia cero. La pendiente de la característica del detector de fase de la Figura 11.36d es

$$K_P = \frac{10}{\pi} V/\text{rad} \tag{11.58}$$

EJEMPLO 11.9 Un detector de fase caracterizado por la Figura 11.36d tiene una tensión continua de salida de –4 V. Si el detector de fase es parte de un PLL en estado de enganche y con parámetros A = 2, $\omega_{FR} = 10^7$ rad/s y $K_o = 10^5$ (voltio-segundo)$^{-1}$.

a) Obtener la frecuencia de entrada.

b) Dibujar los fasores giratorios.

Solución a) La tensión de entrada del VCO es $V_3 = -4 \times 2 = -8$ V. De la Ecuación (11.45) $\omega_o = 10^7+10^5 \times (-8) = 9{,}2 \times 10^6$ rad/s. Como el bucle está en estado de enganche, ésta es la frecuencia de entrada.
b) De la pendiente de la Figura 11.36d

$$\frac{5-(-4)}{180°-\Delta\theta} = \frac{10}{180°}$$

que da $\Delta\theta = 18°$. El esquema se parece a la Figura 11.32b pero con $\Delta\theta = 18°$. ❑

Ejercicio 11.10 Un PLL utiliza el detector de fase de la Figura 11.36d. El bucle está en estado de enganche.

a) Si A = 2, $\omega_{FR} = 10^7$ rad/s y $K_o = 10^5$ V/s obtener la frecuencia de entrada para la que la tensión de salida del detector de fase es 4,8 V.

b) ¿Cuál es la diferencia de fase entre la entrada y la salida cuando $V_1 = 4{,}8$ V?

Respuesta $1{,}096 \times 10^7$ rad/s, 176,4°.

Detector de fase de gran señal de célula de Gilbert Cuando las dos entradas del circuito de la célula de Gilbert de la Figura 11.37a son grandes, todos los transistores funcionan alternando entre los estados activo y de corte, desviando la corriente de polarización por varios caminos controlados por las dos entradas. Las señales son ondas cuadradas o senoidales de amplitud suficiente para cortar un transistor de cada pareja de transistores acoplados por el emisor. Las Figuras 11.37b-e muestran las cuatro posibilidades existentes representando cada transistor por un interruptor. La notación >>0 significa que la amplitud de la señal es suficiente para cortar los transistores cuando se necesite. (La Ecuación (11.36) da la amplitud necesaria.)

Los diagramas muestran que la tensión de salida se relaciona con la entrada como en la Figura 11.38a. Como ésta es la función EXOR de la Figura 11.36b, las ondas de entrada se procesan tal y como se describe en la Figura 11.36c. Concluimos que el detector de fase de célula de Gilbert se caracteriza por la Figura 11.38b. Cuando se usa en un PLL, la diferencia de fase de 90° corresponde al funcionamiento a frecuencia de oscilación libre. La constante del detector de fase es

$$K_P = \frac{2R_C I_O}{\pi}\,\mathrm{V/rad} \qquad (11.59)$$

Detector de fase de pequeña señal de célula de Gilbert En el Apartado 11.34 vimos en la Figura 11.37a que cuando se usaba una gran señal para $v_{D1}(t)$ y una pequeña señal para $v_{D2}(t)$ la salida de la célula de Gilbert venía dada por las Ecuaciones (11.34) y (11.35). En la notación de pequeña señal esto significa

$$v_1(t) = -g_m R_C v_{d2}(t), \quad v_{D1}(t) >> 0 \qquad (11.60)$$

y

$$v_1(t) = g_m R_C v_{d2}(t), \quad v_{D1}(t) << 0 \qquad (11.61)$$

Estas ecuaciones describen un amplificador de pequeña señal con desplazamientos de fase de valor binario (cero o 180°) que se controla con $v_{d2}(t)$. Es menos obvio que si $v_{D2}(t)$ es una senoide y $v_{D1}(t)$ una onda cuadrada el circuito detecta la fase. A continuación vemos que esto es así.

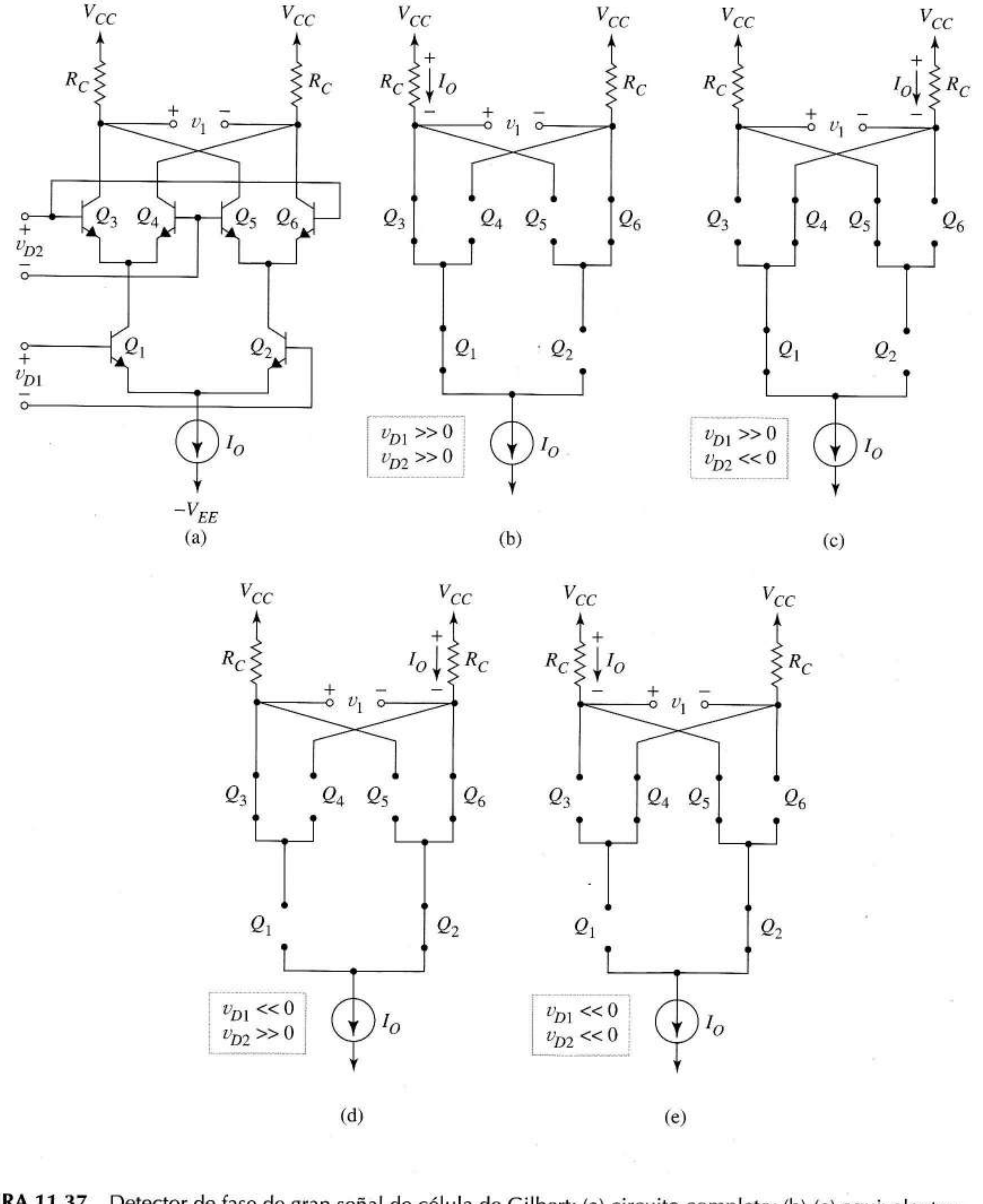


FIGURA 11.37 Detector de fase de gran señal de célula de Gilbert: (a) circuito completo; (b)-(e) equivalentes mostrando como llega la corriente de polarización a la salida para distintas combinaciones de excitación.

v_{D1}	v_{D2}	v_1
<< 0	<< 0	$-R_C I_O$
<< 0	>> 0	$R_C I_O$
>> 0	<< 0	$R_C I_O$
>> 0	>> 0	$-R_C I_O$

(a)

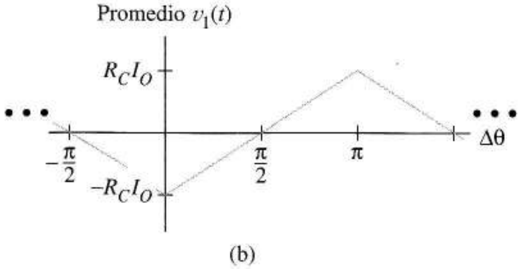


FIGURA 11.38 Célula de Gilbert con gran señal: (a) tabla de verdad; (b) característica del detector de fase.

La Figura 11.39 muestra las ondas de entrada y salida cuando la diferencia de fase entre las ondas senoidal y cuadrada es de $\Delta\theta$ rad/s y

$$v_{d2}(t) = V_I \text{ sen } \theta_i, \quad \theta_i = \omega_i t$$

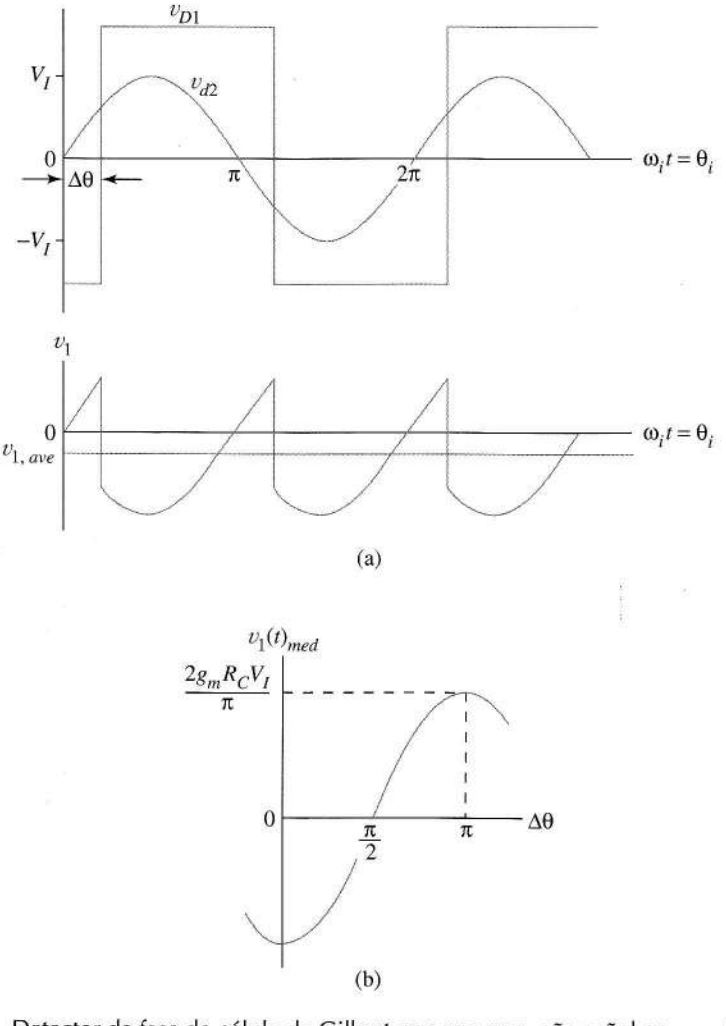


FIGURA 11.39 Detector de fase de célula de Gilbert con una pequeña señal en una de sus entradas: (a) ondas de entrada y salida; (b) característica del detector de fase.

La salida del detector de fase es el valor medio de $v_1(t)$. Por lo tanto,

$$\begin{aligned} v_1(t)_{MED} &= \frac{1}{\pi}\int_0^{\Delta\theta} g_m R_C V_I \text{ sen } \theta_i d\theta_i - \frac{1}{\pi}\int_{\Delta\theta}^{\pi} g_m R_C V_I \text{ sen } \theta_i d\theta_i \\ &= -\frac{g_m R_C V_I}{\pi}(\cos\Delta\theta - 1) + \frac{g_m R_C V_I}{\pi}(\cos\,\pi - \cos\,\Delta\theta_i) \\ &= -\frac{2g_m R_C V_I}{\pi}\cos\,\Delta\theta \end{aligned} \tag{11.62}$$

La Figura 11.39b es la representación gráfica de la Ecuación (11.62), la característica del detector de fase. Como en los otros detectores de fase que hemos estudiado, a la frecuencia de oscilación libre le corresponde una diferencia de fase de 90°. La novedad de la Figura 11.39b es la no linealidad de la curva; no obstante, este detector de fase realiza la captura de fase de forma normal. Para análisis lineal a frecuencias cercanas a ω_{FR} la pendiente de la curva es

$$K_P = \frac{2g_m R_C V_I}{\pi} \tag{11.63}$$

Es importante observar que K_P es una función de la amplitud de señal, una característica que complica el funcionamiento del lazo.

11.4.4 MÁRGENES DE ENGANCHE Y CAPTURA

Ahora tenemos la base necesaria para comprender dos parámetros adicionales del PLL, el margen de enganche y el margen de captura. Una vez en el estado de enganche el bucle permanece en él solo para frecuencias de entrada que cumplan

$$\omega_{FR} - \frac{\Delta\omega_L}{2} < \omega_i < \omega_{FR} + \frac{\Delta\omega_L}{2}$$

donde $\Delta\omega_L$ es en el *margen de enganche*. El margen de captura tiene que ver con el bucle cuando éste no está en estado de enganche. El lazo es capaz de *capturar* la frecuencia de entrada ω_i sólo si ω_i está dentro del intervalo

$$\omega_{FR} - \frac{\Delta\omega_C}{2} < \omega_i < \omega_{FR} + \frac{\Delta\omega_C}{2}$$

donde $\Delta\omega_C$ es el *margen de captura*. A continuación relacionamos los márgenes de enganche y captura con otros parámetros del bucle.

Margen de enganche A partir de las Figuras 11.30 y 11.31 vemos que siempre que un cambio de ω_i altere la diferencia de fase $\Delta\theta$, el detector de fase inicia una corrección de la frecuencia del VCO para que el bucle permanezca en estado de enganche y es el cambio de v_1 amplificado el que ajusta el VCO al nuevo valor. Sabemos ahora que hay unos límites para la amplitud de v_1 y, consecuentemente, para los valores de frecuencia que pueden corregirse. Cuando la diferencia de fase es tan

grande que la corrección de frecuencia es imposible el bucle sale del estado de enganche. Comenzando con la Figura 11.40 y por el final del bucle obtenemos

$$\frac{\Delta\omega_L}{2} = K_o \Delta v_3 = K_o A \Delta v_{I\,máx} \tag{11.64}$$

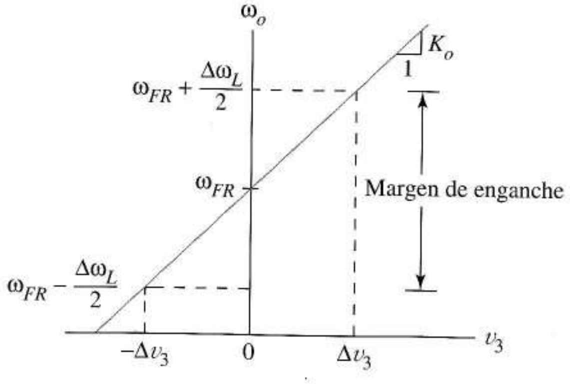


FIGURA 11.40 Característica de un VCO mostrando cómo las máximas tensiones de corrección $\pm v_3$ determinan el margen de enganche.

Para el detector de fase OR exclusiva de la Figura 11.36d, $\Delta v_{I,\,máx} = 5$ V dando

$$\Delta\omega_L = 10 K_o A$$

El detector de gran señal de la célula de Gilbert tiene un margen de enganche de

$$\Delta\omega_L = 2 K_o A R_C I_O \tag{11.65}$$

que incluye los parámetros de diseño R_C e I_O. Cuando una entrada de la célula de Gilbert es una pequeña señal de amplitud V_I, de la Figura 11.39b

$$\Delta\omega_L = K_o A \frac{4 g_m R_C}{\pi} V_I \tag{11.66}$$

En este caso el margen de enganche depende de la amplitud de la señal.

Margen de captura Un experimento conceptual introduce la idea de margen de captura. Imaginemos un bucle con su VCO funcionando a la frecuencia de oscilación libre ω_{FR} cuando la frecuencia es $\omega_i << \omega_{FR}$. El bucle no está en estado de enganche. Las flechas de la Figura 11.41a muestran qué es lo que sucede cuando ω_i crece lentamente desde su valor original en el extremo izquierdo hasta un valor $\omega_i >> \omega_{FR}$. El VCO funciona a ω_{FR} hasta que la entrada alcanza la frecuencia $\omega_{FR} - 0{,}5\,\Delta\omega_C$, que define el límite inferior del *margen de captura*. Aquí la señal de entrada es *capturada*, o sea, la frecuencia del VCO se engancha a ω_i. Una vez en estado de enganche ω_o sigue a ω_i hasta

el límite superior del *margen de captura*. Cuando ω_i crece por encima de $\omega_{FR} + 0{,}5\ \Delta\omega_L$ el bucle ya no sigue a la fase y ω_o vuelve a ser ω_{FR}. Ahora, si se reduce lentamente $_i$ el proceso es distinto. La captura tiene lugar a $\omega_{FR} + 0{,}5\ \Delta\omega_C$ y el bucle abandona el estado de enganche sólo cuando la entrada cae por debajo de $\omega_{FR} - 0{,}5\ \Delta\omega_L$. Vemos a continuación una descripción intuitiva del mecanismo de captura.

Nuestro estudio de las características del detector de fase suponen un bucle enganchado con dos entradas de frecuencias idénticas. Cuando el bucle no está enganchado la salida del detector de fase contiene la suma y diferencia de frecuencias $(\omega_{FR} + \omega_o)$ y $(\omega_{FR} - \omega_o)$. Sabemos que esto es verdad para el detector de fase de pequeña señal de célula de Gilbert porque en el Sección 11.3.4 mostramos que el circuito funciona como un modulador equilibrado cuando las frecuencias de entrada difieren. Necesitamos esta idea (válida también para los otros detectores de fase) para entender el mecanismo de captura.

Transitorio de captura Incluyamos ahora en el experimento de la Figura 11.41a la no linealidad del detector de fase. Como el proceso de captura es no lineal nuestra explicación será intuitiva y aproximada.

La Figura 11.41b muestra las entradas y las frecuencias del VCO, ω_i y ω_o, y cómo se relacionan sus diferencias con la banda pasante del filtro cuando $\omega_i << \omega_{FR}$. Como la frecuencia diferencial $\omega_o - \omega_i$ de la salida del detector de fase supera ampliamente el ancho de banda del filtro, la salida del filtro, $v_2(t)$, es cero y la frecuencia del VCO es constante, $\omega_o = \omega_{FR}$.

Cuando ω_i se aproxima a ω_{FR} en la Figura 11.41c la tensión v_1 correspondiente a la frecuencia diferencial entra al filtro y sale como una tensión $v_2(t)$ de baja amplitud. Esto produce una tensión de entrada al VCO correspondiente a la frecuencia diferencial $v_3(t) = Av_2(t)$ que hace oscilar ω_o alrededor de ω_{FR} en proporción a $\omega_o - \omega_i$. Debido a la pequeña amplitud de $v_3(t)$, los cambios de frecuencia que se producen son pequeños. (La frecuencia diferencial del filtro responde a cambios de ω_o pero, por simplicidad, lo ignoramos.)

Cuando wi se aproxima más a wFR la frecuencia diferencial es menor y la amplitud de salida del filtro mayor. Consecuentemente la excursión de wo se hace mayor y más lenta llegando cerca de wi como en la Figura 11.41d. La captura ocurre cuando la máxima excursión negativa de wo alcanza wi en la Figura 11.41d, esto es, cuando wFR – 0,5 Dwic = wi. Cuando esto ocurre, la componente de tensión v2(t) correspondiente a la frecuencia diferencial que pasa el filtro es wFR – wi = 0.5 Δωc. La Figura 11.41e indica cómo puede ser la tensión VCO durante la captura.

En el instante en que la salida amplificada del filtro difiere en 0,5 $\Delta\omega_C$ de la frecuencia del VCO tenemos

$$\frac{\Delta\omega_C}{2} = K_o A\left|v_2\right|_{máx} \tag{11.67}$$

Examinemos ahora la señal de la frecuencia diferencial que *entra* al filtro en el instante de la captura. Hasta que el bucle se engancha, los vectores de la Figura 11.32b giran a distintas velocidades haciendo que la diferencia de fase cambie continuamente y sugiriendo que la salida $v_1(t)$ del detector de fase tiene una amplitud de pico de $|v_1|_{máx}$. En el instante de la captura, la frecuencia diferencial es 0,5 $\Delta\omega_C$. Por lo tanto, la entrada y la salida del filtro cumplen

$$\left|v_2\right|_{máx} = \left|F\left(j\frac{\Delta\omega_C}{2}\right)\right| \left|v_1\right|_{máx}$$

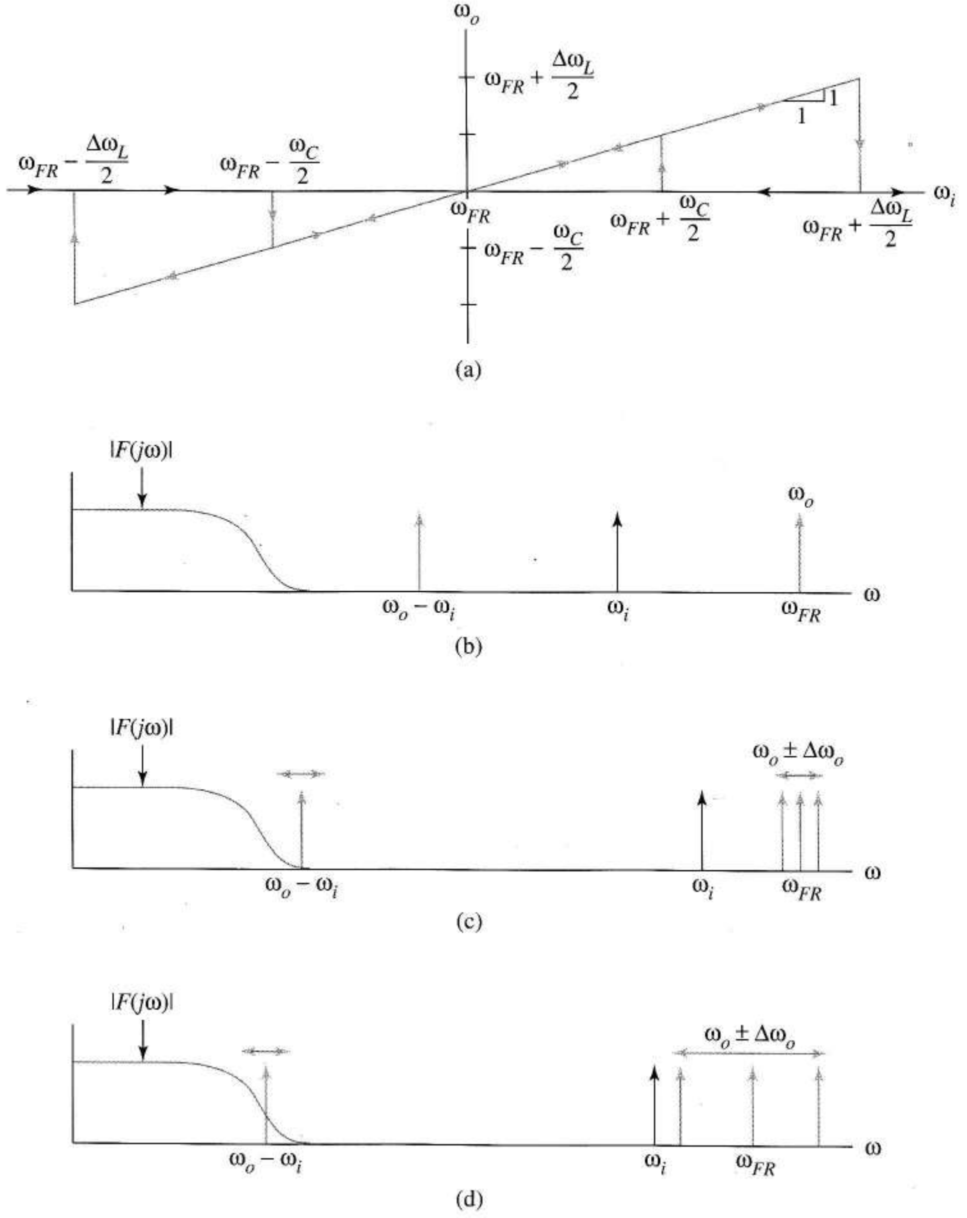
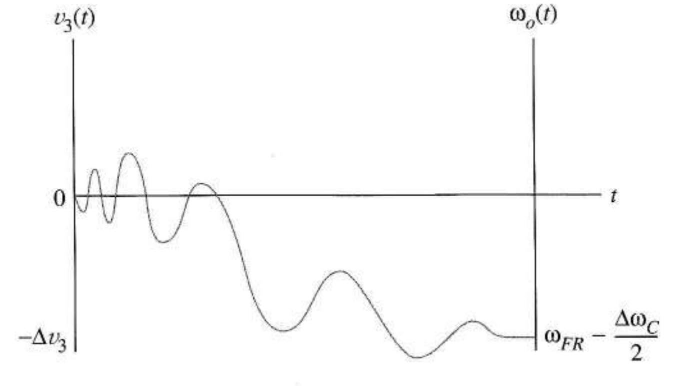


FIGURA 11.41 Captura: (a) diagrama de frecuencia en régimen permanente; (b) frecuencias del PLL cuando $\omega_i < \omega_o$; (c) frecuencias cuando ω_i se aproxima a ω_o; (d) frecuencias próximas al enganche; (e) formas de onda del transitorio de captura.



(e)

FIGURA 11.41 (continuación)

Como la amplitud de pico de la salida del detector de fase, $|v_1|_{máx}$, se relaciona con el margen de enganche mediante la Ecuación (11.64) tenemos

$$|v_2|_{máx} = \left|F\left(j\frac{\Delta\omega_C}{2}\right)\right| \frac{\Delta\omega_L}{2K_oA} \tag{11.68}$$

Combinando esto con la Ecuación (11.67) da

$$\left(\frac{2}{\Delta\omega_L}\right)\frac{\Delta\omega_C}{2} = \left|F\left(j\frac{\Delta\omega_C}{2}\right)\right| \tag{11.69}$$

que para una función de filtro $F(s)$ dada se puede resolver iterativamente. Para verlo sustituimos 0,5 $\Delta\omega_C$ por la variable u y observemos que el proceso de iteración corresponde a la localización de la intersección entre la línea recta y la característica del filtro de la Figura 11.42 para una constante $\Delta\omega_L$ dada.

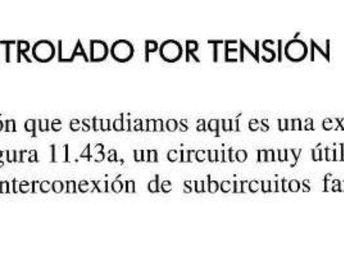


FIGURA 11.42 Solución gráfica de la Ecuación (11.69) para estimar el margen de captura.

11.4.5 OSCILADOR CONTROLADO POR TENSIÓN

El oscilador controlado por tensión que estudiamos aquí es una extensión del oscilador de relajación controlado por corriente de la Figura 11.43a, un circuito muy útil para generar ondas triangulares y cuadradas. El oscilador es una interconexión de subcircuitos familiares: dos fuentes de corriente

constantes, un espejo que duplica su corriente de referencia, un condensador de sincronización cuya tensión proporciona la entrada a un Schmitt-trigger y un interruptor Q_s. La Figura 11.43b muestra la característica del Schmitt-trigger donde, según el tipo de implementación, V_L puede ser positiva o negativa.

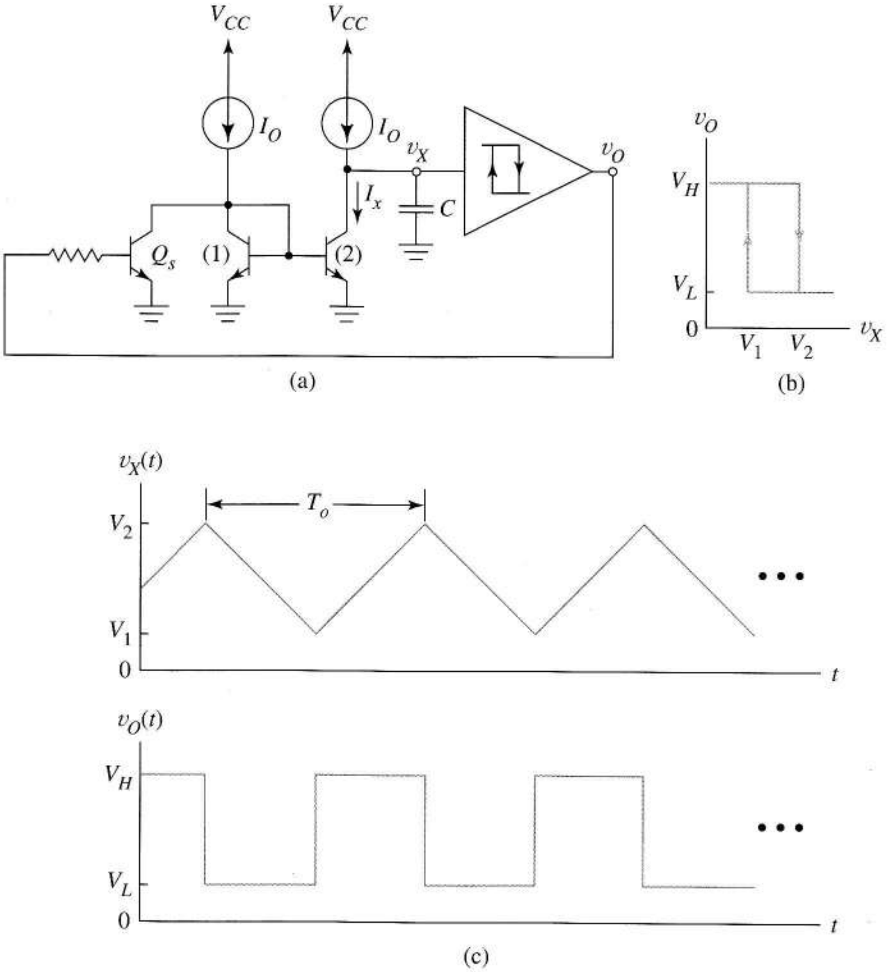


FIGURA 11.43
Oscilador controlado por corriente: (a) circuito; (b) característica del Schmitt trigger; (c) formas de onda de salida.

Cuando v_O es alta Q_s está cerrado y la corriente de referencia se desvía del espejo haciendo que I_x sea cero. Entonces C se carga a corriente constante I_O y v_X crecen linealmente hasta alcanzar un valor V_2, el umbral superior de entrada del Schmitt-trigger. En este momento v_O cae a V_L cortando Q_s y añadiendo una corriente de descarga $I_X = 2I_O$ al circuito del condensador en virtud del área doble del transistor del espejo. El condensador de sincronización, que ahora tiene una corriente de descarga neta de I_O, se descarga linealmente hasta $v_X = V_1$. El circuito vuelve a su estado original y se vuelve a repetir el ciclo. La Figura 11.43c muestra las formas de onda en régimen permanente. Como la relación de carga y descarga del condensador es

$$\left|\frac{dv_X}{dt}\right| = \frac{I_O}{C} \ \text{V/s}$$

y tarda ($T_o/2$) s en cargarse desde V_1 a V_2 la pendiente es

$$\frac{V_2 - V_1}{0{,}5\, T_o} = \frac{I_O}{C}\,\mathrm{V/s}$$

por lo tanto la frecuencia es

$$f_o = \frac{1}{T_o} = \frac{I_O}{2C\left(V_2 - V_1\right)}\ \mathrm{Hz} \tag{11.70}$$

y de aquí el nombre de *oscilador controlado por corriente*. Para hacer un oscilador controlado por tensión sustituimos cada fuente de corriente por una *fuente de corriente controlada por tensión*, nuestro próximo circuito.

Fuente de corriente controlada por tensión La Figura 11.44a es una fuente de corriente controlada por tensión con una corriente de polarización I_{BB} para asegurar que ambos transistores trabajan en zona activa. Despreciando las tensiones base-emisor la tensión que soporta R es $V_{CC} - v_C$ y suponiendo que el transistor pnp tiene β alta

$$I_O = \frac{V_{CC} - v_C}{R}, \quad \mathrm{V}_{mín} \le v_C \le V_{CC} \tag{11.71}$$

donde $V_{mín}$ depende del diseño de la fuente de polarización.

La Figura 11.44b muestra el oscilador controlado por tensión completo. Comparando este circuito con la Figura 11.43a se observan los siguientes cambios: las fuentes de corriente se sustituyen por fuentes controladas por tensión que tienen sus transistores conectados de forma que se obtenga una alta (ver Figura 728), un espejo de Wilson sustituye al espejo básico para mejorar la ganancia de corriente y la corriente de polarización I_{BB} viene de un circuito espejo a parte. Si se sustituye la corriente de la Ecuación (11.71) en la Ecuación (11.70) se obtienen las características del VCO

$$\omega_o = 2\pi f_o = \frac{V_{CC} - v_C}{2\ CR\left(V_2 - V_1\right)}\,\mathrm{rad/s} \tag{11.72}$$

Esto describe un oscilador cuya frecuencia es proporcional a v_c, como en la Figura 11.44c.

Interconectar subcircuitos como detectores de fase y VCO para formar sistemas como PLLs exige un *acondicionamiento de señal*. Por ejemplo, hay dos diferencias importantes entre las características de los VCO de las Figuras 11.44c y 11.31d. El primero tiene pendiente negativa en lugar de positiva y no permite una variación de frecuencia que depende de la polaridad de la señal de entrada como necesita el PLL.

En este caso resolver el problema de acondicionamiento de señal consiste en la implementación de un circuito que permita el cambio de variable

$$v_C = -v_3 + \frac{V_{CC}}{2} \tag{11.73}$$

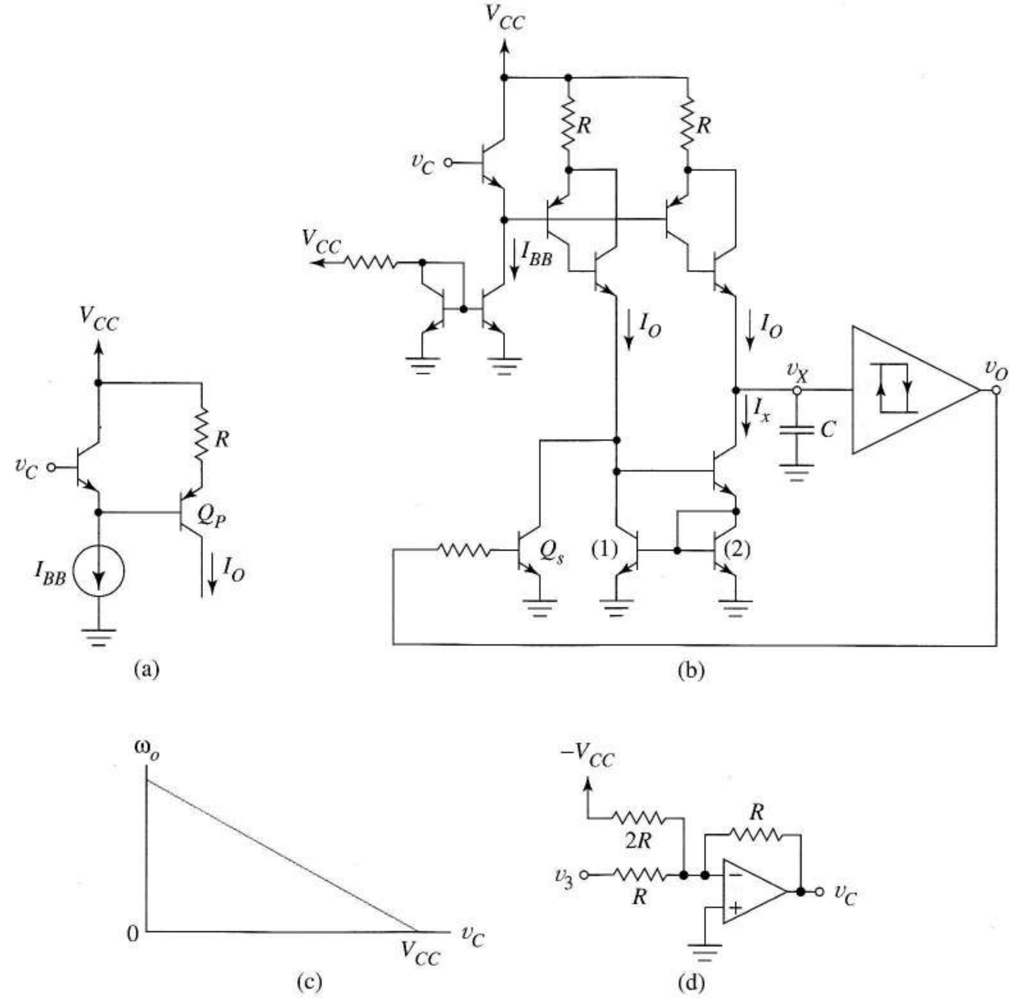


FIGURA 11.44 Circuito VCO: (a) fuente de corriente controlada por tensión básica; (b) oscilador controlado por tensión completo; (c) característica del VCO; (d) circuito que implementa el cambio de variable.

El margen de trabjo de v_C en la Ecuación (11.71), $0 < v_C < V_{CC}$, necesita que el circuito de acondicionamiento funcione dentro del rango

$$-\frac{V_{CC}}{2} < v_3 < +\frac{V_{CC}}{2} - V_{mín} \tag{11.74}$$

Sustituyendo el valor v_C en la Ecuación (11.73), en la Ecuación (11.72) se obtiene la ecuación del VCO

$$\omega_o = \pi \frac{V_{CC}/2 + v_3}{RC(V_2 - V_1)} \tag{11.75}$$

que supone que v_3 cumple la Ecuación (11.74). Observemos que esta ecuación se corresponde con la Figura 11.31d. El circuito de la Figura 11.44d proporciona la implementación de la Ecuación (11.73) con un circuito integrado para un sistema que incluya una alimentación negativa. El Problema 2.82 analiza un circuito de Schmitt-trigger con una característica como la de la Figura 11.43b. Es posible para cumplir las exigencias de esta aplicación el circuito Schmitt-trigger necesite acondicionamiento de señal para sus niveles de entrada o salida, o para ambos.

11.5 SUMARIO

El amplificador operacional de transconductancia es la implementación en un circuito integrado de una fuente de corriente controlada por tensión, con la transconductancia controlada por una corriente externa I_X. Circuitos como amplificadores y filtros controlados por tensión utilizan esta característica de control por corriente. Cuando una señal hace que I_X cambie en el tiempo y, por lo tanto, el circuito de transconductancia, el circuito varía en el tiempo. Entonces se puede producir en su salida una suma y una resta de frecuencias que son útiles en aplicaciones de mezcla de frecuencias.

El amplificador operacional 741 es la conexión en cascada de un amplificador de transconductancia, un amplificador inversor de tensión y una etapa de salida clase AB. El condensador de compensación en paralelo con el amplificador de tensión asegura la estabilidad incondicional a la vez que limita el ancho de banda y el *slew-rate*. La polarización emplea fuentes de corriente con realimentación negativa para estabilizar el punto Q de los transistores de la primera etapa. El análisis de continua es rutinario, excepto para aquellos transistores polarizados a corrientes de colector bajas en los que las tensiones V_{BE} tienen que calcularse. Una vez que se han estimado las corrientes continuas de colector las técnicas de análisis de pequeña señal predicen con una fiabilidad razonable las especificaciones de las hojas de características.

En este capítulo se han estudiado tres circuitos que realizan la multiplicación analógica. El primero, una pareja de transistores acoplados por el emisor con una señal que se introduce a través de la fuente de corriente, es capaz de hacer una multiplicación de dos cuadrantes, en la que un multiplicando tiene que ser positivo. Una restricción adicional es que las condiciones de polarización necesarias para eliminar una componente de salida no deseada son críticas. Como la salida del circuito básico es la diferencia de las corrientes de colector, son necesarias resistencias externas para producir una doble salida.

El segundo circuito multiplicador era la célula de Gilbert, una interconexión de tres parejas de transistores acoplados por emisor. Cuando las dos tensiones diferenciales de entrada son pequeñas, la célula de Gilbert es un multiplicador de cuatro cuadrantes, o sea, ambas entradas pueden ser de cualquier signo. Modificaciones de la célula de Gilbert dan como resultado un multiplicador de gran señal de cuatro cuadrantes. En la práctica es necesario añadir resistencias de salida y, a veces, polarización de entrada para asegurar que todos los transistores permanezcan activos.

La célula de Gilbert básica tiene un modo de funcionamiento especial en el que una señal de entrada es lo bastante grande para hacer que la pareja de transistores de entrada pasen alternativamente del estado activo al de corte. El resultado es un amplificador de pequeña señal en el que el signo de la ganancia se controla mediante una segunda señal. En este modo la célula de Gilbert puede funcionar como un modulador equilibrado o un detector de fase.

El tercer circuito capaz de realizar una multiplicación analógica es un dispositivo discreto, el MOSFET de doble puerta. La señal aplicada a la puerta extra modula la conductividad del canal y,

por ello, controla la transconductancia, igual que la fuente de corriente de entrada controla la ganancia en el AOT. De tamaño muy compacto, estos dispositivos llevan a cabo la multiplicación analógica de pequeña señal a frecuencias mayores que los circuitos integrados multiplicadores que son más complejos.

El PLL es un circuito de realimentación negativa en el que la variable de entrada es la frecuencia y la salida es una frecuencia o una tensión. Un detector de fase mantiene la frecuencia del VCO enganchada a la frecuencia de entrada mediante la medida de la diferencia de fase entre la entrada y la salida del VCO y la generación de una tensión de corrección para el VCO. La dinámica en bucle cerrado depende de las características del filtro del PLL, de su ganancia y del producto de las ganancias estáticas de sus componentes.

Se han estudiado dos tipos de detector de fase a nivel de transistor. El detector tipo EXOR, que es realizable mediante una célula de Gilbert con señales de entrada grandes, da una relación lineal entre la tensión de salida y la diferencia de fase. Cuando la entrada de la célula de Gilbert es una pequeña señal, la característica del detector de fase toma la forma de una función coseno de amplitud proporcional a la amplitud de la señal. La característica del detector de fase es importante porque la amplitud máxima de su tensión de salida determina el margen de enganche del bucle. El bucle tiene también un margen de captura que depende del margen de enganche y la característica del filtro del PLL.

El circuito VCO estudiado consiste en un Schmitt-trigger, un condensador de sincronización, una fuente de corriente constante controlada por tensión y un circuito de conmutación de corrientes que desvía alternativamente la corriente controlada hacia dentro o hacia fuera del condensador de sincronización. Controlando la frecuencia con la tensión de entrada, la salida puede ser una onda triangular o cuadrada.

REFERENCIAS

1. GRAUSI, M.S. *Electronic Devices and Circuits: Discrete and Integrated.* New York: Holt, Rinehart and Winston, 1985.
2. GRAY, P.R. y R.G., MEYER. *Analysis and Design of Analog Integrated Circuits.* 3ª ed. New York: John Wiley, 1993.
3. GREBENE, A.B. *Bipolar and MOS Analog Integrated Circuit Design.* New York: Wiley-Interscience, 1984.
4. NILSSON, J.W. *Electric Circuits,* 2ª ed. Reading, MA: Addison-Wesley, 1985.
5. OPPENHEIM, A.V., y A.S. WILLSKY. *Signals and Systems.* Englewood Cliffs, NJ: Prentice Hall, 1983.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. De los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Haga hojas para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para la claridad.

Sección 11.1

11.1 Redibuje la Figura 11.1b cambiando las tensiones de alimentación de 5 V a −3 V. Muestre sobre el diagrama los valores de las tensiones de nodo y las corrientes cuando $R_B = 2$ kΩ.

b) Con alimentación de ± 5 V $I_W = 13{,}8$ μA. Estime el valor de las corrientes de polarización del operacional

11.2 a) En la Figura 11.1b obtenga la potencia disipada si $R_B = 20$ kΩ.

b) Escriba una expresión general para la disipación de potencia del circuito integrado de la Figura 11.1a si las alimentaciones son $\pm V_{SS}$ y la corriente polarización I_X.

11.3 La Figura P11.3 es un filtro controlado por tensión, un filtro pasabajo de primer orden con la frecuencia de corte controlada por V_C.

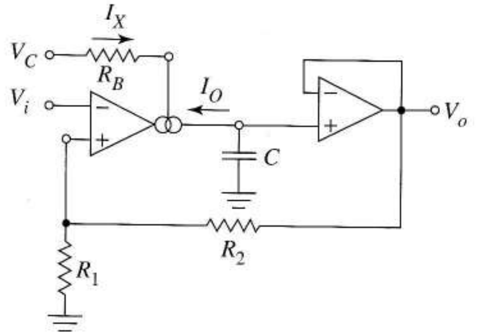


FIGURA P11.3

a) Utilice el análisis senoidal en régimen permanente para obtener la función de ganancia compleja V_o/V_i en función de la ganancia de transconductancia GM del AOT. Suponga que la resistencia de entrada del AOT de la Figura 11.3b es infinita.

b) Diseñe un filtro con una frecuencia de corte programable desde 100 a 5.000 rad/s. Utilice alimentaciones de ±15 V y valores de I_X que caigan dentro del margen 1–1.000 μA del AOT Cualquier solución correcta es aceptable.

11.4 Cambie la corriente de polarización del Ejemplo 11.2 de forma que el ancho de histéresis se duplique. Después de este cambio ¿todavía es justificable ignorar la resistencia de entrada del AOT? Explíquelo.

11.5 Diseñe un Schmitt-trigger basado en un AOT como el del Ejemplo 11.2 con V_S = 8 V. Cualquier solución correcta es aceptable.

11.6 Cuando una *señal senoidal moduladora* de frecuencia ω_s se pone sobre una portadora de frecuencia ω_c se obtiene una *señal modulada en frecuencia* de la forma

$$v(t) = K\left(1 + m\cos\omega_s t\right)\cos\omega_s t$$

K es la amplitud de la onda modulada y m es el *índice de modulación*, un número entre 0 y 1.

a) Demuestre que en la figura $v_o(t)$ se puede escribir de esta forma cuando $v_s(t) = V_M \cos \omega_s t$ y $v_c(t) = V_C \cos\omega_c t$.

Sugerencia El circuito es un amplificador de pequeña señal con $v_c(t)$ como señal de entrada. La ganancia cambia en el tiempo cuando I_X tiene componentes de alterna y continua. Utilice alimentaciones de $\pm V_{SS}$ voltios.

b) ¿Qué condición de amplitud de señal V_M asegura que $1 > m > 0$?

11.7 En la Figura P11.7 $v_d(t)$ es una onda cuadrada de *pequeña señal* de amplitud de pico A voltios. I_X es una señal distinta de cero, indeterminada pero compatible con el funcionamiento activo de los transistores del AOT.

a) Obtenga el valor máximo real de A.

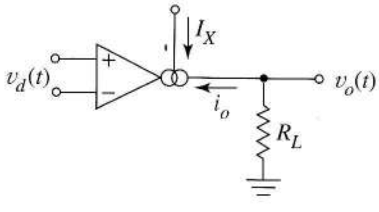


FIGURA P11.7

Sugerencia Use la Ecuación (7.20) y la Figura 11.1a.

b) Comenzando con las Ecuaciones (11.2) y (11.3) obtenga una expresión para la tensión de salida de pequeña señal $v_o(t)$ en función de $v_d(t)$, I_X, V_T y R_L.

c) Si I_X puede tener un valor instantáneo máximo de 200 μA obtenga el valor de R_L que hace que el valor instantáneo máximo de $v_o(t)$ = 13 V cuando se aplica la onda cuadrada de la parte a).

d) Si I_X tiene la forma

$$I_X(t) = I_{X,\,med} + \mathrm{B}\cos\omega_i t$$

obtenga el valor de B de forma que $0{,}1\ \mu A \le I_X(t) \le 200\ \mu A$.

e) La serie de Fourier de la onda cuadrada $v_d(t)$ es

$$v_d(t) = \sum_{n=1,3,5,...} \frac{4A}{n\pi}\cos\left(n\omega_o t\right)$$

Obtenga una expresión de $v_o(t)$ formada por cosenos y productos de cosenos con coeficientes numéricos para cada valor impar de n.

11.8 Haga un modelo SPICE de un amplificador operacional de transconductancia como el de la Figura 11.1 pero use transistores MOS en lugar de bipolares (incluyendo los dispositivos conectados como diodo). Los parámetros del transistor son $k = 2 \times 10^{-4}$ A/V^2 y $|V_t| = 1$ V y las alimentaciones ±15 V. Conecte una resistencia de carga externa de 100 kΩ entre el nodo de salida y masa.

a) Obtenga la ganancia de tensión alterna para resistencias de polarización de 12,9 kΩ y 1,29 kΩ.

b) Repita la parte a) después de añadir LAMBDA = 0,01 a las líneas .MODEL.

Sección 11.2

11.9 Recalcule las corrientes de colector de las dos primeras columnas de la Tabla 11.1 para alimentaciones ±5 V.

11.10 Cuando se usan alimentaciones de ±5 V en la Figura 11.10, I_{C13A} = 55 μA.

a) Calcule la nueva V_{BB} desarrollada por Q_{14}–Q_{18}–R_{10} en este caso.

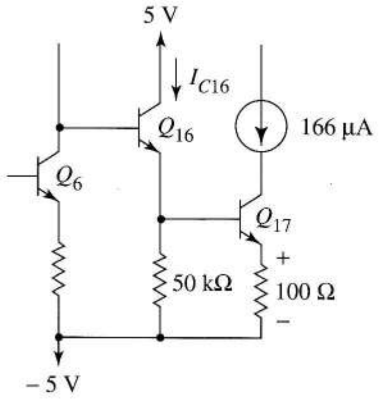


FIGURA P11.12

b) Calcule las nuevas corrientes de polarización para Q_{14} y Q_{20}.

11.11 a) Cuando se disminuye la tensión de alimentación, ¿las corrientes de polarización de entrada del μA 741 aumentan o disminuyen?

11.12 La Figura P11.12 muestra la polarización de la segunda etapa cuando se usan alimentaciones de ±5 V con el 741.

a) Obtenga I_{C16}. Como I_{C17} es pequeña calcule V_{BE17} en lugar de suponer 0,7 V.

b) Obtenga la tensión continua de nodo en el colector de Q_6.

11.13 Cuando se usan alimentaciones de ±5 V con el 741 I_W = 13,8 μA y V_{C6} = −3,7 V. Recalcule los límites inferior y superior en modo común para este caso.

11.14 Si la alimentación a ±5 V reduce I_W a 13,8 μA obtenga los valores correspondientes a R_i y G_{M1} para el amplificador de transconductancia de la Figura 11.17.

11.15 a) Demuestre que la resistencia de salida definida por la Figura P11.15 es

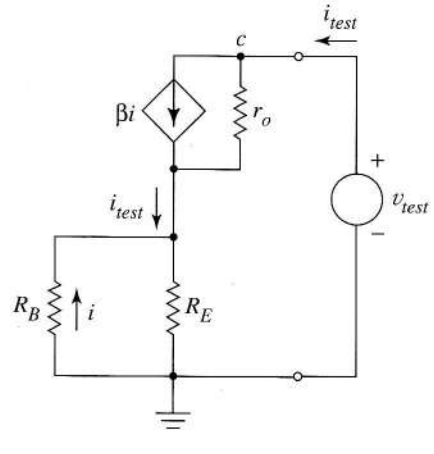


FIGURA P11.15

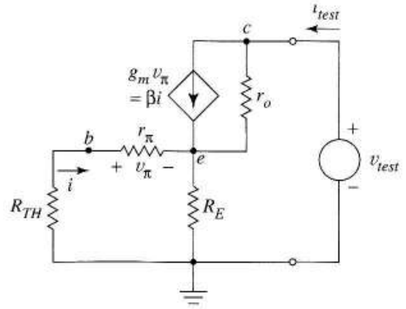


FIGURA P11.16

$$R_o = \left(1 + \frac{\beta R_E}{R_E + R_B}\right) r_o$$

b) Use la parte (a) para demostrar que R_{o17} = 179 kΩ en la Figura 11.15a.

Sugerencia se obtuvo que la resistencia de salida del amplificador de transconductancia (primera etapa del 741) era R_{o1} = 7,03 MΩ. También que $r_{\pi 16}$ = 368 kΩ, $r_{\pi 17}$ = 11,4 kΩ y r_{o17} = 236 kΩ.

11.16 Algunas expresiones de la resistencia de salida emplean distintas aproximaciones y distintas notaciones basadas en el mismo circuito, Figura P11.16.

a) Traslade la expresión de R_o en el problema 11.15 a la notación de la Figura 11.16.

b) Obtenga el resultado de Widlar, Ecuación (7.71) a partir de la respuesta de la parte a) suponiendo $r_\pi >> R_{TH} + R_E$.

c) Demuestre que $R_o = r_o\,(1+\beta)$ cuando $r_\pi + R_{TH} << R_E$.

11.17 a) Demuestre que la Figura P11.17 es equivalente a la resistencia

$$R_{eq} = \frac{1 + g_{m19}R}{1 + g_{m18}R}\ \frac{1}{g_{m19}},\ R = 40\ \text{k}\| r_{\pi 18}$$

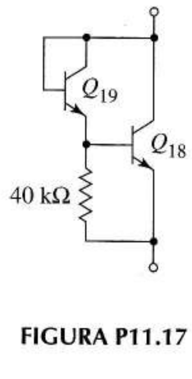


FIGURA P11.17

Sugerencia sustituya el transistor conectado como diodo por su resistencia equivalente y use el modelo híbrido en de pequeña señal para Q_{18}.

b) Demuestre que para $\beta = 250$ y las alimentaciones de ± 15 V supuestas en la Tabla 11.1 $R_{eq} = 163\ \Omega$.

11.18 Utilice el resultado general de Problema 11.17a para obtener la resistencia equivalente de la Figura P11.17 cuando las alimentaciones de ± 5 V hacen $I_{C13A} = 55\ \mu A$ en la Figura 11.10.

11.19 Cuando se usan alimentaciones de ± 5 V para polarizar el 741, I_{C8} vale 13,8 μA. Estime el *slew-rate*.

Sección 11.3

11.20 En la Ecuación (11.19) v_C es la salida de un amplificador sumador que aplica las relaciones R_F/R_1 a la entrada de continua $-V_{DC}$ y R_F/R_2 a la señal moduladora $-V_s \cos\omega_s t$. La entrada de pequeña señal es una señal portadora, $v_d = V_c \cos\omega_c t$. Demuestre que $v_o(t)$ se puede escribir como la onda modulada en amplitud

$$v(t) = K\left(1 + m\cos\omega_s t\right)\cos\omega_c t$$

a) Obtenga las expresiones de diseño para K y m en función de los parámetros del circuito y el sistema.

b) El diseño del multiplicador del Ejemplo 11.3 usó $A_d = 20$ y $R_C = R = 1\ k\Omega$. Para convertir el circuito en un modulador obtenga los valores de R_1, R_2 y V_{DC} de forma que $K = 2$ y m = 0,9 cuando las señales son $V_c = 0{,}005$ V y $V_s = 0{,}1$ V. Cualquier respuesta correcta es aceptable.

c) Dibuje un diagrama del amplificador sumador.

11.21 El Problema 11.20 muestra que si en la Figura 11.19a v_C viene del circuito de la Figura P11.21 y

$$v_d(t) = 0{,}005\cos 2\pi 10^4 t$$

la salida debe ser la onda modulada en amplitud

$$v(t) = 2(1 + 0{,}9\cos 2\pi 1.000t)\cos 2\pi 10.000t$$

Modifique el código SPICE de la Figura 11.19b para verificarlo.

11.22 En los Ejemplos 11.3 y 11.4 usamos $A_d = 20$ y $R_C = R = 1\ k\Omega$ en la Ecuación (11.19). Intente eliminar el amplificador diferencial haciendo $A_d = 1$ y compensando luego con $R_C = 20\ k\Omega$. La salida debe ser la diferencia v_x de la Figura 11.19a. ¿Qué está mal?

Sugerencia Compruebe el circuito para la tensión de entrada máxima.

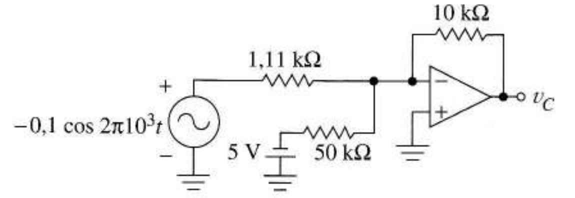


FIGURA P11.21

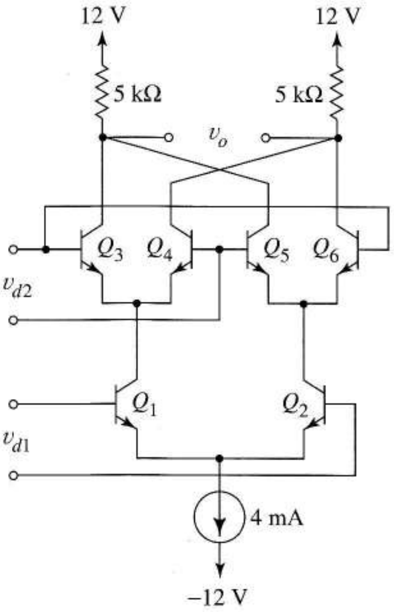


FIGURA P11.24

11.23 Use el SPICE para producir una familia de curvas y examinar la linealidad del multiplicador de célula de Gilbert. Dibuje $(i_x - i_y)$–v_{D1} con $v_{D2} = -5$ mV, -3 mV, -1 mV, 1 mV, 3 mV y 5 mV.

a) Restrinja los valores de entrada a $|v_{Di}| \leq 0{,}2\ V_T$.

b) Extienda el margen de v_{D1} a $|v_{D1}| \leq 2\ V_T$.

11.24 Queremos que el circuito de la Figura P11.24 funcione como un multiplicador de cuatro cuadrantes de pequeña señal.

a) Escriba una expresión numérica para la tensión de salida en función de las tensiones de entrada.

b) Suponga que la fuente de corriente necesita al menos 0,2 V para funcionar adecuadamente. Añada fuentes de señal y baterías de polarización continuas V_{XX} y V_{YY} de forma que con las señales eliminadas, la tensión continua disponible se reparta uniformemente entre los transistores superiores e inferiores y la fuente de corriente; esto es, $V_{CE3} = V_{CE1} = V_{CS}$ donde V_{CS} es la tensión de continua que cae en la fuente de corriente.

11.25 Obtenga con SPICE la onda de salida de doble banda lateral, supresora de portadora, del circuito diseñado en el

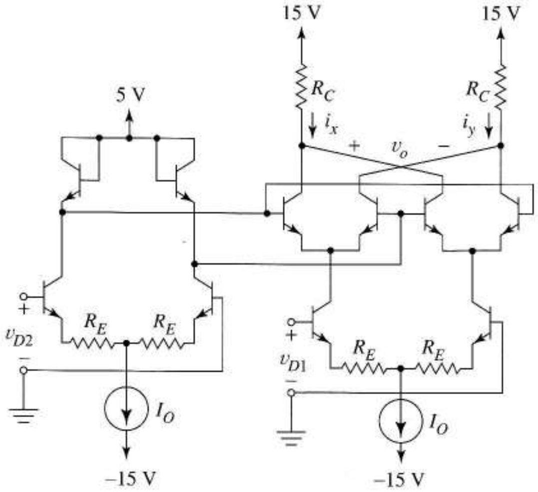


FIGURA P11.26

Ejemplo 11.5. Dibuje la forma de onda mostrando su forma y amplitud, prestando especial atención al paso por cero.

11.26 Obtenga los valores adecuados de R_C, R_E e I_O de forma que la Figura P11.26 sea un amplificador diferencial controlado por tensión. La ganancia debe variar de forma continua de −20 a +20 cuando la variable de control v_{D2} varíe de −1 a +1 V. Polarice los transistores de salida a V_{CE} = 1,4 V. Especifique las máximas señales de salida y entrada permitidas.

11.27 En el Ejemplo 11.6 y el Ejercicio 11.7 vimos que, a mayor resistencia de colector R_C, mayor ganancia de tensión siempre que el valor de V_{CE} correspondiente al punto Q permitiese este incremento de señal sin saturar los transistores de salida. Suponga en la Figura 11.24 que las tensiones de nodo en los emisores de Q_3–Q_6 no cambian de forma apreciable con la señal. Entonces los cambios de v_{CE} están causados sólo por los cambios de la tensión de colector v_C como respuesta a las señales. El caso extremo es cuando las tensiones de colector se aproximan a menos de 0,2 V de las tensiones de emisor para el pico de la señal de entrada.

a) Para la Figura 11.24 escriba una ecuación para v_{CE} en el instante en que el transistor de salida se satura. Esta ecuación debe incluir la polarización y la señal siendo desconocidas R_C y la parte de la señal que cae en R_C, $v_o/2$.

b) Escriba una ecuación para el valor de v_o en función de R_C cuando $|v_{D1}v_{D2}| = 10\ \text{V}^2$

c) Utilice los resultados de las partes a) y b) para hallar el maximo valor de R_C.

d) Para el valor de R_C del aparato c), halle el valor instantáneo máximo de v_o

e) Use los resultados de las partes a) y b) para obtener el valor máximo de v_o.

11.28 Sobre un eje de frecuencias dibuje una línea para cada frecuencia que aparezca en la Ecuación (11.39) para n = 1, 3 y 5 cuando $\omega_c = 1{,}02 \times 10^8$ rps, $\omega_m = 0{,}01 \times 10^8$ rps y

$$\frac{-g_m R_c V_M 4}{2\pi} = -1$$

Muestre la amplitud de cada línea.

11.29 a) Diseñe un modulador equilibrado que funcione de forma binaria como en la Figura 11.25. El circuito debe usar alimentaciones de ±9 V y producir una tensión de salida de pico de 3 V. No diseñe el filtro pasabajo.

b) Compruebe su diseño con SPICE usando una portadora de onda cuadrada con una amplitud que cumpla la Ecuación (11.36). Utilice el análisis transitorio para verificar que la onda de salida es correcta.

11.30 Exprese la corriente de drenador del MOSFET de doble puerta del Ejemplo 11.7 como una suma de términos senoidales simples cuando

$$v_{g1,s}(t) = 0{,}002\cos\left(2\pi 10^8 t\right)$$

y

$$v_{g2,s}(t) = 0{,}003\cos\left(2\pi 1{,}3\times 10^6 t\right)$$

11.31 Use la Figura 11.29a para estimar los valores de g_{m1} para $v_{G1,S}$ = 1 V y $v_{G2,S}$ = 1, 2, 3, 4, y 5 V. Use estos datos para dibujar la curva $g_m - v_{G2,S}$ como en la Figura 11.29b.

Sección 11.4

11.32 La tensión de entrada de un PLL es una onda senoidal de frecuencia ω_{FR}. En $t = 0$ la frecuencia salta bruscamente a $\omega_{FR} + \Delta\omega$ y luego decrece exponencialmente hasta ω_{FR} con una constante de tiempo de 1 ms.

a) Dibuje la frecuencia instantánea en función del tiempo.

b) Dibuje la tensión instantánea en función del tiempo.

c) Obtenga la transformada de Laplace $\Delta\Omega(s)$.

11.33 Un PLL tiene componentes ideales como los de la Figura 11.31 excepto que $F(s) = 1$. Los valores numéricos son K_P = 2 V, A = 10 y $K_o = 10^3\ \text{s}^{-1}\text{V}^{-1}$

a) ¿Cuál es el valor de la ganancia del bucle?

b) Dibuje la respuesta de impulsos del PLL cuando la variable de salida es la frecuencia.

c) Dibuje la respuesta de impulsos del PLL cuando la variable de salida es la tensión.

11.34 El PLL descrito en el Problema 11.33 está enganchado a la frecuencia de oscilación libre. Obtenga $v_3(t)$ si la frecuencia de entrada es

$$\Delta\omega_i(t) = \Delta\omega e^{-1.000t}u(t)$$

donde $u(t)$ denota la función de paso unidad y $\Delta\omega$ es la desviación de la frecuencia de oscilación libre.

11.35 Un PLL tiene una respuesta ante flanco como la mostrada en la Figura 11.35b para $\zeta = 0{,}5$. La frecuencia de entrada cambia bruscamente a un valor mayor durante un intervalo de tiempo y luego retorna a su valor original. Suponiendo que el bucle funciona con ondas cuadradas y permanece en estado de enganche durante todo el transitorio muestre que comprende el significado de la Figura 11.35b dibujando las ondas de las tensiones de entrada y salida.

11.36 Un PLL de segundo orden tiene ganancia $K_L = 1{,}4\times10^8\ s^{-1}$ y un ancho de banda de filtro de $\omega_H = 1{,}26 \times 10^7$ rad/s. Obtenga la relación de carga y el ancho de banda del filtro.

11.37 Un PLL emplea el detector de fase descrito por la Figura 11.36d. Las otras constantes del bucle son $A = 2$, $\omega_{FR} = 60 \times 10^3$ rad/s y $K_o = 1{,}53 \times 10^3 s^{-1}\ V^{-1}$. La ganancia del filtro a baja frecuencia es uno. Obtenga el margen de enganche del bucle.

11.38 Un PLL usa el detector de fase de la Figura 11.38b. Si $A = 4$, $K_o = 2 \times 10^4\ s^{-1}\ V^{-1}$ y la ganancia del filtro $F(o) = 1$, obtenga los valores de I_O y R_C de forma que la ganancia del bucle sea $4 \times 10^5\ s^{-1}$. Obtenga el margen de enganche del bucle.

11.39 Un PLL usa el detector de fase de la Figura 11.39b.

a) Si $A = 1$, $K_o = 2 \times 10^3\ s^{-1}\ V^{-1}$ y la ganancia del filtro es $F(s) = 1$, obtenga una expresión para la ganancia del bucle (cuando $\Delta\theta \approx \pi/2$) en función de los parámetros de diseño g_m, R_C y V_t.

b) Obtenga los valores de los parámetros de forma que la ganancia del lazo sea $1.000\ s^{-1}$.

c) Determine el margen de enganche par los valores del apartado b).

11.40 La Figura 11.41 sugiere que el margen de la captura para un PLL es menor que el margen de enganche. Use la estimación de la Ecuación (11.69) para demostrar que es así.

11.41 El filtro de un PLL tiene la característica de transferencia

$$F(s) = \frac{5\times10^4}{s+5\times10^4}$$

Estime el margen de captura si el margen de enganche es 160×10^3 rad/s.

11.42 Un oscilador controlado por corriente como el de la Figura 11.43a emplea el circuito de Schmitt-trigger de la Figura P11.42.

a) ¿Por qué el circuito incluye un seguidor?

b) Si los amplificadores operacionales son HA2544 con alimentaciones de ±15 V (Tabla 2.1) obtenga los valores de V_H, V_L, V_1 y V_2.

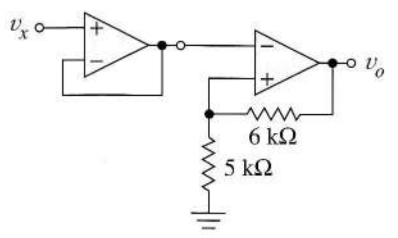


FIGURA P11.41

c) En la Figura 11.43c los pulsos de salida del Schmitt-trigger cambian instantáneamente; sin embargo, los amplificadores operacionales de la Figura P11.42 tienen transiciones graduales debido al *slew-rate*. Obtenga la mayor frecuencia de oscilación f_o de forma que el cambio lineal de la salida del HA2544 ocupe sólo la décima parte de un período. Suponga que el seguidor no se ve afectado por el *slew-rate*.

d) Seleccione un condensador de sincronización C. Después obtenga el margen de valores de I_O necesario para que el oscilador funcione en un margen de dos décadas de frecuencia con la frecuencia de la parte c) como límite superior.

11.43 Resuelva el Problema 11.42 usando el amplificador operacional 741 en lugar del HA2544.

11.44 La fuente de corriente controlada por tensión de la Figura P11.43 emplea transistores npn con $\beta = 220$ y $V_A = 100$ V; el transistor pnp tiene $\beta = 60$ y $V_A = 75$ V.

a) Dibuje con SPICE I_O en función de V para $0 \leq v_C \leq 12$. Explique cualquier desviación del comportamiento lineal descrito por la Ecuación (11.71).

b) Use el SPICE para dibujar I_O en función de v_3 después de añadir en la entrada el circuito de transformación de la Figura 11.44d para producir v_C. Use una VCVS de ganancia alta para el amplificador operacional.

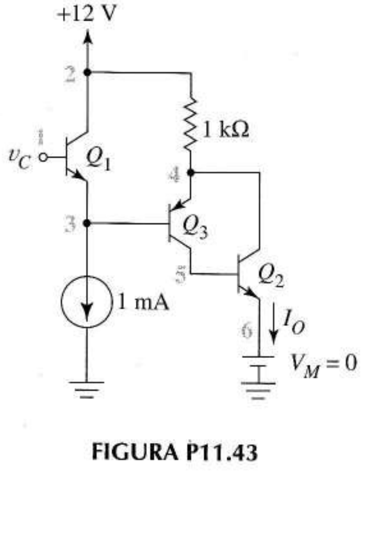


FIGURA P11.43

Capítulo 12

FILTROS

12.1 CONCEPTOS BÁSICOS DE FILTROS

Podemos ver una señal como una superposición de componentes senoidales que ocupan una banda de frecuencias. Los filtros separan dicha señal del ruido adicional y de otras señales, dejando pasar selectivamente las frecuencias deseadas y atenuando las que no interesan. A veces, el filtro modifica la señal de forma intencionada, dando más peso o énfasis a ciertas frecuencias frente a otras o cambiando las fases de algunos componentes de la señal. En este capítulo aprenderemos a especificar distintos tipos de filtrados y a diseñar filtros que satisfagan estas especificaciones. Hay una extensa literatura que abarca todos los aspectos de la teoría de filtros. Se espera que los conceptos introducidos en este capítulo proporcionen unos sólidos cimientos para explorar y comprender dicha literatura.

Las característica de *filtro ideal* de la Figura 12.1 es fundamental en la teoría de filtros. Como deja pasar todas las frecuencias menores a un rad/s con ganancia uno, y elimina todas las frecuencias mayores a un rad/s con ganancia cero, se llama *filtro de paso bajo con frecuencia de corte* en un rad/s. La banda de frecuencia en que la ganancia es uno es la *banda pasante* y la banda en la que la ganancia es cero es la banda de rechazo. El desplazamiento de fase del filtro ideal es cero en todas las frecuencias.

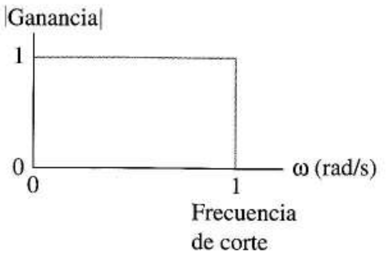


FIGURA 12.1 Filtro paso bajo ideal

En un filtro, la ganancia importante es la *relativa*, y no la absoluta, por tanto, cualquier factor de escala que afecte igualmente a todas las frecuencias no afecta en nada al filtrado. Por ejemplo, un filtro con ganancia –50 para $\omega \leq 1$ y 0 para $\omega > 1$ es equivalente al filtro ideal de paso bajo en cascada con un amplificador con ganancia –50. Si las especificaciones exigen un factor de escala en particular, siempre podremos añadir un amplificador o divisor de tensión a la salida del filtro.

Desafortunadamente, el filtro ideal de paso bajo no puede llegar a *realizarse* con un circuito que tenga un número de elementos finitos, por ello examinaremos a continuación un circuito práctico que se le aproxime.

12.1.1 FILTRO ACTIVO DE PRIMER ORDEN

La Figura 12.2a muestra un filtro activo en el que un preamplificador inversor con ganancia menos uno compensa la inversión de señal ocasionada por la siguiente etapa. En términos de tensiones expresadas en una transformada de Laplace, la función de transferencia *T*(*s*) es

$$T(s) = \frac{V_o(s)}{V_i(s)} = \frac{[(1/s)1]/[(1/s)+1]}{1} = \frac{1}{s+1} \tag{12.1}$$

que tiene el diagrama de polos y ceros de la Figura 12.2b, un único polo en el eje real negativo del plano s. Dado que su denominador es un polinomio de grado uno en *s*, *T*(*s*) es un *filtro de primer orden.*

Para hallar la respuesta frecuencial del filtro de primer orden, hacemos s = jω en la Ecuación (12.1). En notación polar, la función de frecuencia con valores complejos es

$$T(j\omega) = |T(j\omega)| \angle \phi(\omega) = \frac{1}{\sqrt{\omega^2+1}} \angle -tan^{-1}(\omega) \tag{12.2}$$

Las curvas de respuesta frecuencial de la Figura 12.2c muestran un ancho de banda a –3 dB de 1 rad/s. La curva de amplitud se acerca a la ideal de la Figura 12.1 en el sentido de que la ganancia está dentro de los 3 dB de la ganancia unitaria real (cero dB) para $\omega \leq 1$ rad/s. En la banda de rechazo $\omega > 1$, la aproximación al ideal de la ganancia cero mejora al incrementar ω.

Debido a lo que conocemos de los amplificadores, estamos condicionados a pensar en las funciones de transferencia como ganancias. Sin embargo, en los filtros hemos visto que el éxito suele medirse sabiendo en qué se reducen o *atenúan* las señales en banda de rechazo en relación con las señales de la banda de paso. Por esta razón, solemos ver las funciones de los filtros como *ganancias normalizadas*, es decir, ganancias de circuitos divididas por la máxima ganancia de la banda pasante. Esto nos da curvas de respuesta frecuencial con ganancia ≤ 1. Una vez que hayamos normalizado de esta forma la ganancia, en alguna ocasión, presumiremos de nuestro éxito, refiriéndonos al recíproco de la ganancia (número menor que uno) como *atenuación*. En decibelios, $(\text{atenuación})_{dB} = -(\text{ganancia})_{dB}$. Algunas referencias de filtros dan énfasis a este punto de vista, mostrando diagramas de atenuación, (en vez de ganancia) frente a la frecuencia. Para ser consistentes, utilizaremos en este texto diagramas de ganancia, aunque a veces nos será útil, al comentar las especificaciones de los filtros, hacer referencia a la atenuación.

Frecuentemente, las especificaciones nos dan la ganancia que deseamos o el desplazamiento de fase de una frecuencia ω. En los filtros de primer orden, podemos calcular la ganancia a partir de la ecuación de diseño

$$|T(j\omega)| = \frac{1}{\sqrt{\omega^2+1}} \tag{12.3}$$

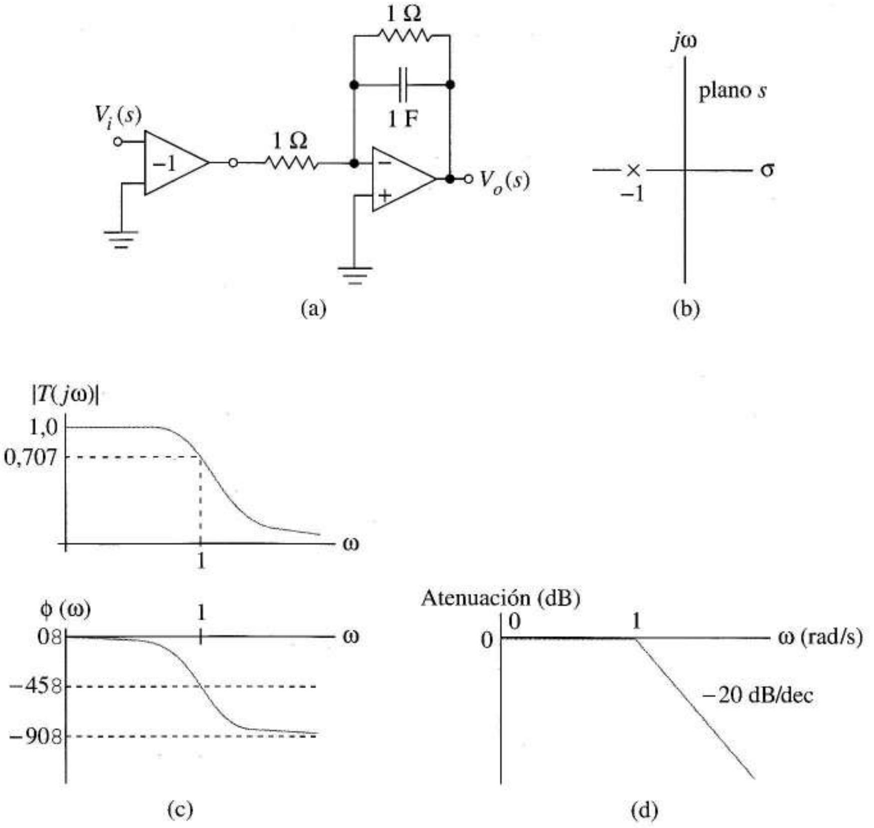


FIGURA 12.2 Filtro activo de paso bajo de primer orden: (a) esquema; (b) diagrama de polos y ceros de la función de transferencia; (c) respuesta frecuencial; (d) diagrama de Bode.

en decibelios, esto da

$$20\log\left|T(j\omega)\right| = 20\log\left|\left(\omega^2+1\right)^{-0,5}\right|$$

Vemos que para ω > > 1, la ganancia es de –20 dB/dec (o –6 dB/oct) como en la Figura 12.2d. Para cualquier valor de ω, el desplazamiento de fase del filtro viene dado por

$$\phi(\omega) = -\tan^{-1}\omega \tag{12.4}$$

Esto nos muestra que para ω < < 1, el desplazamiento de fase es insignificante, y para ω = 1 es de –45º. En altas frecuencias, se producen aproximaciones muy cercanas al máximo desplazamiento de fase,–90º.

12.1.2 ESCALADO DE FRECUENCIAS

El *escalado de frecuencias* es un procedimiento que traslada las curvas de frecuencia y fase de *cualquier filtro lineal* a nuevas frecuencias. Escalar es fundamental en el diseño de filtros, ya que nos

permite orientar todos los diseños en torno al mismo punto de partida, algún tipo de *filtro prototipo* con una *frecuencia de referencia* especificada de un rad/s. En los filtros de paso bajo de primer orden, la frecuencia de referencia es la frecuencia de corte.

Escalado de frecuencias de una función de transferencia Sea p la notación de la variable de frecuencia compleja antes de realizar el escalado de frecuencias, y $s = \alpha p$ la frecuencia escalada, para un valor de escalado positivo y real α. Así, para *cualquier* función de transferencia, $T_o(p)$, la función de transferencia con escalado de frecuencias, $T(s)$ es

$$T(s) = T_o(p)\Big|_{p=s/\alpha} = T_o\left(\frac{s}{\alpha}\right) \tag{12.5}$$

Por ejemplo, para la función de primer orden, el escalado de frecuencias nos da la nueva función

$$T(s) = \frac{1}{p+1}\Big|_{p=s/\alpha} = \frac{\alpha}{s+\alpha} \tag{12.6}$$

Observemos que al escalar con α se mueve el polo de la Figura 12.2b desde -1 hasta $-\alpha$.

Para ver exactamente cómo funciona el escalado, observemos que en 17 rad/s, el filtro paso bajo sin escalar de la Ecuación (12.1) tiene el desplazamiento de magnitud y fase dado por

$$T_o(j17) = \frac{1}{j17+1} = 0{,}059 \angle -86{,}6^\circ$$

Al escalar este filtro con $\alpha = 9.800$, de acuerdo con la Ecuación (12.6) obtenemos la nueva función

$$T(j\omega) = \frac{9.800}{j\omega + 9.800}$$

En $\alpha = 9.800 \times 17$ la magnitud y fase del nuevo filtro escalado son

$$T(j9.800 \times 17) = \frac{9.800}{j9.800 \times 17 + 9.800} = \frac{1}{j17+1} = 0{,}059 \angle -86{,}6^\circ$$

Para demostrar la generalización del escalado de frecuencias, observemos que para cualquier función de filtros $T_o(p)$

$$T_o(p)\Big|_{p=s/\alpha} = \frac{K(p-z_1)(p-z_2)\ldots(p-z_M)}{(p-p_1)(p-p_2)\ldots(p-p_N)}\Big|_{p=s/\alpha}$$

El escalado de frecuencias con α mueve cada polo p_i a αp_i y cada cero z_j a αz_j. (También cambia la constante de K a $\alpha^{N/M}K$, que es indiferente en lo que respecta al filtrado.) La Ecuación (12.5) muestra exactamente el modo en que se ven afectadas con un escalado de este tipo las curvas de magnitud y fase de cualquier $T_o(p)$. Al evaluar la función original a cualquier frecuencia $p = j\lambda$ obtenemos

el valor complejo $T_o(j\lambda)$. Como en el ejemplo, la nueva función toma el mismo valor complejo cuando se calcula en la frecuencia escalada $j\omega = j\alpha\lambda$ como vemos a partir de

$$T(j\omega) = T_o\left(j\frac{\omega}{\alpha}\right) \tag{12.7}$$

Dado que la Ecuación (12.5) no está restringida a funciones con filtro de paso bajo, o incluso a funciones de un orden determinado, nuestras conclusiones sobre el escalado de frecuencias se aplica a cualquier función de filtro lineal.

Escalado de frecuencias de un circuito El escalado de frecuencias también funciona en los *circuitos*. Como la variable de frecuencia compleja p en una función de transferencia de un filtro $T_o(p)$ se puede plantear en el análisis de circuitos sólo en términos de impedancia, $1/pC$ y pL, el escalado de frecuencia $s = \alpha p$ se puede llevar a cabo en cualquier circuito mediante el escalado directo de los valores de los elementos que almacenan energía. De forma específica, al realizar el escalado de frecuencias se modifica la impedancia de cada condensador C y bobina L a C/α y L/α respectivamente, ya que

$$\frac{1}{pC} = \frac{1}{(s/\alpha)C} = \frac{1}{s(C/\alpha)}$$

y

$$pL = \left(\frac{s}{\alpha}\right)L = s\left(\frac{L}{\alpha}\right)$$

Es sencillo recordar la conclusión. *Para realizar el escalado de las curvas de magnitud y fase de un circuito dado a frecuencias más altas con un factor $\alpha > 1$ hay que reducir el tamaño de todas las bobinas y condensadores un valor α. Para realizar el escalado de la respuesta frecuencial a frecuencias más bajas, hay que incrementar L y C un valor aproximadamente igual al factor de escalado apropiado.* Esto significa que podemos repetir el escalado del filtro de primer orden de la Figura 12.2a para que tenga la frecuencia de corte deseada. Para obtener un ancho de banda a –3 dB de 10 kHz, por ejemplo, simplemente cambiaremos C de 1 F a $1/(2\,\pi\,10.000) = 15{,}9$ μFd.

Especificaciones de escalado de filtros En los *diseños* de filtros, comenzamos con las especificaciones y, a partir de ellas, determinamos el factor de escala de frecuencias α. Por ejemplo, supongamos que necesitamos un filtro paso bajo de primer orden que ocasione un desplazamiento de fase de –20°en 800 Hz. Inicialmente utilizaremos la Ecuación (12.4) para hallar la frecuencia para la que el filtro sin escalar dé un desplazamiento de fase de –20°.

$$\omega = \tan\left[-(-20^\circ)\right] = 0{,}364 \text{ rad/s}$$

Para obtener este mismo desplazamiento de fase en 800 Hz, debemos hacer la escala de frecuencias con α que satisfaga

$$\alpha 0{,}364 = 2\pi 800 \text{ rad/s}$$

ó $\alpha = 13{,}8 \times 10^3$. Para realizar el escalado de frecuencias del filtro físico, sencillamente cambiaremos el condensador de 1 F (Figura 12.2a) por $1/\alpha = 72{,}5$ μF.

Dado que el escalado de frecuencias no modifica las resistencias, los diagramas de nuestro circuito suelen contener componentes con valores que no son útiles, incluso después de haber realizado el escalado de frecuencias. Realizar un segundo escalado nos permite cambiar los valores de los componentes *sin cambiar la respuesta frecuencial.*

12.1.3 ESCALADO DE IMPEDANCIA

El escalado de la impedancia de un circuito con un factor de escala real y positivo β consiste en reemplazar cada resistencia R por una resistencia escalada βR, cada impedancia inductiva sL por una impedancia escalada $\beta sL = s(\beta L)$ y cada impedancia capacitiva $1/sC$ por la impedancia escalada $\beta/sC = 1/(sC/\beta)$. A veces se le denomina escalado de magnitud; sin embargo, el término escalado de impedancia nos ayuda a recordar la forma en que se realiza. Cuando todas las impedancias se escalan a valores superiores, las corrientes se reducen, pero las relaciones entre tensiones como $T(s)$ se mantienen invariables. Las *curvas de magnitud y fase de la respuesta frecuencial no cambian con el escalado de impedancia.*

Para demostrar la utilidad del escalado de impedancia, volvamos a la idea de que el escalado de frecuencia del circuito de la Figura 12.2a con $\alpha = 2\pi 10^4$ incrementa el ancho de banda a 10 kHz cambiando el condensador de 1 F a 15,9 μF. Si ahora hacemos un escalado de impedancia con $\beta = 10.000$, obtenemos como resultado el circuito de la Figura 12.3b.

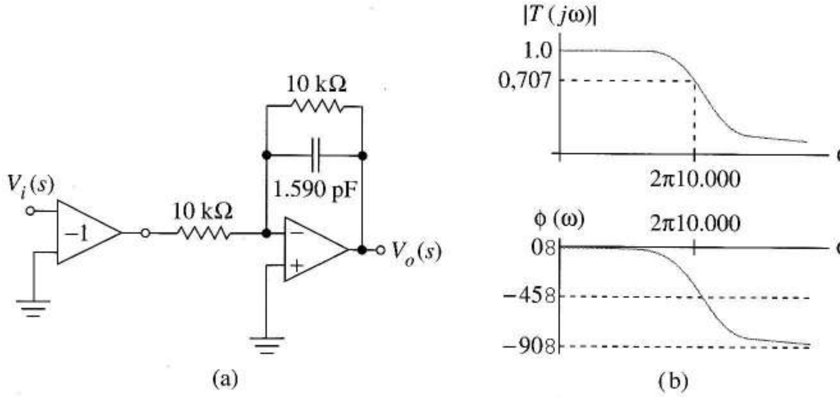


FIGURA 12.3 (a) Filtro de la figura 12.2a tras escalar la frecuencia con $\alpha = 2\pi \times 10^4$ y escalado de impedancias en 10^4; (b) respuestas de magnitud y fase del filtro escalado.

12.1.4 ESCALADO DE FRECUENCIAS DE CIRCUITOS RC ACTIVOS MEDIANTE ESCALADO DE RESISTENCIAS

Muchos filtros sólo incluyen resistencias, condensadores y elementos activos. *Para estos circuitos RC activos*, es posible hacer escalado de frecuencias cambiando las resistencias en vez de cambiar los condensadores. Para demostrarlo, supondremos que primero hacemos un escalado frecuencial de un filtro RC activo con un $\alpha > 1$, reduciendo el valor de cada condensador C_i con C_i/α. La función de filtro resultante $T(s)$ tiene ahora la respuesta frecuencial deseada. A continuación escalaremos cada impedancia con $\beta = 1/\alpha$. Cada resistencia R_j toma un nuevo valor R_j/α, mientras que cada condensador, que se ha escalado previamente con C_i / α, se ha escalado en impedancia con $\alpha(C_i/\alpha) = C_i$, su valor original. Como el escalado de impedancia no modifica la respuesta frecuencial, llegamos a

que podemos hacer el *escalado frecuencial de filtros activos RC a frecuencias más altas reduciendo las resistencias en vez de las capacidades.*

A veces, este principio es útil para hallar valores prácticos de componentes y también es útil en sintonización, es decir, ajustar la respuesta frecuencial para que esté de acuerdo con las especificaciones ya que es más fácil encontrar resistencias de cualquier valor que condensadores. Así, si necesitamos diseñar un filtro que sintonice a varias frecuencias de corte distintas, mediante un interruptor selector, es más fácil cambiar los márgenes de frecuencias reemplazando resistencias que condensadores.

12.1.5 FILTRO PASO ALTO

A veces queremos utilizar un filtro para dejar pasar altas frecuencias y atenuar las bajas. Para ello utilizamos filtros *paso alto*, mostrados en su forma ideal en la Figura 12.4. Los conceptos de escalado de frecuencia e impedancia se aplican a estos filtros sin modificaciones.

Transformación *RC-CR* Una vez que sabemos diseñar un circuito activo *RC* para realizar un filtro paso bajo con una frecuencia de corte de un rad/s siempre podremos encontrar un circuito activo RC que realce el filtro paso alto con frecuencia de corte de un rad/s. El principio clave, denominado *transformación RC-CR*, lo describe Mitra, referenciado en este libro.

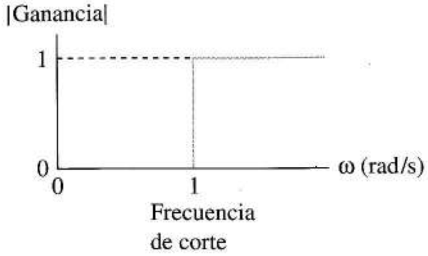


FIGURA 12.4 Filtro ideal de paso alto con 1 rad/s de frecuencia de corte.

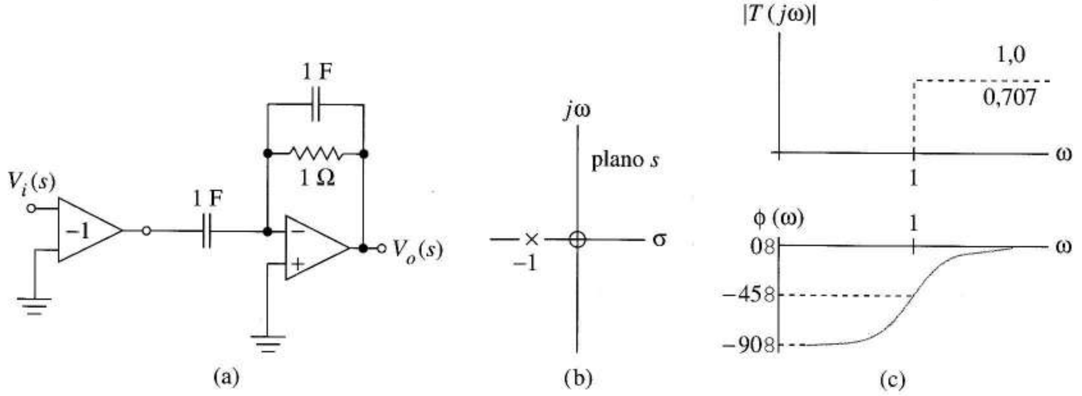
"Para transformar un circuito activo *RC* paso bajo con una frecuencia de un rad/s en un circuito activo *RC* paso alto con la misma frecuencia de corte, reemplazaremos cada resistencia de R_i ohmios por un condensador de $C_i = 1/R_i$ faradios, y cada condensador de C_j faradios por una resistencia de $R_j = 1/C_j$ ohmios. Las ganancias de los elementos activos no cambian."

Utilizaremos esta transformación para "descubrir" un filtro paso alto de primer orden. (El problema 12.7 demuestra que la transformación también funciona en filtros más complejos.)

12.1.6 FILTRO PASO ALTO DE PRIMER ORDEN

Al aplicar la transformación *RC-CR* al circuito de la Figura 12.2a, obtenemos la Figura 12.5a. Las técnicas de análisis del Capítulo 2 muestran que su función de ganancia de tensión es

$$T(s) = \frac{s}{s+1} \tag{12.8}$$



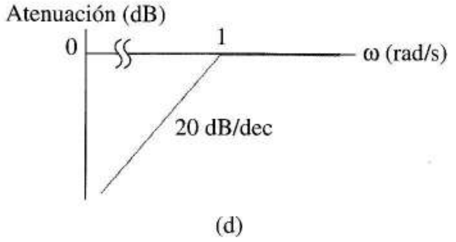


FIGURA 12.5
Filtro activo RC de paso alto de primer orden; (a) esquema; (b) diagrama de polos y ceros; (c) respuesta frecuencial; (d) diagrama de Bode.

La Figura 12.5b es el diagrama de polos y ceros y las curvas de respuesta frecuencial son las de la Figura 12.5c. Al sustituir $s = j\omega$ en la Ecuación (12.8) obtenemos

$$|T(j\omega)| = \frac{\omega}{\sqrt{\omega^2+1}} \tag{12.9}$$

y

$$\phi(\omega) = \frac{\pi}{2} - \tan^{-1}\omega \tag{12.10}$$

Al expresar la ganancia de la Ecuación (12.9) en decibelios, obtenemos el diagrama de Bode de la Figura 12.5d. El siguiente ejemplo ilustra el diseño del filtro paso alto de primer orden.

EJEMPLO 12.1 Diseñar un filtro paso alto de primer orden con ganancia en alta frecuencia 0 dB y atenuación de 30 dB a 40 Hz. Utilizar sólo condensadores de 5.000 pF.

Solución A partir de la Ecuación (12.9) el filtro prototipo de paso alto con corte en un rad/s tiene atenuación de 30 dB en una frecuencia λ_x, dada por

$$10^{-30/20} = 0{,}03162 = \frac{\lambda_x}{\sqrt{\lambda_x^2+1}}$$

6

$$9{,}998 \times 10^{-4}\left(\lambda_x^2+1\right) = \lambda_x^2$$

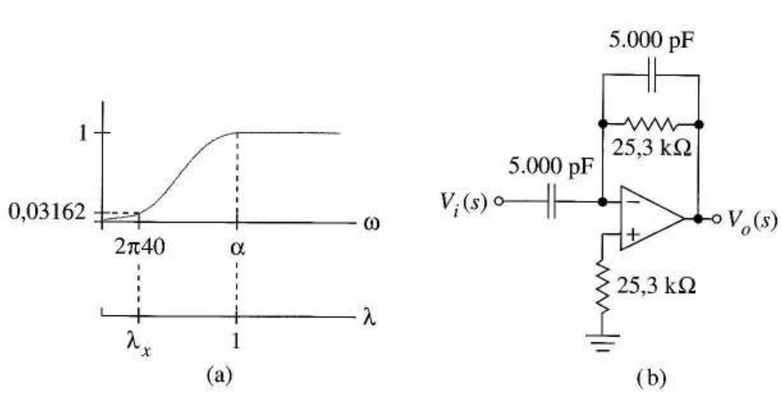


FIGURA 12.6 Diseño del filtro de paso alto del ejemplo 12.1: (a) especificaciones relacionadas con el prototipo de un rad/s; (b) diseño final.

Al resolver obtenemos $\lambda_x = 0{,}03164$ rad/s. Por lo tanto, el factor de escala es

$$\alpha = \frac{2\pi 40}{\lambda_x} = \frac{2\pi 40}{0{,}03164} = 7{,}943 \times 10^3$$

Al escalar en frecuencias los condensadores de la Figura 12.5a con α obtenemos $C = 126{,}3$ μF. Para utilizar condensadores de 5.000 pF, también debemos hacer escalado de impedancias con

$$\beta = \frac{126{,}3 \times 10^{-6}}{5.000 \times 10^{-12}} = 25{,}3 \times 10^3$$

Llegamos a que el circuito de la Figura 12.6b puede realizar el proceso de escalado. Se inserta la resistencia de la entrada no inversora para reducir la desviación provocada por la corriente de polarización de entrada. Si es necesario, se puede añadir un amplificador inversor. ❑

Ejercicio 12.1 Suponer que las especificaciones del Ejemplo 12.1 se refieren a resistencias de 200 kΩ *en vez* de condensadores de 5.000 pF, pero tienen la misma respuesta frecuencial. Hallar los valores del condensador para este caso.
Respuesta 631,5 pF

12.2 FILTROS ACTIVOS DE SEGUNDO ORDEN

12.2.1 FUNCIÓN DE FILTRO PASO BAJO

Otra función de filtros que se aproxima al filtro paso bajo ideal es la función de paso bajo de segundo orden

$$\frac{V_o(s)}{V_i(s)} = T(s) = \frac{1}{s^2 + \left(\frac{1}{Q}\right)s + 1} \tag{12.11}$$

en donde Q es un parámetro de diseño. Al factorizar el denominador se ve que si $Q \geq 0{,}5$, $T(s)$ tiene un par de polos conjugados situados en

$$\sigma \pm j\omega = -\frac{1}{2Q} \pm j\sqrt{1-\frac{1}{4Q^2}} \tag{12.12}$$

A partir de la Ecuación (12.12) la distancia entre dichos polos y el origen del plano s es

$$\sqrt{\sigma^2+\omega^2}=1$$

independiente de Q. El diagrama de polos y cero, Figura 12.7a muestra que según Q se incrementa desde 0,5 hasta el infinito, los polos conjugados se mueven a lo largo del círculo unidad hacia el eje $j\omega$.

Al sustituir $s = j\omega$ en la Ecuación (12.11) obtenemos la respuesta frecuencial

$$T(j\omega)=\frac{1}{-\omega^2+j(1/Q)\omega+1}=|T(\omega)| \angle -86{,}6^\circ$$

en donde

$$|T(\omega)|=\frac{1}{\sqrt{(1-\omega^2)^2+\left(\frac{\omega}{Q}\right)^2}} \tag{12.13}$$

es la magnitud y

$$\phi(\omega)=-\tan^{-1}\left[\frac{\omega}{Q(1-\omega^2)}\right] \tag{12.14}$$

es la fase.

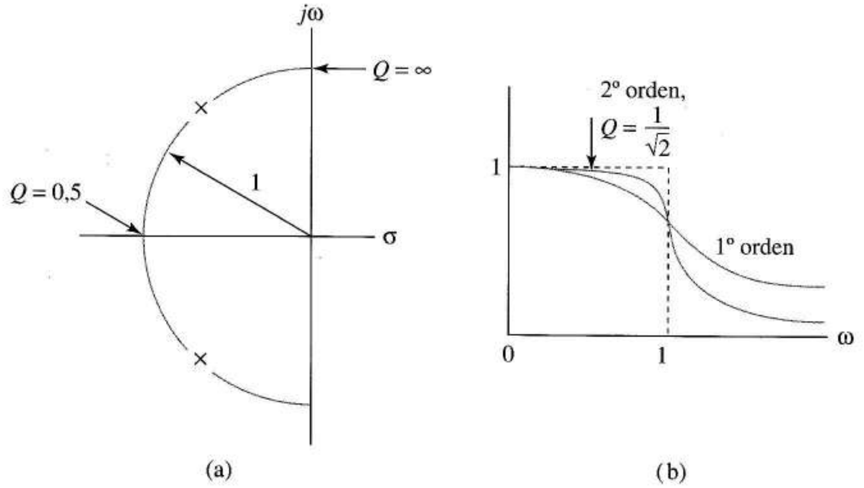


FIGURA 12.7 Filtro paso bajo de segundo orden con una frecuencia de referencia de 1 rad/s: (a) diagrama de polos y ceros; (b) comparación con el filtro de primer orden; (d) respuesta de la magnitud en decibelios; (e) respuesta de fase.

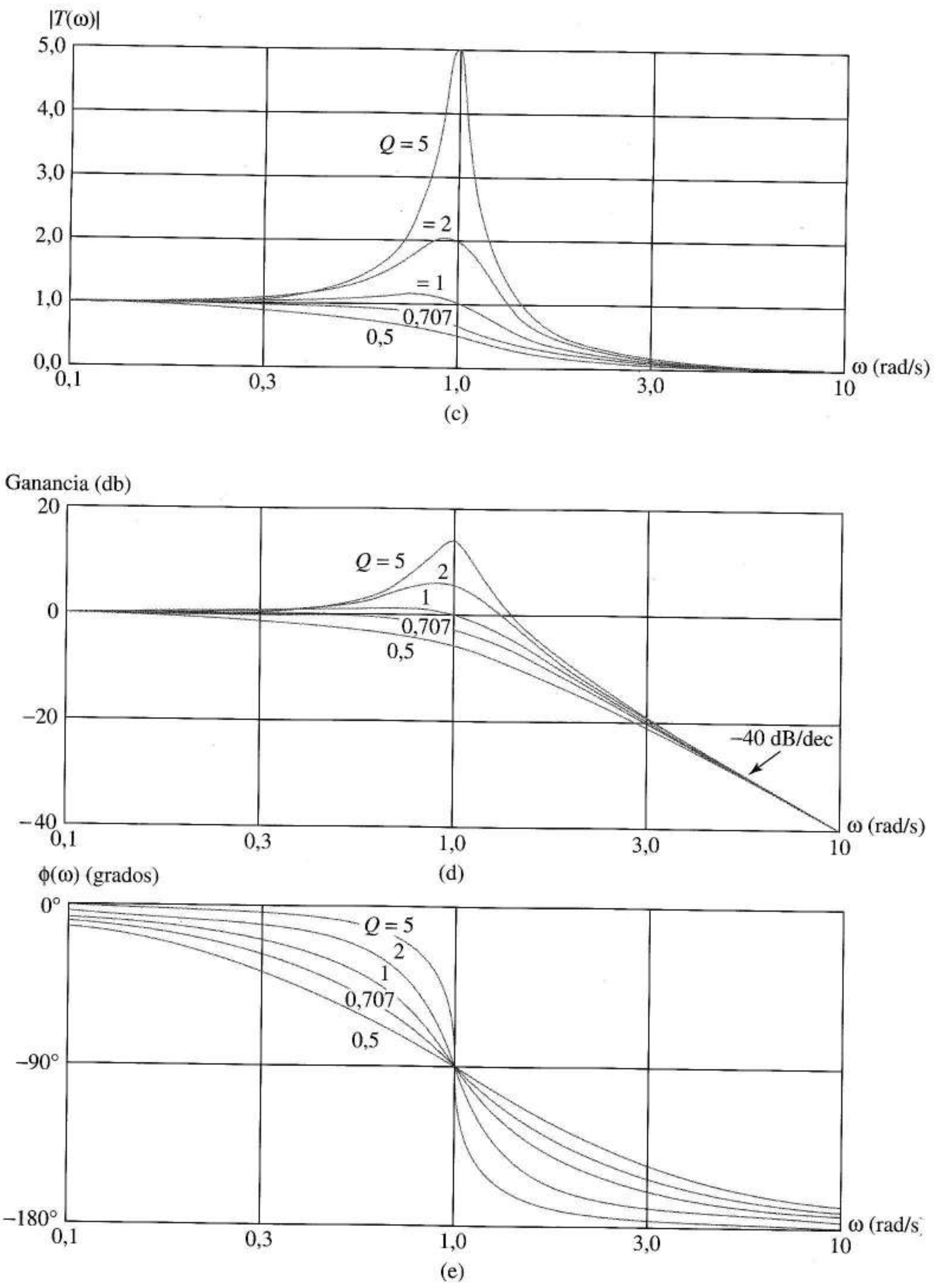


FIGURA 12.7 (Continuación)

Las Figuras 12.7b y 12.2b muestran que para $Q = 1/\sqrt{2} = 0{,}707$ la respuesta de magnitud de segundo orden se parece sólo superficialmente a la curva de primer orden. En realidad, la función de segundo orden se aproxima más al filtro paso bajo ideal, al dar una mayor ganancia de banda pasante y una atenuación superior en la banda de rechazo. En la banda de rechazo la ganancia cae a –40 dB/década en vez de a –20 dB/década.

Los diagramas habituales de $|T(\omega)|$, Figuras 12.7c y 12.7d, respectivamente, muestran que $T(s)$ describe una *familia* de funciones de respuestas frecuenciales, distinguidas a través del parámetro Q. Todas son funciones de filtro paso bajo, en el sentido de que dan ganancias mayores a bajas frecuencias y ganancias menores a frecuencias altas. Para los valores más altos de Q, la proximidad de los polos a los ejes imaginarios provocan un pico en la curva de respuesta frecuencial. Aunque algunas curvas son malas aproximaciones a la función ideal del filtro paso bajo, describen subcircuitos útiles para algunos filtros más complejos que estudiaremos más adelante. Por esta razón, es importante saber diseñar un circuito paso bajo de segundo orden para *cualquier* valor de Q.

La Figura 12.7e muestra las curvas de fase. Valores más altos de Q provocan de forma progresiva menos desplazamiento de fase para $\omega < 1$, ocurriendo el mayor cambio de fase cerca de $\omega = 1$. En comparación con el filtro de primer orden, esta función produce un desplazamiento de fase de –90° en $\omega = 1$ en vez de –45 e introduce un desplazamiento de fase de –180° en vez de –90°.

La referencia de frecuencia de los filtros paso bajo de segundo orden es un rad/s. Aunque esta frecuencia se suele llamar frecuencia de corte, puede llevar a confusión, ya que el ancho de banda a –3 dB es mayor que un rad/s para algunos valores de Q. Para algunos Q, el escalado frecuencial desplaza del modo habitual las curvas de magnitud y fase a nuevas frecuencias. Cualquier pico en la curva de respuesta frecuencial se traslada a una nueva frecuencia sin cambios en la amplitud. El escalado de frecuencia ω cambia la posición los polos del círculo unidad de la Figura 12.7a al círculo de radio ω.

12.2.2 FILTRO PASO BAJO DE SALLEN-KEY

El *circuito de Sallen-Key* de la Figura 2.15a, dibujado en la Figura 12.8a con valores unidad para R y C realiza la función de filtro de segundo orden. Si repetimos la obtención de la Ecuación (2.26) pero utilizando s en el lugar de $j\omega$ llegamos a que para $R = C = 1$

$$\frac{V_o}{V_i} = T(s) = \frac{A}{s^2 + (3 - A)s + 1} \tag{12.15}$$

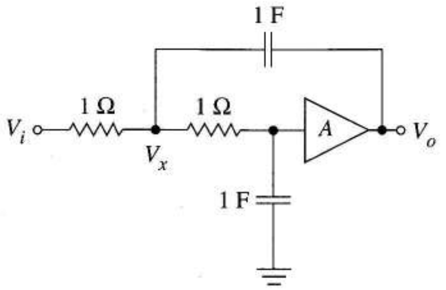


FIGURA 12.8 Filtro de paso bajo de segundo orden de Sallen-Key.

Para llevar a cabo la función de filtro de la Ecuación (12.11) para determinados Q, podemos utilizar un circuito Sallen-Key, siempre que A cumpla

$$Q = \frac{1}{3 - A} \tag{12.16}$$

La Ecuación (12.15) incluye un factor de ganancia A, del que carece la Ecuación (12.11); sin embargo no tiene importancia en la mayor parte de los problemas de filtrado. Aunque ajustar A de forma precisa es difícil con Q elevadas ya que la diferencia $3 - A$ del denominador se hace pequeña, el filtro Sallen-Key es adecuado para la mayor parte de los filtros estudiados en este capítulo. (Los problemas 12.14 y 12.15 analizan este problema de sensibilidad).

12.2.3 DISEÑO DE FILTROS PASO BAJO

El diseño de un filtro de segundo orden lleva asociados dos parámetros fundamentales, Q y el factor de escala del circuito. Además, podría haber una restricción que necesite el escalado de impedancia. El filtro Q se suele especificar indicando de alguna forma el nivel deseado de pico en la respuesta frecuencial. El factor de escala de frecuencia se indica, bien especificando la frecuencia de corte, o de forma alternativa, con una determinada ganancia, a una frecuencia específica.

EJEMPLO 12.2 Diseñar un filtro Sallen-Key de segundo orden con $Q = \sqrt{2}$ que tenga una atenuación de 18,36 dB a 60 kHz. Utilizar sólo capacidades de 2.000 pF en el diseño.

Solución Es una buena idea representar la característica deseada como en la Figura 12.9. Los dos ejes de frecuencias muestran cómo se relacionan el filtro a frecuencia escalada (con α desconocida) con el filtro a frecuencia unidad para el que tenemos ecuaciones de diseño. Primero hallaremos la frecuencia en radianes λ_x en la que la atenuación es 18,36 dB para el filtro de un rad/s. Como la ganancia de –18,36 dB corresponde a $|T(\lambda_x)| = 0{,}1208$, la Ecuación (12.13) nos da

$$T(\lambda_x) = \frac{1}{\sqrt{\left(1-\lambda_x^2\right)^2 + \left(\lambda_x / \sqrt{2}\right)^2}} = 0{,}1208$$

Al resolver $\lambda_x = 3$. A partir de la Figura 12.9, $\alpha\lambda_x = 260 \times 10^3$, por tanto, debemos escalar en frecuencias con $\alpha = 2\pi 20 \times 10^3$ rad/s. Para ello, cambiaremos los condensadores de la Figura 12.8 por $1/(2\pi 2 \times 10^4) = 7{,}958$ μF.

Para reducir las capacidades a 2.000 pF, como requieren las especificaciones, el nivel de impedancia del circuito se debe incrementar $\beta = 7{,}958 \times 10^{-6}/2 \times 10^{-9} = 3{,}979 \times 10^3$. El circuito final se parece a la Figura 12.8, pero con resistencias de 3,979 kΩ y condensadores de 2.000 pF. A partir de la Ecuación (12.16), un amplificador no inversor con ganancia $A = 3 - 0{,}707 = 2{,}293$ nos da el Q requerido. ❑

Ejercicio 12.2 Calcular el desplazamiento de fase en grados a 60 kHz del filtro diseñado en el ejemplo anterior.

Respuesta –165,1°.

12.2.4 FILTRO PASO ALTO

Transformación de paso bajo a paso alto Si $T_{LP}(p)$ es cualquier función de un filtro paso bajo con una frecuencia de referencia de un rad/s, la *transformación de paso bajo a paso alto*

$$p = \frac{1}{s} \tag{12.17}$$

nos da una función de filtro paso alto $T_{HP}(s)$ con una frecuencia de referencia de un rad/s; es decir

$$T_{HP}(s) = T_{LP}(p)\big|_{p=1/s} \tag{12.18}$$

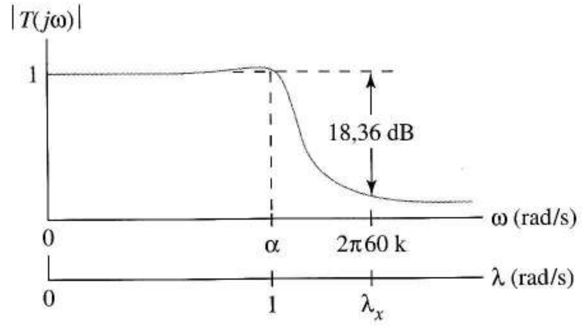


FIGURA 12.9 Especificaciones del filtro del Ejemplo 12.2.

Al igual que el escalado de frecuencias de la Ecuación (12.5), la transformación de paso bajo a paso alto es un mero cambio en la variable independiente. Esta transformación cambia la *magnitud* y *fase* del filtro original de una frecuencia compleja p a otra distinta s, y la Ecuación (12.17) relaciona las frecuencias origen y destino.

Es fácil verificar que esta transformación cambia el filtro paso bajo de primer orden de la Ecuación (12.1) en el filtro paso alto de la Ecuación (12.8). Para la función de segundo orden de la Ecuación (12.11), la transformación da

$$T(s) = \frac{1}{(1/s)^2 + (1/Q)(1/s) + 1}$$

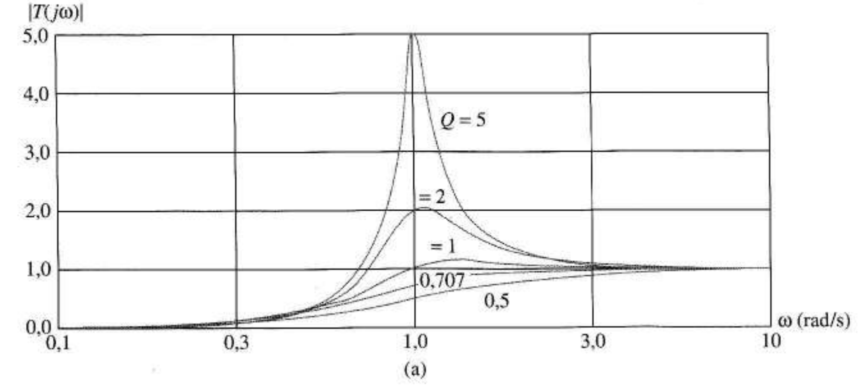
que escribiremos habitualmente como

$$T(s) = \frac{s^2}{s^2 + (1/Q)s + 1} \tag{12.19}$$

Para cada función de filtro paso bajo definida por un valor determinado de Q en la Ecuación (12.11), la Ecuación (12.19) proporciona el filtro paso alto correspondiente del mismo Q. Las Figuras 12.10a y b muestran las curvas de respuesta frecuencial del filtro paso alto de segundo orden. Al compararlas con las curvas del filtro paso bajo de la Figura 12.7 vemos cómo la magnitud y fase del filtro paso bajo a frecuencia λ representa la nueva frecuencia $\omega = 1/\lambda$ del filtro paso alto.

Es relativamente sencillo ver cómo una función paso bajo varía con la transformación realizada por la Ecuación (12.17). Dicha transformación nos da

$$T_{HP}(s) = T_{LP}(p)\big|_{p=1/s} = \frac{K(1/s - z_1)(1/s - z_2)\ \dots\ (1/s - z_M)}{(1/s - p_1)(1/s - p_2)\ \dots\ (1/s - p_N)}$$



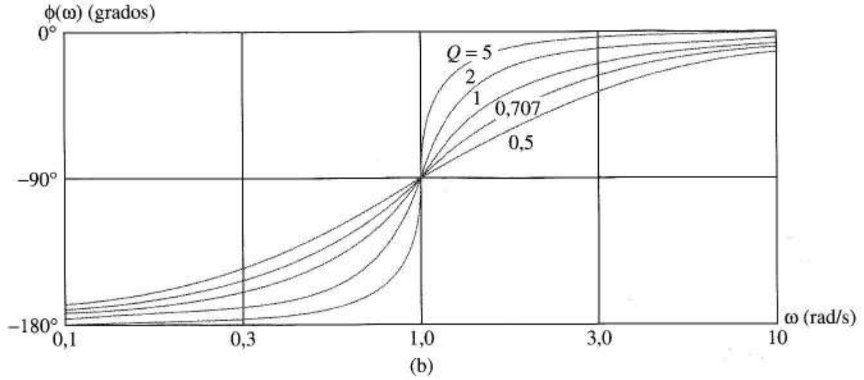


FIGURA 12.10 Filtro paso alto de segundo orden con 1 rad/s de frecuencia de referencia: (a) respuesta de magnitud; (b) respuesta angular.

Ahora, haciendo algunas operaciones algebraicas para convertir la función a su forma habitual, una relación de polinomios factorizados,

$$T_{HP}(s)=\left[\frac{K(1/s-z_1)(1/s-z_2)\ \dots\ (1/s-z_M)}{(1/s-p_1)(1/s-p_2)\ \dots\ (1/s-p_N)}\frac{s^M}{s^N}\right]\frac{s^N}{s^M}$$

$$=\left\{\frac{K(1-sz_1)(1-sz_2)\ \dots\ (1-sz_M)}{(1-sp_1)(1-sp_2)\ \dots\ (1-sp_N)}\right\}\frac{s^N}{s^M}$$

Finalmente, obtenemos la forma algebraica

$$T_{HP}(s)=(-1)^{N-M}\hat{K}s^{N-M}\frac{(s-1/z_1)(s-1/z_2)\ \dots\ (s-1/z_M)}{(s-1/p_1)(s-1/p_2)\ \dots\ (s-1/p_N)} \qquad (12.20)$$

en la que se define una nueva constante $\hat{K}$ debido a la factorización de polos y ceros. Vemos que cada polo y cero finitos del filtro paso bajo se sitúa en una nueva posición dada por la Ecuación (12.17). Si $N > M$, también obtenemos un cero en el origen de orden N-M.

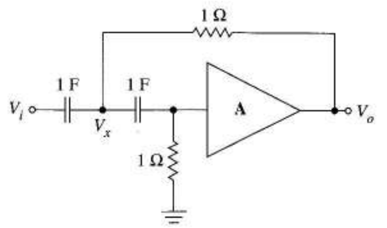


FIGURA 12.11 Filtro de paso alto de Sallen-Key con 1 rad/s de frecuencia de referencia.

Filtro paso alto de Sallen-Key Para transformar el circuito paso bajo de Sallen-Key de la Figura 12.8 en el filtro paso alto de Sallen-Key de la Figura 12.11, utilizaremos la transformación *RC-CR*. Podemos verificar, con un análisis directo, que la función de filtro paso alto de Sallen-Key es

$$T(s) = \frac{As^2}{s^2 + (3 - A)s + 1} \tag{12.21}$$

Al comparar la Ecuación (12.21) con la (12.19) vemos que todas las funciones, salvo la ganancia A, son idénticas siempre que $A = 3 - 1/Q$.

Para filtros paso alto de primer y de segundo orden, debería ser fácil relacionar las especificaciones directamente con las funciones de transferencia de los filtros, como hicimos con los filtros paso bajo. Sin embargo, los diseños de filtros de paso alto más complejos requieren que convirtamos primero las especificaciones de paso alto a paso bajo, por lo que ahora debemos aprender esta técnica. Si comenzamos con un esquema nos anticiparemos utilizando la transformación paso bajo a paso alto y el escalado de frecuencias, como en el siguiente ejemplo.

EJEMPLO 12.3 Diseñar un filtro paso alto de segundo orden que tenga un desplazamiento de fase de –120° en 80 Hz y $Q = 1$.

Solución La Figura 12.12 muestra la respuesta deseada y prototipo para $Q = 1$. Una vez conocida la frecuencia, λ_x, en donde hay un desplazamiento de fase de –120° podemos hallar α y después hacer un escalado de frecuencia del filtro de la Figura 12.11. En los diseños de los filtros paso alto suele haber un paso adicional. Primero hallamos la frecuencia $\lambda_y = 1/\lambda_x$, en la que el filtro *paso bajo* en un rad/s con $Q = 1$ tiene desplazamiento de fase de –120°. A partir de la Ecuación (12.14), llegamos a que

$$\phi(\lambda_y) = -\tan^{-1}\left[\frac{\lambda_y}{1(1-\lambda_y^2)}\right] = -120^\circ$$

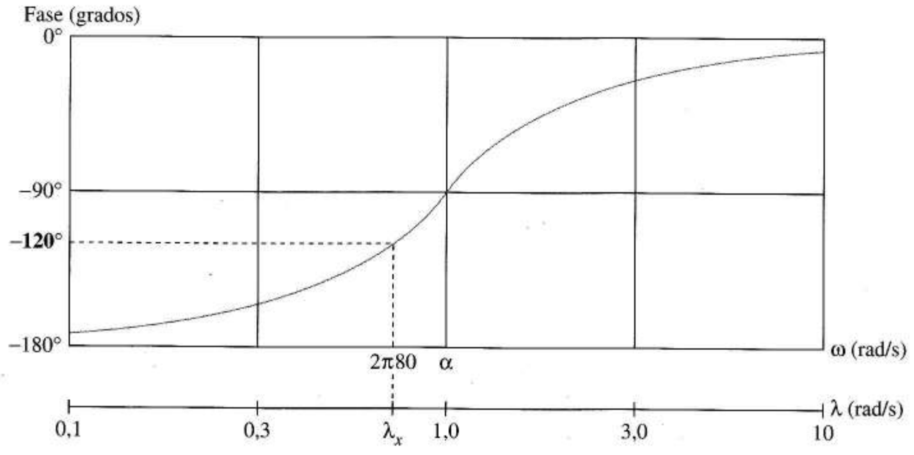


FIGURA 12.12 Especificaciones de filtro de paso alto del Ejemplo 12.3.

Esto da

$$-1{,}732\left(1-\lambda_y^2\right)=\lambda_y$$

para la que λ_y = 1,330 rad/s. El filtro paso alto con una frecuencia de referencia unidad nos da el mismo desplazamiento de fase en λ_x = 1/1,330 = 0,7519 rad/s. A partir de nuestra representación, $\alpha\lambda_x = 2\pi 80$. Por lo tanto, el filtro de la Figura 12.11 debe estar escalado en frecuencia con α = 668,5. Esto exige que reemplacemos los condensadores de 1 F por 1/668,5 = 1.496 μF. El escalado de impedancia nos debería conducir a valores más prácticos de R y C. Seleccionando A = 2 para obtener Q = 1 completamos el diseño. ❑

Ejercicio 12.3 Diseñar un filtro paso alto de Sallen-Key de segundo orden con ganancia 0,01 en 80 Hz y Q = 1. No realizar escalado de impedancia.

Sugerencia Cuando sea oportuno, utilizar $u = \lambda_y^2$.

Respuesta C = 198 μF, R = 1Ω, y A = 2.

12.2.5 CIRCUITO BICUADRÁTICO

Hasta ahora hemos realizado funciones de filtros paso bajo y paso alto de segundo orden a través de circuitos individuales Sallen-Key de paso bajo y paso alto. El circuito llamado *filtro bicuadrático* o *biquad* realiza de forma simultánea tanto filtrados paso bajo como paso alto de una señal de entrada y proporciona los resultados en dos nodos de salida distintos. Además, introduciremos un nuevo tipo de función de filtrado para describir la señal existente en el tercer nodo de salida del biquad.

Para introducir el biquad, comenzaremos con la función del filtro paso bajo

$$\frac{V_{LP}}{V_i}=\frac{K}{s^2+(1/Q)s+1} \tag{12.22}$$

que es la Ecuación (12.11) con ganancia K. despejando s^2V_{LP} obtenemos

$$s^2V_{LP}=-\frac{1}{Q}sV_{LP}-V_{LP}+KV_i \tag{12.23}$$

Supongamos que podemos conseguir s^2V_{LP} con algún circuito. De acuerdo con la Figura 12.13a, después podríamos obtener la salida deseada, V_{LP}, utilizando dos integradores inversores, ya que la división en el dominio de frecuencias de s corresponde a la integración en el dominio del tiempo.

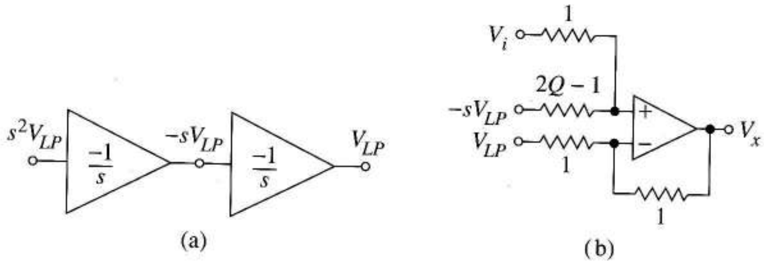


FIGURA 12.13 Obtención del sistema bicuadrático: (a) circuito para obtener V_{LP} por integraciones sucesivas; (b) sumador para producir s^2V_{LP}.

Ahora la Ecuación (12.23) nos muestra que *podemos obtener* s^2V_{LP} añadiendo la suma ponderada de las salidas de la Figura 12.13a a la entrada $V_i(s)$. El circuito de la Figura 12.13b útil para $Q > 0{,}5$, produce esta suma ponderada, como mostraremos ahora. Dado que la entrada V_{LP} ve un amplifica-

dor inversor mientras las demás entradas ven un divisor de tensión seguido por un amplificador no inversor de ganancia 2, hallamos mediante superposición

$$V_x = -V_{LP} + \left[\frac{2Q-1}{(2Q-1)+1}V_i + \frac{1}{1+(2Q-1)}(-sV_{LP})\right]\left(1+\frac{1}{1}\right)$$
$$= -\frac{1}{Q}sV_{LP} - V_{LP} + \left(\frac{2Q-1}{Q}\right)V_i \tag{12.24}$$

que es igual a la parte derecha de la Ecuación (12.23), siempre que K sea

$$K = \frac{2Q-1}{Q} \tag{12.25}$$

La Figura 12.14 muestra la 12.13b como parte del circuito biquad, en donde V_{LP} identifica al *nodo de salida de paso bajo* de la función de transferencia descrita por las Ecuaciones (12.22) y (12.25), Como cada coeficiente de la Ecuación (12.24) depende de una *relación* entre resistencias, tanto Q como K son invariables ante el escalado de impedancias. Para resistencias positivas, este circuito biquad en particular necesita que $Q > 0,5$. (Las referencias describen otros circuitos biquad que no tienen esta restricción).

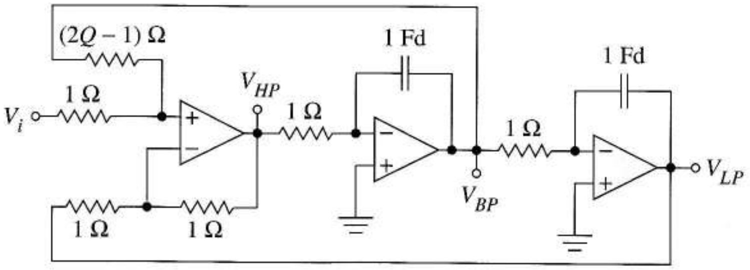


FIGURA 12.14 Filtro biquad con frecuencia de referencia unitaria.

Como el biquad produce V_{LP} a partir de V_{HP} mediante dos integraciones invertidas de la Ecuación (12.22) deducimos que

$$\frac{V_{HP}}{V_i} = \frac{Ks^2}{s^2 + (1/Q)s + 1} \tag{12.26}$$

Por lo tanto podemos llevar a cabo cualquier filtro paso alto de segundo orden utilizando la salida de paso alto. Después de introducir el filtro de paso de banda, discutiremos la tercera salida del biquad, denominada V_{BP}.

12.2.6 FILTRO DE PASO BANDA

Filtro ideal de paso banda Otra clase de filtros son los *filtros de paso banda*, idealizados en la Figura 12.15a. La frecuencia de referencia es la *frecuencia central* $u_C = 1$ rad/s. Este filtro deja pasar todas las frecuencias de una *banda pasante* definida por *frecuencias de corte* superior e inferior, u_H

y u_L, y rechaza las demás. La anchura de la banda pasante es la *anchura de banda B*, dada en rad/s por

$$B = u_H - u_L \tag{12.27}$$

La frecuencia central de cualquier filtro paso banda se define como la *media geométrica* de las frecuencias de corte. En la Figura 12.15a esto indica que la frecuencia central de un rad/s del filtro está dada por

$$u_C = 1 = \sqrt{u_H u_L} \tag{12.28}$$

Filtro paso banda escalado en frecuencia Consideremos la forma en que cambia la característica ideal de la Figura 12.15a cuando escalamos en frecuencia con un factor de escala no negativo, $\alpha = \omega_C$. La frecuencia central pasa a ser ω_C rad/s; los límites superior e inferior de la banda pasante cambian a $\omega_H = \omega_C u_H$ y $\omega_L = \omega_C u_L$, respectivamente, como en la Figura 12.15b. Tras el escalado, la frecuencia central es la media geométrica

$$\sqrt{\omega_H \omega_L} = \sqrt{(\omega_C u_H)(\omega_C u_L)} = \omega_C \sqrt{u_H u_L} = \omega_C \tag{12.29}$$

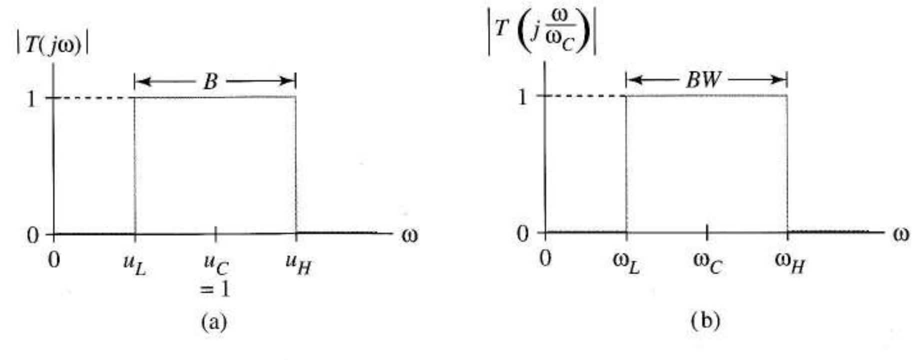


FIGURA 12.15
Característica del filtro paso banda: (a) con frecuencia de referencia de 1 rad/s; (b) tras el escalado de frecuencia.

Tomando el logaritmo de ambas partes obtenemos

$$\log(\omega_C) = \frac{\log(\omega_H) + \log(\omega_L)}{2}$$

que muestra que la "frecuencia central" significa la media, en la escala logarítmica. En lo sucesivo y por brevedad, nos referimos a la *frecuencia central de la banda* simplemente como *frecuencia central* pero manteniendo el significado.

Cuando hacemos escalado de frecuencia, el ancho de banda B se modifica también a un nuevo valor BW, como vemos a partir de

$$BW = \omega_H - \omega_L = \omega_C (u_H - u_L) = \omega_C B \tag{12.30}$$

Como la frecuencia central y el ancho de banda se encuentran escalados en el mismo factor, su relación se mantiene constante, o invariable con el escalado de frecuencias. El factor de calidad, *Q, de un filtro pasabanda* se define como la relación entre la frecuencia central y la banda pasante, es decir,

$$Q = \frac{\omega_C}{BW} = \frac{1}{B} \tag{12.31}$$

Función pasabanda de segundo orden El filtro pasabanda ideal no es físicamente realizable aunque la función de segundo orden se *aproxima* al ideal:

$$T(s) = \frac{s/Q}{s^2 + s/Q + 1} \tag{12.32}$$

donde Q es un parámetro. La Figura 12.16a compara la respuesta de amplitud, $|T(j\omega)|$ según (12.32) con la característica ideal. Sustituyendo $s = j1$ en (12.32) verificamos la ganancia unitaria en 1 rad/s. Los límites cuando $s = j\omega$ se aproxima a cero e infinito son cero en ambos casos. Despejando las frecuencias que cumplen

$$|T(j\omega)| = \frac{1}{\sqrt{2}}$$

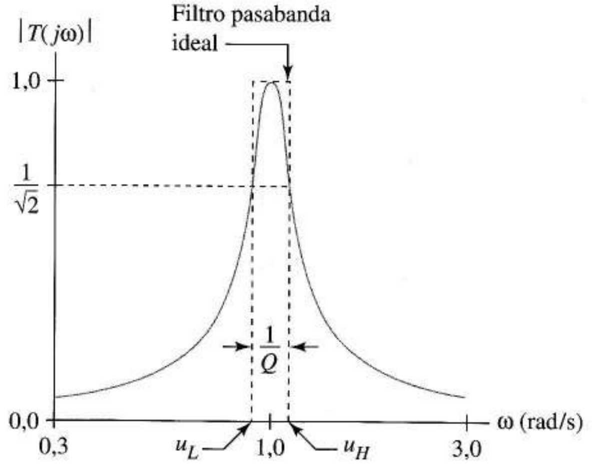


FIGURA 12.16 Característica del paso banda de segundo orden comparada con la curva ideal.

es posible calcular las expresiones de las frecuencias de corte superior e inferior que son, en la notación de la Figura 12.15a

$$u_H, u_L = \sqrt{1 + \left(\frac{1}{2Q}\right)^2} \pm \frac{1}{2Q} \tag{12.33}$$

Estas frecuencias definen la banda pasante del filtro de segundo orden. De la Ecuación (12.32) se obtiene un importante resultado,

$$B = u_H - u_L = \frac{1}{Q} \tag{12.34}$$

En otras palabras, el parámetro Q es la relación entre la frecuencia central y el ancho de banda a −3 dB. En la Figura 12.16, la banda pasante es simétrica respecto a la frecuencia central ya que se ha dibujado en ejes logarítmicos. La Figura 12.17 compara la magnitud y la fase para varios valores de Q

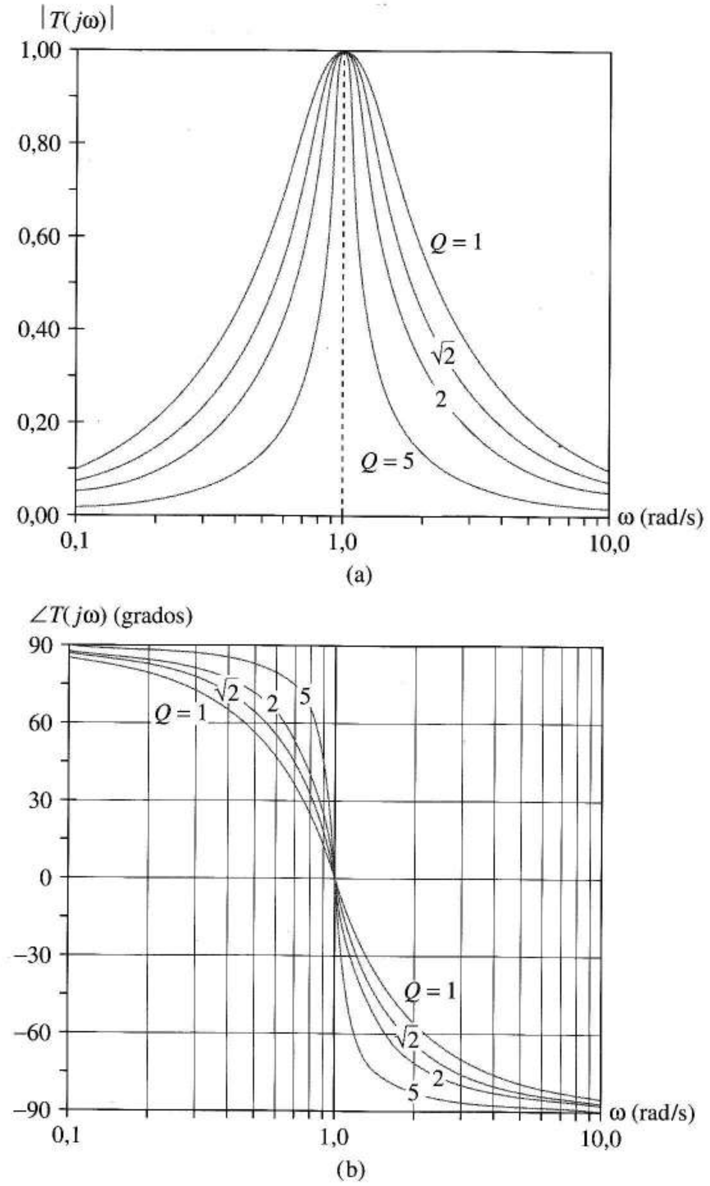


FIGURA 12.17
Características de filtros pasa banda de segundo orden: (a) respuesta de magnitud; (b) respuesta de fase.

Salida paso banda biquad La tercera salida del biquad de la Figura 12.14, etiquetada V_{BP} es la *salida de paso banda*. Como la salida V_{BP} es la salida V_{HP} procesada por un integrador inversor, dividimos la Ecuación (12.26) por $-s$ para hallar la función de transferencia entre la entrada y V_{BP}. Esto nos da

$$\frac{V_{BP}}{V_i} = \frac{-Ks}{s^2 + (1/Q)s + 1} = \frac{-[(2Q-1)/Q]s}{s^2 + (1/Q)s + 1} = \frac{-Hs/Q}{s^2 + (1/Q)s + 1} \qquad (12.35)$$

Al comparar esta Ecuación con la (12.32) vemos que, salvo para las ganancias de tensión dependientes de Q, $-H$, la salida V_{BP} da el filtrado de paso banda de la señal de entrada del circuito.

En un diseño de paso banda, el ancho de banda del filtro requerido determina Q, valor que también es dependiente de la frecuencia central, fijado por el escalado de frecuencias. Lo veremos en el siguiente ejemplo.

EJEMPLO 12.4 Diseñar un filtro paso banda de segundo orden con ancho de banda –3 dB desde 800 Hz hasta 925 Hz.

Solución La representación de la Figura 12.18a nos ayuda a traducir las especificaciones a otras del filtro sin escalar. El ancho de banda es $BW = 2\pi(925 - 800) = 785{,}4$ rad/s. La frecuencia central es la media geométrica

$$\omega_C = 2\pi\sqrt{800 \times 925} = 5{,}405 \times 10^3 \text{ rad/s} = \alpha$$

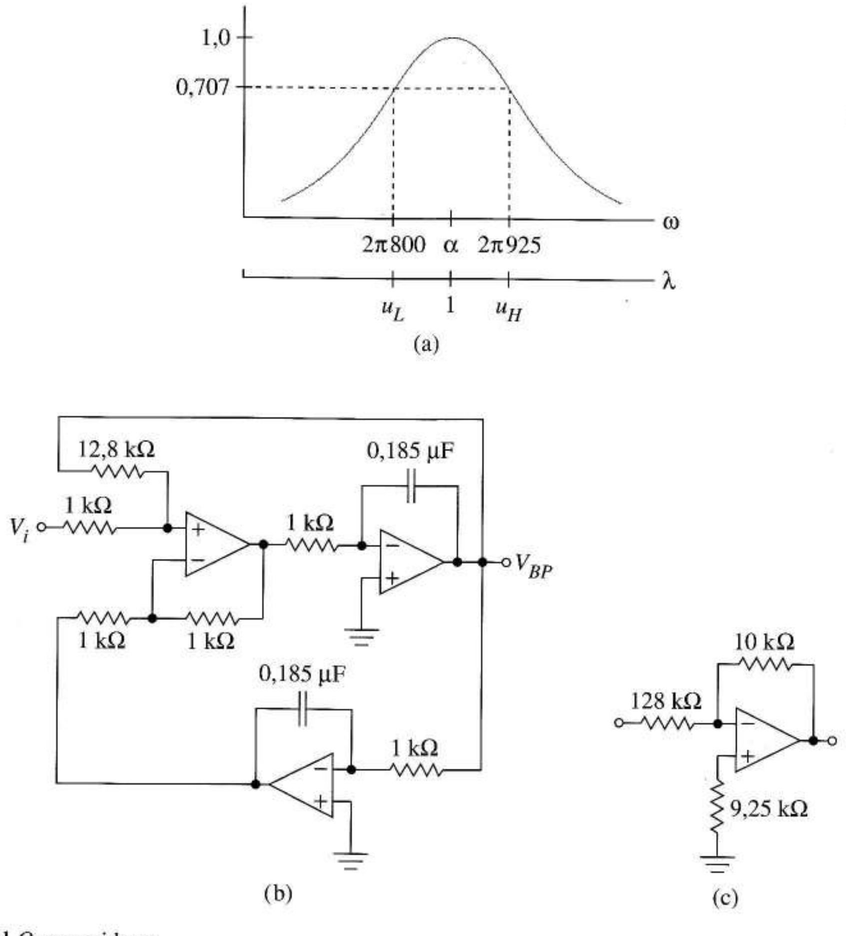


FIGURA 12.18 Diseño de filtro pasa banda: (a) especificaciones; (b) filtro pasa banda que cumple con las especificaciones del Ejemplo 12.4; (c) circuito de corrección del signo y la ganancia.

A partir de la Ecuación (12.31) el Q requerido es

$$Q = \frac{5{,}405 \times 10^3}{785{,}4} = 6{,}882$$

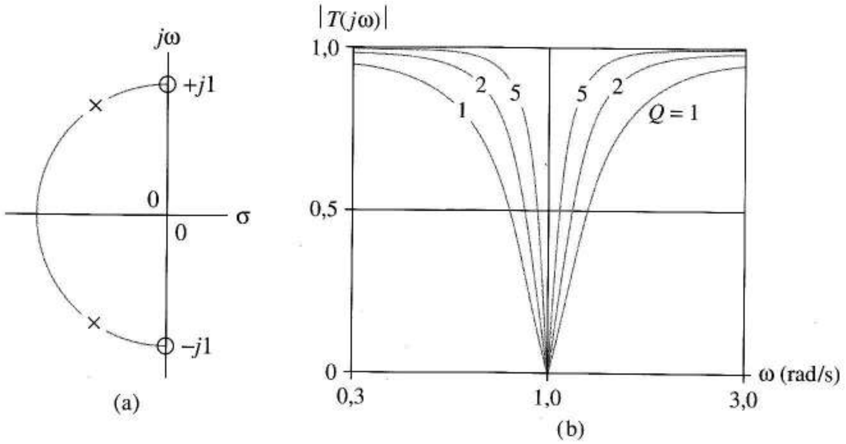
Comenzamos con el biquad de la Figura 12.14. Una resistencia es $2Q - 1 = 12{,}764\ \Omega$; las demás son resistencias de 1Ω. En la salida V_{BP}, este circuito debería tener una característica de banda pasante con Q correcta pero con frecuencia central de un rad/s. Por lo tanto, hacemos escalado de frecuencia con $\alpha = 5{,}405 \times 10^3$ rad/s, reduciendo todos los valores de condensadores a $1/\alpha = 185\ \mu F$. Al escalar en impedancia con $\beta = 10^3$ para incrementar el tamaño de la resistencia, obtenemos el circuito de la Figura 12.18b. A partir de la Ecuación (12.35), este circuito tiene ganancia de tensión $-H = -(2Q - 1) = -12{,}8$ en la frecuencia central. Si hay algún problema podemos utilizar un *atenuador* inversor como en la Figura 12.18c, en la entrada o en la salida. ❑

Ejercicio 12.4 Diseñar un filtro paso banda de segundo orden como la Figura 12.14, con frecuencia central de 10 kHz y ancho de banda de 5 kHz.

Respuesta Los condensadores son de 15,9 μF. Cinco resistencias son de 1 Ω y una de 3 Ω.

12.2.7 FILTROS DE RECHAZO DE BANDA Y PASA TODO

La disponibilidad *simultánea* de funciones de paso bajo, paso alto y paso de banda, hace que los biquad sean circuitos muy versátiles. A continuación mostraremos que los amplificadores sumadores pueden combinar las salidas de los biquad para realizar dos funciones adicionales de filtro, el rechazo de banda y las funciones de pasa todo.



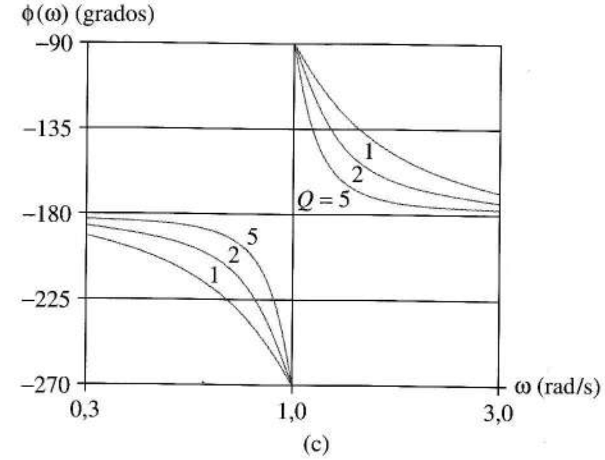


FIGURA 12.19 Filtro de rechazo de banda con frecuencias de referencia del corte de 1 rad/s: (a) diagrama de polos y ceros; (b) respuesta de magnitud; (c) respuesta de fase.

Filtro rechazo de banda Consideremos primero la utilización de un amplificador sumador que combine las salidas paso bajo y paso alto de un biquad formando la suma ponderada

$$V_{BS} = -\frac{1}{K}\left(V_{HP} + V_{LP}\right), \quad K = \frac{2Q-1}{Q} \tag{12.36}$$

en donde K es la ganancia de paso bajo y paso alto del biquad. A partir de las Ecuaciones (12.22) y (11.26), la nueva salida nos da la *función de rechazo de banda*.

$$\frac{V_{BS}}{V_i} = T(s) = \frac{-\left(s^2+1\right)}{s^2+\left(1/Q\right)s+1} \tag{12.37}$$

que tiene el diagrama de polos y ceros de la Figura 12.19a. Además de conjugar polos en el círculo unidad, $T(s)$, tiene ceros en el eje imaginario en $\pm j1$. Dado que $T(j1) = 0$, esta función rechaza completamente la componente de la señal $\omega = 1$ rad/s. Además, cuando $s = j\omega \to \infty$ y $s = j\omega \to 0$ $|T(j\omega)| \to 1$.

La frecuencia de referencia de un filtro de rechazo de banda es la frecuencia de corte. La Figura 12.19b muestra la curva de respuesta de distintos valores de Q. Según se incrementa Q, los polos se acercan más a los ceros, dando una banda de rechazo más estrecha. La Figura 12.19c muestra las curvas de fase que le corresponden. La relación entre las posiciones de los polos y la respuesta de frecuencia se comprende mejor al examinar el complejo $|T(j\omega)|$ a cualquier frecuencia ω.

Al factorizar la Ecuación (12.37) en términos de polos y ceros y evaluar la expresión en $s = j\omega$, obtenemos una relación de productos de números complejos para cualquier frecuencia ω, es decir

$$T(j\omega) = \left.\frac{-(s+j1)(s-j1)}{(s-p)(s-\hat{p})}\right|_{s=j\omega} = \frac{-(j\omega+j1)(j\omega-j1)}{(j\omega-p)(j\omega-\hat{p})} = -\frac{M_1\angle\theta_1 \; M_2\angle\theta_2}{M_3\angle\theta_3 \; M_4\angle\theta_4} \tag{12.38}$$

en donde p representa la frecuencia de un polo y $\hat{p}$ su complejo conjugado.

Como p es complejo, podemos mostrar su magnitud y ángulo con un vector dirigido desde el origen al punto p en el plano complejo de frecuencias, como en la Figura 12.20a. Además, la Figura muestra la *variable* $j\omega$ como un vector. La Figura 12.20b representa el término del polo, $(j\omega - p)$ de la Ecuación (12.38) como el vector suma, $(-p) + j\omega$. La Figura 12.20 representa el término $(j\omega - p)$ como el vector complejo, $M_3\angle\theta_3$ dirigido desde el polo p al punto $j\omega$. Tanto M_3 como θ_3 cambian según cambia la variable de frecuencia ω. Por el mismo razonamiento, los términos de los ceros de la Ecuación (12.38) son valores dirigidos de los ceros al punto $j\omega$.

Llegamos a que la curva de respuesta frecuencial de magnitud es un diagrama de

$$|T(j\omega)| = \frac{M_1(\omega)M_2(\omega)}{M_3(\omega)M_4(\omega)}$$

que se muestran en la Figura 12.20d las magnitudes para uno de los valores de ω. Según $j\omega$ se incrementa desde la posición mostrada en la figura, M_2 se decrementa y el resto de las longitudes de los vectores se incrementan hasta que se alcanza $j\omega = j1$, en donde M_2 tiene longitud cero. Para $\omega > 1$ se incrementa la longitud de todos los vectores con más incrementos de ω. Según ω se aproxima a infinito, las longitudes del vector se igualan y $|T|$ se acerca a uno.

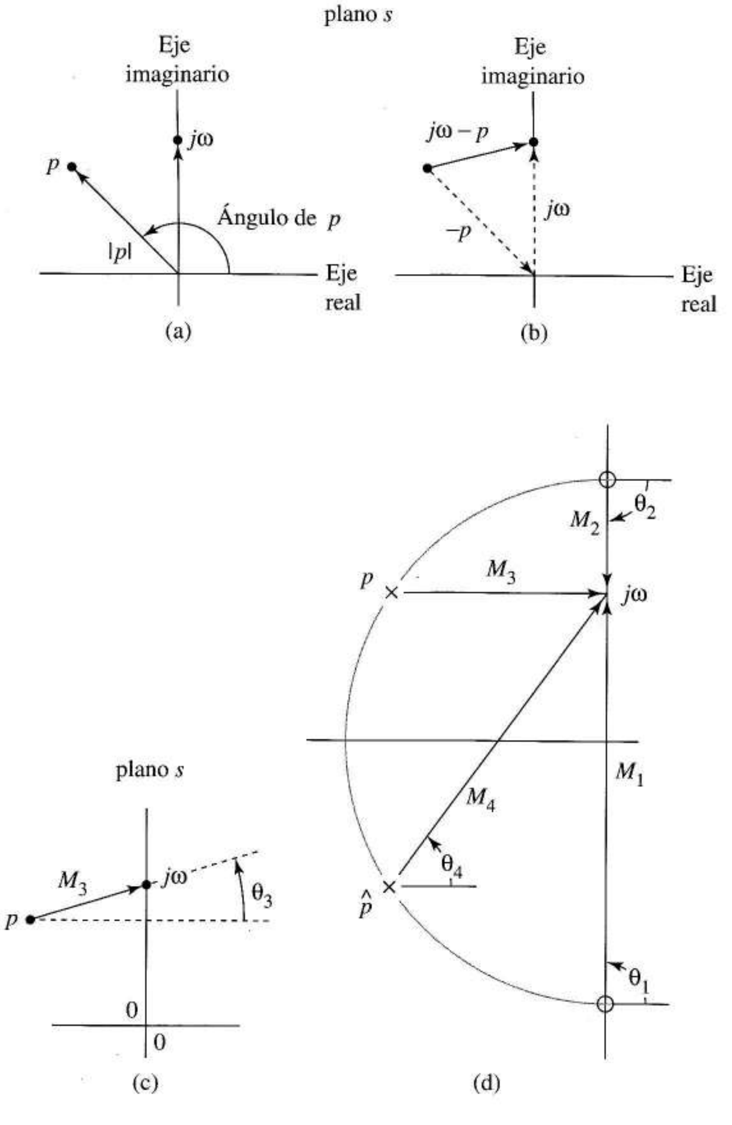


FIGURA 12.20
Visualización de la respuseta frecuencial a partir del diagrama de polos y ceros: (a) vectores representando el polo p y la variable jω; (b) el vector que representa el polo; (c) vector que representa $M_3\angle\theta_3$;
(d) cuatro vectores representando la respuesta del filtro en función de ω.

Dado que los polos están dentro del círculo unidad, en $\omega = 0$ la magnitud de la ganancia también es uno. Para Q más altos, el polo p se posiciona cerca del cero en $j1$; de esta forma, los vectores $M_3\angle\theta_3$ y $M_2\angle\theta_2$ se cancelan respectivamente hasta que ω está muy cercano a 1, del mismo modo que los vectores $M_4\angle\theta_4$ y $M_1\angle\theta_1$. Esto explica las variaciones en las curvas de magnitud de la Figura 12.19b al incrementar Q.

A continuación utilizaremos los vectores para explicar las curvas de fase de la Figura 12.19c. El signo menos de la Ecuación (12.38) añade un desplazamiento de fase constante de 180° a las curvas

de fase. La variación en el diagrama de fase surge de los polos y los ceros. A partir de la Ecuación (12.38) la fase $\phi(\omega)$ de $-T(j\omega)$ es

$$\phi(\omega) = \theta_1(\omega) + \theta_2(\omega) - \theta_3(\omega) - \theta_4(\omega)$$

A partir de los vectores de la Figura 12.20d, como $\theta_3(0) = \theta_{-4}(0)$, cuando $j\omega \rightarrow 0$,

$$\phi(j0) = 90^\circ + (-90^\circ) - [-\theta_4(0)] - \theta_4(0) = 0^\circ$$

También podemos ver que según ,$\omega \rightarrow \infty$, $\phi(\omega) \rightarrow 90^\circ + 90^\circ - 90^\circ - 90^\circ = 0^\circ$. La fase del vector $M_2\angle\theta_2$ cambia bruscamente de -90° a 90° según ω pasa por cero. Cuando p está más cerca de $j0$ (para Q altos), el ángulo del vector $M_3\angle\theta_3$ cambia de forma bastante rápida con ω, explicando la variación con Q de las curvas de la Figura 12.19c.

Hay muchas formas de construir filtros de rechazo de banda de segundo orden además del método del biquad. La Sección 12.4 sugiere otras dos estructuras de filtros de rechazo de banda.

Funciones pasa todo Consideremos ahora la utilización del amplificador sumador de la Figura 12.21a para combinar las tres salidas del biquad en

$$V_{AP} = -\frac{1}{K}\left(V_{HP} + \frac{1}{Q}V_{BP} + V_{LP}\right) \tag{12.39}$$

en donde

$$K = \frac{2Q-1}{Q}, \; Q > 0{,}5$$

A partir de las Ecuaciones (12.26), (12.35) y (12.22) obtenemos el resultado

$$\frac{V_{AP}}{V_i} = -T(s)$$

en donde

$$T(s) = \frac{s^2 - s/Q + 1}{s^2 + s/Q + 1} \tag{12.40}$$

que se conoce como *función pasa todo* de segundo orden. El diagrama de polos y ceros de la Figura 12.21b muestra un patrón especial de polos y ceros que caracteriza a las funciones de transferencia pasa todo en general; lo contrario de cada polo es un cero y lo de cada cero, un polo. Debido a esto, el número complejo

$$T(j\omega) = \frac{M_1\angle\theta_1 \; M_2\angle\theta_2}{M_3\angle\theta_3 \; M_4\angle\theta_4}$$

que se obtiene al evaluar la Ecuación (12.40) en cualquier punto $s = j\omega$ tiene una magnitud independiente de la frecuencia.

La Figura 12.21c muestra que *para todo* ω, $M_2 = M_3$ y $M_1 = M_4$. Llegamos así a que $|T(j\omega)| = 1$ para $0 \leq \omega \leq \infty$, por lo que este circuito no tiene efecto en cualquiera de las amplitudes relativas de las frecuencias de la salida. Por esta razón, $T(s)$ se llama función *pasa todo*. Sin embargo, $T(s)$ altera la fase de la componente de la señal.

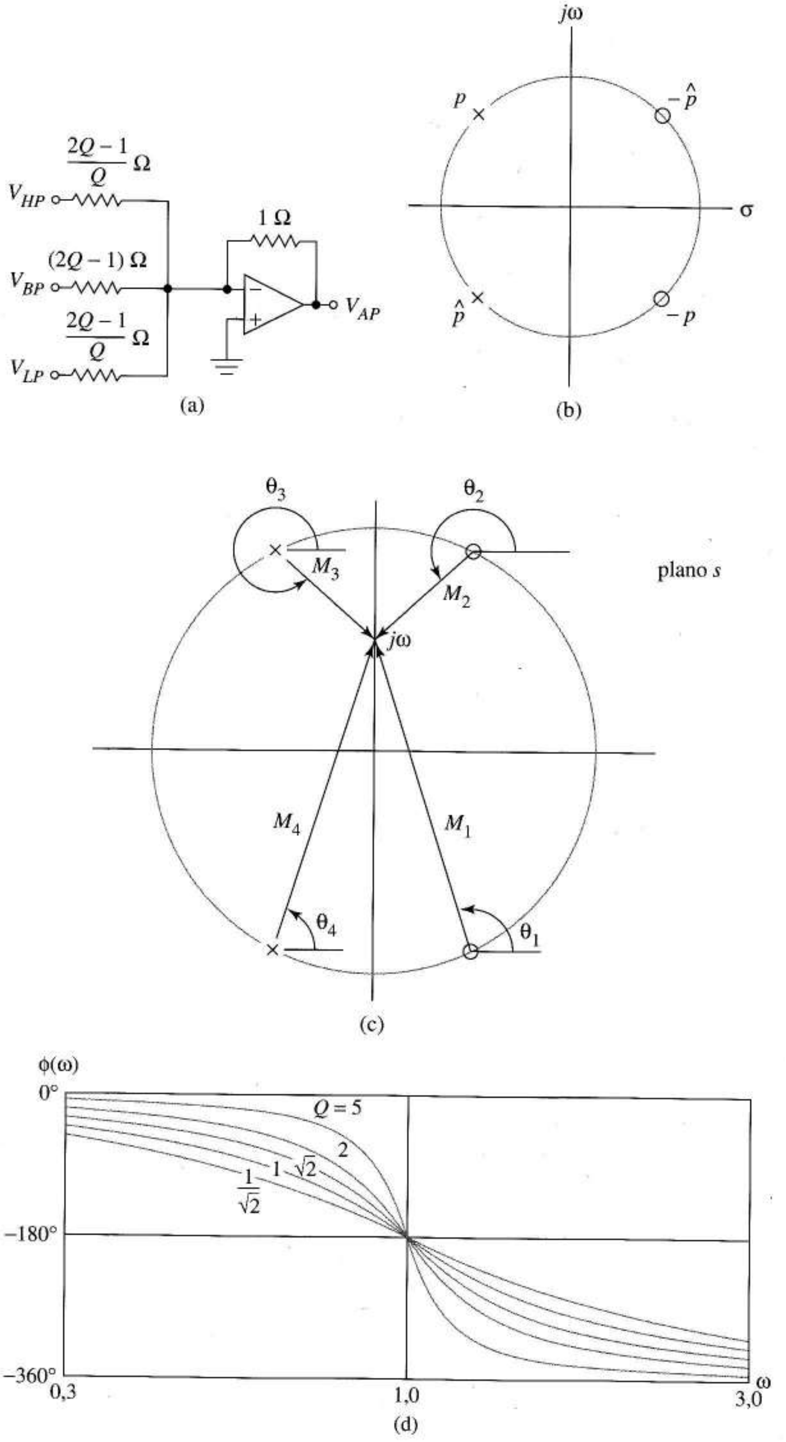


FIGURA 12.21 Función del filtro pasa todo: (a) sumador que crea el filtro pasa todo a partir de las salidas del biquad; (b) diagrama de polos y ceros; (c) vectores que explican el funcionamiento del pasa todo; (d) respuesta de fase.

En la Sección 16.7 hemos aprendido que un circuito no produce distorsión de fase *siempre que la pendiente de la curva de fase sea constante*. Además, hemos aprendido que un circuito de fase lineal provoca un retraso igual a la pendiente de la curva de fase. Cuando diseñamos un filtro que procesa amplitudes, a veces se introduce *distorsión de fase* ya que su curva de fase no es lineal. Dado que se añaden desplazamientos de fase de redes en cascada mientras se multiplican sus curvas de amplitud, podemos a veces procesar la salida del filtro con un circuito de *ecualización de fase* pasa todo y, mediante un diseño adecuado, corregir la distorsión de fase introducida por el filtro. Los circuitos pasa todo son útiles por sí mismos para añadir determinados retrasos a una señal. En la Figura 12.21d vemos que los Q más altos dan pendientes más altas y, por lo tanto, mayores retrasos cuando es próximo a 1 ω rad/s; sin embargo, la banda de frecuencias de las señales para las que la pendiente y, en consecuencia, el retraso, son constantes, disminuye con Q.

El retardo, o simplemente *retraso* D en segundos, introducido por un circuito que tiene desplazamiento $\phi(\omega)$ rad/s es

$$D(\omega) = \frac{d\phi(\omega)}{d\omega} s$$

A partir de la Ecuación (12.40) vemos que el desplazamiento de fase ocasionado por el filtro pasa todo de segundo orden es

$$\phi(\omega) = \arg\left[\frac{1-\omega^2 - j(\omega/Q)}{1-\omega^2 + j(\omega/Q)}\right] = -2 \tan^{-1}\left[\frac{\omega}{Q(1-\omega^2)}\right] \qquad (12.41)$$

en donde hemos utilizado la propiedad de la función impar de la función inversa de la tangente. El libro de diseño de Van Valkenburg, incluido en las referencias, nos da una interesante introducción al diseño de ecualización de retardo.

12.3 FILTROS ACTIVOS DE PASO BAJO DE ORDEN n

En esta sección veremos cómo filtrar de forma tan precisa que no va a poder realizarse sólo con filtros de primer o de segundo orden. Estudiaremos dos aproximaciones especiales del filtro ideal de paso bajo que nos llevarán a *familias* de filtros. Las familias de filtros nos dan flexibilidad para acercarnos al filtro ideal tanto como queramos por medio de filtros de órdenes superiores.

12.3.1 ESPECIFICACIONES DE FILTROS

En primer lugar introduciremos la idea general de aproximar el filtro ideal paso bajo con una función continua de ω. Sólo con tres parámetros seremos capaces de definir especificaciones que controlen las características físicas de la aproximación. La Figura 12.22 muestra la característica paso bajo ideal y los parámetros: δ, γ y ω_s. Utilizamos δ para representar la ganancia de banda de paso

mínima y γ para especificar la máxima de la banda de rechazo. El *factor de selectividad* ω_s define una *banda de transición* en la que la función de aproximación pasa de satisfacer la especificación de la banda pasante a satisfacer a la de la banda de rechazo. La curva continua nos muestra la forma en que las especificaciones restringen la función de filtro paso bajo. Permitiendo *rizado* en la banda de paso, banda de rechazo o ambas, consideramos aproximaciones con bandas de transición más estrechas que no podrían ser posibles de otro modo. Muchas funciones de aproximación distintas tienen utilidad probada en el diseño de filtros, y hay disponibles libros completos sobre el tema. Limitaremos nuestro estudio a las dos funciones de aproximación más sencillas y conocidas, la de Butterworth y la de Chebyshev.

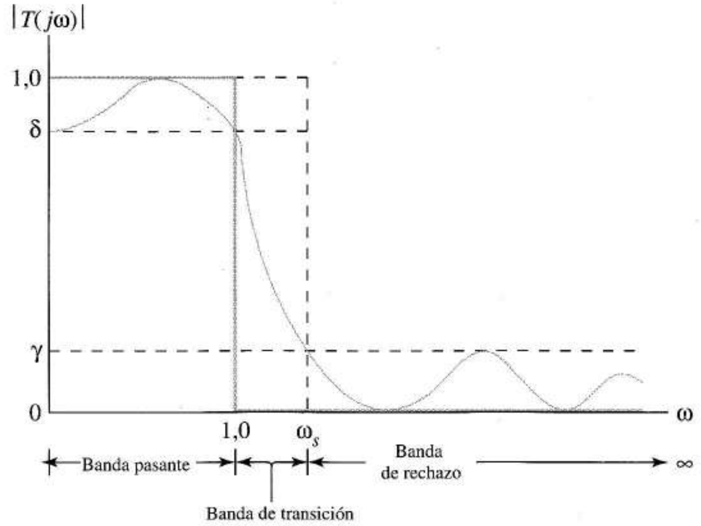


FIGURA 12.22 Aproximación de la característica del filtro paso bajo.

12.3.2 APROXIMACIÓN DE BUTTERWORTH

La Figura 12.23 muestra las curvas de respuesta frecuencial de magnitud de unos cuantos elementos de la *familia* de filtros de Butterworth. Según se sube el orden n, los filtros se aproximan más al ideal. Como todas las curvas tienen ganancia $1/\sqrt{2}$ a una frecuencia de referencia de un rad/s, se suele utilizar $\delta = 1/\sqrt{2}$ en estos filtros; sin embargo, otros valores de δ requieren un escalado de frecuencias especial. Los filtros de Butterworth se conocen como filtros de *máxima planitud* debido a que las primeras $2n-1$ derivadas de $|T(j\omega)|$ en $\omega = 0$ son cero, haciendo que su respuesta sea muy plana a bajas frecuencias.

Introducimos de forma indirecta $T(s)$ del filtro de Butterworth ya que $T(s)T(-s)$ es mucho más fácil de describir matemáticamente. Este producto se escribe como

$$T(s)T(-s) = \frac{1}{1+(-1)^n s^{2n}} = \frac{1}{B(s)B(-s)} \tag{12.42}$$

en donde n es el *orden* del filtro y $B(s)$ es el *polinomio Butterworth* de orden n.

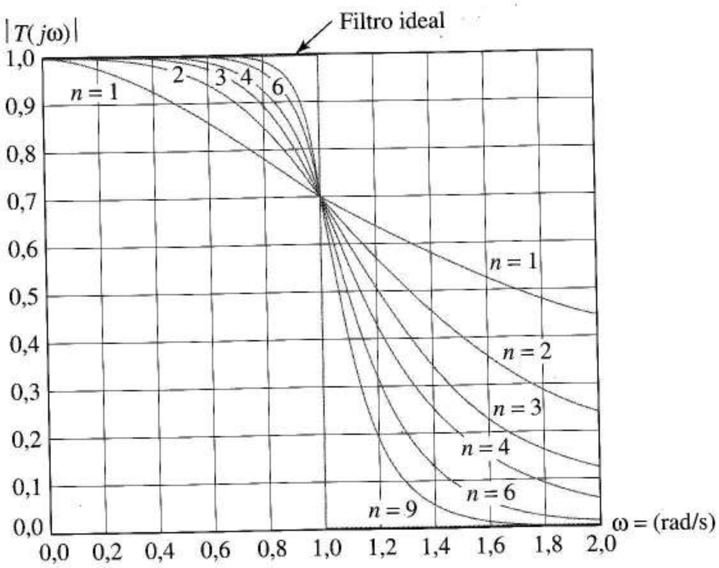


FIGURA 12.23 Curvas de respuesta frecuencial de los filtros de Butterworth de varios órdenes.

Por definición, los polos de $T(s)T(-s)$ son los $2n$ números complejos s que hacen cero al denominador, es decir, valores de s que cumplen

$$s^{2n} = -(-1)^n \tag{12.43}$$

Cuando n es impar, los polos cumplen

$$s^{2n} = 1 = 1\,e^{jm360^\circ} = 1\angle m360^\circ \quad, m = 0,\ 1,\ 2,\ \ldots$$

Recordaremos aquí que podemos representar el número "1" bien en notación exponencial o polar, o como un vector en el plano complejo, utilizando un ángulo múltiplo entero de 360°. Al tomar la raíz $2n$-ésima obtenemos los distintos polos

$$s = 1e^{m360^\circ/(2n)} = 1\ e^{m180^\circ/n},\ m = 0,\ 1,\ \ldots\ ,\ 2n-1 \text{ para } n \text{ impar} \tag{12.44}$$

Las Figuras 12.24a y c muestran los polos para $n = 1$ y $n = 3$. En general, para n impares, los polos caen en el círculo unidad, espaciados uniformemente a intervalos de $180°/n$, con el polo de $m = 0$ situado en $s = +1$.

Cuando n es par los polos cumplen

$$s^{2n} = -1 = 1\ e^{180^\circ + m360^\circ},\ m = 0,\ 1,\ 2,\ \ldots$$

que hace que

$$s = (1\ e^{180^\circ+360^\circ})^{1/(2n)} = 1\ e^{(90^\circ+m180^\circ)/n} \tag{12.45}$$
$$\text{para } m = 0,\ 1,\ \ldots\ ,\ 2\,n\text{-}1,\ n \text{ par}$$

ilustrado en las Figuras 12.24b y d para $n = 2$ y 4. Cuando n es par, los $2n$ polos se sitúan con un espaciado uniforme en el círculo unidad, pero el primer polo ($m = 0$) se sitúa en $90°/n$.

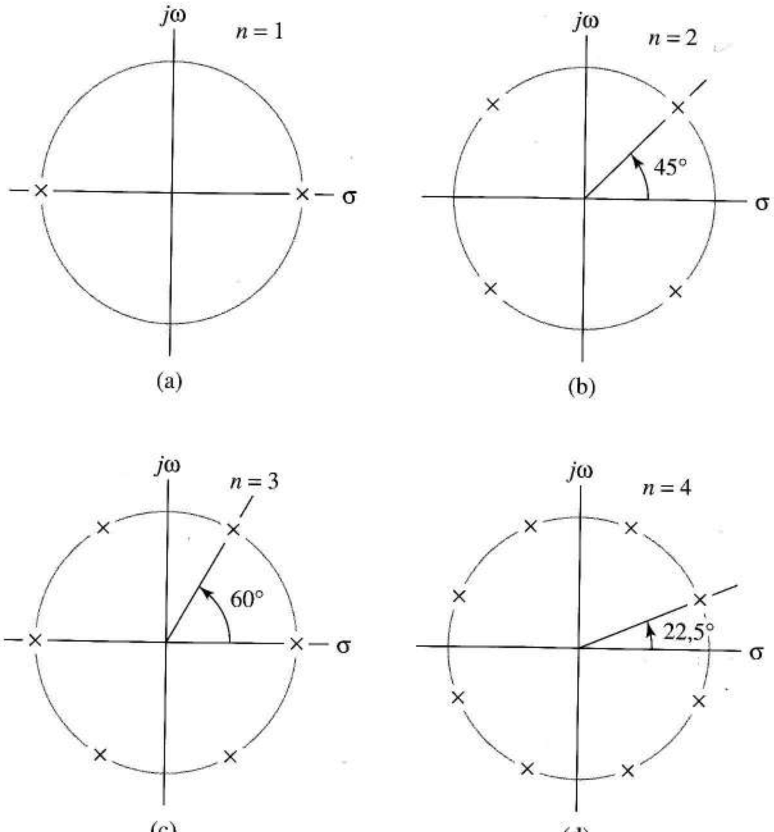


FIGURA 12.24 Localización de los polos complejos de $T(s)T(-s)$: (a) $n=1$; (b) $n=2$; (c) $n=3$; (d) $n=4$.

Para que nuestros filtros sean estables no deben tener polos en la parte derecha del plano complejo. Por lo tanto, al tomar el polinomio del denominador de la Ecuación (12.42) en forma factorizada, hacemos una división del producto en dos polinomios: $B(s)$, que sólo consiste en los polos de la parte izquierda del plano, y $B(-s)$ que contiene los factores restantes. El resultado, $B(s)$ es el *polinomio Butterworth* de grado n. La función filtro Butterworth de grado n es la función

$$T(s) = \frac{1}{B(s)}$$

que tiene n polos de la parte izquierda, todos en el círculo unidad.

Aunque $B(s)$ no se puede expresar de una forma sencilla, sus polos se pueden calcular fácilmente para cualquier n, utilizando la Ecuación (12.44) ó la (12.45), y a partir de las raíces de $B(s) = 0$ podemos formar $B(s)$. Es conveniente que al diseñar filtros prácticos se disponga de resultados tabulados, como la Tabla 12.1, que muestra $B(s)$ factorizada en polinomios de primer y segundo orden. Estas tablas nos ahorrarán el trabajo de calcular los polos de la parte izquierda del plano y luego combinar los polos configurados en términos de segundo orden.

Una vez que decidimos utilizar un filtro de Butterworth de determinado orden, por ejemplo $n = 5$, podemos usar una tabla como la 12.1 para diseñar un circuito en cascada de filtros activos que nos dan conjuntamente la respuesta Butterworth deseada. Por ejemplo, para $n = 5$

$$\begin{aligned} T(s) &= \frac{1}{(s+1)(s^2+0{,}6180s+1)(s^2+1{,}6180s+1)} \\ &= T_1(s)T_2(s)T_3(s) = \\ &\frac{1}{(s+1)}\,\frac{1}{(s^2+0{,}6180s+1)}\,\frac{1}{(s^2+1{,}6180s+1)} \end{aligned} \tag{12.46}$$

en donde $T_1(s)$ es un filtro de primer orden y $T_2(s)$ y $T_3(s)$ son filtros de segundo orden. Conocemos de las secciones anteriores la forma de diseñar circuitos que realizan la función de filtros de primer y segundo orden. Para diseñar filtros de Butterworth sólo necesitamos aprender a conseguir el orden necesario del filtro a partir de las especificaciones dadas. Hablaremos de esto a continuación.

Respuesta frecuencial del filtro de Butterworth A partir de la Ecuación (12.42) obtenemos que la curva de respuesta frecuencial de magnitud al cuadrado del filtro de Butterworth es

$$|T(j\omega)|^2 = \frac{1}{1+\omega^{2n}}$$

por lo tanto

$$|T(j\omega)| = \frac{1}{\sqrt{1+\omega^{2n}}} \tag{12.47}$$

TABLA 12.1 Denominadores de los filtros de Butterworth.

n	Factores de B(s)
1	$(s + 1)$
2	$(s^2 + 1{,}4142s + 1)$
3	$(s + 1)\,(s^2 + s + 1)$
4	$(s^2 + 0{,}7654s + 1)\,(s^2 + 1{,}8478s + 1)$
5	$(s + 1)(s^2 + 0{,}6180s + 1)\,(s^2 + 1{,}6180s + 1)$
6	$(s^2 + 0{,}5176s + 1)\,(s^2 + 1{,}4142s + 1)\,(s^2 + 1{,}9318s + 1)$

La Figura 12.23 es, de hecho, la Ecuación (12.47) representada para valores determinados de n. Las curvas de $n = 1$ y 2 describen los filtros de primer y segundo orden que hemos aprendido a diseñar en anteriores secciones. Para n más altos, los filtros se hacen más complejos y más caros; sin embargo, vemos que para $\omega >> 1$, 20 log $|T(j\omega)|$ => $-20\,n$ log ω; es decir, la respuesta frecuencial *cae* a $-20n$ dB/década.

A continuación tenemos un ejemplo de diseño de filtros de Butterworth, incluyendo un nuevo elemento, la selección de n.

EJEMPLO 12.5 Diseñar un filtro activo de paso bajo, de máxima planitud, con ancho de banda de 3 kHz y atenuación de al menos 60 dB a 15 kHz.

Solución La Figura 12.25a muestra la forma en que las especificaciones se relacionan con la característica del filtro sin escalar. El filtro sin escalar debe tener una atenuación de 60 dB en $\lambda_x = 15$ k/3 k = 5 rad/s. Como –60 dB es la ganancia de 0,001, a partir de la Ecuación (12.47) tenemos

$$10^{-3} = \frac{1}{\sqrt{1+5^{2n}}}$$

y obtenemos $n = 4{,}29$. Debido a que el orden del filtro debe ser un número entero, tomamos $n = 5$, que nos da una atenuación que *supera* los 60 dB en 15 kHz.

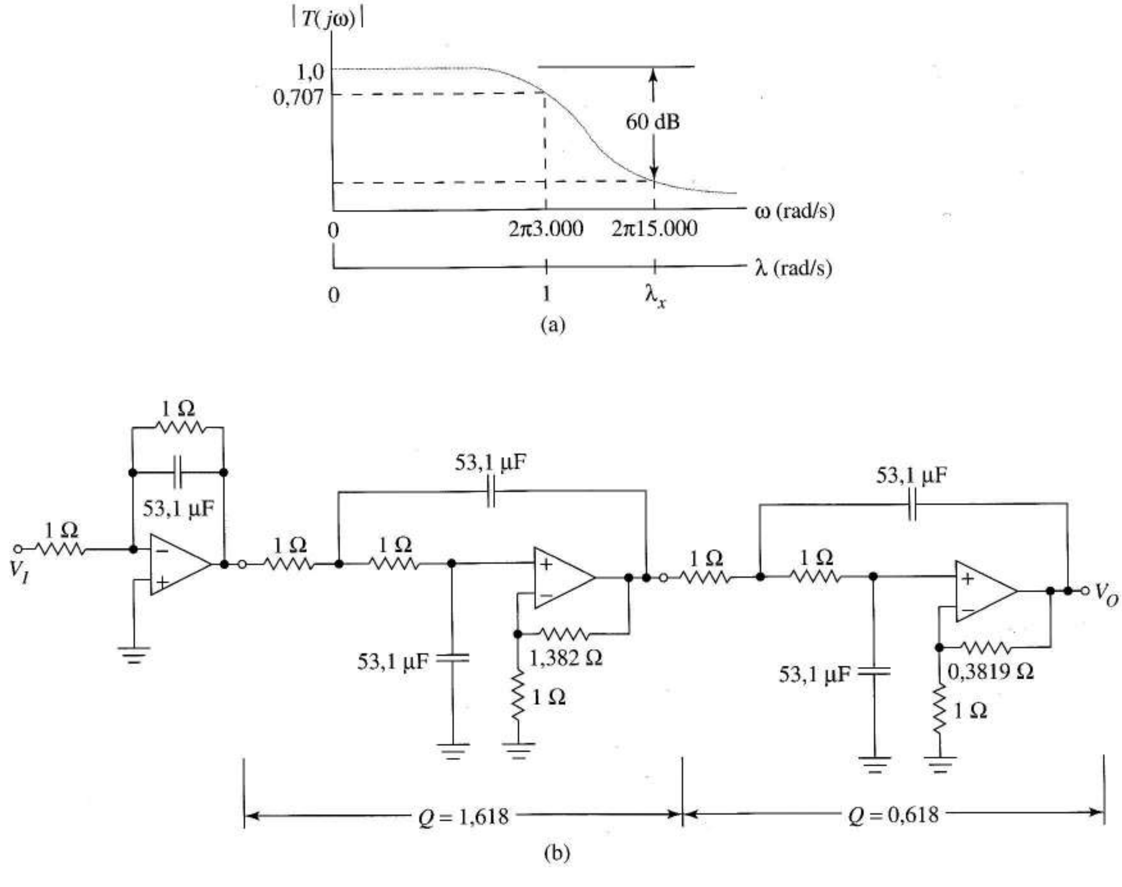


FIGURA 12.25 Filtro de Butterworth del Ejemplo 12.5: (a) especificaciones; (b) tras el escalado de frecuencias.

En la Tabla 12.1 encontramos el denominador de la función del filtro sin escalar y la Ecuación (12.46). Podemos realizar el factor de primer orden con un escalado de frecuencia del circuito de la Figura 12.2a con $\alpha = 2\pi 3.000 = 1{,}8850 \times 10^4$ rad/s. Cada factor de segundo orden se puede hacer utilizando un filtro Sallen-Key o un filtro bicuadrático. Con ayuda de las Ecuaciones (12.46) y (12.11) vemos que un filtro necesita tener

Q = 1/1,6180 = 0,618 y los demás Q = 1/1,6180 = 0,698. La Ecuación (12.16) muestra que para un diseño Sallen-Key estos filtros necesitan tener amplificadores con ganancia $A = 3 - 1/Q$ = 2,382 y 1,3819, respectivamente.

Después de hacer un escalado de frecuencias con $\alpha = 2\pi 3.000$ obtenemos la Figura 12.25b. Lo que queda es hacer un escalado final en impedancia, por ejemplo de 10^4, para obtener valores más razonables. ❑

Ejercicio 12.5 Calcular la atenuación en decibelios a 15 kHz del filtro diseñado en el ejemplo anterior.
Respuesta –69,9 dB.

El Ejemplo 12.5 mostraba la forma de diseñar un filtro de Butterworth cuando se especifican el ancho de banda a –3 dB y la atenuación de la banda de rechazo en una frecuencia determinada. Si se especifica la frecuencia de corte de algún otro modo, por ejemplo con una banda de paso a –1 dB, se necesita hacer una aproximación un poco distinta. El siguiente ejemplo nos lo muestra.

EJEMPLO 12.6 Diseñar un filtro paso bajo de Butterworth con una banda de paso a –1 dB de 5 kHz que tenga una atenuación de al menos –20 dB para $f > 12$ kHz.

Solución Comencemos representando la Figura 12.26. El factor de escala de frecuencia, $\alpha = 2\pi f_c$ es desconocido inicialmente; sin embargo, como al final hacemos un escalado de frecuencia del filtro *básico* de Butterworth, a partir del diagrama, que

$$\frac{\lambda_x}{\lambda_y} = \frac{\alpha 2\pi 12.000}{\alpha 2\pi 5.000} = \frac{12}{5}$$

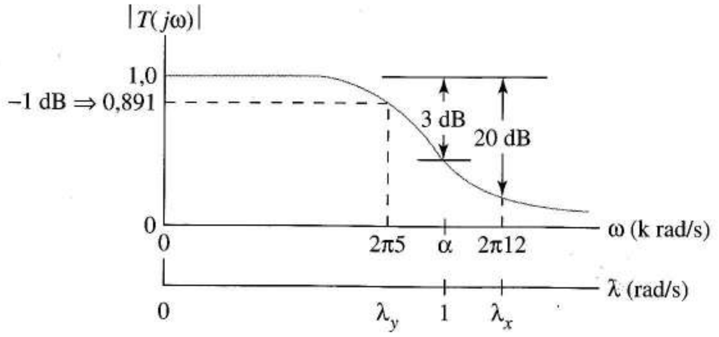


FIGURA 12.26
Especificaciones del filtro del Ejemplo 12.6.

La atenuación de 1 dB en λ_y indica que la ganancia es 0,891. De la Ecuación (12.47)

$$|T(j\lambda_y)| = 0{,}891 = \frac{1}{\sqrt{1+(\lambda_y)^{2n}}}$$

Para la atenuación de 20 dB a λ_x,

$$|T(j\lambda_x)| = 0{,}1 = \frac{1}{\sqrt{1+(\lambda_x)^{2n}}} = \frac{1}{\left[1+(12/5)\lambda_y\right]^{2n}}$$

Elevando al cuadrado y tomando inversas, obtenemos

$$1{,}2601 = 1+(\lambda_y)^{2n} \quad \text{y} \quad 100 = 1+\left(\frac{15}{5}\lambda_y\right)^{2n}$$

Al sustituir $(\lambda_y)^{2n} = 0,2601$ de la primera en la segunda, da

$$100 = 1 + 0,2601\left(\frac{12}{5}\right)^{2n}$$

Cuando despejamos n obtenemos

$$2n\ \log\left(\frac{12}{5}\right) = \log\left(\frac{100-1}{0,2601}\right)$$

que nos da $n = 3,394$. Si n pudiera tomar este valor no entero, podríamos despejar tanto λ_x como λ_y; estos valores estarían en la exacta relación 12/5 mostrada en el diagrama, y obtendríamos la atenuación exacta especificada por λ_x y λ_y. Sin embargo, como n debe ser un valor entero, utilizaremos el entero superior inmediato, $n = 4$, en la Ecuación (12.48). Esto nos da

$$\lambda_y = (1,2601 - 1)^{1/8} = 0,8451\ \text{rad/s}$$

Así fijamos el ancho de banda a –1 dB exactamente a 5 kHz. La consecuencia de utilizar $n = 4$ en vez de 3,394 es que el filtro tendría una atenuación de 20 dB a una frecuencia ligeramente inferior a λ_x. Después de hacer el escalado de frecuencia, obtendremos una atenuación mayor que 20 dB a 12 kHz. La Figura 12.26 muestra que se debe escalar la frecuencia de corte a –3 dB de un rad/s a

$$\frac{\alpha}{1} = \frac{2\pi 5.000}{\lambda_y} = \frac{2\pi 5.000}{0,8451} = 2\pi 5,916\ \text{kHz}$$

dándonos $\alpha = 3,717 \times 10^4$ rad/s.

El resto del diseño es inmediato. De la Tabla 12.1 obtenemos que el filtro sin escalar tiene la función de transferencia

$$T(s) = \frac{1}{(s^2 + 0,7654s + 1)}\frac{1}{(s^2 + 1,8478s + 1)} =$$
$$\frac{1}{(s^2 + s/1,307 + 1)}\frac{1}{(s^2 + s/0,5412 + 1)}$$

Cada sección de segundo orden se realiza con uno de los circuitos activos estudiados, escalados en frecuencia para cumplir las especificaciones y escalados finalmente en impedancia para conseguir valores prácticos de los componentes. ❑

Ejercicio 12.6 Hallar la atenuación a 12 kHz del filtro diseñado en el ejemplo anterior.

Respuesta 24,6 dB.

12.3.3 APROXIMACIÓN DE PASO BAJO DE CHEBYSHEV

La Figura 12.27 muestra las respuestas en frecuencia de los tres primeros miembros de la *familia de filtros* de Chebyshev. Como en los filtros de Butterworth, el parámetro n especifica el orden del filtro. Para $n > 1$, las características de Chebyshev no son monótonas en la banda de paso como las funciones Butterworth sino que muestran un *rizado* o variación de ganancia. El diseñador controla la

ganancia mínima de la banda pasante, δ, por medio de un parámetro de Chebyshev, ∈. Permitiendo los rizados de banda pasante, este filtro consigue una mayor atenuación de la banda de rechazo que el filtro de Butterworth del mismo orden.

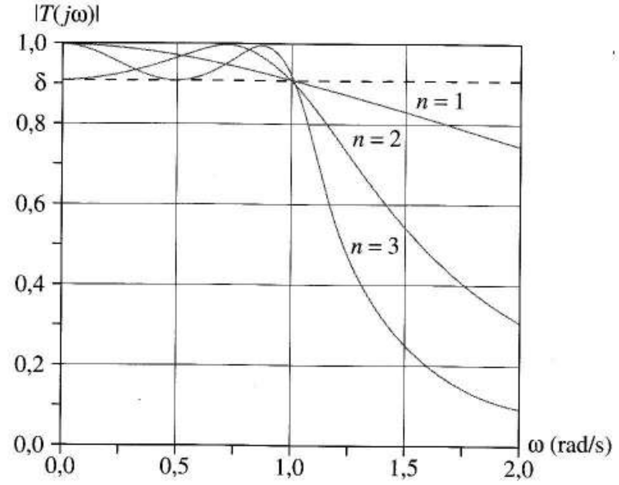


FIGURA 12.27 Respuesta de magnitud de Chebyshev para los órdenes 1, 2 y 3.

Diseñar filtros de Chebyshev *con el mismo rizado* es parecido a diseñar filtros de Butterworth. Existen tablas que dan funciones $T(s)$ que describen filtros paso bajo de una frecuencia de corte de un rad/s para los valores deseados de n y ∈. Inicialmente diseñaremos este filtro prototipo como un sistema en cascada de filtros de primer y segundo orden y después haremos un escalado en frecuencia para ajustarnos a las especificaciones. Sin embargo, dado que los polos Chebyshev no se sitúan en el círculo unidad, crear el filtro prototipo de un rad/s necesita una operación adicional: el escalado de frecuencias. Los siguientes detalles de la teoría de filtros de Chebyshev explican las curvas de respuesta de frecuencia y muestran cómo se pasa de las especificaciones a los valores pedidos n y ∈.

Polinomios de Chebyshev La función del filtro de Chebyshev $|T(j\omega)|$ se describe de forma indirecta con el cuadrado de su función de magnitud

$$|T(j\omega)|^2 = \frac{1}{1+\in^2 C_n^{\,2}(\omega)} \tag{12.49}$$

en donde el *polinomio de Chebyshev de grado n*, $C_n(\omega)$ viene definido por

$$C_n(\omega) = \cos(n\cos^{-1}\omega) \tag{12.50}$$

En este punto no es obvio que $C_n(\omega)$ sea un polinomio, y mucho menos que sea interesante. A continuación explicaremos ambos puntos.

El problema 12.33 indica cómo probar que $C_n(\omega)$ cumple la *fórmula recursiva*

$$C_{n+1}(\omega) = 2\omega C_n(\omega) - C_{n-1}(\omega) \tag{12.51}$$

Esto significa que podemos generar un polinomio de Chebyshev una vez hallados los dos polinomios consecutivos de un orden inmediatamente inferior. Afortunadamente, los dos primeros polinomios son obvios. Para $n = 0$ y $n = 1$, la Ecuación (12.50) da, respectivamente, los polinomios

$$C_0(\omega) = \cos(0 \, \cos^{-1}\omega) = 1$$

y

$$C_1(\omega) = \cos(\cos^{-1}\omega) = \omega$$

Al usar la Ecuación (12.51) generamos polinomios sucesivos de mayor orden como

$$C_2(\omega) = 2\omega^2 - 1$$

$$C_3(\omega) = 2\omega(2\omega^2 - 1) - \omega = 4\omega^3 - 3\omega$$

$$C_4(\omega) = 8\omega^4 - 8\omega^2 + 1$$

y así continuamente, mostrando que $C_n(\omega)$ describe, efectivamente, un polinomio en ω de orden n. La Figura 12.28 muestra los polinomios para $n = 1$, 2 y 3. Olvidando cualquier tipo de obligación de generar más polinomios, miramos los generados y observamos que los polinomios $C_n(\omega)$ tienen algunas propiedades notables. Aunque no presentamos una demostración, las siguientes propiedades se aplican a todos los polinomios de Chebyshev.

1. $C_n(1) = 1$ para todos los n
2. $C_n(-1) = 1$ para n pares; $C_n(-1) = -1$ para n impares
3. Todas las raíces de $C_n(\omega) = 0$ son reales y en el margen $|\omega| < 1$
4. $C_n(\omega) \to \infty$ para $|\omega| \to \infty$
5. $C_n(\omega)$ oscila con igual amplitud entre -1 y $+1$ cuando $|\omega| \leq 1$

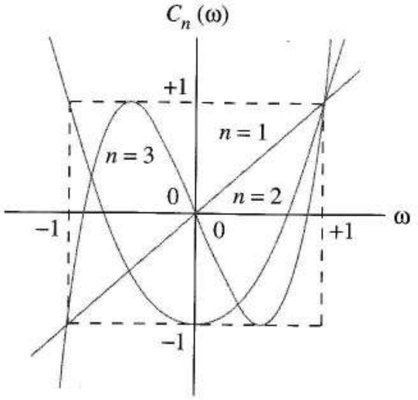


FIGURA 12.28 Polinomios de Chebyshev de grados 1, 2 y 3.

Función de filtro de Chebyshev Después de conocer algo sobre los polinomios de Chebyshev, examinaremos cómo se utilizan para aproximarse al filtro paso bajo ideal, utilizando el polinomio de tercer orden. La función de la Ecuación (12.49) define la curva de la respuesta frecuencial de magnitud

al cuadrado de Chebyshev. La Figura 12.29a presenta el polinomio de Chebyshev de tercer orden; la Figura 12.29b muestra $\in C_3(\omega)$ para $\in = 0{,}45$. Observemos cómo $\in$ reduce el rizado a ±0,45 V para $-1 \leq \omega \leq +1$. El cuadrado de este producto, en la Figura 12.29c, da un rizado con tres mínimos (para $n = 3$) en el margen $-1 \leq \omega \leq +1$. La amplitud de pico a pico del rizado se convierte en $\in^2 = 0{,}2$. El cuadrado también produce una función par de ω y valores funcionales grandes para $|\omega|$ grandes. Al añadirle 1, la curva sube, como en la Figura 12.29d, haciendo cada mínimo relativo tangente a $y = +1$ con amplitud de rizado $\in^2$. La función cuadrado de la magnitud final, la Figura 12.29e y la Ecuación (12.49), es la inversa de la función de la Figura 12.29d para cada ω. Los puntos tangentes a la línea $y = +1$ son los mismos después de hacer la inversa, mientras que los demás puntos pasan a valores menores que uno, obteniendo una aproximación del filtro ideal para $\omega \geq 0$. Observemos que la amplitud final pico a pico del rizado en la banda pasante es de $1/(1+\in^2)$.

La Figura 12.30 compara las funciones magnitud al cuadrado de transferencia del filtro de Chebyshev para n = 1, 2 y 3. En la banda pasante, cada curva tiene un rizado limitado por 1,0 y $1/(1 + \in^2)$. Todas las curvas del filtro de orden impar pasan por el punto (0, 1), mientras que las pares tienen atenuación en continua en $\omega = 0$. Los filtros de orden superior tienen más rizado en la banda pasante y más atenuación en la banda de rechazo. Los rizados de la banda pasante tienen la misma amplitud. Tomando la raíz cuadrada en cada frecuencia, obtenemos la Figura 12.27.

Diseño de filtros de Chebyshev A partir de la Ecuación (12.49) la función de transferencia del filtro de Chebyshev es

$$|T(j\omega)| = \frac{1}{\sqrt{1+\in^2 C_n^{\,2}(\omega)}} \qquad (12.52)$$

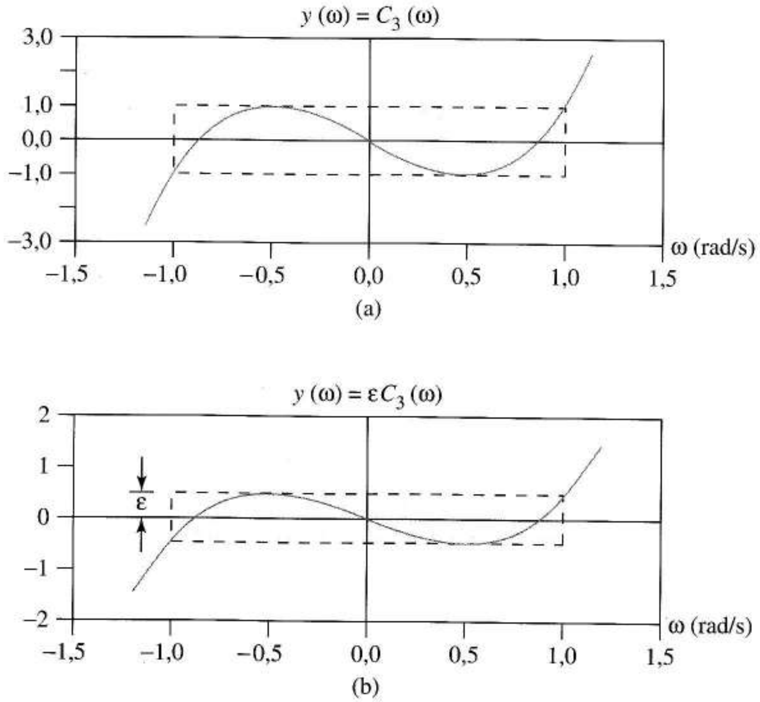


FIGURA 12.29 Curva de respuesta frecuencial del cuadrado de la magnitud de Chebyshev: (a) $C_3(\omega)$; (b) $\in C_3(\omega)$ para $\in = 0{,}45$; (c) $\in^2 C^2_3(\omega)$; (d) $1+ \in^2 C_3^{\,2}(\omega)$; (e) $|T(j\omega)|^2$.

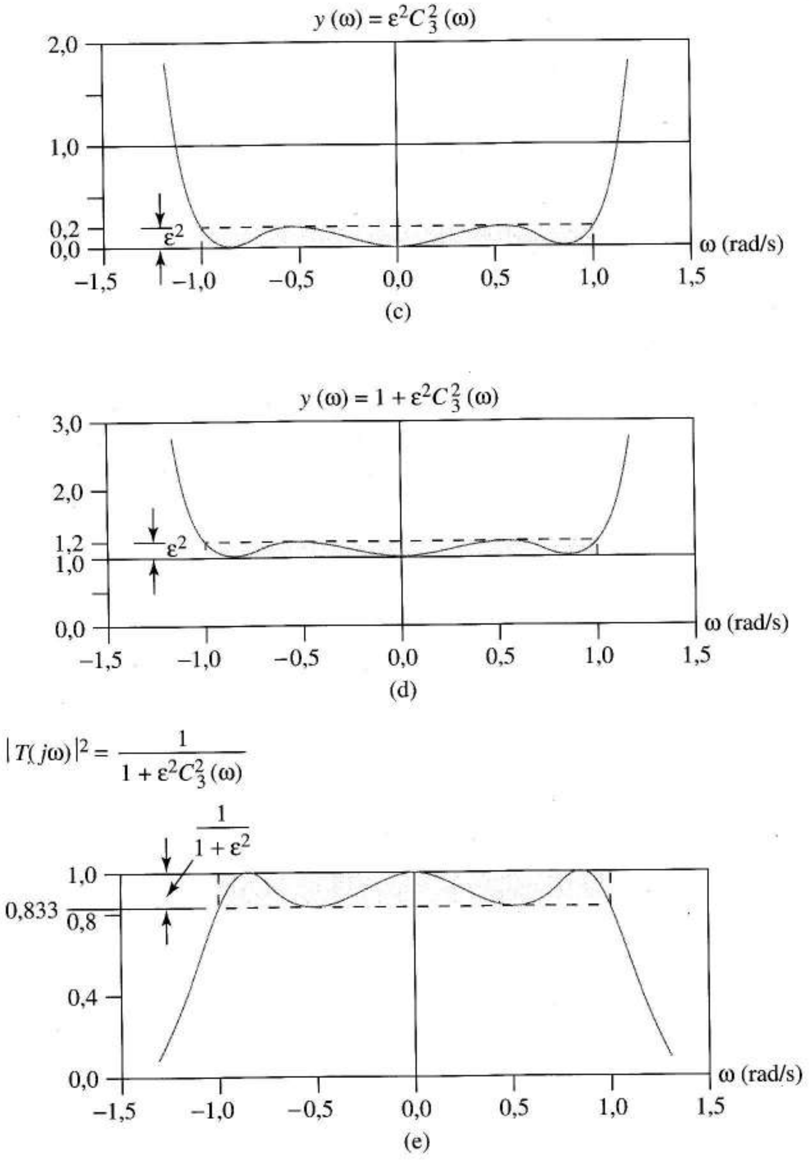


FIGURA 12.29
(Continuación)

En el diseño del filtro empezaremos especificando la mínima ganancia de banda pasante δ, o de forma equivalente, el *rizado de banda pasante* $r_{dB} = -20 \log \delta$. Como la mínima banda pasante se da en las frecuencias en las que $C_n(\omega) = 1$ (ver Figura 12.30), de la Ecuación (12.52) se deduce que

$$r_{dB} = -20 \ \log\delta = -20 \ \log\left(\frac{1}{1+\epsilon^2}\right)^{0,5}$$

Así

$$\epsilon = \sqrt{10^{r_{dB}/10} - 1} \tag{12.53}$$

que nos permite calcular ϵ cuando se especifica r_{dB}.

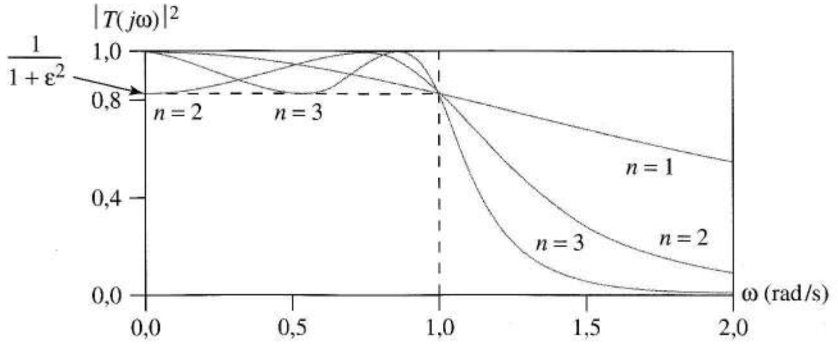


FIGURA 12.30 Función cuadrado de la magnitud de Chebyshev para n = 1, 2, 3.

En un problema típico de diseño también se especifica la ganancia máxima de banda de rechazo, creando la necesidad de evaluar la Ecuación (12.52) para $\omega > 1$. Como la inversa del coseno, en la Ecuación (12.50), es imaginaria para esas frecuencias, utilizaremos una forma alternativa del polinomio de Chebyshev

$$C_n(\omega) = \cosh(n \ \cosh^{-1} \omega), \ |\,\omega\,| > 1 \tag{12.54}$$

Como la prueba de esta ecuación es algo complicada, la desarrollaremos en el Problema 12.35 y continuaremos con la explicación del diseño.

Para diseñar el filtro de Chebyshev con ganancia γ en la frecuencia de la banda de rechazo ω_s, comenzaremos con la Ecuación (12.52) escrita de la forma

$$|T(j\omega_s)| = \gamma = \frac{1}{\sqrt{1 + \in^2 \left[\cosh\left(n \ \cosh^{-1} \omega_s\right)\right]^2}} \tag{12.55}$$

Despejando n, obtenemos la ecuación de diseño

$$n = \frac{\cosh^{-1}\left[\left(1/\gamma^2 - 1\right)^{0,5} / \in\right]}{\cosh^{-1} \omega_s} \tag{12.56}$$

Conociendo ω_s y γ, y hallando a partir de la Ecuación (12.53) podemos crear el filtro de orden n.

Ejercicio 12.7 La Figura 12.31 muestra las especificaciones de un filtro paso bajo de Chebyshev con ancho de banda a –3 dB de 3 kHz y una atenuación de al menos 60 dB a 15 kHz. Utilizar las Ecuaciones (12.53) y (12.56) para hallar $\in$ y n.

Respuesta $\in = 0{,}998$, $n = 3{,}317$ (utilizar $n = 4$.)

Los órdenes del filtro del Ejericio 12.7 y el Ejemplo 12.5 (especificaciones idénticas) muestran que permitiendo que haya rizado en la banda pasante, el diseño de Chebyshhev es de orden inferior ($n = 4$) al filtro de Butterworth ($n = 5$).

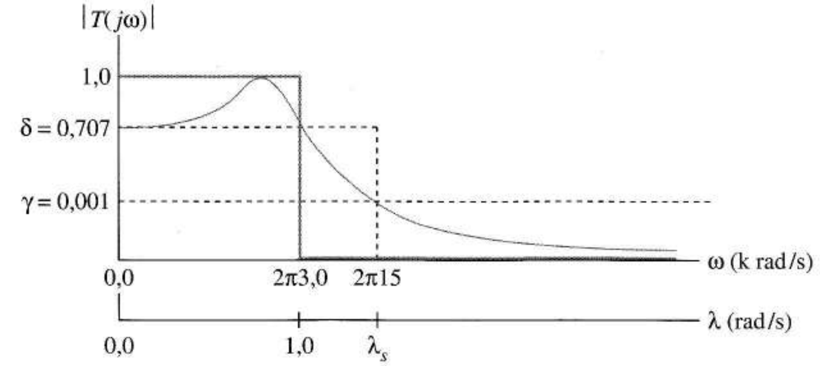


FIGURA 12.31 Especificaciones de filtro del Ejercicio 12.7.

Posición de los polos de Chebyshev Aunque dejamos las demostraciones para los libros de teoría de filtros, como los que están en las referencias, $T(s)T(-s)$ tiene sus $2n$ polos situados en una elipse en el plano complejo s, como en la Figura 12.32. Para la función del filtro de Chebyshev, $T(s)$, sólo seleccionamos los factores del denominador que corresponden a los polos de la parte izquierda del plano. Así, la función de Chebyshev final tiene la forma

$$T(s) = \frac{K}{s^n + a_{n-1}s^{n-1} + \ldots + a_o} \tag{12.57}$$

en donde $K = a_o$ para los n impares y $K = a_o/(1+\epsilon^2)^{0,5}$ para los n pares. La Tabla 12.2 nos da el denominador de $T(s)$ de forma factorizada para dos valores distintos del rizado de la banda pasante. Varios libros de filtros que se encuentran en las referencias incluyen tablas más extensas. Si no son adecuadas las tablas que se encuentren disponibles, siempre podemos calcular los valores de los polos mediante

$$\begin{aligned} s_k &= \sigma_k + j\omega_k \\ &= -\text{senh}\left[\frac{1}{n}\text{senh}^{-1}\left(\frac{1}{\epsilon}\right)\right]\text{sen}\left(\frac{2k-1}{n}\frac{\pi}{2}\right) \\ &\quad + j\cosh\left[\frac{1}{n}\text{senh}^{-1}\left(\frac{1}{\epsilon}\right)\right]\cos\left(\frac{2k-1}{n}\frac{\pi}{2}\right), \quad k = 1, 2, \ldots, n \end{aligned} \tag{12.58}$$

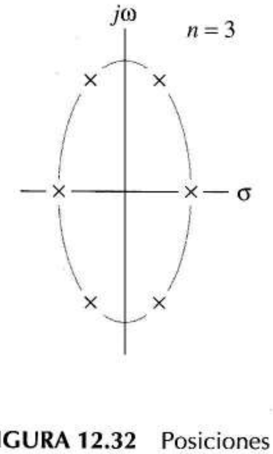


FIGURA 12.32 Posiciones de los polos de $T(s)T(-s)$ para un filtro de Chebyshev de tercer orden.

y construir a partir de la ecuación los factores de primer y segundo orden como los de la tabla.

Observemos que los factores de primer y segundo orden de la Tabla 12.2 tienen valores constantes que no son 1 como las constantes de las funciones de Butterworth de la Tabla 12.1. Debido a esto, los filtros de Chebyshev necesitan otro paso adicional de diseño, el preescalado de frecuencias, que explicaremos a continuación.

Preescalado de frecuencias La Tabla 12.2 nos sugiere que si ignoramos el factor de ganancia global K de la Ecuación (12.57), los filtros en cascada descritos por las funciones de primer y segundo orden tienen las formas

$$T_k(s) = \frac{1}{s + a_k}$$

o

$$T_k(s) = \frac{1}{s^2 + a_{1k}s + a_{0k}} = \frac{1}{s^2 + (\omega_k/Q_k)s + \omega_k^2} \tag{12.59}$$

TABLA 12.2 Factores del denominador de Chebyshev para rizados de 0,5 y 3,0 dB.

Rizado de la banda pasante (dB).	n	Factores
0,5	1	$(s + 2{,}863)$
	2	$(s^2 + 1{,}426s + 1{,}5164)$
	3	$(s + 0{,}626)\ (s^2 + 0{,}626s + 1{,}142453)$
	4	$(s^2 + 0{,}350s + 1{,}062881)\ (s^2 + 0{,}846s + 0{,}35617)$
	5	$(s + 0{,}362)\ (s^2 + 0{,}224s + 0{,}012665)\ (s^2 + 0{,}586s + 0{,}476474)$
	6	$(s^2 + 0{,}156s + 1{,}022148)\ (s^2 + 0{,}424s + 0{,}589588)\ (s^2 + 0{,}58s + 0{,}157)$
3,0	1	$(s + 1{,}002)$
	2	$(s^2 + 0{,}2986s + 0{,}83950649)$
	3	$(s + 0{,}299)\ (s^2 + 0{,}2986s + 0{,}83950649)$
	4	$(s^2 + 0{,}17s + 0{,}902141)\ (s^2 + 0{,}412s + 0{,}1961)$
	5	$(s + 0{,}177)\ (s^2 + 0{,}11s + 0{,}936181)\ (s^2 + 0{,}288s + 0{,}3771145)$
	6	$(s^2 + 0{,}076s + 0{,}95402)\ (s^2 + 0{,}208s + 0{,}522041)\ (s^2 + 0286s + 0{,}089093)$

Como los polos no están en el círculo unidad, las constantes a_k y a_{0k} no tienen el valor unidad como los factores de Butterworth de la Tabla 12.1. Al dividir el numerador y el denominador de la Ecuación (12.59) por ω_k^2 obtenemos

$$T_k(s) = \frac{1/\omega_k^2}{(s/\omega_k)^2 + \frac{1}{Q_k}(s/\omega_k) + 1}$$

donde

$$\omega_k = \sqrt{a_{0k}} \quad \text{y} \quad Q_k = \frac{\omega_k}{a_{1k}} = \frac{\sqrt{a_{0k}}}{a_{1k}} \tag{12.60}$$

Esto nos demuestra que al realizar un término del tipo de la Ecuación (12.59) podemos empezar con un filtro de segundo orden con frecuencia de referencia unidad y factor de calidad Q_k y después prees-

calar en frecuencia utilizando el factor de escala $\alpha = \omega_k$. Para filtros activos como los de las Figuras 12.8 y 12.4, esto significa que utilicemos condensadores de $1/\omega_k$ faradios, en vez de 1 faradio en el *diseño del filtro prototipo*. A esto le llamamos preescalado, dado que es necesario un escalado de frecuencia *consecutivo* de *todas* las etapas, para obtener la frecuencia de corte especificada del filtro Chebyshev. Estrictamente hablando, también podríamos proporcionar una ganancia $1/\omega_k^2$ a cada etapa del filtro; sin embargo, ignoraremos estos detalles del mismo modo en que ignoramos K en la Ecuación (12.57). Cuando n es impar, la sección del filtro de primer orden se debe preescalar con $\alpha = a_k$.

EJEMPLO 12.7 Completar el diseño del filtro paso bajo de cuarto orden del ejericio 12.7 con la restricción adicional de que todas las resisteencias deben ser al menos 5 kΩ.

Solución Como necesitamos $n = 4$ para un filtro con rizado de banda pasante de 3 dB, la Tabla 12.2 muestra que $T(s)$ del filtro inicial se puede realizar mediante las etapas en cascada

$$T(s) = \frac{K_1}{s^2 + 0{,}17s + 0{,}902141} \; \frac{K_2}{s^2 + 0{,}412s + 0{,}1961}$$

CENTRO PO... ZARAGOZA

Para el primer filtro, Ecuación.(12.60) tenemos

$$\omega_{k1} = 0{,}9498, \quad Q_1 = \frac{0{,}9498}{0{,}17} = 5{,}587$$

Para el segundo,

$$\omega_{k2} = 0{,}44283, \quad Q_2 = \frac{0{,}44283}{0{,}412} = 1{,}0748$$

Para realizar un Sallen-Key, ignoramos K_1 y K_2, el preescalado de frecuencia de la Figura 12.28 y la ganancia A calculada para cada sección del filtro. Esto nos da la Figura 12.33a.; un filtro de Chebyshev de cuarto orden con ancho de banda a 3 dB de un rad/s. Observemos que los valores de los condensadores están en faradios, a partir del preescalado, son $1/\omega_{k1}$ y $1/\omega_{k2}$ en los respectivos filtros.

Ahora debemos escalar en frecuencia con $\alpha = 2\pi 3.000$ para obtener el ancho de banda final deseado, un proceso que cambia los valores del condensador a 5,9 μF y 119,8 μF respectivamente en los dos filtros. Al escalar las impedancias por 5.000 nos da el circuito final de la Figura 12.33b.

La Figura 12.33c muestra la respuesta en freuencia de este filtro calculada por SPICE. Los picos de la banda pasante muestran una ganancia de 18,3 dB en vez de los 0 dB que se habrían obtenido si hubiéramos corregido los factores de escala de amplitud durante nuestro diseño. Sin embargo, la amplitud de rizado y el ancho de banda son correctos, y la atenuación a 15 kHz es 18,3 – (– 54,1) = 72,4 dB, que es superior al requisito mínimo de 60 dB. ❑

12.3.4 ESCALADO DE IMPEDANCIA DE SECCIONES INDIVIDUALES

Todos nuestros diseños de filtros empiezan conceptualmente con un filtro prototipo que tiene valores dados de R y C, a menudo con valor unidad. Sin embargo, es posible hacer escalado *individual* de impedancia de los distintos subcircuitos y podemos utilizar este grado extra de libertad para reducir la variación de los valores de los componentes en un diseño. Por ejemplo, el escalado de impedancia del segundo subciruito con

$$\beta = \frac{0{,}02396}{0{,}01118} = 2{,}1431$$

da como resultado capacidades idénticas *para el circuito completo* mientras se incrementan los valores de la resistencia a 2,1431(5 kΩ) = 10,716 kΩ. Obviamente, se pueden conseguir otros compromisos entre la variación de los condensadores y los valores de las resistencias con $1 < \beta < 2,1431$. Evidentemente, esta idea se aplica a todos los circuitos de filtros con varias etapas.

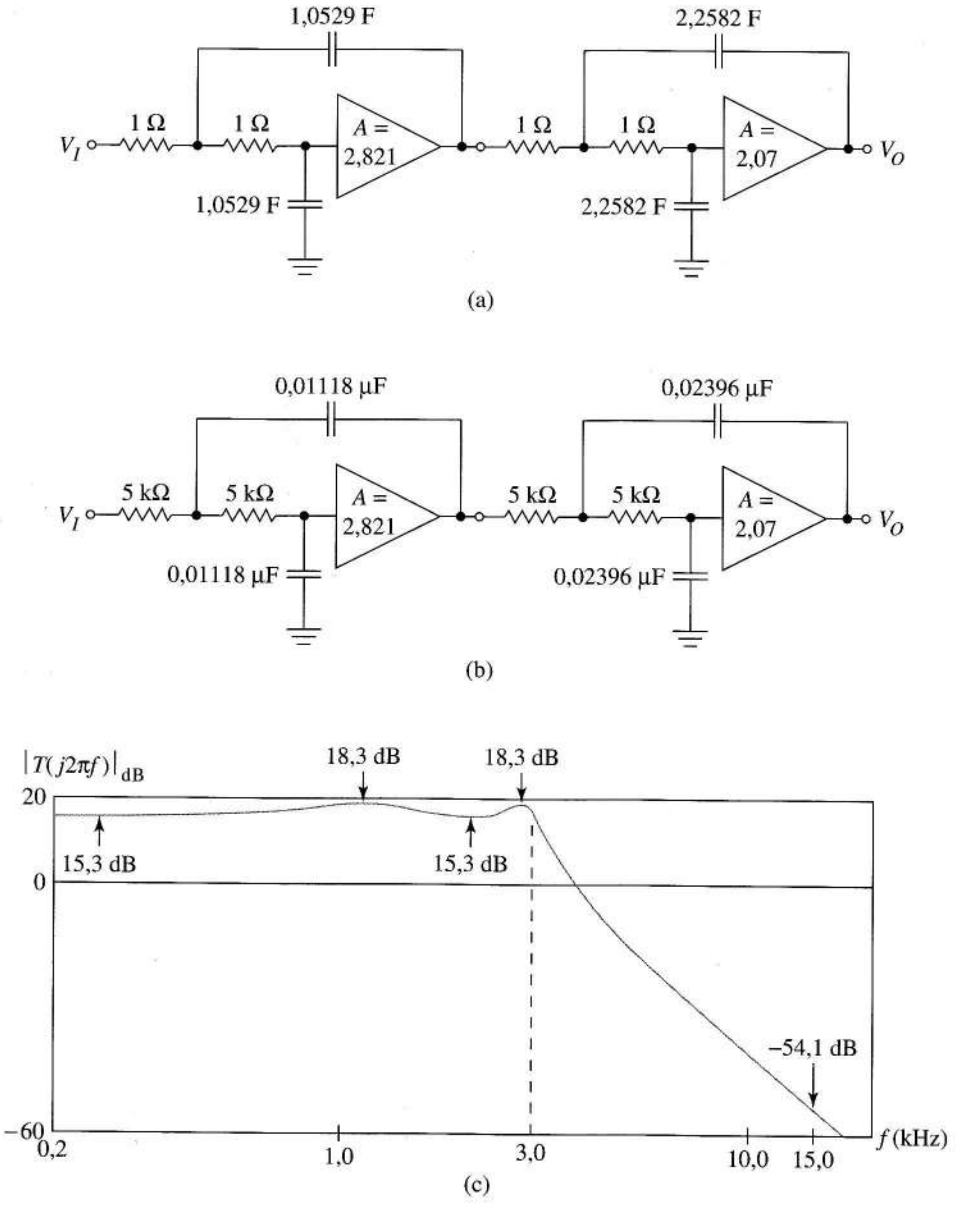


FIGURA 12.33 Filtro activo del Ejemplo 12.7: (a) etapas en cascada preescaladas para dar un ancho de banda de 1 rad/s; (b) circuito tras el esalado de frecuencia e impedancia; (c) cálculo de SPICE de la respueta frecuencial del filtro escalado.

12.4 EXTENSIÓN DE LA TEORÍA DE LOS FILTROS PASIVOS A LOS ACTIVOS

Existe abundante literatura que contiene información sobre filtros construidos a partir de resistencias, condensadores y bobinas. Algunos diseños *RLC*, especialmente las *estructuras en escalera*, tienen poca sensibilidad a las variaciones de parámetros. La teoría de filtros pasivos es aplicable directamente a circuitos en alta frecuencia, para los que es fácil construir las bobinas, pero no a frcuencias de audio o subaudio, o para circuitos integrados donde no hay disponibles bobinas de buena calidad. Revisaremos primero algunos filtros pasivos y después mostraremos la forma en que una *bobina sintética* puede extender las ventajas de los diseños pasivos a algunos circuitos integrados y circuitos discretos a baja frecuencia.

12.4.1 FILTROS PASIVOS DE SEGUNDO ORDEN

Es fácil verificar que los filtros de la Figura 12.34a y b tienen característics de transferencia paso bajo y alto de segundo orden, descritas por las Ecuaciones (12.11) Y (12.19) respectivamente. También es fácil analizar el circuito de banda pasante de la Figura 12.34c, descrito por la Ecuación (12.32) y el filtro de banda de rechazo de la Figura 12.34d, que, salvo por el signo algebraico, se describe por la Ecuación (12.37). Podemos hacer escalado en frecuencias de dichos circuitos para hacer que sus curvas de respuesta frecuencial satisfagan las especificaciones dadas y podemos hacer escalado para encontrar aplicaciones prácticas. En particular, cada uno puede estar escalado en un valor de resistencia determinado. En filtros complejos, como los de Butterworth y Chebyshev, con orden arbitrario, podemos realizar filtros pasivos en cascada (utilizando un circuito *RC* o *RL* de primer orden, para *n* impares), con circuitos seguidores para aislamientos entre etapas.

La Figura 12.34e muestra un circuito pasa todo de segundo orden que se analiza como sigue: primero observemos que la impedancia del circuito paralelo es

$$Z = \frac{(s/Q)[1/(sQ)]}{s/Q + 1/(sQ)} = \frac{1}{Qs + Q/s} = \frac{s}{Q(s^2+1)}$$

la tensión del divisor da

$$V_o = 0{,}5\ V_i - \frac{s/[Q(s^2+1)]}{s/[Q(s^2+1)]+1} V_i = \left[0{,}5 - \frac{s}{s+Q(s^2+1)}\right] V_i$$

Al dividir el numerador y el denominador del segundo término por Q, obtenemos la función pasa todo de segundo orden

$$T(s) = \frac{V_o}{V_i} = \left(0{,}5 - \frac{s/Q}{s^2+s/Q+1}\right) = 0{,}5\left(\frac{s^2 - s/Q+1}{s^2+s/Q+1}\right)$$

que es la Ecuación (12.40), salvo para la ganancia de 0,5.

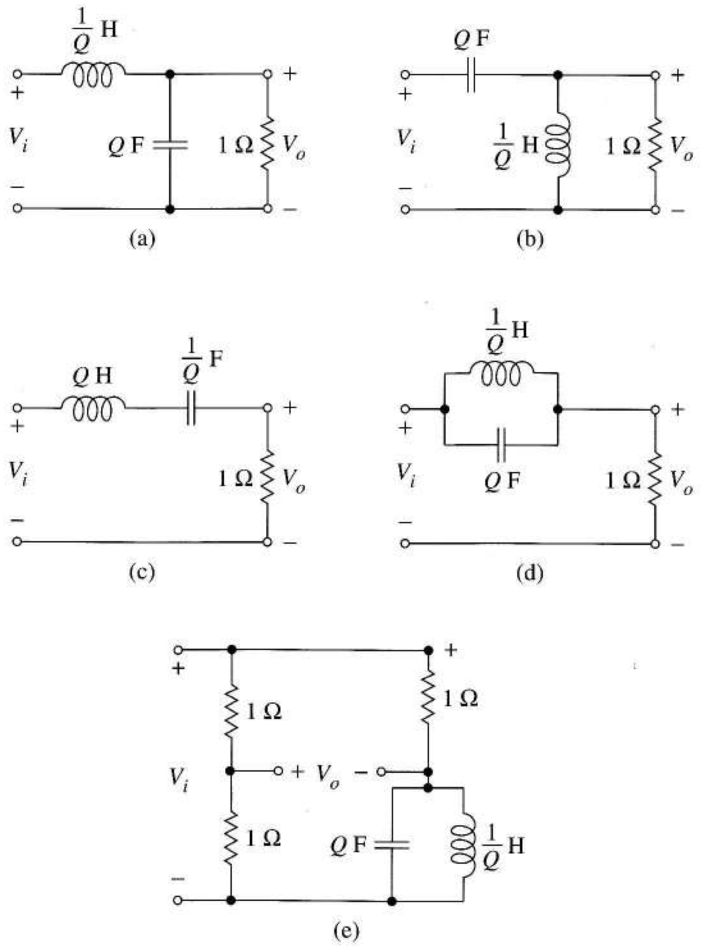


FIGURA 12.34 Filtros pasivos de segundo orden con frecuencia de referencia de 1 rad/s: (a) paso bajo; (b) paso alto; (c) pasa banda; (d) rechazo de banda; (e) circuito pasa todo.

Ejercicio 12.8 Diseñar un filtro paso banda como la Figura 12.34d con $Q = 85$, frecuencia central de 455 kHz y una resistencia de carga de 5 kΩ.

Respuesta $L = 20{,}57\ \mu\text{H}$, $C = 594{,}6\ \text{pF}$ es una respuesta correcta.

La bobina sintética de la próxima sección y circuitos electrónicos similares, nos ayudan a extender las ventajas de la teoría de filtros pasivos a los circuitos activos *RC*.

12.4.2 BOBINA SINTÉTICA

La *bobina sintética*, Figuras 12.35a y b, es un bloque *activo RC* práctico en algunos diseños discretos y en diseños integrados. El siguiente análisis prueba que el circuito tiene la impedancia de entrada de una bobina. También establece que podemos hacer escalado de frecuencia e impedancia de la forma habitual.

En primer lugar, observemos que I_i pasa a través de R_1 debido a la ganancia infinita de *OA*#1. La ganancia infinita también fuerza a

$$\frac{I_x}{sC} + I_i R_1 = 0$$

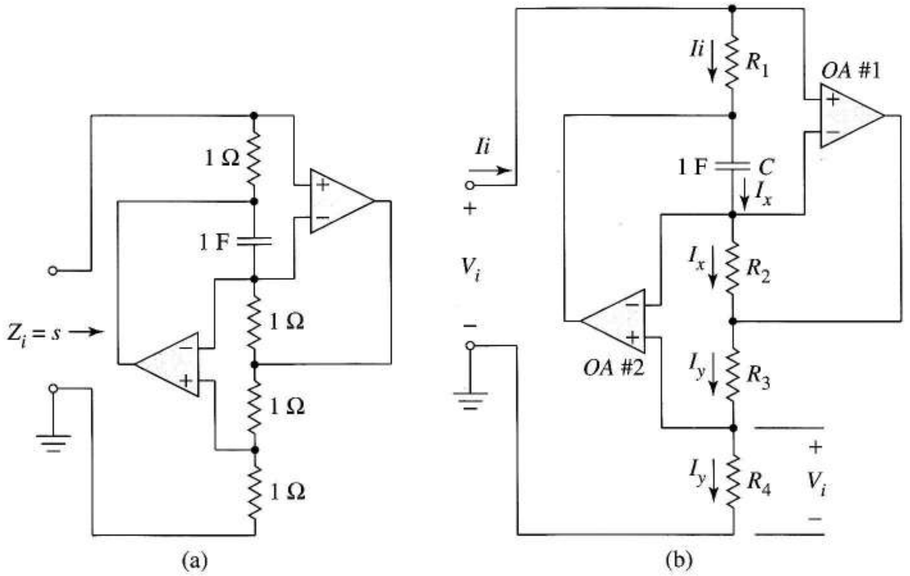


FIGURA 12.35
Bobina sintética: (a) circuito básico; (b) circuito usado para justificar los procedimientos de escalado.

Debido a la ganancia infinita de *OA*#2

$$I_y R_3 + I_x R_2 = 0$$

Finalmente, debido a que la suma de las tensiones de entrada de *OA*#1, y *OA*#2 son cero, la ley de Kirchhoff de las tensiones nos da

$$V_i = I_y R_4$$

Empezando con la última ecuación y sustituyendo, obtenemos

$$V_i = I_y R_4 = \frac{-R_2}{R_3} I_x R_4 = \frac{-R_2}{R_3}(-sCR_1) I_i R_4$$

Así, la impedancia de entrada es

$$Z_i = \frac{V_i}{I_i} = \frac{sCR_1 R_2 R_4}{R_3} = sL \tag{12.61}$$

la ecuación de diseño de la bobina sintética. En principio, podemos realizar cualquiera de los circuitos de la Figura 12.34 mediante un circuito activo *RC,* reemplazando la bobina por su circuito activo y eligiendo los valores adecuados. Observemos a partir de la Ecuación (12.61) que el escalado de frecuencias C y todas las resistencias con β nos da $s(\beta L)$ y el escalado de frecuencias del condensador con α nos da $s(1/\alpha)L$. Por lo tanto, podemos utilizar la Figura 12.35a en nuestros diseños y después hacer escalado del filtro completo del modo habitual. Para un correcto funcionamiento, R_4 (Figura 12.35) debe estar a masa. Intercambiando C y R_3 obtenemos otra forma de realizar esto, más práctica en los amplificadores operacionales.

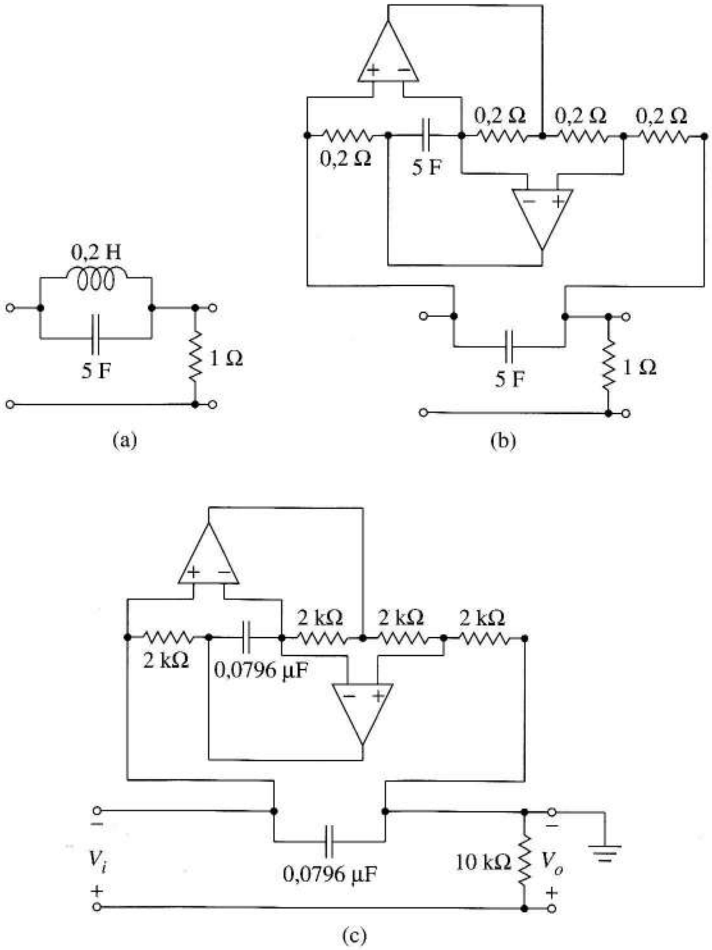


FIGURA 12.36 Esquema del filtro del ejemplo 12.8: (a) filtro pasivo con Q = 5 y corte a 1 rad/s; (b) realización del *RC* activo de la Figura 12.36a; (c) diseño final con el corte en 1 kHz.

EJEMPLO 12.8 Diseñar un filtro de rechazo de banda pasivo de segundo orden, basado en la Figura 12.34d con $Q = 5$ para rechazar una frecuencia de ruido de 1 kHz. El circuito debe tener una resistencia de carga de 10 kΩ.

Solución La Figura 12.36 es un circuito pasivo con $Q = 5$ y una frecuencia en el corte de 1 rad/s. En la Figura 12.36b reemplazamos la bobina por el circuito de la Figura 12.35a después de hacer preescalado de impedancia para obtener una inductancia de 0,2 H. A continuación, haremos un escalado de frecuencia del circuito con $\alpha = 2\pi 10^3$ para posicionar el corte y un escalado de impedancia con 10^4 para llegar al diseño final. Al intercambiar la fuente y la carga se permite poner a masa la fuente. ❑

12.4.3 FILTROS EN ESCALERA *LC*

Filtros paso bajo Nuestro conocimiento actual de los filtros nos abre las puertas a otros muchos resultados de teoría de filtros. Como ejemplo, consideraremos los filtros en escalera paso bajo de la Figura 12.37. Ambos circuitos utilizan n elementos de almacenamiento de energía para realizar la misma función de filtro paso bajo de orden n. La diferencia es que para valores de n impares, la Figura 12.37a tiene menos bobinas y la Figura 12.37b, menos condensadores. En el filtro en escalera de Chebyshev o de Butterworth de orden n sólo necesitamos tablas precalculadas con los valores de los componentes para el filtro de frecuencia referencia de 1 rad/s como las Tablas 12.3 y 12.4. (Algunas de las referencias nos dan tablas más completas.)

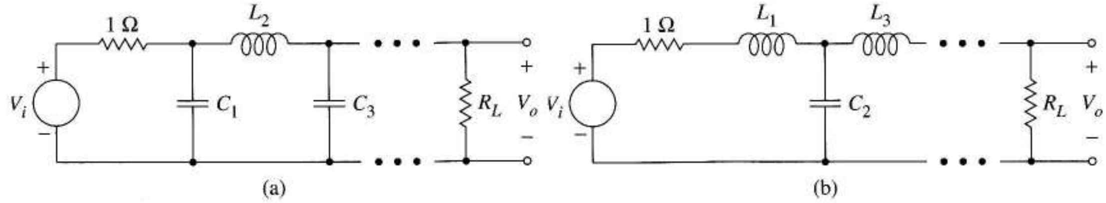


FIGURA 12.37 Estructura en escalera: (a) circuito con mínimo número de inductancias; (c) con mínimo número de condensadores.

Filtros escalera paso alto La transformación de paso bajo a paso alto de la Ecuación (12.17) tiene un corolario útil para los filtros pasivos con frecuencias de corte de referencia de 1 rad/s. En el análisis, todas las apariciones de la variable compleja p se obtienen de ecuaciones del tipo pL_{LP} o $1/pC_{LP}$, en donde L_{LP} y C_{LP} son los valores de la inductancia y la capacidad en el circuito paso bajo. La transformación de paso bajo a paso alto modifica estos términos de los modos siguientes:

$$pL_{LP} \Rightarrow \frac{L_{LP}}{s} = \frac{1}{sC_{HP}}$$

y

$$\frac{1}{pC_{LP}} \Rightarrow \frac{s}{C_{LP}} = sL_{HP}$$

TABLA 12.3 Paso bajos de Butterworth en escalera de 1 rad/s de ancho de banda con mínimo número de bobinas (condensadores)

n	$C_1\ (L_1)$	$L_2(C_2)$	$C_3(L_3)$	$L_4(C_4)$	$C_5(L_5)$	$L_6(C_6)$	$C_7(L_7)$	R_L
2	1,414	1,414						1,000
3	1,000	2,000	1,000					1,000
4	0,7654	1,848	1,848	0,7654				1,000
5	0,6180	1,618	2,000	1,618	0,6180			1,000
6	0,5176	1,414	1,932	1,932	1,414	0,5176		1,000
7	0,4450	1,247	1,802	2,000	1,802	1,247	0,4450	1,000

TABLA 12.4 Paso bajos de Chebyshev en escalera de 1 rad/s de ancho de banda con mínimo número de bobinas (condensadores).

Valor del rizado en la banda pasante (dB)	n	$C_1\ (L_1)$	$L_2(C_2)$	$C_3(L_3)$	$L_4(C_4)$	$C_5(L_5)$	$L_6(C_6)$	$C_7(L_7)$	R_L
0,1	3	1,0316	1,1474	1,0316					1,0000
	5	1,1468	1,3712	1,9750	1,3712	1,1468			1,0000
	7	1,1812	1,4228	2,0967	1,5734	2,0967	1,4228	1,1812	1,0000
1,0	3	2,0236	0,9941	2,0236					1,0000
	5	2,1349	1,0911	3,0009	1,0911	2,1349			1,0000
	7	2,1666	1,1115	3,0936	1,1735	3,0936	1,1115	2,1666	1,0000

Así, al reemplazar cada bobina de L_{LP} H por un condensador de $1/L_{LP}$ F y cada condensador de C_{LP} F por una bobina de $1/C_{LP}$ H, transformamos el circuito paso bajo en un filtro paso alto con frecuencia de referencia de 1 rad/s. Por ejemplo, observemos que el filtro paso alto de la Figura 12.34b es el filtro paso bajo de la Figura 12.34a después de aplicarle una transformación de paso bajo a paso alto. En la realización de los filtros activos *RC*, reemplazaremos cada bobina por otra sintética preescalada en impedancia.

Ejercicio 12.9 Diseñar un filtro activo *RC* de Chebyshev de paso alto y tercer orden, basado en una escalera pasiva. La frecuencia de corte es de 900 Hz y el rizado de la banda pasante es 1 dB. Utilizar la mínima cantidad posible de bobinas sintéticas.

Respuesta Figura 12.38.

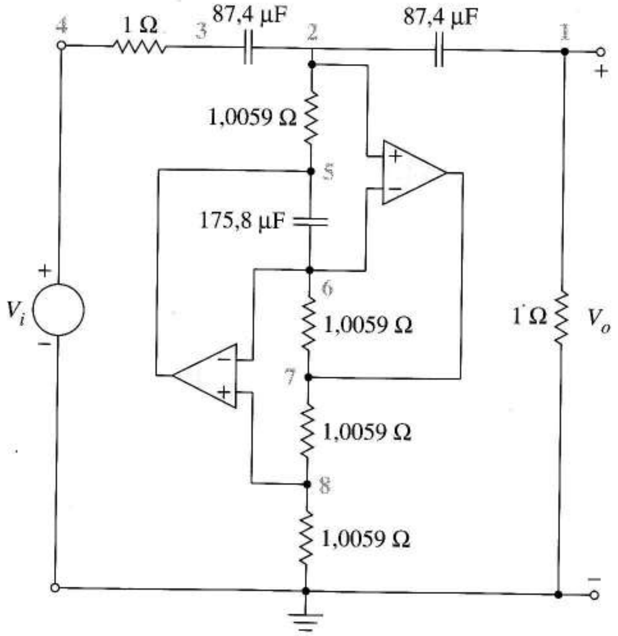


FIGURA 12.38 Filtro paso alto *RC* activo de tercer orden de Chebyshev.

EJEMPLO 12.9 Utilizar SPICE para representar la respuesta frecuencial de magnitud de la Figura 12.38 que tiene la ganancia del amplificador operacional de 2×10^5 y es ideal en el resto. Repetir después con un amplificador 741.

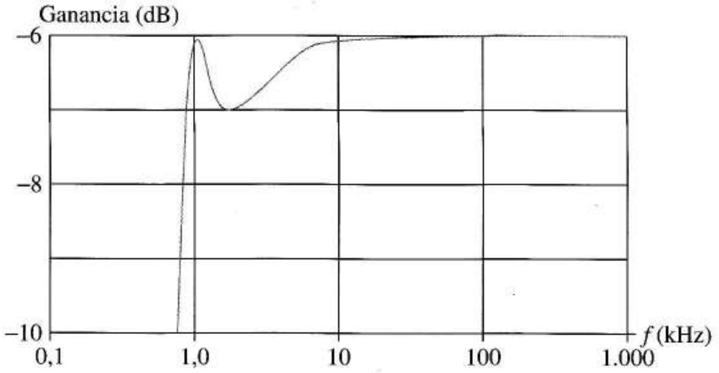
Solución La Figura 12.39a muestra el código SPICE. Dicho código incluye dos subcircuitos de amplificadores operacionales: un VCVS de ganancia alta denominado GENERIC, y M741, el subcircuito del amplificador operacional 741 mostrado en la Figura 2.34a que incluye las resistencias del 741 y su respuesta frecuencial en circuito abierto.

La Figura 12.39b y la curva continua de la Figura 12.39c muestran la respuesta frecuencial obtenida con el amplificador GENERIC. Ambas coinciden de forma exacta con las especificaciones iniciales en un amplio margen de ganancias. La pendiente que esperamos para un filtro de tercer orden, 60 dB/dec, es evidente.

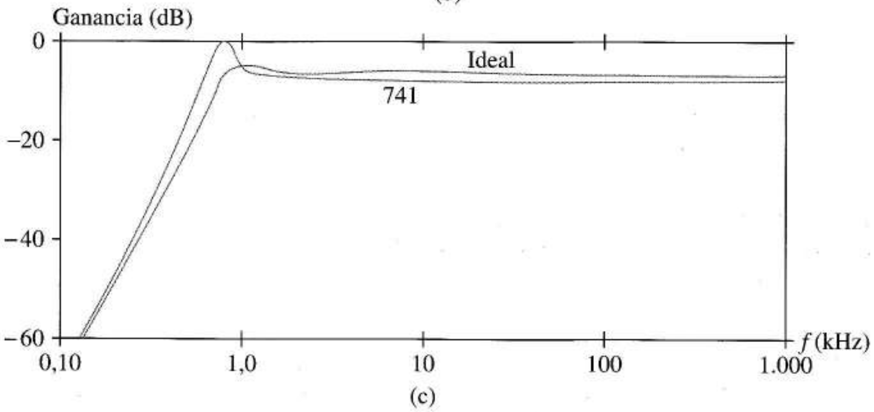
La curva a trazos de la Figura 12.39c, calculada tras haber reemplazado las sentencias X1 y X2 con las referencias al 741 que les siguen, muestra la respuesta frecuencial que obtendríamos si utilizásemos amplificadores 741. Como el ancho de banda en bucle abierto del 741 sólo es de 5 Hz, a bajas frecuencias empieza a disminuir la ganancia con la que contábamos al utilizar las bobinas sintéticas y el rizado de la banda pasante es mucho mayor que lo que permiten las especificaciones.

```
EXAMPLE 12.9
.SUBCKT GENERIC 1 2 6
E1 6 0 1 2 2E5
.ENDS
.SUBCKT M741 1 2 6
RIN 1 2 2MEG
ROUT 5 6 75
EI 3 0 1 2 2E5
R 3 4 1
C 4 0 0.0318
E2 5 0 4 0 1
.ENDS
ROUT 1 0 1
C1 2 1 87.4U
C2 3 2 87.4U
RI 4 3 1
RL1 2 5 1.0059
RL2 6 7 1.0059
RL3 7 8 1.0059
RL4 8 0 1.0059
CL 5 6 175.8U
X1 2 6 7 GENERIC
*X1 2 6 7 M741
X2 8 6 5 GENERIC
*X2 8 6 5 M741
VI 4 0 AC 1
.AC DEC 30 1000 100E6
.PRINT AC VDB(1)
.END
```

(a)



(b)



(c)

FIGURA 12.39 Filtro paso alto en escalera del Ejemplo 12.9: (a) código SPICE de la Figura 12.38; (b) respuesta ideal de la Figura 12.38; (c) respuestas usando el operacional μA741; (d) respuestas de la realización con 741 y circuito asintótico pasivo; (e) respuestas con el operacional HA2544.

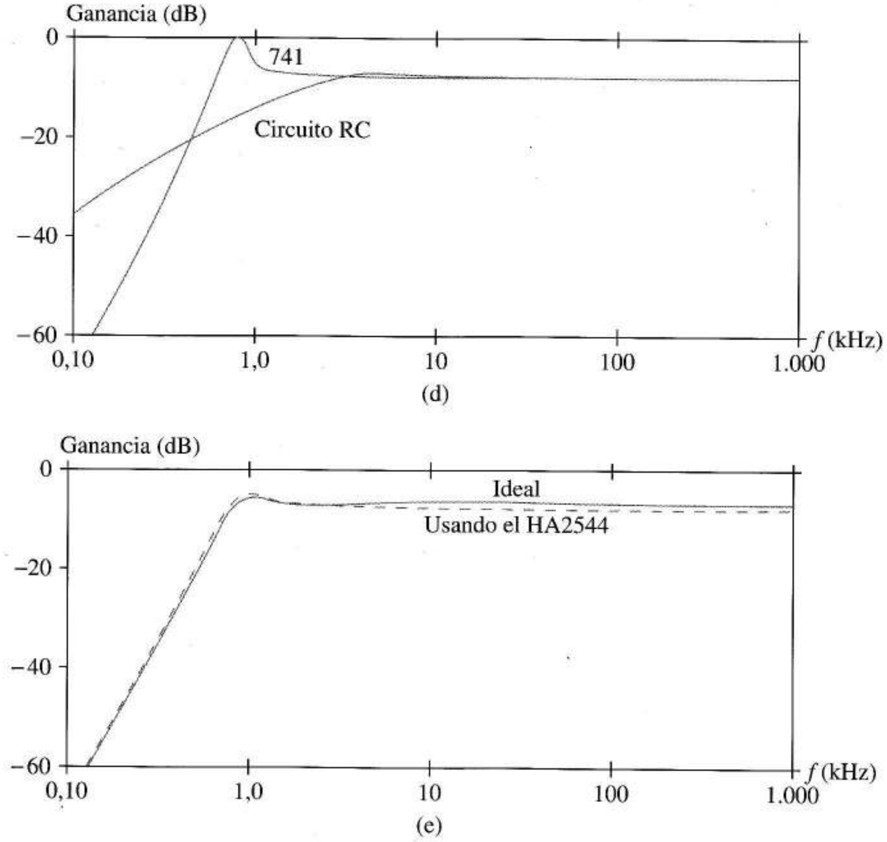


FIGURA 12.39
(Continuación)

A frecuencias aún más altas, las ganancias de los amplificadores operacionales van degenerando más, hasta que los amplificadores se convierten, en todas las aplicaciones prácticas, en elementos pasivos.

La Figura 12.39d muestra la respuesta del circuito cuando los 741 se reemplazan por su resistencia de entrada de 2 MΩ y su resistencia de salida de 75 Ω. A altas frecuencias, este circuito pasivo predice de forma exacta la rspuesta del circuito 741 de la Figura 12.39c según la ganancia del amplificador se va haciendo más insignificante. La Figura 12.39e compara el filtro ideal con la realización de un filtro utilizando el amplificador de alta frecuencia HA2544. ❑

12.5 CIRCUITOS DE CAPACIDADES CONMUTADAS

Después de escalar los filtros integrados a capacidades más realistas, a veces se obtienen valores de resistencias demasiado altos para ser fabricados en circuitos integrados. En esta sección examinaremos una solución a este problema, reemplazando las resistencias con equivalentes resistivos que consisten en condensadores e interruptores. Como ni unos ni otros tienen pérdidas, la disipación de potencia es insignificante en los *circuitos de capacidades conmutadas* obtenidos. Además, las características críticas de estos circuitos dependen de las relaciones entre los condensadores y la frecuencia de conmutación, que pueden controlarse en un 1%.

12.5.1 CONCEPTOS BÁSICOS

La Figura 12.40 muestra una resistencia y un elemento ideal con capacidad conmutada equivalente. En los circuitos prácticos, los interruptores pueden ser las puertas MOS de transmisión de la Sección 5.11. Un reloj de dos fases, que consiste en trenes de pulsos no solapados ϕ_1 y ϕ_2, abre y cierra de forma alternativa los interruptores a una frecuencia f_s lo suficientemente grande para que v_1 y v_2 no cambien de forma apreciable en cada periodo de conmutación. Cuando se cierra el interruptor ϕ_1, C_R se carga con v_1 voltios, almacenando la carga

$$q_1 = C_R v_1$$

ϕ_1 se abre entonces y ϕ_2 se cierra. El condensador se carga ahora a v_2 voltios, reajustando su carga almacenada a

$$q_2 = C_R v_2$$

Cuando el primer interruptor vuelve a cerrarse para comenzar con el siguiente ciclo, ha habido un movimiento neto de

$$\Delta q = q_1 - q_2 = C_R(v_1 - v_2)$$

culombios de carga, desde el nodo con v_1 voltios hasta el nodo con v_2 voltios. Como esta transferencia de carga se hace en $1/f_s$ segundos, la corriente media es

$$i = \frac{\Delta q}{\Delta t} = C_R \frac{(v_1 - v_2)}{1/f_s}$$

Ignorando la naturaleza de los pulsos de la corriente, tenemos

$$R = \frac{v_1 - v_2}{i} = \frac{1}{C_R f_s} \tag{12.62}$$

Al usar $f_s = 100$ kHz y $C_R = 20$ pF, por ejemplo, obtenemos una resistencia de 500 kΩ.

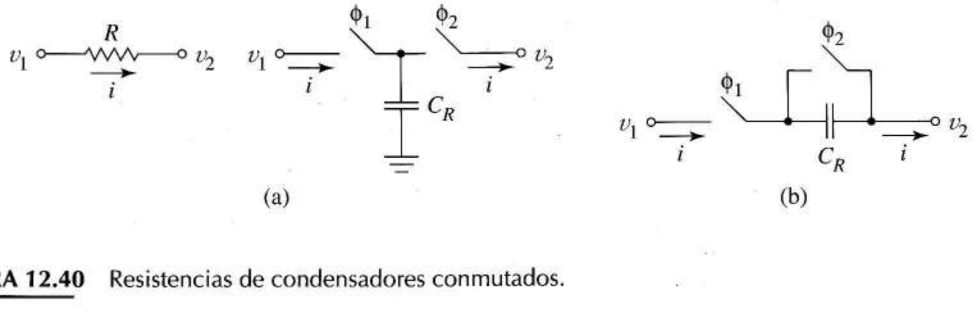


FIGURA 12.40 Resistencias de condensadores conmutados.

La Figura 12.40b es también una resistencia de capacidad conmutada. Cuando ϕ_1 se cierra, según se carga C_R, se mueven $C_R(v_1-v_2)$ culombios de carga. Cuando se cierra ϕ_2, el condensdor se descarga.

La Ecuación (12.62) muestra una consideración crítica de los circuitos de capacidad conmutada, la resistencia es inversamente proporcional a f_s. Hemos aprendido en la Sección 12.1.4 que podemos hacer escalado de frecuencia de circuitos activos *RC* cambiando sólo resistencias; por lo tanto, si f_s es común a todas las resistencias en los filtros de capacidades conmutadas, podemos utilizar el reloj para hacer el escalado de frecuencia. Esta característica facilita la precisión de la sintonización al ajustar f_s y, además, nos permite cambiar la frecuencia de corte o de referencia para adaptar el mismo filtro a distintos filtrados.

12.5.2 BLOQUES CONSTRUCTIVOS CON CAPACIDADES CONMUTADAS

Integradores Los circuitos de capacidades conmutadas de los que hablaremos a continuación, nos proporcionan funciones autónomas útiles y además forman bloques constructivos de circuitos más complejos. La Figura 12.41a es un integrador con una resistencia de entrada de capacidades conmutadas. Cuando se cierra el interruptor ϕ_2, la masa virtual hace que C_R se descargue a cero voltios, transfiriendo a C toda su carga almacenada. Al reemplazar la resistencia en la ecuación del integrador por la Ecuación (12.62) obtenemos

$$v_o = -f_s \frac{C_R}{C} \int v_i(t)dt \tag{12.63}$$

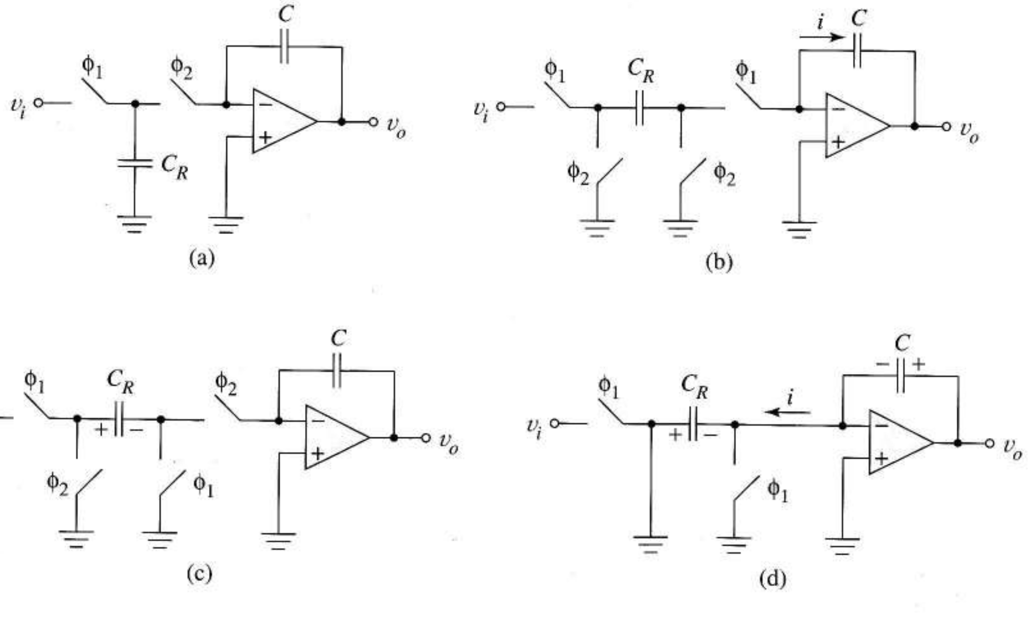


FIGURA 12.41 Integradores de condensadores conmutados: (a) integrador inversor; (b) integrador inversor insensible a la capacidad parásita; (c) integrador no inversor; (d) mecanismo de transferencia de carga de un integrador no inversor.

que indica que la relación entre los condensadores y f_s define el coeficiente del integrador. Cuando C_R es pequeño, las capacidades parásitas que hay entre cada nodo y masa contribuyen a que C_R no tenga valores muy fiables. El integrador de la Figura 12.41b utiliza interruptores adicionales para evitar este problema. Durante el ciclo de ϕ_1, C_R se carga a v_i voltios, cuando la corriente circula por C; durante el ciclo de ϕ_2, C_R se descarga. El flujo de corriente neto va desde v_i a C como en el integrador sin interruptores. La Ecuación (12.63) describe su funcionamiento completo.

Reasignando las fases del reloj de los dos intrruptores de la Figura 12.41b, obtenemos el integrador no inversor de la Figura 12.41c. Durante ϕ_1, C_R se carga a v_i con la polaridad indicada. Durante el ciclo ϕ_2, la masa virtual fuerza a C_R a descargarse. Esto lo realiza la corriente i de la Figura 12.41d, que transfiere la carga a C con la polaridad opuesta a la del integrador inversor.

Amplificadores La Figura 12.42a muestra un amplificador inversor de capacidad conmutada. Durante ϕ_1, se almacenan $q_i = C_{R1}v_i$ culombios. Durante ϕ_2, esta carga se mueve a C_{R2} como la corriente i, haciendo negativo v_o para v_i positivos. Con el interruptor ϕ_1 abierto,

$$v_o = -\frac{q_i}{C_{R2}} = -\frac{C_{R1}}{C_{R2}}v_i$$

la tensión de salida aparece como muestras de la salida de un amplificador con ganancia de salida

$$\frac{v_o}{v_i} = -\frac{C_{R1}}{C_{R2}} \tag{12.64}$$

alternando con valores de salida cero (cuando los interruptores ϕ_1 están cerrados).

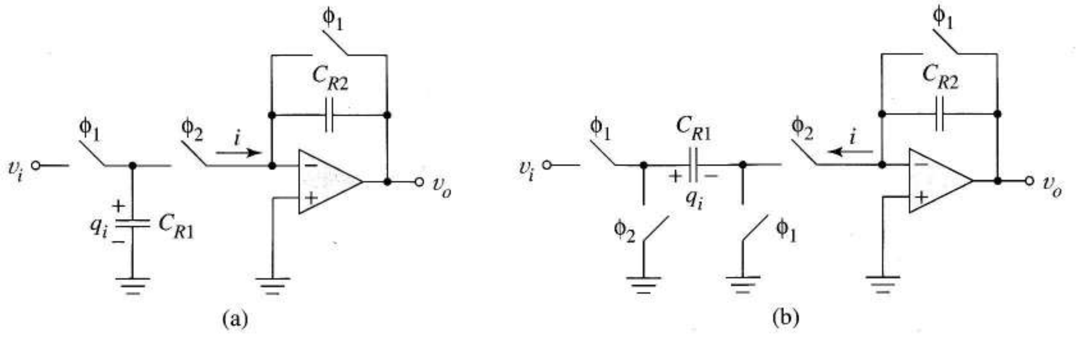


FIGURA 12.42 Amplificadores de capacidades conmutadas: (a) inversor; (b) no inversor.

La Figura 12.42b es un amplificador no inversor que combina el mecanismo de la ganancia del amplificador inversor con la conmutación del integrador no inversor para obtener una ganancia que es la Ecuación (12.64) en negativo.

Filtros de primer y segundo orden Los bloques constructivos de capacidad conmutada se pueden utilizar para construir filtros paso bajo como los que hemos estudiado en las Secciones 12.1 y 12.2, dando la posibilidad de realizar circuitos de capacidad conmutada de filtros multietapa de Butterworth y Chebyshev, de cualquier orden.

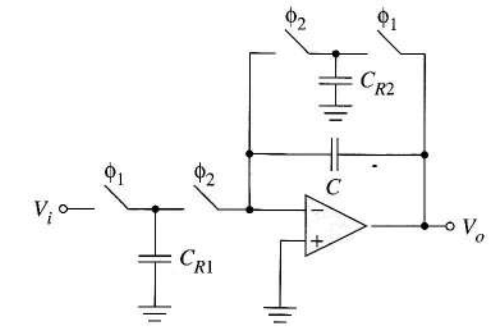


FIGURA 12.43 Filtro paso bajo inversor de primer orden.

La Figura 12.43 es el equivalente en capacidades conmutadas del filtro paso bajo de primer orden de la Figura 2.14a. Al reemplazar las resistencias de la Ecuación (2.24) con los valores conmutados de la (12.62) obtenemos

$$\frac{V_o}{V_i} = \frac{-C_{R1}/C_{R2}}{1 + j(\omega/\omega_H)}, \quad \omega_H = \frac{C_{R2} f_s}{C}$$

La ganancia de tensión se establece con una relación de condensadores y la frecuencia de corte con f_s y otra relación entre condensadores. En una etapa general de un filtro de segundo orden, podemos reemplazar las resistencias y el amplificador no inversor de la Figura 12.8 con equivalentes de capacidades conmutadas.

El circuito bicuadrático de capacidades conmutadas aprovecha la disponibilidad de integradores no inversores. Comenzando con la función paso bajo inversa

$$\frac{V_{LP}}{V_i} = \frac{-1}{s^2 + (1/Q)s + 1} \tag{12.65}$$

Multiplicamos los medios obteniendo

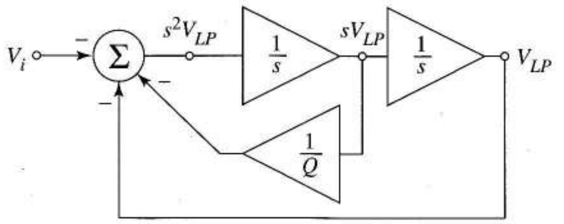
$$s^2 V_{LP} = -\frac{1}{Q} s V_{LP} - V_{LP} - V_i$$

Ahora aplicaremos esta ecuación a integradores no inversores, como en la Figura 12.44a. El signo menos de la Ecuación (12.65) nos permite utilizar un simple amplificador sumador en la entrada como en la Figura 12.44b. Con un reloj con f_s = 1 Hz, este circuito nos da simultáneamente la función de transferencia de paso bajo de la Ecuación (12.65), la función paso banda con ganancia $-Q$

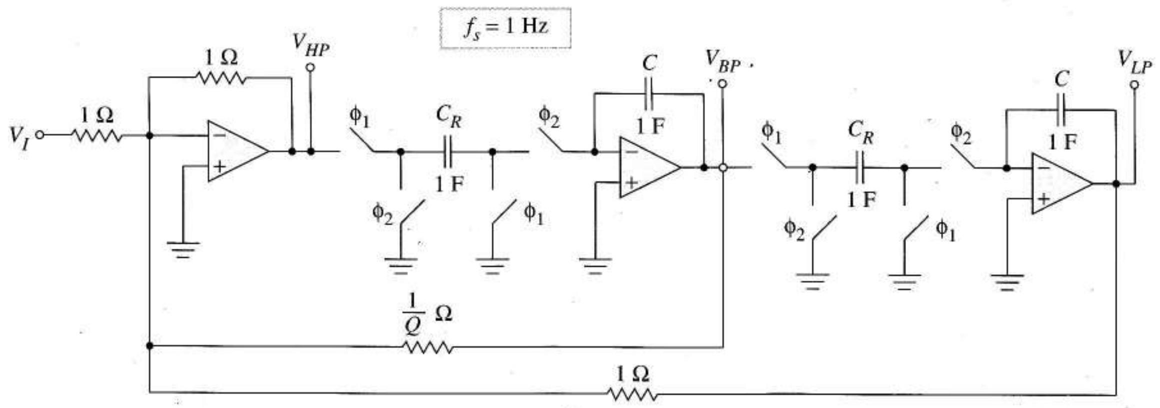
$$\frac{V_{BP}}{V_i} = \frac{-Q(s/Q)}{s^2 + (1/Q)s + 1} \tag{12.66}$$

y la función paso alto

$$\frac{V_{HP}}{V_i} = \frac{-s^2}{s^2 + (1/Q)s + 1} \tag{12.67}$$



(a)



(b)

FIGURA 12.44 Circuito bicuadrático: (a) diagrama de bloques; (b) esquema del filtro para una frecuencia de referencia de 1 rad/s con la resistencia y el condensador para $f_s = 1$ Hz.

Las cuatro resistencias del diagrama se pueden realizar con circuitos de capacidades conmutadas o, para aumentar su versatilidad, dejar al usuario del circuito integrado poner sus componentes externos. En los filtros integrados comerciales de capacidades conmutadas, se proporciona un pin de salida para un reloj externo f_s, con señales de conmutación que no se superponen, creadas por el propio chip.

Circuitos de capacidades conmutadas escalados Los filtros de capacidades conmutadas se pueden escalar en frecuencia o en impedancia de la forma habitual. No obstante, al hacer escalado debemos diferenciar los dos tipos de condensadores de estos circuitos. En las Figuras 12.41 a 12.44, los condensadores C_R contribuyen a la resistencia, mientras que los C funcionan como condensadores reales. Por lo tanto, hacer escalado de frecuencia sólo lleva asociado escalar los condensadores C (o en su lugar las resistencias escaladas, incluyendo las resistencias $1/f_sC_R$). Para escalar en impedancia, multiplicaremos las impedancias de los dos tipos de condensadores por el factor de escala de impedancia β.

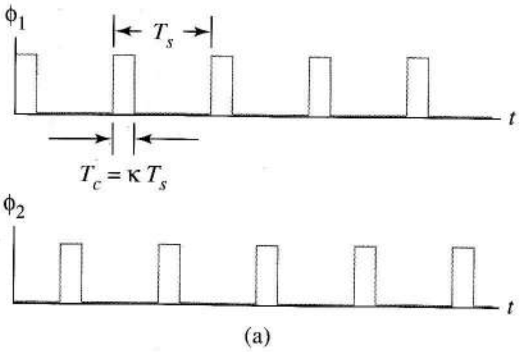
12.5.3 CONSIDERACIONES PRÁCTICAS

Como los circuitos de capacidades conmutadas son sistemas de datos de muestreo, hay algunas restricciones especiales en la frecuencia del reloj y en las formas de onda que controlan los interruptores.

El *teorema de muestreo de Nyquist* necesita que f_s sea al menos dos veces la frecuencia de entrada más alta que debe procesar el circuito. Intuitivamente esto asegura que v_1 y v_2 en la Figura 12.40 no cambian de forma apreciable durante un ciclo de conmutación. Si un filtro paso bajo separa una señal de ancho de banda de 600 Hz de un ruido de 1.800 Hz, por ejemplo, entonces es necesario que $f_s \geq 3.600$ Hz. Este criterio no se satisface cuando hay *distorsión de "aliasing"* en la cual cada frecuencia de entrada $f_k > 0{,}5\, f_s$ ha transferido su energía a $f_s - f_k$ en el espectro de salida, significando esto una pérdida irreversible de información.

Los diagramas del circuito indican claramente que un correcto funcionamiento precisa que ϕ_1 se abra *antes* de que ϕ_2 se cierre y que ϕ_2 se abra *antes* de que ϕ_1 se cierre. Aunque cada interruptor funciona a frecuencias f_s con un periodo $T_s = 1/f_s$, esto significa que la duración del cierre del interruptor, T_c, debe ser una fracción limitada k de T_s; es decir

$$T_c = \kappa T_s,\ \ 0 < \kappa < 0{,}5 \qquad (12.68)$$



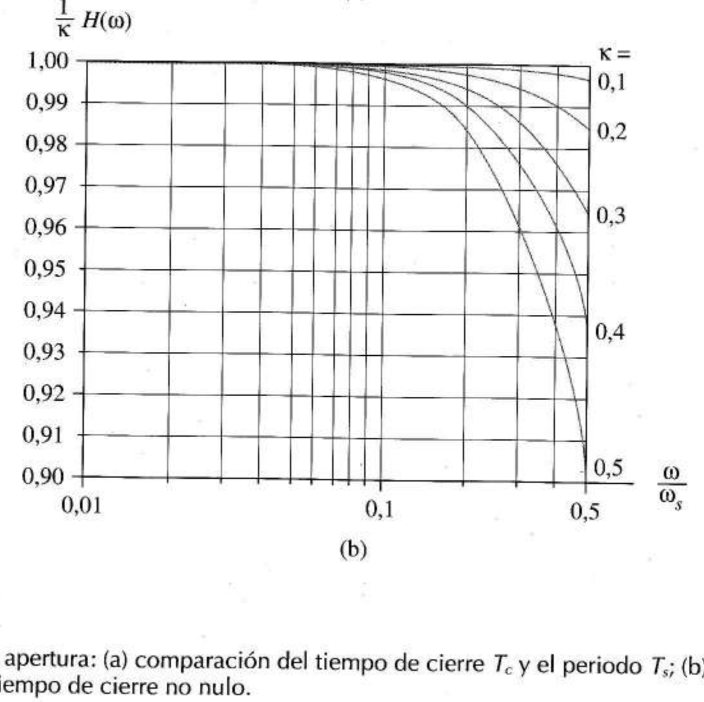


FIGURA 12.45 Efecto de la apertura: (a) comparación del tiempo de cierre T_c y el periodo T_s; (b) distorsión de amplitud introducida por el tiempo de cierre no nulo.

como en la Figura 12.45a. La teoría, que excede los contenidos del texto, sugiere que en un funcionamiento ideal T_c se debería acercar a cero, dando un muestreo instantáneo. Sin embargo, esto no es práctico en los circuitos reales porque la energía de los pulsos individuales debería ser cero. En consecuencia, los sistemas prácticos de muestreo de datos introducen una distorsión de frecuencia especial denominada distorsión de apertura, que es más fuerte para valores mayores de κ. Este *efecto de apertura* es equivalente a poner en cascada la función de transferencia del filtro, $T(j\omega)$, con la función de apertura

$$H(\omega) = \kappa \frac{\operatorname{sen}\left[\pi\kappa\left(\omega/\omega_s\right)\right]}{\left[\pi\kappa\left(\omega/\omega_s\right)\right]} \tag{12.69}$$

en donde ω_s es la frecuencia de conmutación en rad/s. Observemos los dos factores de $H(\omega)$: atenuación uniforme de todas las freccuencias con κ y filtrado con una función sin x/x. La última introduce distorsión de amplitud como la Figura 12.45b, pero no distorsión de fase. Para un ciclo de trabajo dado, κ, la distorsión de amplitud se hace insignificante a frecuencias de muestreo suficientemente altas.

Nuestros desarrollos han supuesto que los interruptores y las fuentes de señal no tienen resistencia interna. Sin embargo, hemos visto en la Sección 5.11.2 que los MOSFET sí la tienen, y sabemos que esto también es cierto para fuentes de señal reales. Estas resistencias provocan cargas y descargas exponenciales de los condensadores conmutados en los circuitos reales. Para aproximarnos al ideal de carga y descarga instantánea, debemos asegurar que todas las constantes de tiempo τ_k son pequeñas en comparación con el periodo de conmutación. En la práctica

$$4\tau_k \le 0{,}1T_c \tag{12.70}$$

Esto debería llevar a la utilización de circuitos seguidores o interruptores en paralelo para disminuir la resistencia.

En algunos circuitos como los amplificadores de la Figura 12.42, la subida lineal de la salida de los operacionales puede introducir problemas. Como las salidas del amplificador operacional de estos circuitos debe subir desde cero hasta el máximo valor de la señal en un tiempo << T_c, tenemos que

$$\frac{V_{o,\,máx}}{\text{s.r.}} \le 0{,}1T_c \tag{12.71}$$

EJEMPLO 12.10 Diseñar un filtro de Butteworth de capacidades conmutadas, paso bajo de cuarto orden, con ancho de banda a 3 dB de 8.000 rad/s que filtre frecuencias de entradas de hasta 32.000 rad/s. Utilizar etapas biquad en cascada.

Solución De la Tabla 12.1

$$T(s) = T_1(s)T_2(s) = \frac{1}{\left(s^2 + 0{,}7654s + 1\right)} \frac{1}{\left(s^2 + 1{,}8478s + 1\right)}$$

Cada sección de este filtro prototipo tiene la forma general de la Figura 12.44b con ancho de banda de 1 rad/s. Las columnas 2 y 3 de la Tabla 12.5 muestran los valores de los componentes después de escalar en frecuencia los condensadores C con α = 8.000. La fila etiquetada como "R" describe todas las resistencias de la Figura 12.44 con valor de 1 Ω y la fila "$1/Q$" describe el resto de las resistencias. La última fila nos da la frecuencia de conmutación.

Para que las resistencias discretas tengan valores razonables, haremos escalado en impedancia con $\beta = 10^5$. Esto nos da los valores de las dos últimas columnas de la Tabla 12.5.

TABLA 12.5 Efectos del escalado sobre los parámetros del filtro.

Parámetro	Parámetros tras el escalado de frecuencia		Parámetros tras el escalado de impedancia	
	$T_1(s)$	$T_2(s)$	$T_1(s)$	$T_2(s)$
C	125 μF	125 μF	1.250 pF	1.250 pF
C_R	1 F	1 F	10 μF	10 μF
R	1 Ω	1 Ω	100 kΩ	100 kΩ
$1/Q$	0,7654 Ω	1,8478 Ω	76,5 kΩ	184,8 kΩ
ω_S	1 rad/s	1 rad/s	1 rad/s	1 rad/s

TABLA 12.6 Diseño que cumple el teorema de muestreo.

	T1(s)	T2(s)
C	1.250 pF	1.250 pF
CR	785 pF	785 pF
R	100 kΩ	100 kΩ
$1/Q$	76,5 kΩ	184,8 kΩ
ω_S	80 k rad/s	80 k rad/s

Como $\omega_s = 1$ rad/s no satisface el teorema de muestreo, ahora debemos seleccionar la frecuencia de reloj final. La Ecuación (12.62) muestra que debemos incrementar simultáneamente f_s y reducir C_R de tal modo que no cambien las resistencias de capacidades conmutadas. Para que las frecuencias de entrada del filtro tengan hasta 32.000 rad/s, necesitamos $\omega_s > 64.000$ rad/s. Para dejar sitio para los errores, seleccionaremos $\omega_s = 80.000$ rad/s. Así, los condensdores C_R deben cumplir

$$R = 10^5 = \frac{1}{C_R\left[80\times10^3/(2\pi)\right]}$$

Esto nos da un C_R de 785 pF y el diseño final de la Tabla 12.6 ❑

Ejercicio 12.10 En el filtro del Ejemplo 12.11, la variación final en el condensador era 1.250:785 = 1,59:1. Hallar el margen mínimo resultante al reducir f_s.

Respuesta 1,27.

EJEMPLO 12.11 Seleccionar un ciclo de trabajo κ, para los interruptores del filtro del Ejemplo 12.10 que aseguren que la distorsión de apertura es despreciable.

Solución La Figura 12.45b muestra que el efecto de apertura mejora la atenuación de la banda pasante en los filtros paso bajo; sin embargo, no debe contribuir en exceso a la misma. Como el filtro del Ejemplo 12.10 tiene atenuación a 3 dB de 8.000 rad/s, demos asegurar que la atenuación introducida por el efecto de apertura a esta frecuencia no supere los 0,3 dB. Esto significa que la ganancia del efecto de apertura debe ser superior a

$$\frac{1}{\kappa}H(8.000) = 10^{-0,3/20} = 0{,}966$$

A partir de la Figura 12.45c vemos que para

$$\frac{\omega}{\omega_s} = \frac{8.000}{80.000} = 0{,}1$$

la ganancia del efecto de apertura supera 0,995, incluso para $\kappa \Rightarrow 0{,}5$; por lo tanto podemos usar cualquier ciclo de trabajo compatible con el funcionamiento no solapado de interruptores. ❑

EJEMPLO 12.12 Diseñar un filtro de Butterworth de capacidades conmutadas, paso alto y de cuarto orden con frecuenia de corte de 8.000 rad/s que procese las frecuencias de hasta 20.000 rad/s.

Solución a) Como el orden y la frecuencia de corte del filtro son los mismos del Ejemplo 12.10, comenzaremos con los biquad en cascada descritos en la Tabla 12.6, pero utilizaremos las salidas paso alto.

Para procesar señales de 20.000 rad/s, selecionamos ω_s = 40.000 rad/s. Ahora, los condensadores C_R deben cumplir

$$R = 10^5 = \frac{1}{C_R\left[40\times10^3/(2\pi)\right]}$$

o C_R = 1571 pF.

Observemos que el carácter de paso bajo de la distorsión de apertura puede crear un importante problema en un filtro paso alto. Para procesar con éxito las señales de hasta 20.000 rad/s, la distorsión de la apertura debe ser despreciable a

$$\frac{\omega}{\omega_s} = \frac{20.000}{40.000} = 0{,}5$$

La Figura 12.45 muestra que un ciclo de trabajo de un interruptor de $\tau \leq 0{,}3$ asegura una ganancia de al menos 0,965 en todas las frecuencias que nos interesan. ❑

12.6 SUMARIO

Los filtros procesan los componentes frecuenciales de las señales, modificando su amplitud relativa, fase o ambas. Todo cambio de ganancia o fase que sea uniforme en todas las frecuencias no tiene efecto en el proeso de filtrado. Los principales tipos de filtros son paso bajo, paso alto, paso banda, rechazo de banda y pasa todo. Cada uno de los cuatro primeros tipos tiene una respuesta frecuencial ideal con ganancia unidad en frecuencias de algunas bandas pasantes y cero en las demás bandas de rechazo. Los filtros pasa todo ideales tienen ganancia uniforme y desplazamiento de fase ideal: circuitos de retardo puro.

Los filtros no pueden realizarse en sus formas ideales con números o componentes finitos, por lo que deberemos trabajar con funciones y circuitos que se aproximen a los filtros ideales. Los filtros paso bajo y paso alto se pueden aproximar con sencillas funciones de transferencia de primer orden y sus circuitos relacionados. Además, los cinco tipos de filtros se pueden aproximar con funciones de transferencia de segundo orden y órdenes más altos y sus circuitos relacionados.

El diseño de filtros se basa en funciones de transferencia sencillas y en bloques constructivos con frecuencias de referencia unidad, los circuitos de Sallen-Key, biquad y *RLC* pasivos muestran en este texto las ideas básicas, pero existe mucha bibliografía con otros circuitos. Dichos circuitos utilizan componentes como condensadores de un faradio y resistencias de un ohmio, que no se pueden utilizar en la práctica.

El escalado de frecuencia, que consiste en cambiar los valores de todos los condensadores y bobinas mediante el mismo factor de escala α, modifica la magnitud y fase del filtro prototipo a otra frecuencia, que es α veces la frecuencia original, siendo α positivo y real. En los circuitos *RC* activos, una alternativa es hacer el escalado de frecuencia cambiando sólo las resistencias. El escalado de

impedancia, consistente en multiplicar cada impedancia por el factor de escala β, no modifica la magnitud ni la fase, pero cambia los valores de todos los componentes R, L y C. El escalado de impedancia es una importante herramienta para obtener un diseño final con componentes realistas. La transformación paso bajo a paso alto, $p = 1/s$, se aplica a ambas funciones y a los ciruitos de los filtros. Con esta herramienta podemos transformar los filros paso bajo *RLC* en filtros paso alto relacionados y, a la inversa. Una transformación *RC-CR* nos permite hacer lo mismo con los filtros *RC* activos. (Algunos libros describen transformaciones similares que relacionan las funciones paso bajo con las paso alto y rechazo de banda, pero las omitiremos.) Sólo con estas ideas básicas de escalado y transformación, podremos escalar, a veces, y transformar filtros ya existentes para que cumplan las especificaciones dadas.

En el diseño de filtros utilizamos dibujos que relacionan nuestras especificaciones con un filtro prototipo paso bajo con frecuencia referencia unidad. Después, utilizaremos las funciones conocidas de magnitud y fase del prototipo para hallar los parámetros desconocidos, como la Q y el orden del filtro. Una vez formado el filtro prototipo, sólo queda hacer un escalado en frecuencia e impedancia y quizás una transformación paso bajo a paso alto para convertirlo en un diseño real. Las simulaciones SPICE nos dan comprobaciones del diseño básico y nos ayudan a analizar las consecuencias de los efectos de segundo orden en la respuesta total.

Con las funciones de Butterworth, Chebyshev y las de aproximación no comentadas en el texto, podemos construir filtros que se aproximen a filtros ideales incrementando su precisión, a la vez que el orden del filtro (así como su complejidad y precio). Al utilizar tablas de filtros o cálculos matemáticos, podemos relacionar los filtros de Butterworth o Chebyshev de cualquier orden con filtros prototipo que consisten en etapas de filtros activos *RC* de primer y segundo orden en cascada o circuitos en escalera. Después, sólo queda hacer un escalado de frecuencia e impedancia para obtener el diseño final. Las bobinas sintéticas son ejemplos de circuitos activos *RC* y técnicas que a veces nos permiten utilizar la teoría clásica de filtros en los circuitos integrados en los que es imposible fabricar bobinas.

Los filtros de capacidades conmutadas reemplazan resistencias grandes en filtros realizados en circuitos integrados con redes de interruptores y condensadores sin pérdidas. La mayor parte de las estructuras y conceptos de la teoría convencional de circuitos se aplica a circuitos de capacidades conmutadas, incluyendo escalado de frecuencia e impedancia. Sin embargo, en los sistemas de captura de datos, los interruptores de dos fases están restringidos a funcionar a dos veces la frecuencia más alta de la componente de la señal a procesar. También tenemos la posibilidad de la distorsión de apertura que restringe la frecuencia y los ciclos de trabajo de los interruptores.

REFERENCIAS

1. HUELSMAN, L. P. *Theory and Design of Active RC Circuits*. New York: McGraw-Hill, 1968
2. KARNI, S. *Network Theory: Analysis and Synthesis*, Boston: Allyn & Bacon, 1966.
3. MITRA, S. K. "*A Network Transformation for Active RC Networks,*" *Proc. IEEE*, Vol. 55, (1967), pp. 2021-2022.
4. SEDRA A., y K. SMITH. *Microelectronic Circuits*, 3rd ed. Philadelphia: Saunders College, 1991.
5. VAN VALKENBURG, M. E. *Introduction to Modern Network Synthesis*. New York: John Wiley, 1967.
6. VAN VALKENBURG, M. E. *Analog Filter Design*. New York: Holt, Rinehart and Winston, 1982.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 12.1

12.1 Halle la ganancia y la fase del filtro de la Figura 12.2 en $\omega = 3{,}8$ rad/s.

12.2 Halle la frecuencia en la que el filtro de la Figura 12.2 nos da desplazamiento de fase de 40°. ¿Cuál es la atenuación en decibelios en esta frecuencia?

12.3 El filtro de primer orden de la Figura 2.14a tiene frecuencia de corte dada por $\omega_H = 1/R_2C_2$. Halle la sensibilidad de ω_H a R_2 y a C_2.

12.4 a) Represente la magnitud de la curva de respuesta frecuencial de la Figura P12.4, mostrando los valores de la ganancia y del ancho de banda en el dibujo.

b) Vuelva a escalar el filtro para que su frecuencia de corte sea 4,2 kHz. Dibuje el diagrama del nuevo filtro y represente la curva de magnitud de su respuesta frecuencial.

c) Escale en frecuencia el filtro para que su frecuencia de corte sea de 160 Hz. Dibuje el diagrama del nuevo filtro y represente la curva de magnitud de su respuesta frecuencial.

12.5 Un filtro tiene la función de transferencia

$$F(s) = \frac{-1}{s^2 + 3s + 1}$$

Halle la nueva función del filtro $F_N(s)$ si este filtro está escalado en frecuencia con $\alpha = \omega_N$.

12.6 Comenzando con la Figura 12.2a, diseñe un filtro paso bajo con frecuencia de corte de 2 kHz.

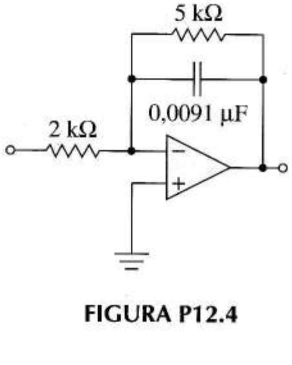


FIGURA P12.4

12.7 ¿Qué factor de escala de frecuencia sería necesario para escalar el filtro de la Figura 12.2a de tal forma que la ganancia del filtro sea 0,1 en $\omega = 2.000$ rad/s?

12.8 Un filtro de primer orden tiene frecuencia de corte $\omega_H = 1/RC$. Demuestre que la sensibilidad de la frecuencia de corte no se ve afectada por el escalado; es decir, demuestre que la sensibilidad de la nueva frecuencia de corte ω_{HN} con la nueva capacidad del filtro C_N es la misma que la original.

12.9 Escale en frecuencia el circuito de la Figura P12.9 con $\alpha = 10^3$ y después haga escalado en impedancia para que la resistencia sea de 2 kΩ. Represente el circuito mostrando los valores tras cada paso.

12.10 Haga el escalado de frecuencias del Problema 12.4b de dos formas, con capacidad y con resistencia, y dibuje los diagramas de los dos circuitos. Compare las ganancias de los circuitos con $\omega = 0$.

12.11 Diseñe un filtro paso alto de primer orden con atenuación de 30 dB a 300 Hz. Utilice condensadores de 2.000 pF.

Sección 12.2

12.12 Diseñe un filtro paso bajo de Sallen-Key de segundo orden con $Q = 1$ y frecuencia de corte de 3,8 kHz. Utilice sólo resisencias de 10 kΩ en el diseño. Dibuje el diagrama del circuito final.

12.13 Diseñe un filtro paso bajo de Sallen-Key de segundo orden con $Q = 1$ y frecuencia de corte de 3,8 kHz. Utilice resistencias en el escalado de frecuencia inicial. Utilice sólo condensadores de 0,01 μF en el diseño final. Dibuje el diagrama del circuito final.

12.14 Un diseño de Sallen-Key utiliza un amplificador no inversor de ganancia $A = 1 + R_2/R_1$ para conseguir $Q = 5$. Determine el mayor y menor Q si el diseño utiliza resistencias del 1% y halle el porcentaje de error de Q en cada caso.

12.15 Suponga que queremos diseñar un filtro Sallen-Key de segundo orden con $Q = 50$.

a) Halle el valor de A.

b) Calcule S_A^Q y evalúelo en este diseño.

c) Muestre que la expresión de sensibilidad del apartado

b) Se puede escribir como $S_A^Q = 3Q - 1$.

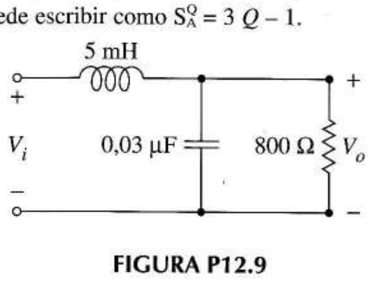


FIGURA P12.9

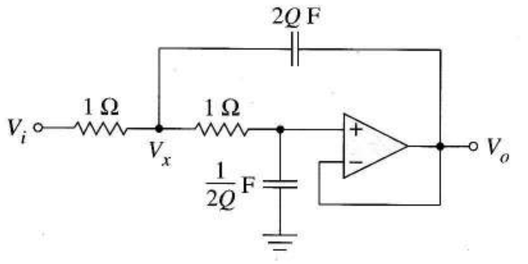


FIGURA P12.16

12.16 Muestre que la Ecuación (12.11) describe la Figura P12.16.

12.17 La Figura P12.17 se describe mediante la función paso bajo

$$F(s)=\frac{V_O}{V_I}=\frac{-1}{s^2+3s+1}$$

En la frecuencia referencia de 1 rad/s, la ganancia es 1/3.

a) Dibuje el circuito resultante al aplicar la transformación *RC-CR*.

b) Utilice análisis de circuitos para hallar la función de transferencia del nuevo circuito. Compare el resultado con $F(1/s)$, el resultado de aplicar la transformación paso bajo a paso alto a la función paso bajo.

c) Escale el nuevo circuito para que tenga freuencia de referencia de 420 Hz y utilice resistencias de 20 kΩ

d) Utilice la misma frecuencia de referencia del apartado (c) y haga escalado para que todos los C = 0,01 μF.

12.18. Diseñe un filtro paso bajo biquad (bicuadrado) que cumpla las especificaciones del Ejemplo 12.2.

12.19 Un filtro de segundo orden paso banda tiene un ancho de banda a –3 dB de 0,95 kHz y frecuencia central de 1,9 kHz.

a) Halle sus frecuencias de corte superior e inferior.

b) Diseñe un filtro de estas características utilizando un circuito biquad y condensadores de 1.000 pF. Dibuje el diagrama del circuito final.

12.20 En el Ejemplo 12.4 hemos diseñado el filtro de la Figura 12.18b para conseguir un ancho de banda a –3 dB de 800 Hz a 925 Hz.

a) Utilice SPICE para verificar la correcta respuesta frecuencial en magnitud. Modele los amplificadores operacionales utilizando un *subcircuito* VCVS con ganancia de 10^5.

b) ¿Cómo cambian los resultados si la resistencia que determina la Q es un 10% mayor?.

c) Repita el apartado a) después de escalar los condensadores con $\alpha = 10^3$.

d) Reemplace el subcircuito con el del μA741 de la Figura 2.34a y repita las simulaciones de los apartados a) y c). Compare las simulaciones y anote lo que ha observado en las comparaciones.

12.21 Diseñe un biquad de segundo orden que rechace 1,82 kHz y con una atenuación que no supere 0,8 en frecuencias superiores a 5 kHz.

Sugerencia Comience con un dibujo de la respuesta frecuencial. Utilice la Ecuación (12.37).

12.22 Comenzando con la Ecuación (12.41), halle la función de retardo $D(\omega)$.

12.23 La Figura 12.34e muestra un filtro paso todo que tiene una función de transferencia de 0,5 $T(s)$, en donde $T(s)$ viene dado por la Ecuación (12.40). Utilice el análisis transitorio SPICE para comparar las formas de onda de entrada y salida cuando la entrada es una onda cuadrada de 10 V con frecuencia fundamental de 1,3 rad/s y

a) $Q = 5$

b) $Q = 1$

Sección 12.3

12.24 Utilice la Ecuación (12.44) para calcular los polos de la función del filtro de Butterworth de quinto orden. Después verifique la entrada para $n = 5$ en la Tabla 12.2.

Sugerencia $(s-p)(s-p^*) = s^2 + 2\,R_e[p] + |p|^2$, en donde * denota el conjugado, R_e[ ] la parte real y la magnitud.

12.25 Escriba $T(s)$ de forma factorizada para un filtro paso bajo de Butterworth de tercer orden con frecuencia de corte escalada por $\alpha = 10^3$ rad/s. Simplifique dicha expresión para que los coeficientes de s y s^2 sean uno.

12.26 Halle una función de filtro paso bajo de Butterworth con ancho de banda de 2 kHz y una atenuación de al menos –43 dB a 7 kHz.

12.27 Dibuje el diagrama de un filtro que cumpla las especificaciones del Ejemplo 12.5 mediante el uso de etapas de filtros bicuadráticos. Muestre los valores de todos los componentes.

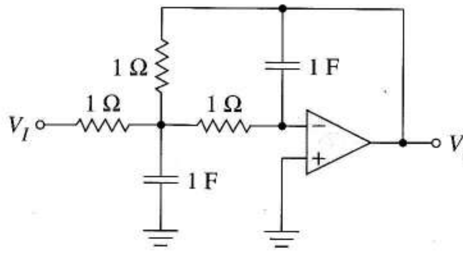


FIGURA P12.17

12.28 Dibuje el circuito de un filtro paso bajo de Butterworth con ancho de banda de 2 kHz y atenuación de al menos 43 dB en 7 kHz. Todas las resistencias deben ser de 10 kΩ. Utilice etapas de Sallen-Key.

12.29 Dibuje el diagrama del filtro paso bajo de Butterworth con ancho de banda de 2 kHz y al menos una atenuación de 43 dB a 7 kHz. Todas las resistencias deben ser de 10 kΩ. Utilice las etapas de filtros de primer y segundo orden de las Figuras P12.29 y 12.34a con seguidores de amplificadores operacionales para aislar las etapas entre sí.

12.30 a) Reescale el filtro diseñado en el Ejemplo 12.5 para que todas las resisteencia sean de 1 kΩ.

b) Utilice SPICE para determinar la respuesta frecuenial del filtro del apartado a) cuando se utilizan amplificadores operacionales de ganancia infinita.

c) Repita el apartado b) utilizando el amplificador operacional 741 de la Figura 2.34a.

12.31 a) Complete el diseño del filtro del Ejemplo 12.6 utilizando etapas como la Figura P12.16 con resistencias de 4,7 kΩ. Dibuje el diagrama del circuito con los valores de los componentes.

b) Reescale el circuito del apartado a) para que su ancho de banda a 1 dB cambie a 2,5 kHz. Muestre el diagrama y represente la curva de respuesta frecuencial, mostrando en el diagrama las frecuencias en las que la ganancia es de –3 dB y en las que es de –20 dB.

12.32 a) Complete el diseño del filtro del Ejemplo 12.6 utilizando etapas de Sallen-Key con resistencias de 4,7 kΩ. Dibuje el circuito con los valores de sus componentes.

b) Utilice SPICE para comprobar la respuesta frecuencial del circuito, utilizando fuentes dependientes de alta ganancia en los amplificadores operacionales.

12.33 Pruebe que el $C_n(\omega)$ definido por la Ecuación (12.50) cumple la Ecuación recursiva (12.51).

Sugerencia Escriba una expresión para $C_{n+1}(\omega)$ utilizando la Ecuación (12.50). Utilice después una igualdad trigonométrica que contenga la suma de dos ángulos. Utilice la misma aproximación comenzando con $C_{n-1}(\omega)$.

12.34 Halle el orden del filtro de Chebyshev paso bajo con ancho de banda de 2 dB a 3 kHz y una atenuación de al menos 65 dB a 15 kHz.

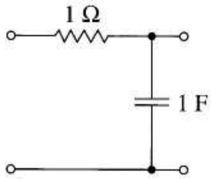


FIGURA P12.29

12.35 Pruebe la Ecuación (12.54) con el siguiente procedimiento:

a) Utilice las definiciones exponenciales de coseno y coseno hiperbólico para probar la igualdad $\cos(jy) = \cosh(y)$.

b) Dado que el coseno inverso de la Ecuación (12.50) es imaginario para $|\omega| > 1$, definimos la variable y con

$$\cos^{-1} \omega = jy$$

Sustituya la expresión (P.1) en la Ecuación (12.50) y después, para simplificar, utilice la igualdad del apartado a).

c) Despeje ω en (P.1) y para simplificar, utilice después la igualdad del apartado a).

d) Despeje y en la expresión del apartado c) y sustitúyala después en la expresión C_n del apartado b).

12.36 a) Utilice la Ecuación (12.58) para calcular los polos de un filtro Chebyshev de terccer orden con una atenuación de banda pasante de 1 dB.

b) Escriba $T(s)$ para el filtro, con el denominador expresado como el producto de los polinomios de primer y segundo orden.

c) Escriba $T(s)$ para el filtro cuando la banda pasante de 1 dB es de 120 MHz.

12.37 Diseñe un filtro paso bajo de Chebyshev de tercer orden con un ancho de banda a 0,5 dB de 900 rad/s utilizando una etapa biquad. Todas las resistencias posibles deben ser de 4,7 kΩ. Es aceptable hacer inversión de señal. El valor absoluto de la ganancia no es importante.

12.38 Haga las especificaciones del filtro del Ejemplo 12.7 con etapas de filtros de segundo orden como la Figura P12.16.

12.39 La Figura 12.25b es un filtro de Butterworth con ancho de banda de 3 kHz y atenuación de al menos 60 dB a 15 kHz. Escale en impedancia las etapas con 5.000, 10.000 y 20.000. Utilice después SPICE con amplificadores operacionales de ganancia infinita para verificar que la respuesta frecuencial sigue cumpliendo las especificaciones.

12.40 Escale en impedancia cada etapa de la Figura 12.33b para que todos los condensadores sean de 5.000 pF.

Sección 12.4

12.41 Verifique con análisis de circuitos que la Ecuación (12.19) describe el circuito de la Figura 12.34b.

12.42 Queremos reemplazar el filtro de 3 kHz de segundo orden de la Figura 12.33b con dos filtros pasivos, utilizando un seguidor para el aislamiento.

a) Ignorando las constantes, preescale en frecuencia dos filtros pasivos como la Figura 12.34a para obtener la $T(s)$ del Ejemplo 12.7. Dibuje el diagrama del filtro prototipo.

b) Escale en frecuncia con 2π3.000 para obtener el ancho de banda adecuado y después escale en impedancia para obtener resistencias de 500 Ω. Dibuje el diagrama de este filtro.

c) Utilice SPICE para verificar que el filtro final tiene respuesta frecuencial del tipo de la Figura 12.33c. Utilice un VCVS con el amplificador operacional de ganancia 10^6.

12.43 Utilice el circuito de la Figura 12.34c para realizar un filtro paso banda con frecuencia central de 2,8 kHz y $Q = 7$. El filtro final debe utilizar una resistencia de 500 Ω.

12.44 Utilice el circuito de la Figura 12.34d para *eliminar* 400 Hz en una señal con $Q = 10$ y $R = 10$ kΩ.

12.45 a) Diseñe un filtro pasivo de Chebyshev en escalera, paso bajo y de séptimo orden con resistencias de 500 Ω para que tenga una banda pasante a 0,1 dB de 100 MHz.

b) Utilice SPICE para verificar la respuesta frecuencial del diseño.

12.46 Haga el diseño del Problema 12.44. A continuación reemplace la bobina por una sintética que utilice un condensdor de 0,001 F. Utilice una resistencia de salida que no esté conectada a masa.

12.47 Utilice SPICE para repetir los resultados del HA2544 de la Figura 12.39e.

b) Una vez que se reemplaza la bobina con otra sintética, este tipo de estructura se convierte en un circuito activo RC. Hemos visto en la Sección 12.14 que un circuito activo *RC* se puede escalar en frecuencia cambiando las resistencias en vez de los condensadores. Para el apartado a) utilice un amplificador operacional de ganancia infinita en el código SPICE e incremente cada resistencia con un factor 10 para ver si la curva de respuesta frecuencial se reescala de forma adecuada.

12.48 Diseñe un filtro activo paso alto de Butterworth y tercer orden basado en una estructura en escalera pasiva con ancho de banda de 5 kHz. Utilice el mínimo número de elementos activos.

Sugerencia Consulte el Ejercicio 12.9.

12.49 a) Escale en frecuencia el circuito pasa todo de la Figura 12.34e a una frecuencia referencia de 800 Hz. Tome $Q = 5$. Utilice SPICE para comprobar las características de magnitud y fase.

b) Reemplace la bobina con una bobina sintética y verifique este diseño utilizando SPICE.

Sección 12.5

12.50 Al reemplazar las resistencias y el amplificador no inversor A de la Figura 12.8 con equivalentes de capacidades conmutadas, obtenemos una etapa de filtro de segundo orden con capacidades conmutadas con los cuatro parámetros C_{R1}, C_{R2}, C_{R3}, y C_{R4}.

a) Dibuje un diagrama del filtro y etiquete los condensadores.

b) Escriba una ecuación que relacione los condensadores del circuito realizado con Q.

12.51 a) Represente $v_o(t)$ para cada amplificador de la Figura 12.42 cuando $v_i = 2$ sen $20t$ y $C_{R1} = 2C_{R2}$. Señale los valores de las amplitudes críticas.

b) Represente la salida de la Figura 12.42 si el interruptor de C_{R2} se activa erróneamente con ϕ_2 en vez de ϕ_1.

12.52 Dibuje el diagrama de una versión de capacidades conmutadas del filtro paso alto de la Figura 12.5a. Incluya un amplificador inversor de capacidades conmutadas que nos dé la ganancia de –1 indicada en el diagrama. Indique además los valores apropiados con una frecuencia de corte de 20 Hz y un filtrado de frecuencias de hasta 2 kHz.

12.53 Diseñe un filtro biquad paso bajo de segundo orden con ancho de banda de 400 Hz y Q con valor 5 que maneje frecuencias de hasta 4 kHz. No utilice resistencias. Dibuje el diagrama con los valores adecuados de las capacidades y frecuencia de muestreo f_s. Si el cierre del interruptor es de 0,25 T_s, halle la ganancia provocada por el efecto de apertura en 4 kHz. Se acepta cualquier respuesta correcta.

12.54 Diseñe un filtro de Chebyshev paso bajo de capacidades conmutadas y tercer orden con un rizado en la banda pasante de 0,5 dB y una frecuencia de corte de 600 Hz. El circuito debe procesar frecuencias de entrada de hasta 2.400 Hz. Utilice una etapa de primer orden como la Figura 12.43 y una etapa biquad.

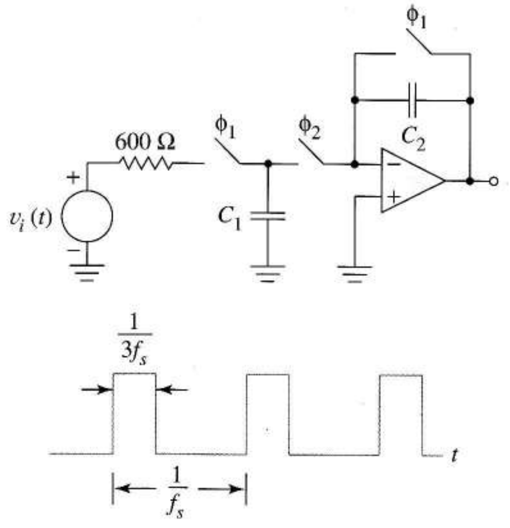


FIGURA P12.55

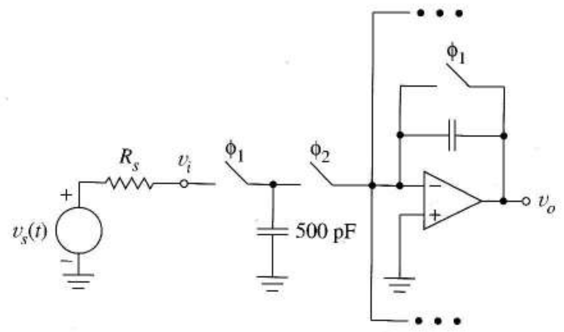


FIGURA P12.56

12.55 La Figura P12.55 muestra un amplificador inversor de capacidades conmutadas y la forma de onda de uno de los relojes.
La frecuencia del reloj es de 50 kHz y $v_i(t) = 0{,}02$ sen$(\omega_i t)$.

a) ¿Cuál es la mayor frecuencia permitida de $v_i(t)$ si la forma de onda es correcta?

b) Los interruptores CMOS se deben conectar a fuentes de alimentación positivas y negativas. ¿Por qué?

c) Represente la *función de transferencia* v_o frente a v_i de un inversor CMOS con alimentaciones de ± 5 V.

d) ¿Qué salida se espera ver cuando $v_i(t)$ = V sen ωt si el interruptor que hay sobre C_2 se conecta incorrectamente con el reloj ϕ_2? Explíquelo.

12.56 La Figura P12.56 muestra la versión de capacidades conmutadas del amplificador sumador de la Figura 12.44b. Las dos fases del reloj (20 kHz) tienen un ciclo de trabajo de 0,25%. Halle el valor de R_s para que la fuente pueda cargar por completo (cuatro constantes de tiempo) el condensador en el tiempo en que se cierra el interruptor. La resistencia del interruptor ϕ_1 es 270 Ω.

Capítulo 13

CIRCUITOS LÓGICOS DIGITALES

Los principios de procesado de señal con circuitos electrónicos digitales se conocen ya desde la década de los 40; sin embargo, como las técnicas digitales exigen circuitos mayores y con más componentes que los métodos analógicos, se utilizaban poco. Es en los años 60 con el desarrollo de la fabricación de circuitos integrados cuando los circuitos digitales empiezan a ser rentables, sustituyendo al final a los circuitos analógicos en la mayoría de las aplicaciones. Las ventajas inherentes a los circuitos digitales son la fiabilidad y la flexibilidad.

Los circuitos digitales son más fiables que los analógicos porque emplean los transistores como simples interruptores binarios que están cortados o saturados (estado óhmico) y usan *señales que sólo toman dos valores distintos*. En el diseño de estos circuitos es relativamente fácil tratar problemas como las tolerancias y el envejecimiento de los componentes o la influencia, de factores ambientales como la temperatura. Por ejemplo comparemos el diseño de un interruptor hecho con transistores, que tiene que estar cortado o saturado cuando su entrada sea cero o cinco voltios, con el diseño de un circuito con un transistor en zona activa que debe procesar, sin introducir distorsión, una señal analógica que puede tomar cualquier valor.

La flexibilidad del diseño digital viene del hecho que todos los circuitos se construyen a partir de bloques o circuitos de conmutación básicos llamados puertas lógicas, interconectando muchas puertas iguales, pero de distintas formas, para implementar diferentes funciones de procesado de señal. Los esquemas de interconexión se organizan lógicamente según una jerarquía de unidades funcionales como los contadores, registros, codificadores, decodificadores y memorias, donde todos o casi todos están construidos a partir de puertas lógicas. Mejorar la precisión del procesado de señal sólo supone añadir hardware adicional idéntico para poder realizar los cálculos con más bits. Quizás sea más obvia la flexibilidad del hardware digital cuando el circuito procesador toma la forma de un computador, donde el mismo hardware puede realizar una gran variedad de tareas en instantes distintos y se puede aumentar el rendimiento mediante el procesado en paralelo.

Este capítulo supone que el lector está familiarizado con los principios básicos de lógica digital como las puertas AND, OR, NOR, y NOT así como sus utilidades, que están descritos en muchos libros de lógica digital. También supone que está familiarizado con las definiciones de los estados

del transistor, los problemas de análisis que incluyen estados desconocidos y rectas de carga no lineales, todos tratados en detalle en los Capítulos 4 y 5.

El objetivo de este capítulo es familiarizarse con la *implementación de las puertas lógicas a nivel de circuito*. Esto mejora nuestro conocimiento de los problemas prácticos asociados con el diseño y funcionamiento de los circuitos de puertas como tiempo de propagación, *fan-out*, *fan-in* y márgenes de ruido. La comprensión a nivel de circuito es especialmente útil al conectar dispositivos analógicos y digitales o dispositivos digitales pertenecientes a diferentes familias.

Comenzamos con un concepto abstracto, la puerta lógica. Esto nos permite hacer algunas definiciones básicas y proporcionar un estándar de comparación para los circuitos prácticos que siguen. Estos últimos están organizados en *familias lógicas*, que son conjuntos de puertas lógicas basadas en una tecnología de transistores determinada. Cada familia tiene ventajas e inconvenientes y se caracteriza por las tensiones de alimentación, niveles de tensión y corriente utilizados para representar ceros y unos y por la relación potencia/velocidad.

Comenzamos el estudio de cada familia con un examen detallado de un inversor básico. Después de deducir las propiedades estáticas y dinámicas del inversor a nivel de circuito mostramos cómo crece el circuito para implementar otras funciones lógicas como las AND, OR, NAND y NOR. Las herramientas básicas para estudiar las propiedades básicas de los circuitos lógicos son los modelos de gran señal de los transistores. Las propiedades dinámicas de los diodos, bipolares y FETs, que se estudiaron en los primeros capítulos, dan una primera perspectiva de los retrasos de conmutación y el comportamiento en los transitorios.

13.1 PUERTAS LÓGICAS IDEALES Y APROXIMACIONES PRÁCTICAS

La puerta lógica ideal es un estándar conceptual con el que comparamos las puertas reales para juzgar su comportamiento. La puerta ideal tiene disipación de potencia cero tanto durante las transiciones como cuando está fija a un nivel lógico. También tiene un *fan-out* ilimitado, es decir, se pueden conectar a su salida cualquier número de puertas sin degradar su funcionamiento. También es ilimitado su número de entradas, su *fan-in*. En las puertas ideales los transistores de salida siguen instantáneamente los cambios de nivel de entrada y por lo tanto las transiciones son instantáneas.

13.1.1 CARACTERÍSTICAS DE TRANSFERENCIA ESTÁTICAS

Los circuitos de puertas reales usan distintos niveles de tensión para representar los valores lógicos binarios. En un sistema de lógica positiva, los únicos que se consideran en este texto, el nivel más positivo representa un uno lógico. Un inversor ideal de lógica positiva tiene la función de transferencia de la Figura 13.1a, donde V_H representa el 1 lógico y V_L representa el 0 lógico. La característica muestra que una entrada $v_I = V_L$ da $v_O = V_H$, y entrada $v_I = V_H$ da $v_O = V_L$, ya que es un inversor. El origen del sistema de coordenadas de la Figura 13.1a es inmaterial, o sea, el circuito lógico se puede diseñar de forma que V_H y V_L sean ambas positivas, V_H positiva y V_L negativa, o ambos niveles negativos.

La función de transferencia implica una *regeneración automática del nivel lógico* correcto cada vez que la puerta procesa la información digital. Observemos en el eje v_I de la Figura 13.1a que una entrada de nivel lógico 1, idealmente V_H voltios, de hecho puede ser casi tan baja como V_M y el inver-

sor todavía la reconocería como un 1 lógico produciendo una salida correcta de V_L voltios. De forma similar un cero puede ser casi V_M voltios y ser reconocido como cero por el inversor produciendo como salida un 1 lógico de V_H voltios. Esta característica de regeneración hace que el funcionamiento de la puerta sea robusto, esto es, que olvide los pequeños errores de los niveles lógicos de entrada. Esta característica también ayuda al circuito a funcionar en presencia de ruido aditivo.

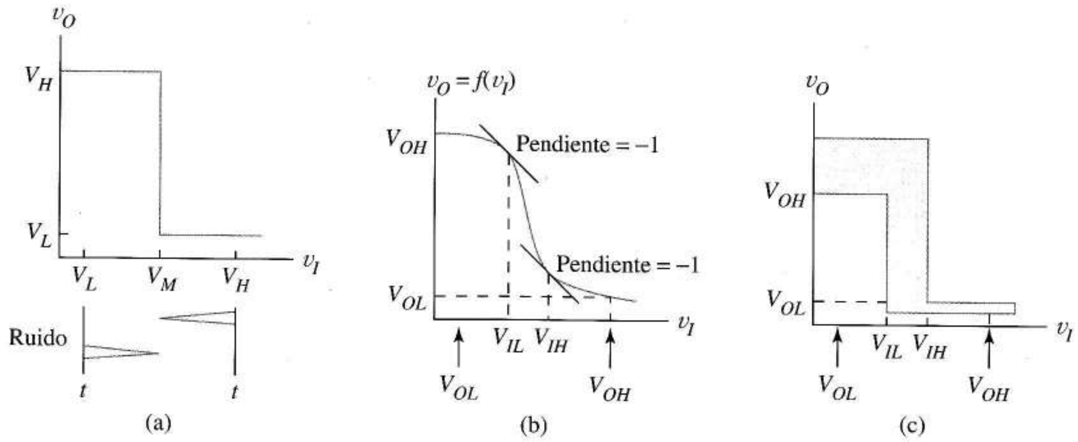


FIGURA 13.1 Niveles del inversor lógico: (a) función de transferencia ideal; (b) función de transferencia representativa de una puerta real; (c) margen de las características del inversor reflejando las variaciones de los parámetros.

Idealmente, mientras V_H y V_L fueran distintos esa diferencia no necesitaría ser mucha. Sin embargo en la práctica, donde la puerta funciona en presencia de ruidos, un *margen lógico* $V_H - V_L$ grande contribuye a la fiabilidad. La construcción de la parte inferior de la Figura 13.1a muestra que los picos de ruido, si tienen poca amplitud, no son capaces de causar un error en la salida de la puerta. Una medida de la capacidad de la puerta para funcionar correctamente en presencia de ruido aditivo es su *inmunidad al ruido*. Cuantificamos esta idea definiendo los *márgenes de ruido* de una puerta. El *margen de ruido en nivel alto*, $NMH = V_H - V_M$, es la amplitud del mayor ruido negativo, superpuesto a un 1 lógico de entrada, que no causaría error en la salida. De forma similar, el *margen de ruido en nivel bajo*, $NML = V_M - V_L$, define el mayor pico de ruido positivo que se podría añadir a un 0 lógico de entrada sin causar error.

La Figura 13.1b muestra la función de transferencia más típica de un inversor real

$$v_O = f(v_I)$$

donde $f(\,)$ es una función de v_I monótona decreciente. Debido a la transición gradual entre los niveles usamos diferentes tensiones para describir los niveles de entrada lógicos. Las siguientes definiciones se aplican a la mayoría de los circuitos de puertas

$$V_{OH} = f(0),\ V_{OL} = f(V_{OH})$$

Los valores de entrada de niveles alto y bajo, V_{IL} y V_{IH} respectivamente, se definen como aquellos valores de v_I en los que la pendiente de la función es menos uno, como se indica en la Figura 13.1b.

Es necesario que $V_{OL} < V_{IL}$ y $V_{IH} < V_{OH}$. Estas inecuaciones aseguran que el nivel de salida de una puerta es un nivel de entrada apropiado para una segunda puerta. En general, en este capítulo las puertas tendrán características como éstas.

Cuando además tenemos en cuenta las tolerancias de fabricación y los efectos de carga vemos cada *familia* de puertas como una *región de transferencia*, como se muestra en la Figura 13.1c donde el peor caso de funcionamiento define el área sombreada. El fabricante garantiza que todas las funciones de transferencia estarán comprendidas dentro del área sombreada. Esto significa que, siempre que el usuario siga ciertas normas al trabajar con las puertas, todas las puertas de la familia lógica interpretarán cualquier entrada $v_I \leq V_{IL}$ como un cero lógico y producirá la correspondiente salida $v_O \geq V_{OH}$. Adema, una puerta cuya entrada sea $v_I \geq V_{IL}$ será un uno lógico y producirá la correspondiente tensión de salida, $v_O \leq V_{OL}$. Esta idea es fácil de ver utilizando la Figura 13.2a, que muestra un inversor lógico con las regiones de entrada y salida definidas en la Figura 13.1c. Observe que el solapamiento de los márgenes de entrada y salida para el 1 lógico y el 0 lógico asegura la regeneración deseada de los niveles lógicos.

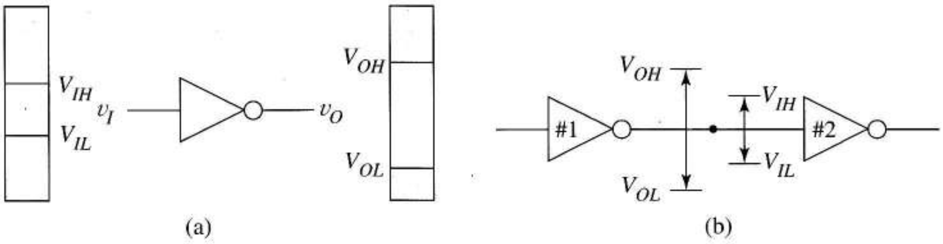


FIGURA 13.2 Comparación de los niveles lógicos de entrada y salida: (a) para un inversor; (b) para inversores de gobierno y de carga.

Para una puerta real es necesario modificar ligeramente nuestro concepto de inmunidad al ruido. La Figura 13.2b muestra la salida de la puerta #1 proporcionando la entrada para la puerta #2. Usando el peor caso de los valores de entrada y salida definimos

$$NML = V_{IL} - V_{OL} \ \text{ y } \ NMH = V_{OH} - V_{IH} \tag{13.1}$$

donde usamos los valores de la Figura 13.1b para una puerta en particular y los valores de la Figura 13.1c para una familia de puertas. Como muestra el siguiente desarrollo, el margen lógico está estrechamente relacionado con los márgenes de ruido

$$\text{barrido lógico} = V_{OH} - V_{OL} = V_{OH} - V_{OL} - V_{IH} + V_{IH} - V_{IL} + V_{IL} = NHM + NML + \Delta V \tag{13.2}$$

donde

$$\Delta V = V_{IH} - V_{IL}$$

Para el caso ideal de la Figura 13.1a el margen lógico es la suma de los márgenes de ruido. Para las puertas no ideales de las Figura 13.1b y c la parte del margen lógico ΔV está asociada con la región de transición entre el 1 lógico y el 0 lógico.

13.1.2 CARACTERÍSTICAS DINÁMICAS

La Figura 13.3 define las limitaciones dinámicas más importantes de una puerta lógica. Cuando la entrada del inversor es una señal de prueba rectangular $v_I(t)$, la onda de salida es $v_O(t)$. Debido a las capacidades parásitas, las transiciones de salida entre niveles lógicos son graduales en lugar de instantáneas. Caracterizamos las transiciones con el tiempo de caída t_f, que es el tiempo que tarda en pasar la señal del 90% de su valor al 10%, y con el tiempo de subida t_r que es el tiempo que tarda en pasar del 10% al 90% de su valor. El *flanco de subida* del pulso de salida se retrasa t_{PHL} respecto al *flanco de subida de entrada*, el tiempo de propagación de nivel alto a nivel bajo, definido como el tiempo medido entre los *puntos medios* de las transiciones de entrada y salida cuando la salida cambia su valor alto al bajo. También hay un *tiempo de propagación de nivel bajo a nivel alto*, t_{PLH}, entre los puntos medios de los *flancos* de subida y bajada de las ondas de entrada y salida. La mayoría de las veces los retrasos de las puertas se caracterizan por un solo número, el *tiempo de propagación* t_P, definido por

$$t_P = \frac{t_{PHL} + t_{PLH}}{2} \tag{13.3}$$

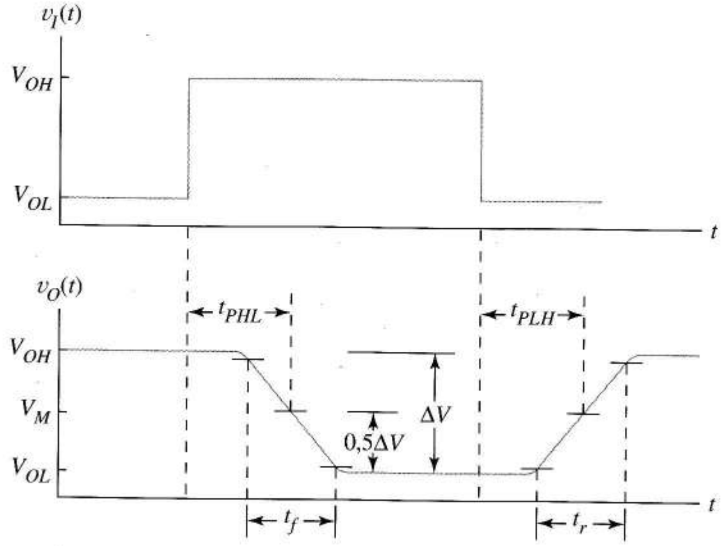


FIGURA 13.3
Definiciones del inversor asociadas a la dinámica de la puerta.

La Figura 13.4 muestra la forma de onda del pulso del SPICE, útil en la simulación de transitorios del funcionamiento de las puertas. Después del nombre de la fuente y los números de los nodos, la línea de elemento sigue la siguiente sintaxis para una fuente de pulsos independientes.

```
PULSE (VALOR 1 VALOR 2 RETRASO TIEMPO DE SUBIDA
      TIEMPO DE CAIDA ANCHO PERIODO)
```

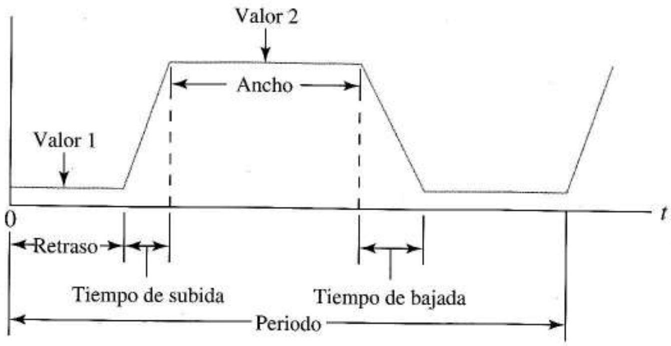


FIGURA 13.4 Forma del pulso SPICE y definiciones de los parámetros.

En código SPICE los tiempos de subida y caída son los tiempos de transición totales indicados en el diagrama y no los valores de 10 a 90%. Para la señal de prueba de la Figura 13.3 se usan tiempos de subida y caída iguales a cero.

13.2 CIRCUITOS LÓGICOS NMOS Y PMOS

Vimos en el Capítulo 5 que NMOS y PMOS son dos familias implementadas con transistores y que se caracterizan por una densidad de integración alta. Excepto por el tipo de transistor, NMOS, emplea las mismas estructuras de circuito que PMOS; aquí se hace hincapié en la familia NMOS.

13.2.1 FUNCIÓN DE TRANSFERENCIA ESTÁTICA

La Figura 13.5a muestra un inversor NMOS que usa como carga activa un transistor de enriquecimiento. La entrada y la salida del inversor son, respectivamente, la tensión puerta-fuente y la tensión drenador-fuente de M_1. La Figura 13.5b muestra las curvas características de M_1 para $v_{GS} = V_{OH}$ y $v_{GS} = V_{OL}$ y también la recta de carga no lineal debida a M_2 y la alimentación. Para realzar las variables de puerta el eje horizontal y las curvas características están etiquetadas respectivamente como v_O y v_I. Para simplificar, inicialmente ignoramos el efecto de sustrato en M_2.

Para obtener la función de transferencia empezamos con $v_I \leq V_{t1}$. Para esta entrada de bajo valor M_1 está cortado dando la Figura 1.5c. M_2 debe estar cortado o activo porque está conectado mediante un diodo como mostramos en el Apartado 5.3.1. Con la más pequeña circulación de corriente por M_2 el transistor está activo. Como $v_{G2} = V_{DD}$ y $v_{S2} = v_O$ se cumple

$$i_{D2} = \frac{k_2}{2}\left[\left(V_{DD} - v_O\right) - V_{t2}\right]^2 = 0 \tag{13.4}$$

Despejando v_o da

$$v_O = V_{DD} - V_{t2} \tag{13.5}$$

y vemos que el punto de funcionamiento coincide con el punto 1 de la recta de carga.

Para *cualquier* entrada dentro del margen $v_I \leq V_{t1}$, M_1 permanece cortado y su salida viene dada por la Ecuación (13.5). Esto da la línea horizontal de la función de transferencia, Figura 13.5d, que define V_{OH} y el margen de entrada del cero lógico. Debido al punto de ruptura y a la elevada pendiente $V_{IL} = V_{t1}$.

Cuando en la Figura 13.5c v_I crece, acaba superando V_{t1} y M_1 empieza a conducir. Observamos a partir de la recta de carga de la Figura 13.5b que cuando M_1 cambia a funcionamiento activo, M_2 permanece activo. Por lo tanto hay un margen de los valores de entrada para los que M_1 y M_2 están activos. Igualando las ecuaciones de estado activo de M_1 y M_2 y expresando todas las tensiones en función de las tensiones de nodo de la Figura 13.5a v_I, v_O y V_{DD} da

$$\frac{k_1}{2}\left(v_I - v_{t1}\right)^2 = \frac{k_2}{2}\left(V_{DD} - v_O - V_{t2}\right)^2 \qquad (13.6)$$

que relaciona v_o con v_I en la curva de transferencia de la Figura 13.5d cuando ambos transistores están activos. Haciendo la raíz cuadrada de ambos lados y despejando v_O

$$v_O = \left(V_{DD} - V_{t2}\right) - \sqrt{\frac{k_1}{k_2}}\left(v_I - v_{t1}\right) \qquad (13.7)$$

la ecuación de una línea recta de pendiente negativa que pasa por

$$\left(v_I, v_O\right) = \left(V_{t1}, V_{DD} - V_{t2}\right)$$

Vemos en la Figura 13.5b que incrementar aún más v_I hace que M_1 cambie al estado óhmico en el punto 2. Igualar las ecuaciones de las corrientes de drenaje con M_1 óhmico y M_2 activo da la ecuación del segmento cuadrático de la curva de la Figura 13.5d para valores grandes de v_I. V_{OL} se halla sustituyendo $v_I = V_{OH}$ en esta ecuación, como se sugiere en la Figura 13.5d. También podemos calcular el valor de V_{IH} obteniendo el punto donde la pendiente de esta ecuación es igual a menos uno. Estos detalles se dejan para el problema 13.4.

Modificaciones en el diseño que afectan a la función de transferencia Como en la Figura 13.5d la pendiente $-(k_1/k_2)^{0.5}$ se controla con las relaciones relativas ancho-longitud de M_1 y M_2, la forma de la función de transferencia está estrechamente relacionada con la geometría de fabricación. La Figura 13.5e muestra que una función de transferencia con una pendiente más empinada se parece más al ideal de la Figura 13.1a, esto se consigue con un margen lógico ligeramente mayor y márgenes de ruido mayores. El diseñador debe contrastar este beneficio con la posibilidad de una menor densidad de circuitos que puede resultar de unas relaciones ancho-longitud bastante diferentes.

Otro cambio en el diseño permite incrementar V_{OH}. Vemos en las Figuras 5.17c y d que conectando la puerta de M_2 a una alimentación aparte, de valor $V_{DD} + V_{t2}$ voltios, la recta de carga de la Figura 13.5b se traslada V_{t2} voltios a la derecha. Esto hace $V_{OH} = V_{DD}$.

Efecto de sustrato Un detalle interesante, explorado en el problema 13.5 es la consecuencia de incluir el efecto de sustrato de M_2 cuando se calcula la función de transferencia. Esto ocurre cuando v_o está tan próxima a V_{DD} que la tensión de fuente de M_2 alcanza su máxima diferencia respecto a la tensión de sustrato (cero). Sólo cuando la tensión de salida de la puerta se aproxima a cero hace que V_{t2} se aproxime al supuesto valor de V_{t20}. No sólo hace que la pendiente de la función de transferencia cambie debido al efecto de sustrato, también hace $V_{OH} = V_{DD} - V_{t2}$.

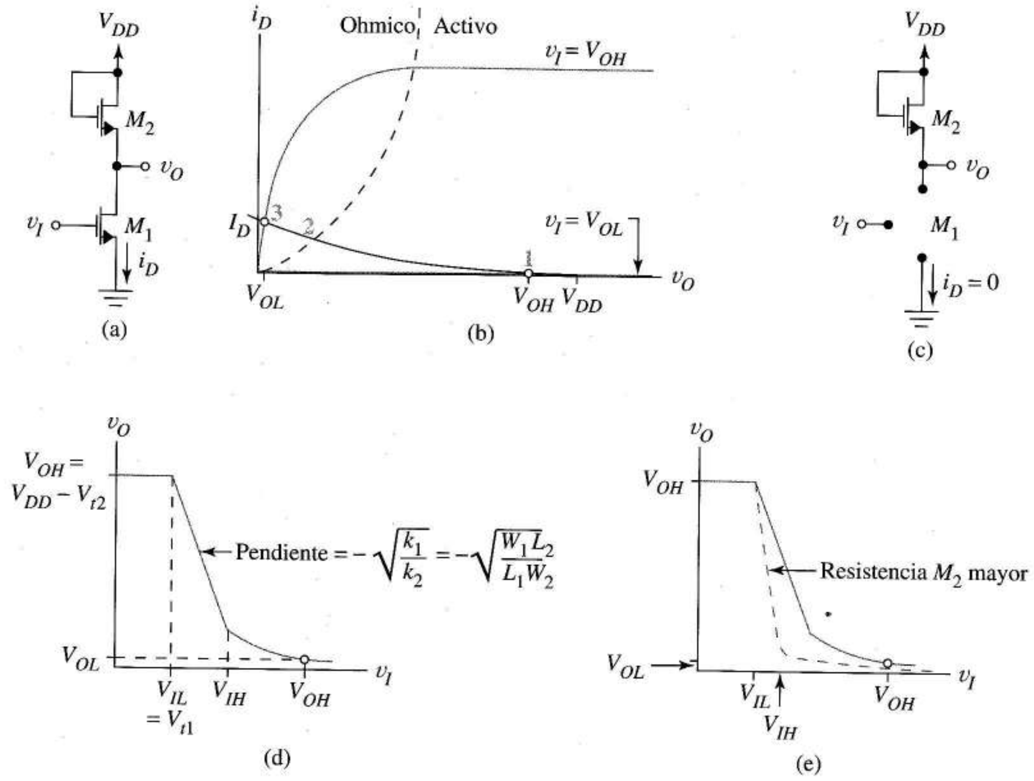


FIGURA 13.5 Inversor de carga de enriquecimiento: (a) esquema; (b) recta de carga mostrando los valores del 0 y 1 lógicos; (c) cuando M_1 está cortado para dar un 1 lógico; (d) función de transferencia; (e) efecto de una resistencia M_2 mayor sobre la función de transferencia.

13.2.2 DISIPACIÓN MEDIA DE POTENCIA

La Figura 13.5b muestra que la disipación de potencia es cero cuando la salida de la puerta es un uno lógico porque la corriente del inversor es cero. A nivel lógico 0, punto S, la disipación media de la puerta iguala a la potencia $V_{DD}I_D$ que viene de la alimentación, donde I_D es la corriente de la puerta cuando $v_O = V_{OL}$. Con la salida a 0 lógico, como M_2 está en estado activo, la disipación de potencia en el inversor es

$$V_{DD}I_D = V_{DD}\frac{k_2}{2}\left[\left(V_{DD} - V_{OL}\right) - V_{t2}\right]^2 = \frac{V_{DD}k_2}{2}\left[\left(V_{DD} - V_{t2}\right) - V_{OL}\right]^2$$

Suponiendo que la puerta está la mitad del tiempo con la salida a 1 y la otra mitad a 0 podemos estimar la disipación media de la puerta

$$P_{D,med} = \frac{V_{DD}k_2}{4}\left(V_{OH} - V_{OL}\right)^2 \tag{13.8}$$

Por lo tanto la disipación media es proporcional al cuadrado del margen lógico, $V_{OH} - V_{OL}$. De acuerdo con las Ecuaciones (13.8) y (13.2), a mayor disipación mayores márgenes de ruido, otro compromiso de diseño.

13.2.3 RETRASO DE LA PROPAGACIÓN

Para estimar el tiempo de programación del inversor reunimos las capacidades internas del transistor, la capacidad de entrada de la puerta y la capacidad del condensador de carga C_L de la Figura 13.6a, un método que empeora la precisión del diseño. (Para cálculos numéricos precisos del retraso de la puerta, simularemos la dinámica real del circuito.) La Figura 13.6b muestra la forma de la salida cuando se aplica un pulso a la entrada. Examinemos como genera el circuito esta salida.

Para $t < 0$ M_1 está cortado como en la Figura 13.6c, C_L está cargado a V_{OH} y el circuito está en equilibrio en el punto *a* de la Figura 13.6d. En $t = 0$, v_I cambia de V_{OL} a V_{OH}, creando inmediatamente un canal en M_1 para, por hipótesis, englobar toda la dinámica del circuito en C_L. La curva característica de M_1 cambia inmediatamente a la curva $v_I = V_{OH}$. El punto Q no se puede mover directamente al punto *c* de equilibrio final con nivel lógico cero porque la tensión en C_L, v_O, no puede cambiar instantáneamente. Sin embargo, con el condensador en el circuito, el funcionamiento no está restringido a la recta de carga; la Figura 13.6e muestra que la corriente del condensador (que no se tuvo en cuenta al obtener la recta de carga) puede circular durante el transitorio. Cuando en este circuito

$$\frac{dv_O}{dt} \neq 0$$

el punto de funcionamiento instantáneo *puede* dejar la recta de carga. Por lo tanto, el punto de funcionamiento salta instantáneamente de *a* a *b* en la Figura 13.6d y M_1 pasa a estado activo. M_1 *pasa a ser* una fuente de corriente constante I_X descargando C_L, incluso cuando simultáneamente la resistencia M_2 trata de cargar C_L desde la fuente de alimentación. Como I_X supera ampliamente a i_{D2}, C_L se descarga y v_o disminuye, como se indica en la Figura 13.6d con flechas. En esta figura, para cada valor de v_O, la curva $v_I = V_{OH}$ muestra la corriente de descarga proporcionada por M_1 y la recta de carga muestra la corriente de carga que viene de M_2.

Para estimar el tiempo de propagación de nivel alto a nivel bajo t_{PHL}, necesitamos estimar el tiempo que tarda en descargarse C_L desde su valor inicial V_{OH} hasta V_M, la tensión de salida media mostrada en las Figuras 13.3 y 13.6b y d. I_{HL} denota la corriente de descarga media cuando v_o cae desde V_{OH} a V_M. Entonces a partir de

$$-C_L \frac{dv_O}{dt} = I_{HL}$$

estimamos

$$-C_L \frac{\Delta v_O}{\Delta_t} = C_L \frac{(V_{OH} - V_M)}{t_{PHL}} = C_L \frac{[V_{OH} - (V_{OH} + V_{OL})/2]}{t_{PHL}} = I_{HL}$$

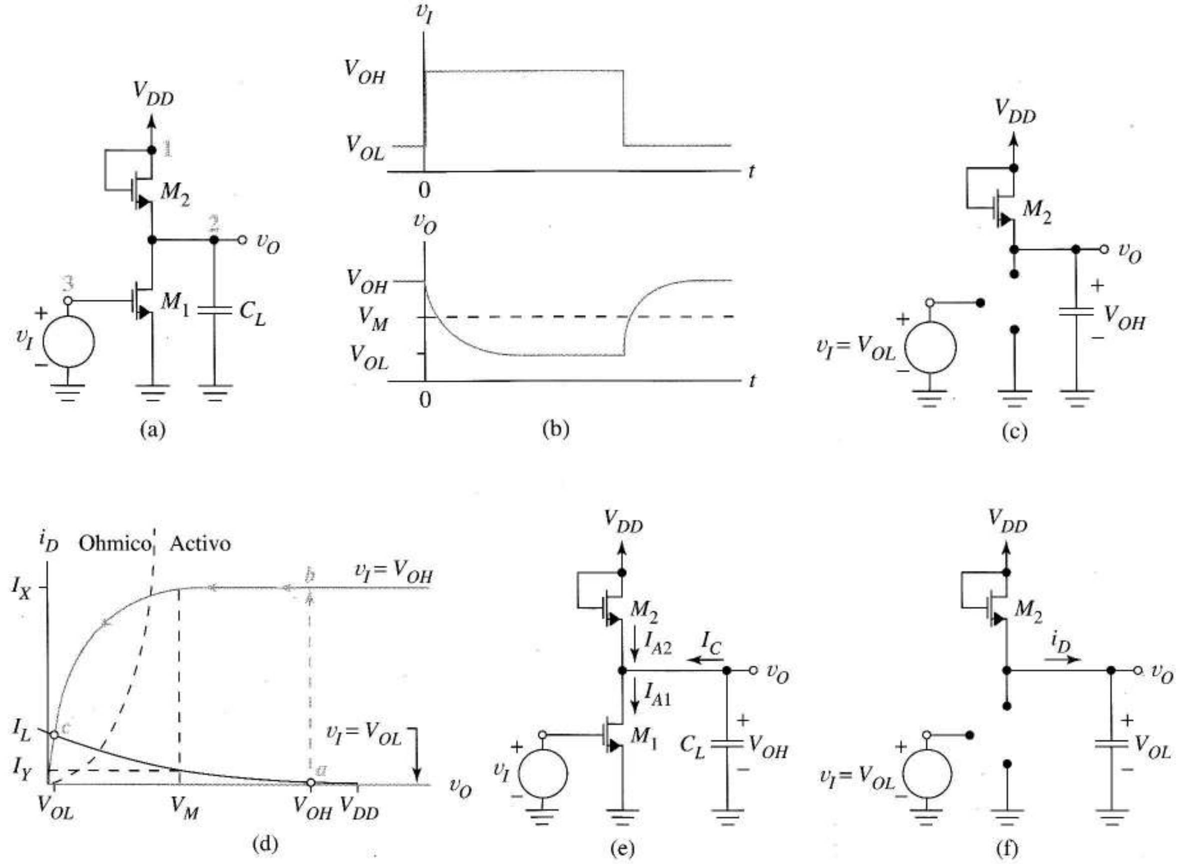


FIGURA 13.6 Transitorios de conmutación NMOS: (a) inversor con carga capcitiva; (b) formas de onda de entrada y salida; (c) circuito equivalente de un transitorio de salida de cero a uno; (d) curvas características y recta de carga; (e) circuito durante un transitorio uno-cero; (f) circuito al comenzar el transitorio cero-uno.

Despejando los tiempos de propagación desconocidos

$$t_{PHL} = \frac{C_L\left(V_{OH} - V_{OL}\right)}{2I_{HL}} \tag{13.9}$$

Según la Figura 13.6d, la corriente media de descarga durante el intervalo de interés es

$$I_{HL} = \frac{I_X + \left(I_X - I_Y\right)}{2} \approx I_X$$

siendo válida esta aproximación si la resistencia de M_2 es suficientemente grande. Como M_1 está activo durante este intervalo, con $v_{GS} = v_I = V_{OH}$

$$I_{HL} \approx I_X = \frac{k_1}{2}\left(V_{OH} - V_{t1}\right)^2$$

Sustituyendo esto en la Ecuación (13.9) da

$$t_{PHL} = \frac{C_L\left(V_{OH} - V_{OL}\right)}{k_1\left(V_{OH} - V_{t1}\right)^2}$$

Como los intervalos de tensión del numerador y el denominador son comparables suponemos que $V_{t1} \approx V_{OL}$. Esto da

$$t_{PHL} = \frac{C_L}{k_1\left(V_{OH} - V_{OL}\right)} \tag{13.10}$$

Finalmente v_O será tan baja que M_1 alcanzará el estado óhmico y el circuito se estabilizará alcanzando el equilibrio de cero lógico, punto c en la Figura 13.6d.

Al final del pulso de entrada, v_I retorna al valor V_{OL} y M_1 se corta, dando la Figura 13.6f. En la Figura 13.6d la corriente de carga inicial en el punto c es I_L y después del intervalo t_{PLH} la corriente de carga se reduce a I_Y. El problema 13.6 verifica que en este intervalo la corriente media de carga es

$$I_{LH} = \frac{I_L + I_Y}{2} = \frac{5}{16}k_2\left(V_{OH} - V_{OL}\right)^2 \tag{13.11}$$

Para estimar t_{PLH} usamos

$$C_L\frac{\Delta v_O}{t_{PLH}} = C_L\frac{V_M - V_{OL}}{t_{PLH}} = I_{LH} = \frac{5}{16}k_2\left(V_{OH} - V_{OL}\right)^2$$

que da

$$t_{PLH} = \frac{16C_L}{5k_2}\frac{\left[\left(V_{OH} + V_{OL}\right)/2 - V_{OL}\right]}{\left(V_{OH} - V_{OL}\right)^2} = \frac{1{,}6C_L}{k_2\left(V_{OH} - V_{OL}\right)} \tag{13.12}$$

De las Ecuaciones (13.3), (13.10) y (13.12) obtenemos como conclusión que el tiempo de propagación de la familia lógica NMOS es

$$t_P = \left(\frac{0{,}5}{k_1} + \frac{0{,}8}{k_2}\right)\frac{C_L}{V_{OH} - V_{OL}} = K\frac{C_L}{V_{OH} - V_{OL}} \tag{13.13}$$

Cambios que afectan al comportamiento dinámico La Ecuación (13.13) sugiere que las capacidades internas y de carga (pequeñas) propician retrasos cortos. Como cada puerta de carga conectada entre la salida del inversor y tierra añade su capacidad de entrada a C_L, el límite del *fan-out* para la familia NMOS esta fijado por el tiempo de propagación que se pueda tolerar en cada aplicación particular.

La aparición del margen lógico ($V_{OH} - V_{OL}$) en el denominador significa que a una mejor inmunidad al ruido suelen corresponderle retrasos más cortos en la familia NMOS. Es posible que esto parezca que va en contra de nuestra intuición ya que un margen lógico mayor significa mover más carga hacia, o desde, C_L para cambiar el estado de la salida. Es verdad que una corriente de carga constante tendría que circular más tiempo para un margen lógico mayor. Sin embargo, en la familia NMOS las corrientes medias dependen del cuadrado de ($V_{OH} - V_{OL}$); por lo tanto a retrasos menores les corresponden mayores márgenes lógicos y mayores márgenes de ruido.

Observe que en la Ecuación (13.13) K depende de k_1 y k_2. Reduciendo estas constantes se obtienen corrientes de carga mayores para el mismo margen lógico y, por lo tanto, se reduce el tiempo de propagación. Por otro lado, generalmente relacionamos W/L mayores incrementan el tamaño del transistor del chip afectando negativamente a la densidad del circuito.

13.2.4 PRODUCTO POTENCIA-RETARDO

Un parámetro importante para cualquier familia lógica es el *producto potencia-retardo* ó *PDP* (*power-delay product*), el producto de la disipación media de potencia y el tiempo de propagación, que tiene unidades de energía. Si la puerta está cambiando de niveles lógicos a la velocidad máxima, su *PDP* representa la energía necesaria por cada cambio durante la transición lógica. Obviamente un *PDP* bajo es lo mejor. A partir de las Ecuaciones (13.8) y (13.13) estimamos

$$PDP \approx K_1 C_L V_{DD}\left(V_{OH} - V_{OL}\right) \text{ julios} \tag{13.14}$$

donde K_1 es una constante. Los *PDP* bajos acompañan a tensiones de alimentación pequeñas, márgenes lógicos pequeños y estructuras de puerta físicamente pequeñas que minimizan las capacidades parásitas.

EJEMPLO 13.1 Dibujar con SPICE la respuesta transitoria de una puerta NMOS con una carga optativa cuando no hay puertas de carga. Obtener el *PDP* a partir de los datos de la simulación.

Solución La Figura 13.7a muestra el código para el inversor de la Figura 13.6a con $C_L = \infty$. Las capacidades del transistor se especifican indirectamente mediante las relaciones W/L y las capacidades del óxido, como en el estudio de la Figura 5.52. Para asegurar una ganancia alta y una V_{OL} baja el transistor de carga tendrá una W/L de 1:3; el del inversor, 2:1. Está incluido el efecto del sustrato. Para comprobar el circuito se aplica en $t = 2$ ns un pulso de 5 V de amplitud y 10 ns de duración.

La Figura 13.7b muestra la onda de salida. Del examen de los valores numéricos obtenemos $V_{OL} \approx 0{,}251$ y $V_{OH} \approx 3{,}08$ V. El último está por debajo de 3,5 V debido al efecto de sustrato de M_2, como se esperaba. Debido a la alta resistencia del transistor de carga $t_{PLH} = 4{,}71$ ns, mientras la capacidad se descarga rápidamente bajo la influencia de la fuente de corriente dando $t_{PHL} = 0{,}683$ ns, siendo entonces el tiempo de propagación la media de ambos $t_P = 2{,}70$ ns.

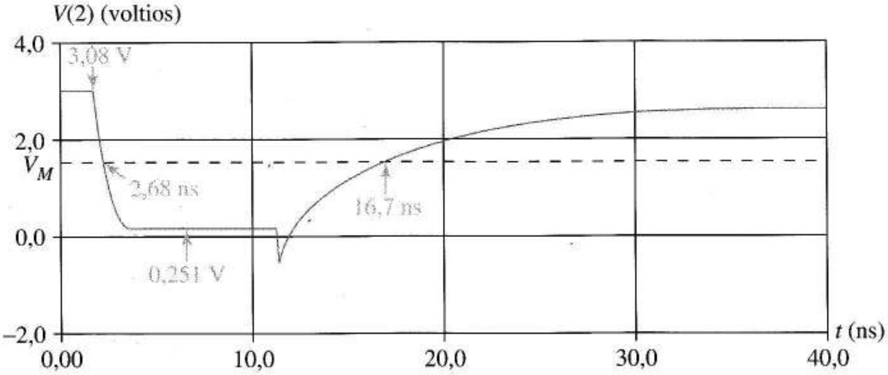
Con simulaciones de continua independientes de los dos niveles lógicos se estableció una disipación media de 29,8 μA, así que $PDP = (2{,}70 \text{ ns})(29{,}8\ \mu\text{W}) = 80{,}5$ Fj. ❑

Ejercicio 13.1 Obtener la capacidad de carga equivalente C_L de forma que la Ecuación (13.10) prediga el valor de t_{PHL} obtenido en el Ejemplo 13.1.

Respuesta 27,1 FF.

```
EXAMPLE 13.1
VDD 1 0 DC 5
M2 1 1 2 0 TRAN W=5U L=15U
M1 2 3 0 0 TRAN W=10U L=5U
.MODEL TRAN NMOS VTO=1.5
+KP=7E-6 GAMMA=0.37 TOX=1.0E-7
VS 3 0 PULSE(0 5 2N 0 0 10N 50N)
.OP
.TRAN 0.19N 40N
.PLOT TRAN V(2)
.END
```

(a)



(b)

FIGURA 13.7 Respuesta transitoria de un inversor NMOS sin carga: (a) código SPICE; (b) tensión de salida.

13.2.5 OTRAS FUNCIONES LÓGICAS

Añadiendo transistores de entrada en paralelo transformamos el inversor NMOS en una puerta NOR multientrada, como en la Figura 13.8a. Para entender esta configuración observemos que la tensión de salida v_Z sólo puede ser baja si hay un camino de la salida a masa, esto es, sólo si v_A OR v_B OR v_C es lo suficientemente alta para crear un canal. Ver los transistores en paralelo como interruptores significa

$$\overline{Z} = A + B + C \quad \text{o} \quad Z = \left(\overline{A} + \overline{B} + \overline{C}\right)$$

donde "+" denota la función OR lógica y la barra superior, complemento. Los transistores de entrada adicionales que incrementan el *fan-in* de la puerta también aumentan el tiempo de propagación al añadir capacidad al circuito.

La Figura 13.8b muestra que los transistores de entrada en serie dan como resultado una función NAND ya que la salida sólo puede estar baja si *todas* las entradas están altas simultáneamente. Como la corriente que viene de M_2 debe recorrer la suma de longitudes que corresponde a los transistores en serie, hay que usar una W/L mayor para M_2 o una W/L menor para los transistores de entrada para tener la misma V_{OL} que el inversor estudiado al principio. Por lo tanto, el número de entradas o fan-in se aumenta haciendo concesiones a las restricciones de tamaño asociadas a la densidad del circuito y a las capacidades bajas.

La Figura 13.8 muestra como se implementa una función lógica compleja con transistores conectados en serie y en paralelo.

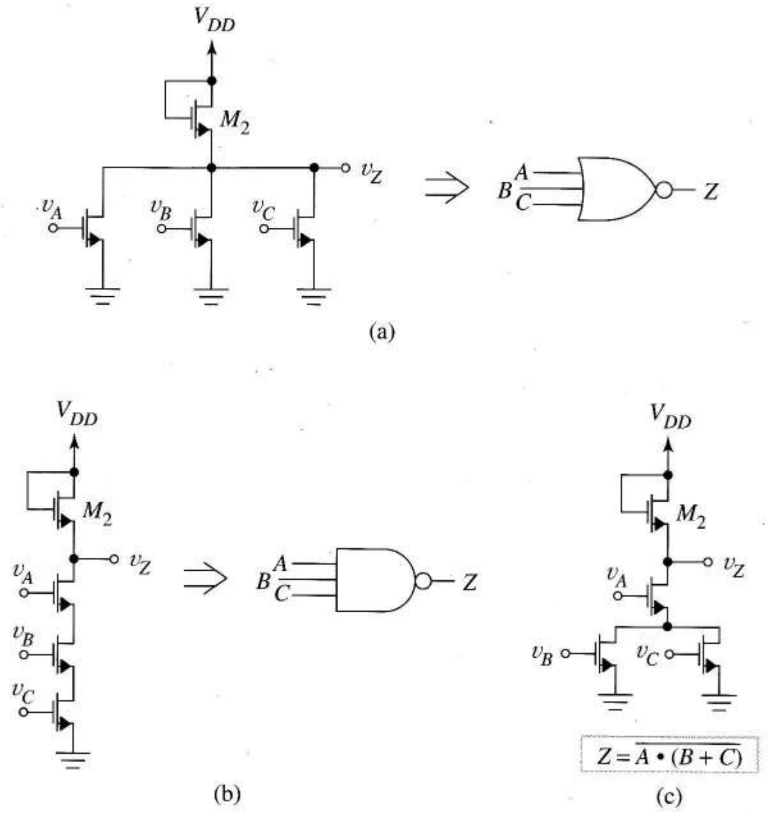


FIGURA 13.8
Extensión del inversor NMOS para otras funciones lógicas:
(a) NOR de tres entradas; (b) NAND de tres entradas;
(c) función AND-OR de tres entradas.

13.2.6 PUERTA NMOS CON CARGA DE DEPLEXIÓN

La Figura 13.9a muestra un inversor NMOS con un transistor de deplexión M_2 como carga activa; la Figura 13.9b muestra la recta de carga no lineal cuando se ignora el efecto de sustrato de M_2. Con $v_I < V_{t1}$, M_1 está cortado, M_2 está saturado pero no conduce corriente y el punto de funcionamiento se sitúa en el punto 1 de la Figura 13.9b, que es un punto de equilibrio estático de valor lógico 1. Vemos que para este circuito $V_{OH} = V_{DD}$. Cuando v_I es mayor que V_{t1}, M_1 cambia a funcionamiento activo cerca del punto 1 pero M_2 permanece, de momento, en estado óhmico. Con un aumento adicional de v_I se mueve por la recta de carga, hacia arriba, el punto de funcionamiento hasta llegar al punto 2 donde M_2 también pasa a funcionamiento activo. Si las dos tensiones Early son altas, las características de salida del transistor son casi planas, haciendo que un

ligero incremento de v_I mueva el punto de funcionamiento a 3, donde M_1 pasa a estado óhmico. Entre los puntos 3 y 4 la característica óhmica cuadrática de M_1 hace que la curva de transferencia vaya disminuyendo como en la Figura 13.9c. Debido a la resistencia de salida grande de M_1, la Figura 13.9c se parece mucho a la ideal de la Figura 13.1a y tiene márgenes de ruidos mayores que el inversor con carga activa de enriquecimiento. Otra ventaja es que la función de transferencia muy inclinada es independiente de las dimensiones físicas relativas de M_1 y M_2, dependiendo sobre todo de las resistencias de salida de los transistores. Desafortunadamente el efecto de sustrato de M_2 hace que la función de transferencia se desvíe de este comportamiento casi ideal, como muestra la Figura 13.9d. Como el sustrato de M_2 está conectado a masa el efecto de sustrato es más pronunciado para tensiones de salida altas. El efecto Early de M_1 y M_2 también reduce la pendiente de la función de transferencia porque la recta de carga y las características de salida no son horizontales.

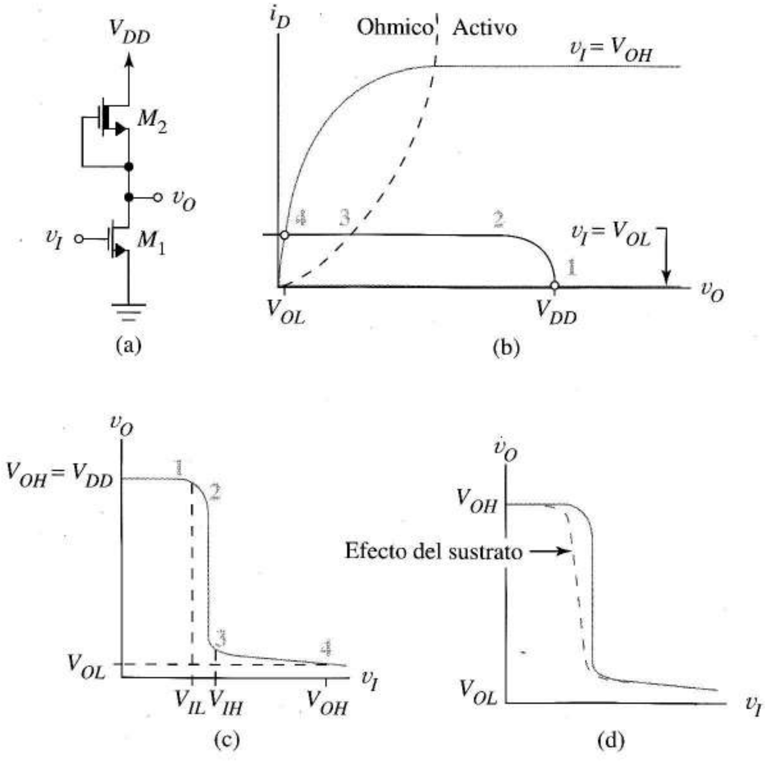


FIGURA 13.9
Inversor NMOS de carga de deplexión:
(a) esquema;
(b) característica de salia y recta de carga;
(c) función de transferencia;
(d) cambio de la función de transferencia causada por el efecto sustrato.

La disipación de potencia es cero cuando la salida está a 1 lógico (punto 1, Figura 13.9b), igual que en el inversor de carga activa de enriquecimiento, pero es distinta de cero para el 0 lógico (punto 4). Para estimar la potencia media suponemos que las puertas están la mitad del tiempo en cada estado lógico. Estimamos el tiempo de propagación calculándolo a partir de un modelo de condensador único que una todas las capacidades usando la información obtenida de las ecuaciones de los transistores (como se hizo antes con el inversor de carga activa de enriquecimiento) o gráficamente como en el siguiente ejemplo.

EJEMPLO 13.2 Estimar el PDP del inversor de la Figura 13.10.

Solución La disipación de potencia con la salida a 1 lógico (punto *a*) es cero. Para cero lógico (punto *c*) las corrientes de drenador son 1 mA. Por lo tanto, la disipación de la puerta es

$$P_{MED} = \frac{0 + (12\text{ V})(1\text{ mA})}{2} = 6\text{ mW}$$

Si de repente v_I conmuta de V_{OL} a V_{OH}, M_1 pasa a estado activo en $t = 0^+$ y descarga el condensador con una corriente de 3 mA (punto *b*). Con el tiempo, v_O se reduce a

$$V_M = 0{,}5(12 + 0{,}3) = 6{,}15\text{ V}$$

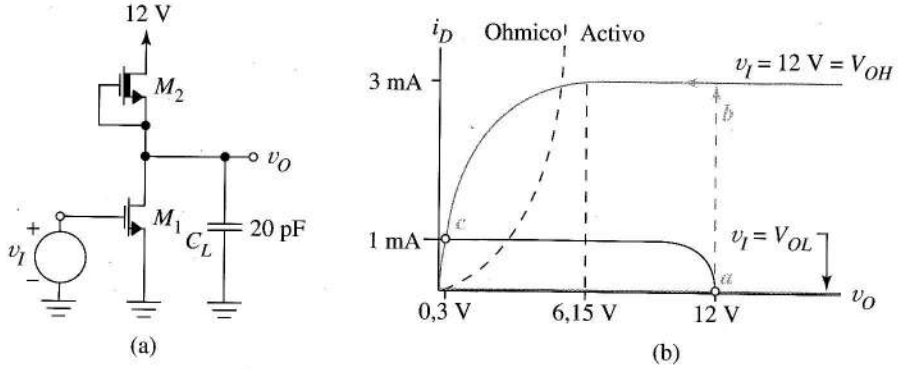


FIGURA 13.10 Transitorios de conmutación del inversor de carga de deplexión: (a) esquema del circuito; (b) característica de salida y recta de carga.

M_2 está proporcionando una corriente de carga de 1 mA, dando una corriente neta de descarga de 2 mA. La corriente media de descarga durante el intervalo $0 \leq t \leq t_{PHL}$ es 0,5(3+2) = 2,5 mA. Estimamos t_{PHL} usando

$$C_L \frac{dv_O}{dt} \approx \left(20 \times 10^{-12}\right) \frac{6{,}16 - 12}{t_{PHL}} = -2{,}5 \times 10^{-3}$$

que da t_{PHL} = 46,8 ns.

Para la transición de subida (estado bajo a estado alto), partiendo del equilibrio inicial del punto *c*, v_I cambia bruscamente a V_{OL} y M_1 se corta. Las curvas características muestran que M_2 proporciona una corriente de carga constante de 1 mA durante el intervalo $0 \leq t \leq t_{PLH}$. Por lo tanto, nuestra estimación es

$$C_L \frac{dv_O}{dt} \approx \left(20 \times 10^{-12}\right) \frac{6{,}15 - 0{,}3}{t_{PLH}} = 1{,}0 \times 10^{-3}$$

dando t_{PLH} = 117 ns. Haciendo la media de los dos retrasos da

$$t_P = 0{,}5(46{,}8 + 117) = 81{,}9\text{ ns}$$

El *PDP* es

$$PDP = \left(6 \times 10^{-3}\right)\left(81{,}9 \times 10^{-9}\right) = 491\text{ pJ}$$

❑

Ejercicio 13.2 Recalcular t_P en el Ejemplo 13.2 si M_2 se sustituye por un transistor con $k_2 = 0{,}3 \times 10^{-4}$ A/V^2 y $V_t = -0{,}9$ V suponiendo que V_{OL} no cambia significativamente.

Respuesta 26,6 μs.

13.3 CIRCUITOS LÓGICOS CMOS

Las puertas de la familia lógica MOS de simetría complementaria (CMOS) tienen propiedades estáticas que se aproximan mucho a las ideales. La potencia de disipación estática típica es menor de 10 nW/puerta; los márgenes de ruido, conjuntamente, alcanzan el 90% del margen lógico y los tiempos de propagación son del orden de 25 o 50 ns. La CMOS es una familia muy versátil que funciona con tensiones de alimentación que van de 4,5 a 15 V.

El inversor CMOS, Figura 13.11a, consta de un transistor de canal p, M_P y otro de canal n, M_N. Como los sustratos de M_P y M_N están unidos, respectivamente, a los puntos más positivo y más negativo del circuito no hay efecto de sustrato y los umbrales de tensión son constantes.

13.3.1 CARACTERÍSTICAS ESTÁTICAS DEL INVERSOR

Podemos predecir la forma de la función de transferencia del inversor directamente a partir de las ecuaciones de M_N y M_P. Para hacerlo primero usamos las definiciones de estado del transistor que relacionan cada estado del transistor M_N con una región del plano v_O–v_I. De la Figura 13.11a adoptamos la siguiente notación para M_N:$v_S = 0$, $v_G = v_I$ y $v_D = v_O$. En esta notación las definiciones de estado son

$$\text{corte} \Rightarrow v_o \le V_{tN}$$

$$\text{activo} \Rightarrow v_O - v_I \ge -V_{tN}$$

$$\text{óhmico} \Rightarrow v_O - v_I \le -V_{tN}$$

En la Figura 13.11b, estas regiones corresponden a la "izquierda de la línea vertical que pasa por V_{tN}", "por encima de la línea de pendiente unidad que pasa por V_{tN}" y "por debajo de la línea que pasa por V_{tN}". Para M_P la Figura 13.11a implica que $v_G = v_I$, $v_S = V_{DD}$ y $v_D = v_O$. Como M_P es un transistor de canal p la Figura 5.6 da

$$\text{corte} \Rightarrow v_o - V_{DD} \ge V_{tP}$$

$$\text{activo} \Rightarrow v_O - v_I \le -V_{tP}$$

$$\text{óhmico} \Rightarrow v_O - v_I \ge -V_{tP}$$

Por lo tanto, el conjunto completo de inecuaciones de estado parte el primer cuadrante en ocho regiones, como se indica en la Figura 13.11b. La función de transferencia CMOS cruza por 5 de ellas.

Para obtener la función de transferencia empezamos con $v_I = 0$. En este punto, según la Figura 13.11b, M_N está cortado y M_P activo o saturado. Como M_N está cortado su corriente y la de M_P son cero. En la Figura 13.11a $v_I = 0$ implica que la tensión de puerta de M_P es muy negativa respecto a la tensión de su fuente. Si M_P estuviera activo su corriente no sería cero para un v_{GS} grande y nega-

tiva; por lo tanto, M_P está saturado. Como M_N y M_P están en serie sus corrientes son idénticas, así que si igualamos la corriente de corte de M_N a la corriente óhmica de M_P da

$$\frac{k_P}{2}\left[2(v_I - V_{DD} - V_{tP})(v_O - V_{DD}) - (v_O - V_{DD})^2\right] = 0 \tag{13.15}$$

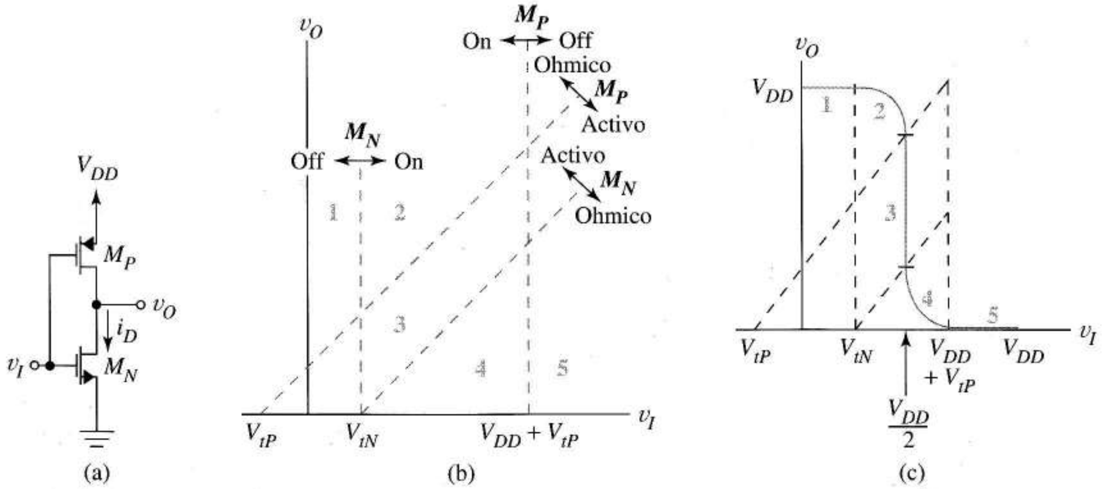


FIGURA 13.11 CMOS: (a) esquema del inversor; (b) regiones de funcionamiento definida por los estados de M_P y M_N; (c) función de transferencia cuando los transistores tienen valores complementarios de los parámetros.

La solución de esta Ecuación es $v_o = V_{DD}$, que describe la función de transferencia no sólo para $v_I = 0$ sino para todo $v_I \leq V_{tN}$. La región 1 de la Figura 13.11c es una representación gráfica de esta solución.

La Figura 13.11b muestra que cuando v_I crece por encima de V_{tN}, M_N cambia a funcionamiento activo. Igualando las corrientes de drenador, región activa para M_N y óhmica para M_P, da la ecuación de la región 2 de la Figura 13.11c

$$\frac{k_P}{2}\left[2(v_I - V_{DD} - V_{tP})(v_O - V_{DD}) - (v_O - V_{DD})^2\right] = \frac{k_N}{2}(v_I - V_{tN})^2 \tag{13.16}$$

Aunque en apariencia la Ecuación (13.16) es complicada, es simplemente una ecuación de segundo orden que relaciona v_I con v_O. Es fácil verificar que el punto $(v_I, v_O) = (V_{tN}, V_{DD})$ cumple la ecuación; este punto es donde la ecuación se une a la curva de la región 1.

Cuando v_I crece aún más la Figura 13.11b sugiere que M_P cambia a funcionamiento activo, región 3. Igualar las corrientes cuando ambos transistores están activos da

$$\frac{k_N}{2}(v_I - V_{tN})^2 = \frac{k_P}{2}(v_I - V_{DD} - V_{tP})^2 \tag{13.17}$$

que es independiente de v_O. Esto es coherente con la línea vertical de la Figura 11.13c marcada como región 3. Se obtiene un diseño de inversor particularmente útil cuando los valores de los parámetros de los transistores son totalmente complementarios. Esto significa $-V_{tP} = V_{tN} = V_t$ y $k_P = k_N = k$. Sustituyendo estos valores especiales en la Ecuación (13.17) y haciendo la raíz cuadrada de ambos lados (raíz positiva para lado izquierdo y raíz negativa para el lado derecho, como se indica en las Figuras 5.43a y b) da

$$v_I - V_t = -(v_I - V_{DD} + V_t)$$

Despejando v_I da $v_I = 0{,}5V_{DD}$ para la región 3 de la Figura 13.11c. El resto de la curva es simétrica. En la región 4 igualamos la ecuación activa de M_P a la ecuación óhmica de M_N. En la región 5 igualamos la ecuación de corte de M_P a la ecuación óhmica de M_N.

Las funciones de transferencia reales se desvían ligeramente de la Figura 13.11c debido a la modulación de la longitud del canal. Esto es, la región 3 no es vertical si las resistencias de salida de los dos transistores se incluyen en el análisis, una hipótesis que se estudia mediante simulación. Como M_N y M_P tienen parámetros igualados, la función de transferencia es relativamente independiente de la temperatura.

Una característica única de la familia CMOS está ya clara. En ambos niveles lógicos estáticos, regiones 1 y 5, un transistor está cortado dando una disipación media de potencia de cero, una característica muy útil totalmente explotada en las memorias de calculadora y muchas otras aplicaciones. Para CMOS sólo hay disipación de potencia apreciable durante los *cambios* de nivel lógico. Esto se estudia después de examinar los efectos de los transitorios. Observe que la Ecuación (13.16) y la ecuación correspondiente a la región 4 nos permiten determinar analíticamente V_{IH} y V_{IL}. Para cada ecuación igualamos la derivada dv_O/dv_I a -1. Cada ecuación resultante, que incluye v_O y v_I, debe resolverse simultáneamente con la ecuación original para determinar los niveles lógicos. Los problemas 13.16 y 13.17 sirven como guía para este análisis. Aquí simplemente establecemos que para un inversor con una función de transferencia simétrica como la de la Figura 13.11c

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) \tag{13.18}$$

y

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t) \tag{13.19}$$

Como $V_{OH} = V_{DD}$ y $V_{OL} = 0$, entonces

$$NML = NMH = \frac{1}{8}(3V_{DD} + 2V_t) \tag{13.20}$$

La familia CMOS está muy valorada por su versatilidad. Esta ecuación muestra que los márgenes de ruido se adaptan fácilmente a entornos de ruido específicos mediante la selección de V_{DD}.

13.3.2 TIEMPO DE PROPAGACIÓN Y DISIPACIÓN DE POTENCIA

Retrasos de conmutación Para estudiar los transitorios de conmutación CMOS representamos las capacidades internas y de carga por un sólo condensador equivalente C_L, como en la Figura 13.12a. Las condiciones iniciales para el transitorio de salida de cero a uno son $v_I = V_{OH}$ (1 lógico) y C_L descargado a $V_{OL} = 0$. En $t = 0$, v_I cambia a $V_{OL} = 0$ voltios, como en la Figura 13.12b. Como ignoramos las capacidades internas M_N se corta instantáneamente y M_P, con $v_{DS} = -V_{DD}$ voltios, cambia a funcionamiento activo. El resultado es la Figura 13.12c donde la tensión de salida cumple

$$C_L \frac{dv_O}{dt} = \frac{k_P}{2}\left(0 - V_{DD} + V_t\right)^2 \tag{13.21}$$

siendo $V_{tp} = -V_t$. Como al principio la corriente de carga es constante, la tensión de salida crece linealmente de acuerdo con la Ecuación (13.21); sin embargo, cuando v_o crece, la magnitud de la tensión drenaje-fuente decrece. Consecuentemente, M_P pasa a funcionamiento óhmico cuando $v_{DG} = v_O - 0 = -V_{tP} = V_t$.

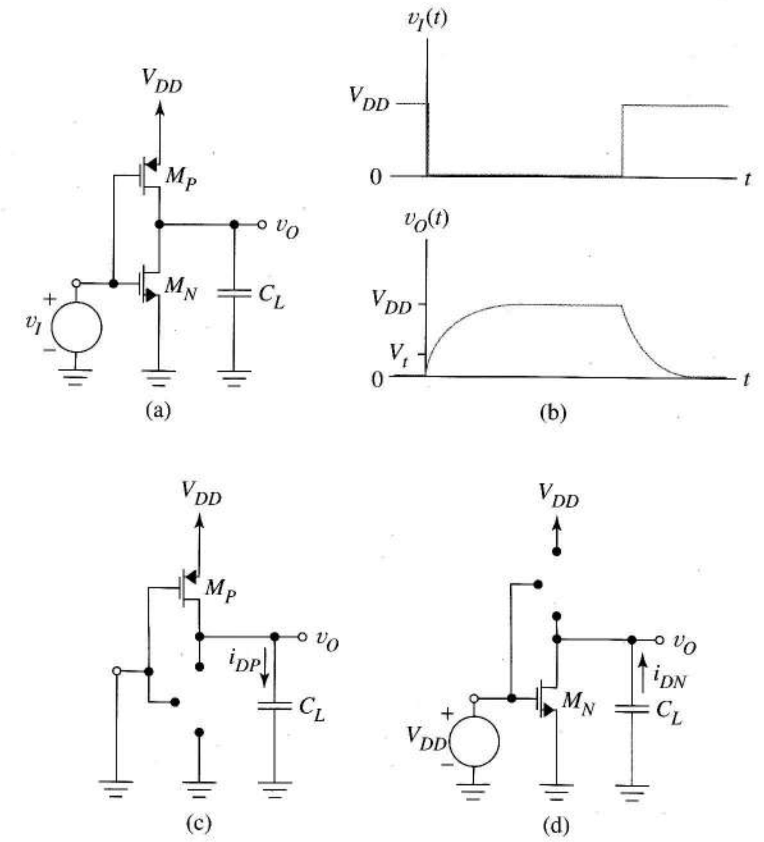


FIGURA 13.12 Transitorios de conmutación CMOS: (a) equivalente con un solo condensador; (b) formas de onda de entrada y salia; (c) circuito para el transitorio cero-uno; (d) circuito para el transitorio uno-cero.

Después de esto, la Ecuación (13.21) se sustituye por

$$C_L \frac{dv_O}{dt} = \frac{k_P}{2}\left[2\left(-V_{DD} + V_t\right)\left(v_O - V_{DD}\right) - \left(v_O - V_{DD}\right)^2\right] \tag{13.22}$$

Igualando dv_O/dt a cero vemos que el equilibrio final del circuito tiene lugar a $v_O = V_{DD}$. Las soluciones de las Ecuaciones (13.21) y (13.22) describen el transitorio cero a uno de $v_O(t)$ en la Figura 13.12b.

El transitorio de uno a cero se estudia de la misma forma usando la Figura 13.12d. Aquí M_N descarga a C_L desde su valor inicial de V_{DD} voltios hasta su equilibrio final, linealmente al principio, mientras M_N está activo, y después no linealmente, cuando M_N está saturado, con ecuaciones diferenciales muy similares a las Ecuaciones (13.21) y (13.22). Resolviendo estas ecuaciones da el flanco de bajada del pulso de salida de la Figura 13.12b. Las Ecuaciones (13.21) y (13.22) muestran ambas que la relación de cambio de la tensión de salida es inversamente proporcional a C_L. Como en la familia NMOS, con el *fan-out*, que incrementa C_L, y con la velocidad de conmutación debe llegarse a un compromiso.

La Ecuación (13.21) es lineal y separable de (13.22), así que existen soluciones únicas. Por lo tanto, es posible obtener expresiones analíticas para el tiempo de propagación de las puertas CMOS (ver problema 13.22); sin embargo, tanto el procedimiento como el resultado aportan poco a nuestros conocimientos básicos. El problema 13.23 usa el SPICE para calcular las soluciones numéricas de las ecuaciones diferenciales que describen el inversor CMOS cuando cada transistor tiene asociada una capacidad y C_L es la capacidad real de la carga. Con estas simulaciones podemos determinar con más precisión los valores de los tiempos de propagación.

Disipación de potencia Aunque las puertas CMOS no disipan potencia cuando su estado es el nivel lógico 0 ó el nivel lógico 1 sí lo hacen durante las transiciones, cuando ambos transistores conducen. Podemos predecir la disipación media de potencia correcta con nuestro modelo de condensador único, incluso aunque este modelo prediga incorrectamente que los transistores nunca conducen simultáneamente.

A partir de la Figura 13.12c es evidente que la corriente fluye desde la fuente de alimentación durante el transitorio cero-a-uno disipando potencia en M_P y almacenando energía en C_L. En la Figura 13.13a generalizamos la Figura 13.12c sustituyendo M_P por una resistencia general no lineal y usamos este circuito para calcular la potencia disipada cuando el condensador se carga a través de cualquier resistencia no lineal $i = f(v)$. La energía dw disipada durante el intervalo dt es

$$dw = p\ dt = vi\ dt = \left(V_{DD} - v_O\right)\left(C_L \frac{dv_O}{dt}\right) dt$$

donde p denota la disipación de potencia instantánea en la resistencia no lineal. Si C_L está descargado inicialmente la energía W disipada durante el intervalo de carga es

$$\int_0^W dw = \int_0^\infty \left(V_{DD} - v_O\right)\left(C_L \frac{dv_O}{dt}\right) dt = \int_0^{V_{DD}} \left(V_{DD} - v_O\right) C_L dv_O$$

La integración da

$$W = \frac{1}{2} C_L V_{DD}^2\ julios \tag{13.23}$$

que es la energía disipada en M_P en la Figura 13.12c mientras C_L se carga. La Figura 13.12d indica que la energía almacenada en C_L se disipa en M_N durante el transitorio de uno a cero.

La Figura 13.13b muestra la corriente de la fuente de alimentación hacia la puerta CMOS *ideal* cuando la entrada es un tren de pulsos periódicos con tiempos de subida y bajada de valor cero. En las Figuras 13.12c y d puede verse que la corriente circula sólo durante las transiciones de salida de cero a uno. Cada pico de corriente entrega $(1/2)C_LV_{DD}^2$ julios de energía que se disipan en M_P y $(1/2)C_LV_{DD}^2$ julios adicionales que se almacenan en C_L. Estos últimos se disipan después en M_N durante el segundo medio ciclo, cuando no circula corriente desde la alimentación. La disipación media de potencia del inversor ideal es

$$P_{MED} = 2\left(\frac{1}{2}C_LV_{DD}^2\right)\frac{\text{julios}}{\text{ciclo}}f\,\frac{\text{ciclos}}{\text{s}} = C_LV_{DD}^2f \text{ vatios} \tag{13.24}$$

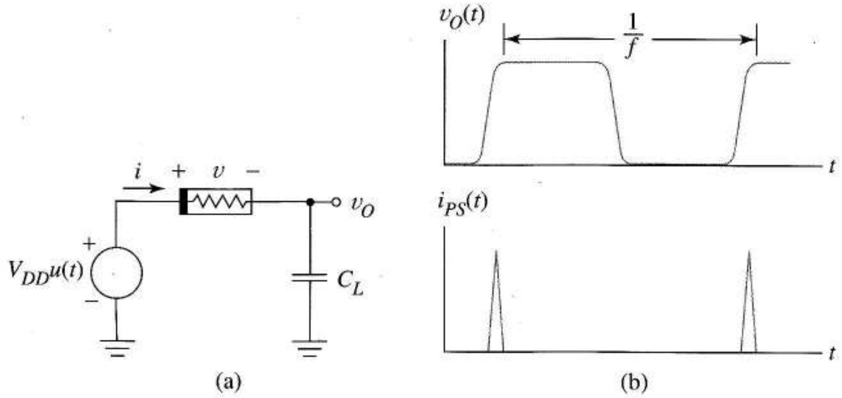


FIGURA 13.13 Disipación de potencia de la familia CMOS: (a) carga de un condensador a través de una resistencia no lineal; (b) tensión de salida y corriente de alimentación predicha para CMOS.

Como en la familia NMOS la disipación media es directamente proporcional al cuadrado del margen lógico $V_{OH} - V_{OL} = V_{DD}$.

Aunque la Ecuación (13.24) da la disipación media de potencia correcta en una puerta CMOS los detalles del circuito real son mucho más complejos que lo que nuestro estudio sugiere debido a las capacidades internas de los transistores y a los tiempos finitos de subida y caída de la onda de entrada. La diferencia principal es que ambos transistores conducen simultáneamente durante cada transición lógica. Los picos de corriente resultantes pueden ser un problema ya que valores grandes de *di/dt* causan un ruido que puede pasar electro-magnéticamente a circuitos próximos. Los picos de ruido originados por las corrientes de los transistores CMOS también pueden pasar a otros circuitos a través de las resistencias internas de fuentes de alimentación compartidas y por acoplamiento capacitivo entre nodos.

EJEMPLO 13.3 Un inversor CMOS está alimentado a 12 V y usa transistores con $V_{tP} = -1{,}3$ V, $V_{tN} = 1{,}3$ V, $k_P = k_N = 2 \times 10^{-4}$ A/V^2. Ambos tienen capacidades de tensión cero *CBS* = *CBD* de 20 fF y *RD* = *RS* = 1Ω.

a) Utilizar el SPICE para obtener la función de transferencia estática.

b) Obtener con SPICE la corriente de la fuente de alimentación cuando la entrada es un pulso de 12 V de 30 ns de duración con tiempos de subida y caída de 1 ns.

c) Repetir la parte b) añadiendo a la salida del inversor una carga externa de 40 pF.

Solución a) La Figura 13.14a muestra el circuito y el código SPICE iniciales. La función de transferencia resultante, Figura 13.41b, tiene la forma general predicha en la Figura 13.11c.

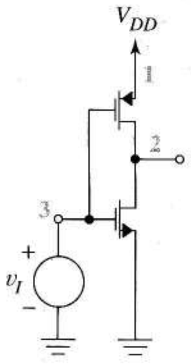
b) El pulso de entrada, retrasado 10 ns, se marca con un asterisco en el listado del SPICE, igual que la sentencia .TRAN que sustituye a la sentencia .DC en la segunda ejecución del SPICE. La forma de onda de la corrien-

te de la fuente de alimentación calculada por el SPICE se muestra en la Figura 13.14c. Sin carga, la corriente de alimentación está formada por picos muy estrechos de 1,3 mA de amplitud *para ambas transiciones lógicas*. La velocidad de cambio de estos picos es muy grande. A menudo se añaden condensadores de desacoplo entre la fuente de alimentación y masa para minimizar el acoplamiento de ruidos hacia otros circuitos a través de la alimentación.

c) Después de añadir el condensador de carga de 40 pF, el ancho del pulso original era demasiado pequeño para las constantes de tiempo del circuito, así que el pulso se ha ensanchado a 300 ns. La Figura 13.14d muestra la forma de onda resultante de la corriente de alimentación. El valor de pico es 11,4 mA, mucho mayor que la corriente de la Figura 13.14c cuando la puerta no tenía capacidad de carga. ❑

El producto potencia-retardo es una función de la frecuencia y por lo tanto no se puede comparar directamente con el *PDP* de otras familias lógicas. Sin embargo, en el sentido que el *PDP* denota la energía necesaria para cambiar el estado del inversor se puede usar la Ecuación (13.23) como el *PDP* de la familia CMOS. Al comparar las Ecuaciones (13.23) y (13.14) se aprecia una gran similitud. Esto es lógico porque los principios básicos de cambio de nivel lógico son los mismos en ambas familias: cargar y descargar la capacidad a través de resistencias no lineales.

```
EXAMPLE 13.3
MP 2 3 1 1 PCHAN
MN 2 3 0 0 NCHAN
.MODEL PCHAN PMOS VTO=-1.3 KP=2E-4
+CBS=20FF CBD=20FF RD=1 RS=1
.MODEL NCHAN NMOS VTO=1.3 KP=2E-4
+CBS=20FF CBD=20FF RD=1 RS=1
VDD 1 0 DC 12
VIN 3 0 DC 0
*VIN 3 0 PULSE(0 12 10N 1N 1N 30N 50N)
*.PLOT TRAN I(VDD)
*.TRAN 4N 50N
.DC VIN 0 12 0.12
.END
```



(a)

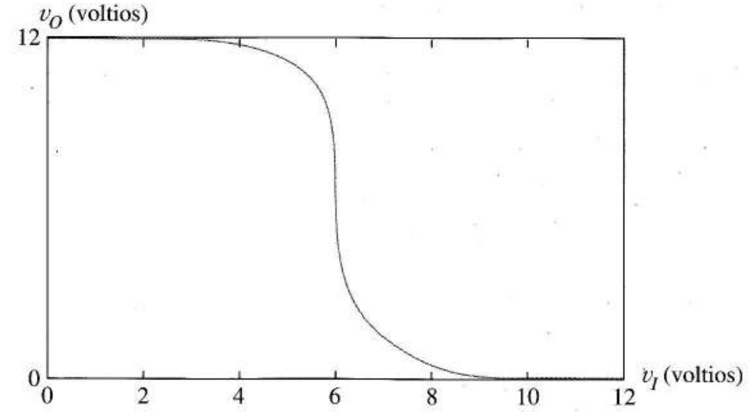
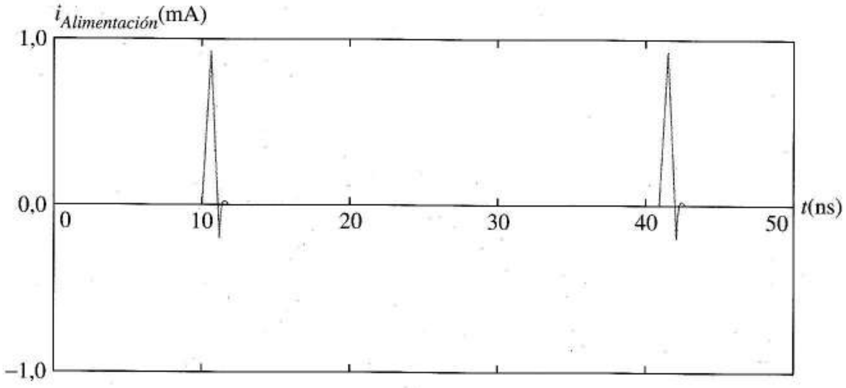
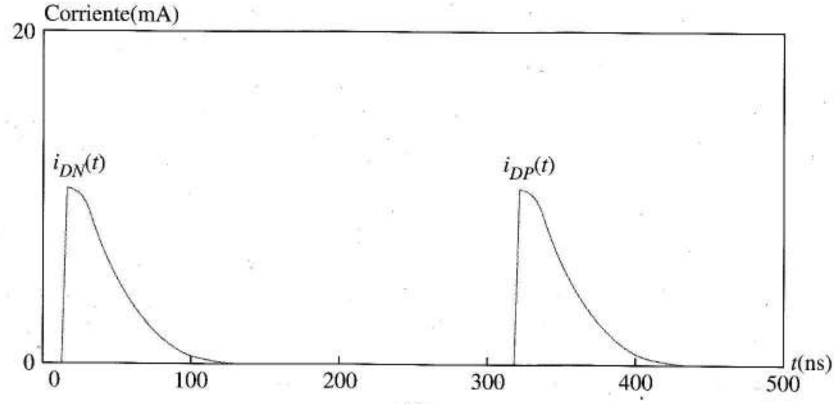


FIGURA 13.14 Función de transferencia CMOS y formas de onda de corriente: (a) circuito SPICE y código de la función de transferencia; (b) función de transferencia calculada; (c) corriente de alimentación de una puerta sin carga; (d) corrientes de drenador de los transistores con una capacidad de carga de 40pF.



(c)



(d)

FIGURA 13.14 (Continuación)

13.3.3 FUNCIONAMIENTO CON DOS FUENTES DE ALIMENTACIÓN

La versatilidad de la familia CMOS se extiende a sus fuentes de alimentación. Por simplicidad hemos descrito las puertas con una sola alimentación positiva; sin embargo la familia CMOS trabaja de la misma forma con una alimentación negativa, o con dos alimentaciones como en la Figura 13.15a. Con entrada uno, $v_I \approx V_{DD}$ así que M_P se corta, dejando la salida conectada a $-V_{SS}$ a través de un camino de baja impedancia. Cuando v_I está cercana a $-V_{SS}$, M_N se corta y $v_O = V_{DD}$. Por lo tanto, la función de transferencia tiene la forma de la Figura 13.15b. Los estados de los transistores en cada región son los descritos para las Figuras 13.11b y c. Observemos que la Figura 13.15b se reduce a la 13.11c con $V_{SS} = 0$. De hecho, la Figura 13.15b se aplica a cualquier par de valores de tensiones de alimentación que cumplan $V_{DD} > -V_{SS}$ siempre que su separación sea bastante grande como para permitir los cambios de estado de los transistores que definen las regiones 1–5 (suponiendo que no se superan los valores de disipación, ruptura y corriente de los transistores). Además, las configuraciones alternativas de alimentación no cambian la esencia del funcionamiento dinámico. Concluimos que las Ecuaciones (13.20), (13.23) y (13.24) describen el circuito con dos alimentaciones si V_{DD} se sustituye por $V_{DD} + V_{SS}$. Una consecuencia importante de esta versatilidad de las fuentes de alimentación es que es fácil conectar la familia CMOS a las otras familias lógicas.

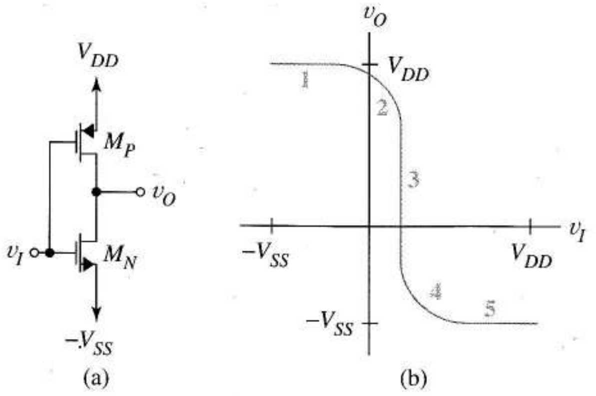


FIGURA 13.15 CMOS con dos alimentaciones: (a) esquema; (b) función de transferencia.

13.3.4 OTRAS FUNCIONES LÓGICAS

La Figura 13.16 muestra cómo se amplia el inversor CMOS para implementar otras funciones lógicas. Como en la familia NMOS representamos los transistores por interruptores ideales para poder comprender las funciones lógicas. En la familia CMOS los transistores de entrada están emparejados con transistores *pull-up* de forma que una tensión de entrada alta crea no sólo un camino desde la salida a masa si no que también interrumpe el camino de la salida a alimentación.

La Figura 13.16a es una puerta NOR de dos entradas porque v_Z toma un valor bajo si v_A OR v_B OR ambas son bastante altas para hacer conducir a sus transistores respectivos para formar un camino a masa. La Figura 13.16b muestra un equivalente cuando ambas entradas son bajas. Como la corriente de salida es cero M_2 y M_4 están ambos en estado óhmico, proporcionando un camino de baja resistencia hasta V_{DD}. La Figura 13.16c muestra una puerta NAND CMOS de dos entradas. Para este circuito la tensión de salida está baja sólo cuando ambas entradas están altas; por lo tanto el circuito realiza

$$Z = \overline{A \cdot B}$$

En CMOS, pasar de un simple inversor a un circuito de dos o más entradas es fácil conceptualmente, pero introduce nuevas complicaciones para el diseñador. Estas incluyen efecto de sustrato (ver M_4 en la Figura 13.16a), funciones de transferencia de formas diferentes dependiendo de cuantas entradas en paralelo se utilicen y una dinámica de puerta más compleja.

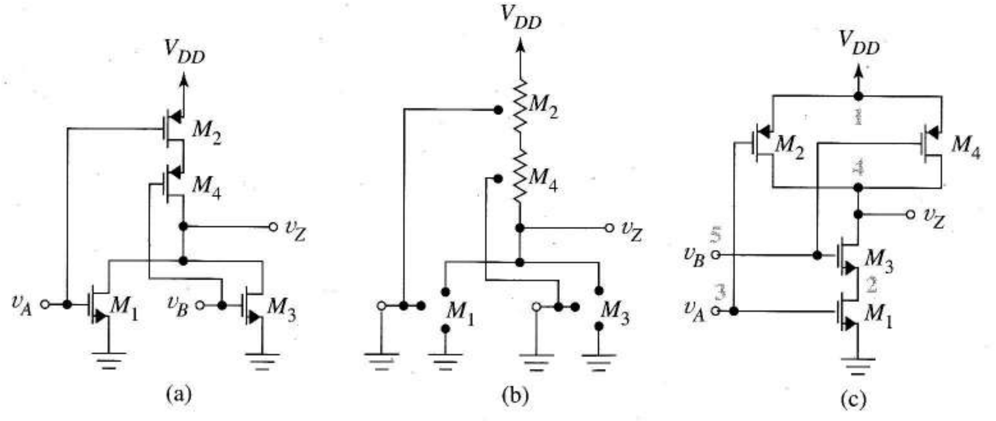


FIGURA 13.16 Puertas lógicas CMOS: (a) NOR de dos entradas; (b) equivalente de (a) cuando ambas entradas están a nivel bajo; (c) NAND de dos entradas.

Inversor BiCMOS El inversor BiCMOS de la Figura 13.17 es una modificación del inversor básico CMOS que facilita una carga y una descarga más rápidas de la capacidad de carga mientras preserva la propiedad de disipación de potencia casi nula en reposo. Cuando v_I es un cero lógico M_1 y Q_1 se cortan, y M_2 proporciona la corriente de base de Q_2 que carga la capacidad de carga.

Cuando v_I es un 1 lógico M_2 y Q_2 se cortan. Si C_L ha sido cargado a 1 lógico antes que v_I tomase valor 1 lógico Q_1 pasará a estado activo, con una corriente de base que viene de C_L a través de R_3 y M_1. Por lo tanto, Q_1 ayuda a descargar la capacidad de carga y después se corta, cuando se aproxima el equilibrio final. Mientras tanto, M_1, R_3 y R_4 proporcionan un camino de continua que asegura que $v_O = 0$ V. En el problema 13.29 se hace un examen detallado incluyendo modelos.

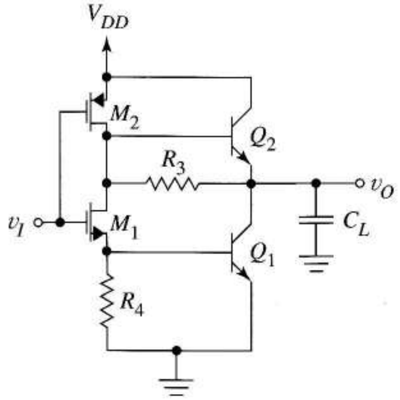


FIGURA 13.17 Inversor BiCMOS

13.4 CIRCUITOS LÓGICOS DE ARSENIURO DE GALIO

En el Capítulo 3 introdujimos el semiconductor compuesto arseniuro de galio en el Apartado 5.6.1. Como la tecnología de GaAs todavía es nueva aún no existe una normativa para las puertas de GaAs como la que hay para las de silicio. Aquí se estudian someramente varias de las familias lógicas MESFET que han sido propuestas. En general, las puertas MESFET tienen tiempos de propagación bajos, disipación de potencia alta y márgenes de ruido pequeños. Además de introducir la tecnología de GaAs digital, este apartado muestra la aplicación de nuestros conceptos de modelado general a un campo en desarrollo e introduce algunos nuevos como el desplazamiento de nivel en circuitos digitales.

13.4.1 LÓGICA DE DIODO SCHOTTKY FET

La Figura 13.18a muestra el inversor básico de una familia llamada de lógica de diodo Schottky FET o SDFL (Schottky Diode FET Logic). Aunque la puerta necesita alimentaciones positiva y negativa las entradas o salidas toman valores entre 0 y 2,5 V. La fuente de corriente B_1 mantiene S_1 y S_2 conduciendo. El par inversor B_2 y B_3 funciona como el inversor NMOS con carga activa de deplexión. Todos los transistores tienen longitudes de una micra y anchos

de canal de micras, como se muestra en el diagrama. B_3 es más ancho que B_2 para dar tensiones de salida de cero lógico bajas. Como veremos, los anchos relativos de B_2 y B_1 afectan al fan-out.

Ahora vamos a analizar el circuito, usando V_{ON} = 0,6 V para los diodos Schottky y V_t = –0,5 V para los transistores de deplexión. Suponemos que un transistor de ancho unidad tiene β = 0,07 mA/V^2. Entonces, para la geometría indicada en el diagrama β_1 = 0,35 mA/V^2, β_2 = 1,05 mA/V^2 y β_3 = 1,40 mA/V^2. Para el análisis manual simple ignoramos la saturación de la velocidad y el efecto Early.

Salida a 1 lógico Cuando la entrada es un cero lógico, o sea, 0 V, suponemos que B_3 está cortado y B_2 está en estado óhmico, como para el inversor NMOS con la salida a 1 lógico. B_1 es una fuente de corriente de

$$I_{D1} = 0{,}35 \times 10^{-3}(0 + 0{,}5)^2 = 88\ \mu\text{A}$$

La Figura 13.18b es el circuito equivalente. Como la tensión de puerta de B_3, –1,2 V, es menor que V_t = –0,5 V, B_3 está cortado como supusimos. B_2 está saturado pero entregando corriente cero, así que v_O = 2,5 V.

Cuando V_I crece la tensión de puerta de B_3 crece. B_3 empieza a conmutar cuando

$$v_I - 1{,}2 = -0{,}5\ \text{V}$$

esto es, cuando v_I = +0,7 V. Este es el punto 1 de la función de transferencia de la Figura 13.18c.

Salida a cero lógico Ahora estudiamos el circuito cuando la entrada es un 1 lógico proporcionado por la salida de una puerta idéntica, como en la Figura 13.18d. Como hay un camino para la corriente desde la alimentación positiva hasta la puerta de B_3 a través de los diodos, la unión Schottky puerta-fuente de B_3 conduce, así que modelamos el transistor como en la Figura 13.18d. Para el transistor de carga activa de la puerta de gobierno

$$v_{DG} = 2{,}5 - 1{,}8 = 0{,}7\ \text{V}$$

por lo tanto en la etapa anterior B_2 está activo y proporciona una corriente de entrada

$$i_D = 1{,}05 \times 10^{-3}(0 + 0{,}5)^2 = 263\ \mu\text{A}$$

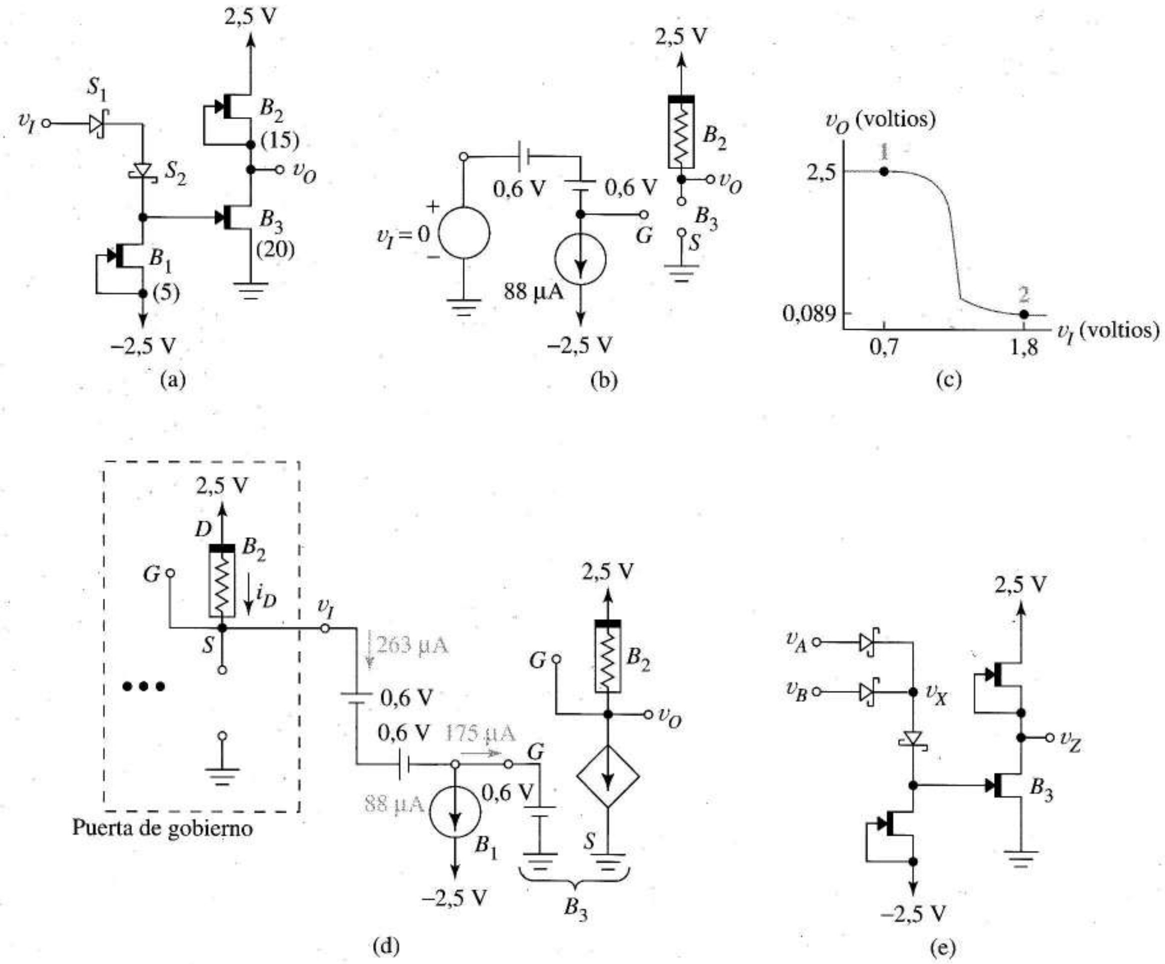


FIGURA 13.18 Inversor SDFL: (a) circuito; (b) equivalente con la entrada a 0 lógico; (c) función de transferencia estimada; (d) equivalente con la entrada a 1 lógico; (e) puerta NOR SDFL de dos entradas.

De ésta, 88 µA van a través de la fuente de corriente B_1 y el resto a través de la unión puerta fuente de B_3. El exceso de corriente, 263 − 88 = 175 µA, está disponible para gobernar otras puertas de carga. Cada una de ellas absorbería al menos 88 µA para su fuente de corriente, así que 175/88 = 2 puertas de carga adicionales que pueden poner su entrada a 1 lógico, dando entonces este diseño de puerta un *fan-out* total de 3.

Para obtener la tensión de salida de 0 lógico igualamos las corrientes de los circuitos de salida de B_3 y B_2, suponiendo el primero óhmico y el segundo activo. Esto da

$$1{,}4\times10^{-3}\left[2(0{,}6+0{,}5)(v_O)-(v_O)^2\right]=1{,}05\times10^{-3}(0{,}50)^2$$

que tiene como solución $v_O = 0{,}0891$ V y es coherente con nuestras suposiciones acerca de los estados de los transistores de salida. Este es el cero lógico correspondiente al punto 2 de la Figura 13.18c.

Observemos en la Figura 13.18d que si v_I se reduce por debajo de 1,8 V, la tensión puerta-fuente de B_3 empezará a disminuir, estando siempre dos caídas de tensión Schottky por debajo de v_I. Esto hace que disminuya la corriente de B_3 y crezca v_O, como se indica en la Figura 13.18c. La función de transferencia que hemos obtenido es *la característica de circuito abierto* de la puerta. Al contrario que las puertas NMOS y CMOS que no tienen corriente de entrada estática, las puertas SDFL tienen función de transferencia diferentes bajo condiciones de carga.

La Figura 13.18e muestra cómo los diodos Schottky adicionales de la entrada transforman el inversor en una puerta NOR de entradas múltiples. Si v_A o v_B son altas la puerta de B_3 conduce y v_Z está baja. Si sólo una entrada está baja su diodo de entrada estará cortado. Cuando ambas entradas están bajas B_3 se corta y la salida está alta.

Como la conducción puerta-fuente es normal en algunas familias lógicas de GaAs, cuando no se dispone de un modelo SPICE del MESFET es más apropiado utilizar como modelo SPICE un JFET que un MOSFET de deplexión. La Figura 13.19 compara los resultados obtenidos con SPICE al modelar la puerta de circuito abierto que hemos estudiado con JFET y MESFET usando $\alpha = 2$. El problema 13.37 proporciona información adicional para las simulaciones de SPICE.

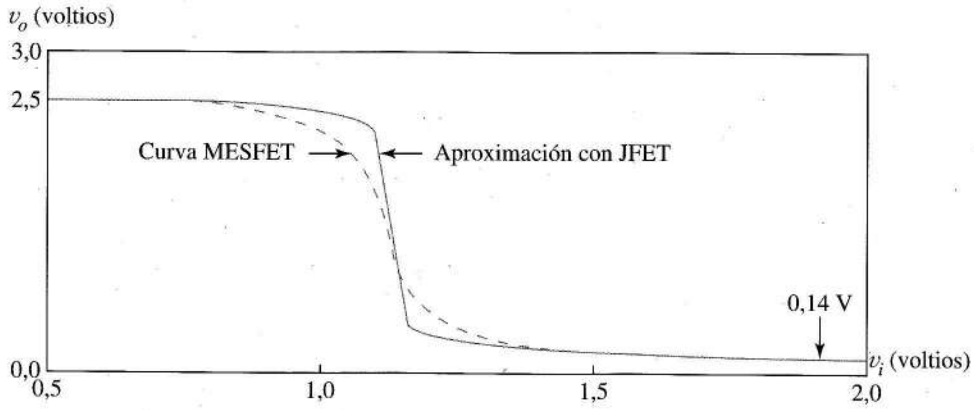


FIGURA 13.19 Función de transferencia SDFL estimadas con SPICE obtenida usando los modelos de JFET y MESFET.

Los márgenes de ruido y los tiempos de propagación se pueden estimar aplicando los principios de cálculo manual utilizados para las puertas NMOS. Estas ideas se desarrollan en los problemas 13.35 y 13.36. Debido a la saturación de velocidad quizás sea más apropiada la simulación con modelos realistas. Este punto se ilustra para la próxima familia lógica de GaAs.

13.4.2 LÓGICA BUFFERED FET

La Figura 13.20a muestra el inversor en BFL (*Buffered FET Logic*). B_1 y B_2 son cargas activas de deplexión como la de la Figura 13.9a; sin embargo, como los MESFETs tienen V_t negativa, v_I debe ser negativa para cortar B_1. Esto significa que el circuito simple con dos MESFETs no puede funcionar como una puerta porque el margen de salida de v_X (0 a 2,5 V) nunca es suficientemente negativo para ser compatible con la entrada a una puerta idéntica. Para crear niveles compatibles de entrada y salida es necesario añadir un desplazador de nivel formado por B_3, B_4 y los diodos.

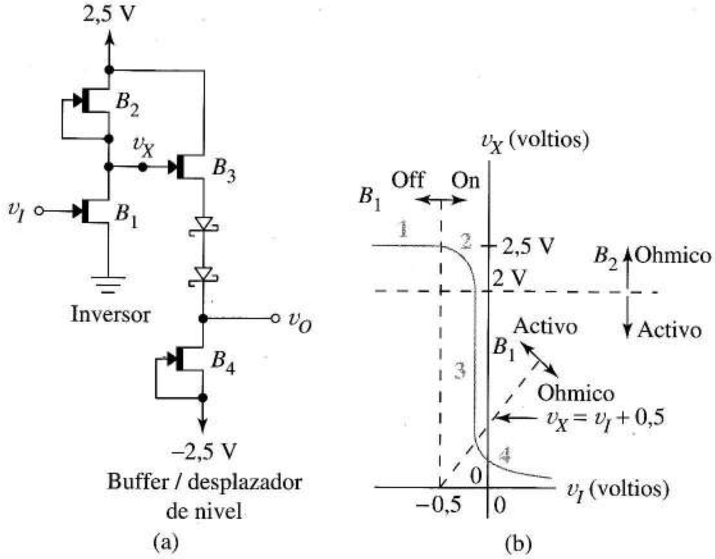


FIGURA 13.20 Puerta inversora BFL: (a) esquema; (b) característica del subcircuito inversor.

Primero consideramos el funcionamiento del inversor sólo, suponiendo que no está cargado con el desplazador de nivel. Todos los MESFETs tienen $V_t = -0,5$ V y $\beta = 1,4 \times 10^{-3}$ A/V^2 excepto B_1 que tiene $\beta_1 = 1,4 \times 10^{-3}$ A/V^2. Este análisis aproximado ignora la saturación de velocidad y el efecto Early.

La característica de salida de B_1 y la recta de carga de B_2 se parecen a la Figura 13.9b. Por lo tanto, para $v_I \leq V_t$, B_1 está cortado, B_2 está saturado y la salida es $v_X = 2,5$ V. Esto da el segmento **1** de la Figura 13.20b.

Cuando hacemos $v_I \geq V_t$ B_1 entra en conducción. B_2 permanece en estado óhmico mientras

$$v_{DG2} = 2,5 - v_X \leq 0,5 = -V_t$$

esto es, para $v_X \geq 2$ V. Cuando se incrementa v_I, B_1 cambia a funcionamiento activo cuando

$$v_{DG1} = v_X - v_I \geq 0,5 = -V_t$$

o para $v_X \geq v_I + 0,5$. La Figura 13.20b muestra estas inecuaciones en el plano $v_X - v_I$. En el segmento 2 la corriente de drenador de B_1 en estado activo es igual a la de B_2 en estado óhmico, así que la función de transferencia se describe por

$$1,4 \times 10^{-3}\left(v_I + 0,5\right)^2 = 0,7 \times 10^{-3}\left[2(0 + 0,5)(2,5 - v_X) - (2,5 - v_X)^2\right] \qquad (13.25)$$

Esta función cuadrática es la ecuación del segmento **2** de la Figura 13.20b.

Una vez que la curva cruza la línea $v_X = 2$ V ambos MESFET están activos y tenemos el segmento **3** que cumple

$$1,4 \times 10^{-3}(v_I + 0,5)^2 = 0,7 \times 10^{-3}(0 + 0,5)^2 = 175\ \mu\text{A} \qquad (13.26)$$

la ecuación para una línea vertical en $v_I = -0,146$ V.

Finalmente, para v_I suficientemente grande B_1 también pasa a estado óhmico y

$$i_{D1} = 1{,}4 \times 10^{-3}\left[2(v_I + 0{,}5)v_X - v_X^2\right] = i_{D2} = 175\ \mu\text{A} \tag{13.27}$$

describe el segmento **4**.

Ahora estudiamos el desplazador de nivel. Como B_4 está configurado como una fuente de corriente suponemos que B_4 está activo y proporcionando una corriente

$$i_{D4} = 0{,}7 \times 10^{-3}(0 + 0{,}5)^2 = 175\ \mu\text{A} \tag{13.28}$$

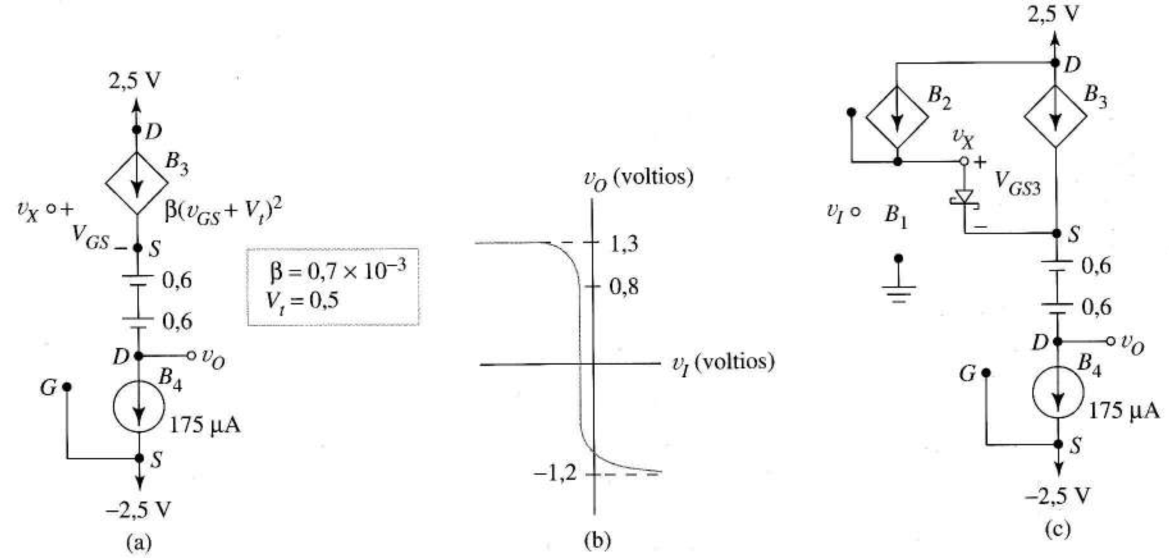


FIGURA 13.21 Desplazador de nivel: (a) equivalente con ambos transistores activos; (b) función de transferencia después de un desplazamiento de nivel ideal; (c) equivalente cuando B_3 está en estado óhmico con la corriente de puerta suministrada desde B_2.

a los diodos Schottky. Suponiendo también que B_3 está activo dibujamos la Figura 13.21a. Como B_3 y B_4 son idénticos, activos y conducen la misma corriente, la v_{GS} de B_3 debe ser igual a la $v_{GS} = 0$ de B_4. Esto implica que la ecuación del desplazador de nivel es

$$v_O = v_X - 1{,}2 \tag{13.29}$$

Como sugiere su nombre, el circuito desplaza la característica de la Figura 13.20b idealmente 1,2 V hacia abajo dando la característica del inversor de la Figura 13.21b.

En realidad, cuando en la Figura 13.20a v_X supera los 2 V B_3 pasa a estado óhmico. Una vez que esto sucede es posible que las corrientes de B_3 y B_4 difieran porque la corriente de la puerta fluye de B_2 a B_3. Esta corriente es tan pequeña que la característica v_X *versus* v_I no cambia; el efecto que produce esta corriente es desplazar v_O un poco más abajo de lo que predice la Ecuación (13.29) debido a la pequeña caída de tensión del diodo, V_{GS3}, mostrado en la Figura 13.21c. Estudiando esto mediante la simulación se ve que cerca de $v_X = 2$ V la Ecuación (13.29) se convierte en la ecuación

$$v_O = v_X - 1{,}45 \tag{13.20}$$

que hace que el nivel $v_X = 2{,}5$ V de la Figura 13.20b pase a dibujarse a 2,5 – 1,45 = 1,05 V en lugar de a 1,3 V. Por lo tanto, es de esperar que la función de transferencia tenga la forma de la Figura 13.22a. La Figura 13.22b es la función de transferencia obtenida a partir de la simulación de SPICE. La curva de trazos muestra cómo cambia la función de transferencia cuando hay una puerta de carga. Esta es así porque la unión puerta-fuente del transistor de entrada conduce, fijando la salida de la puerta precedente a 0,56 V.

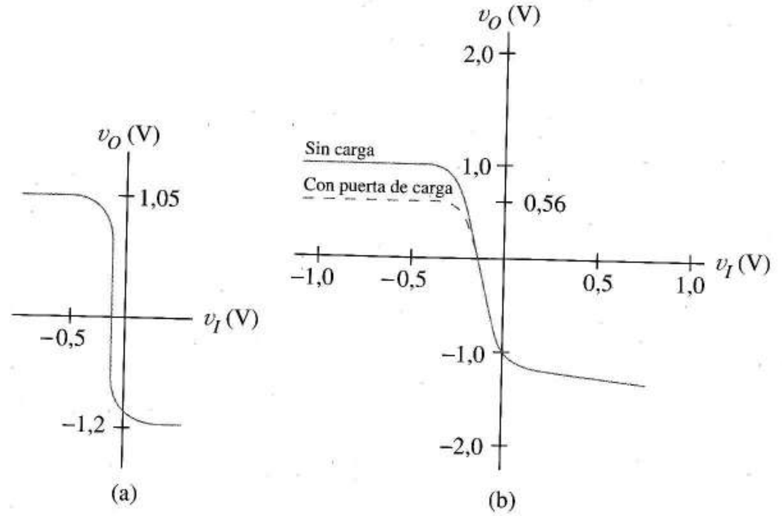


FIGURA 13.22 Función de transferencia del inversor BFL: (a) estimada; (b) simulada.

Estimando los márgenes de ruido a partir de la curva de transferencia obtenida de los datos de salida del SPICE, que incluye una puerta de carga en la salida, se obtiene

$$NMH = 0{,}56 - (-0{,}07) = 0{,}63 \text{ V}$$

$$NML = -0{,}215 - (-1{,}154) = 0{,}939 \text{ V}$$

En la simulación se obtuvo una disipación media de potencia de 1,1 mW, un resultado fácilmente comprobable mediante cálculo manual. Las Figuras 13.21a y b muestran que para una entrada de cero lógico circulan 175 μA a través de las alimentaciones, que suman 5 V, para dar 0,875 mW. Cuando la entrada es un 1 lógico circulan 175 μA adicionales desde la alimentación de +2,5 V hasta masa a través de B_1 y B_2; por lo tanto, la potencia total para el 1 lógico es (0,875 + 0,438) = 1,313 mW. La media es 1,094 mW.

En una simulación SPICE se usó un pulso de entrada de 1,4 V superpuesto a una tensión continua de –1 V para estudiar la respuesta dinámica de la puerta. Se añadió una puerta de carga a la salida de la puerta de prueba poniendo 0,5 FF como valor de capacidad de polarización cero para los diodos Schottky y también para las C_{GS} y C_{GD} de cada transistor. La simulación dio un tiempo de propagación de $t_P = 300$ ps. Combinándolo con la disipación de 1,1 mW el *PDP* fue de 0,33 pJ para la puerta de prueba.

Como con la familia NMOS, podemos obtener la función NOR añadiendo en la Figura 13.20a transistores de entrada en paralelo con B_1. De momento el *fan-out* y el *fan-in* están limitados a dos o tres.

13.4.3 LÓGICA DE FETS ACOPLADOS DIRECTAMENTE

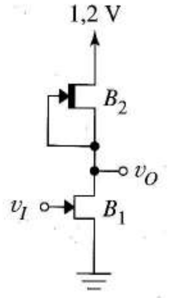


FIGURA 13.23 Inversor de lógica de FETs acoplados directamente.

Una estructura más simple y una sola alimentación son las ventajas de la puerta de lógica de FETs *acoplados directamente* o *DCFL* (*Direct-Coupled FET Logic*). Figura 13.23 En esta puerta los niveles de entrada y salida son compatibles porque V_t es positiva para el transistor de enriquecimiento B_1. Para obtener la función NOR se añaden transistores de entrada en paralelo con B_1. Como el circuito es conceptualmente idéntico a la puerta NMOS de la Figura 13.9a, excepto por la fijación de la tensión de salida cuando la corriente de puerta circula por la unión Schottky puerta-fuente de la puerta de carga, dejamos su estudio para el problema 13.40.

13.5 CIRCUITOS LÓGICOS TTL

La lógica transistor-transistor o TTL (Transistor-Transistor Logic) es la más antigua en uso y una de las familias lógicas de más éxito. A él contribuyeron su alimentación de 5 V y un buen compromiso entre velocidad y disipación de potencia. Su capacidad para gobernar cargas que no fueran chips le permitió dominar las aplicaciones de lógica discreta incluyendo los SSI y MSI y todavía es el estándar de hecho para la conexión entre computadores y otros dispositivos. Otra razón que explica la longevidad de la familia TTL ha sido su capacidad para evolucionar hacia nuevas formas que se adaptasen a las necesidades de la aplicación y los avances de la tecnología. Las subclases de TTL Early-on, baja potencia y alta velocidad permitieron a los diseñadores aplicar la TTL a problemas especiales sin tener que dominar los detalles de diseño de familias nuevas. Un avance reciente de la TTL incluyó la sustitución de ciertos transistores por transistores "*no saturados*" con diodos Schottky o *transistores Schottky*, un cambio que condujo a una mejora significativa de la velocidad a la vez que mantuvo las mismas estructuras generales de los circuitos y reglas de diseño. Las puertas TTL clásicas fijaban niveles lógicos 0 robustos usando transistores saturados como interruptores cerrados; sin embargo, las cargas minoritarias almacenadas en las bases de estos transistores daban como resultados tiempos de propagación de cero a uno mucho mayores que los tiempos de propagación de uno a cero. Como veremos, la no saturación con diodos da un interruptor de transistor que se parece al interruptor clásico en todos los aspectos menos en el tiempo de almacenamiento de la carga. Como la TTL clásica ha sido sustituida en gran parte por esta *Schottky TTL* (STTL), introduciremos los principios de TTL usando transistores con diodos Schottky. Un vistazo a la Figura 13.37e que compara las respuestas de los inversores TTL clásico y TTL Schottky para un mismo pulso de entrada deberían proporcionar la motivación adecuada para el siguiente estudio de cómo evitar la saturación con un diodo Schottky.

13.5.1 TRANSISTOR NO SATURADO[1] CON DIODO SCHOTTKY

La Figura 13.24a muestra un transistor "no saturado" con diodo Schottky y la Figura 13.24b su representación esquemática. Vimos en el Capítulo 3 que el diodo Schottky de silicio tiene dos características especiales: una tensión de conducción directa de 0,4 V y conmutación rápida debido a que

[1] N. del T.: el término "no saturado" representa un estado próximo a la saturación pero sin entrar en ella con lo que el sistema crece en velocidad. En algunas ocasiones se le podrá llamar "estado clamp", usando la terminología anglosajona, o cuasi-saturado.

no emplea portadores de carga minoritarios. Ahora veremos que el transistor Schottky es un dispositivo de cuatro estados; dos de ellos ya nos son familiares y los otros dos aún no.

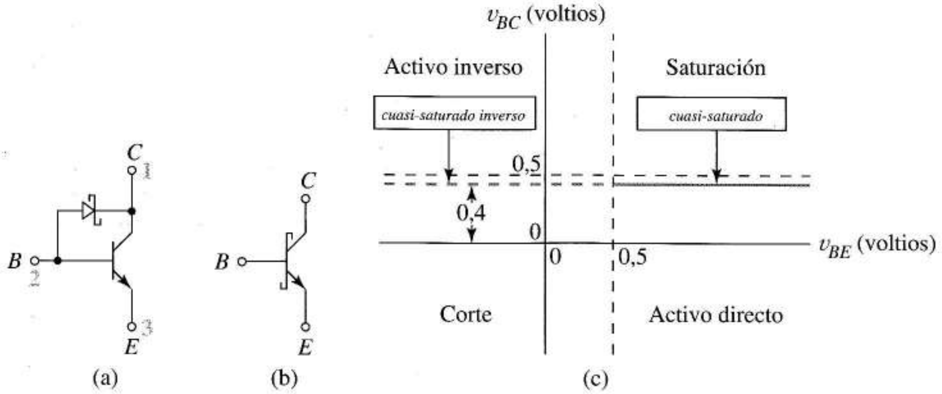


FIGURA 13.24 Transistor Schottky: (a) componentes; (b) símbolo especial; (c) modos de funcionamiento comparados con los del transistor bipolar ordinario.

La Figura 13.24c muestra que el diodo que evita la saturación modifica el comportamiento habitual de cuatro estados, tal como se definían en la Figura 4.4. Cuando $v_{BC} < 0{,}4$ V el diodo está abierto y el transistor funciona en sus estados usuales de corte o activo directo. Sin embargo debido al diodo Schottky, v_{BC} no puede superar el nivel de 0,4 V indicado por la línea horizontal en negrita. Por lo tanto, el transistor nunca puede saturarse o funcionar en modo activo inverso. En lugar de eso tenemos dos estados del transistor nuevos definidos por la línea en negrita que es donde el diodo Schottky conduce. Un estado, llamado el estado "*cuasi-saturado*"[1], se obtiene cuando $v_{BE} \geq 0{,}5$ V; el otro, igual pero *inverso*, se aplica cuando $v_{BE} \leq 0{,}5$ V. Estudiemos ahora estos dos estados nuevos del transistor.

Funcionamiento en estado de no saturación Podemos modelar el transistor "no saturado" como en la Figura 13.25a. Aplicando la ley de Kirchhoff para las corrientes a los nodos de base y colector se obtiene la ecuación matricial

$$\begin{bmatrix} 1 & 1 \\ -1 & \beta_F \end{bmatrix} \begin{bmatrix} i_D \\ i_{BI} \end{bmatrix} = \begin{bmatrix} i_B \\ i_C \end{bmatrix}$$

que tiene la solución

$$i_D = \frac{\beta_F i_B - i_C}{\beta_F + 1} \tag{13.31}$$

Una condición necesaria para la no saturación, además de $v_{BE} \geq 0$, es que el diodo Schottky conduzca, esto es, $i_D \geq 0$. Esto significa que en la Ecuación (13.31) debe cumplirse

$$\beta_F i_B \geq i_C \tag{13.32}$$

Por lo tanto el estado "*cuasi-saturado*" se parece a la saturación del transistor; sin embargo la definición de i_B en la Figura 13.25a muestra que se aplica al transistor Schottky como un todo.

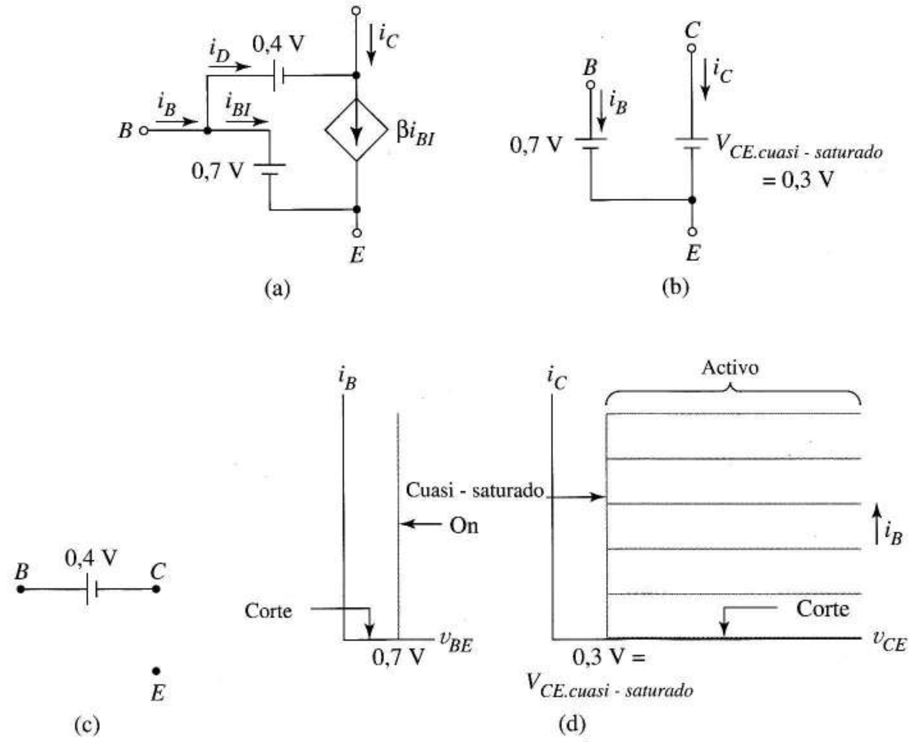


FIGURA 13.25 Transistor Schottky: (a) modelo para analizar el estado cuasi-saturado; (b) circuito equivalente en estado cuasi-saturado; (c) circuito equivalente en estado cuasi-saturado inverso; (d) característica de entrada y salida.

Hay otra similitud entre un transistor "no saturado" con diodo Schottky y un transistor bipolar ordinario saturado. Observe en la Figura 13.25a que para el transistor no saturado $V_{CEcuasi\text{-}saturado} = 0{,}7 - 0{,}4 = 0{,}3$ V, una tensión constante que es independiente de i_C. Esto significa que podemos usar el equivalente más simple de la Figura 13.25b para representar el transistor "no saturado" con diodo Schottky, siempre que se cumpla la Ecuación (13.32). después de comparar este modelo con la Figura 4.10 concluimos que el estado cuasi-saturado en un transistor Schottky es casi idéntico a la saturación de un transistor ordinario. La diferencia principal es que el transistor Schottky puede salir muy rápidamente del estado de cuasi-saturado porque la capacidad de difusión (almacenamiento de carga) no influye en la conmutación.

Incidentalmente es posible que el transistor "no saturado" tenga una corriente de colector negativa en la Figura 13.25a. Si la unión base-colector está sometida a polarización directa muy fuerte, i_D puede superar βi_B. La Figura 4.8 mostraba que un transistor saturado también puede tener corriente de colector negativa si la polarización directa base emisor es suficientemente grande.

Estado "cuasi-saturado" inverso La Figura 13.24c muestra que si el diodo está conduciendo y la unión base emisor está polarizada inversamente es posible otro estado. Como el transistor bipolar subyacente está cortado, el modelo para el estado cuasi-saturado inverso es el de la Figura 13.25c.

Estados activo y de corte Si no se cumple la Ecuación (13.32) el diodo está cortado y tenemos sólo el transistor bipolar, que puede estar activo o cortado dependiendo de si $i_B \geq 0$. En estas regiones modelamos el transistor Schottky con los modelos usuales activo y de corte del transistor bipolar.

Como conclusión de este desarrollo podemos visualizar el transistor Schottky de la Figura 13.24b como un dispositivo con curvas características de entrada y salida como las de la Figura 13.25d. Comparado con el transistor saturado, la única diferencia es que $V_{CE,sat} \approx 0{,}2$ V se sustituye por $V_{CEcuasi\text{-}saturado} \approx 0{,}3$ V.

Estructura física del transistor Schottky La Figura 13.26 muestra que no son necesarios pasos especiales para fabricar transistores Schottky. Simplemente se permite el contacto de base de aluminio o platino durante la metalización para solapar las regiones de base y colector. El contacto con el silicio de la base es óhmico; sin embargo como el colector está poco dopado en la región de solapamiento el contacto forma una unión Schottky rectificadora, haciendo que el dispositivo sea funcionalmente equivalente a la Figura 13.24a.

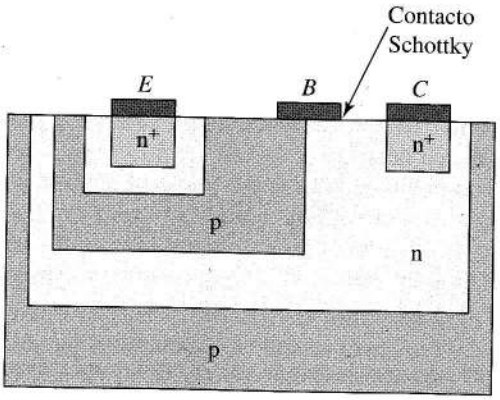


FIGURA 13.26 Estructura física del transistor Schottky.

13.5.2 CARACTERÍSTICAS DE TRANSFERENCIA DEL INVERSOR TTL BÁSICO

La Figura 13.27a muestra un inversor TTL simplificado. El circuito pone la salida a 1 lógico haciendo que Q_2 se corte y no saturando (*clamp*) a Q_2. El análisis que sigue supone que los parámetros de los transistores y el diodo son

$$\beta_F = 30, \quad V_{CEcuasi\text{-}saturado} = 0{,}3 \text{ V}, \quad V_{BE,o} = 0{,}7 \text{ V} \text{ y } V_D = 0{,}4 \text{ V}$$

Salida a 1 lógico Suponga que v_I es una tensión cero lógica producida por otra puerta TTL; entonces $V_I = v_{CE,cuasi\text{-}saturado} \approx 0{,}3$ V. Como el circuito es un inversor supongamos que Q_2 está cortado. Esto da la Figura 13.27b, donde suponemos que el diodo no conduce porque la corriente de base de Q_2 es despreciable. En la Figura 13.27b el circuito parece polarizar directamente la unión base emisor de Q_1, así que razonamos que este transistor está conduciendo. Entonces

$$i_{B1} = \frac{5-(0{,}3+0{,}7)}{2{,}8 \text{ k}} = 1{,}43 \text{ mA} \tag{13.33}$$

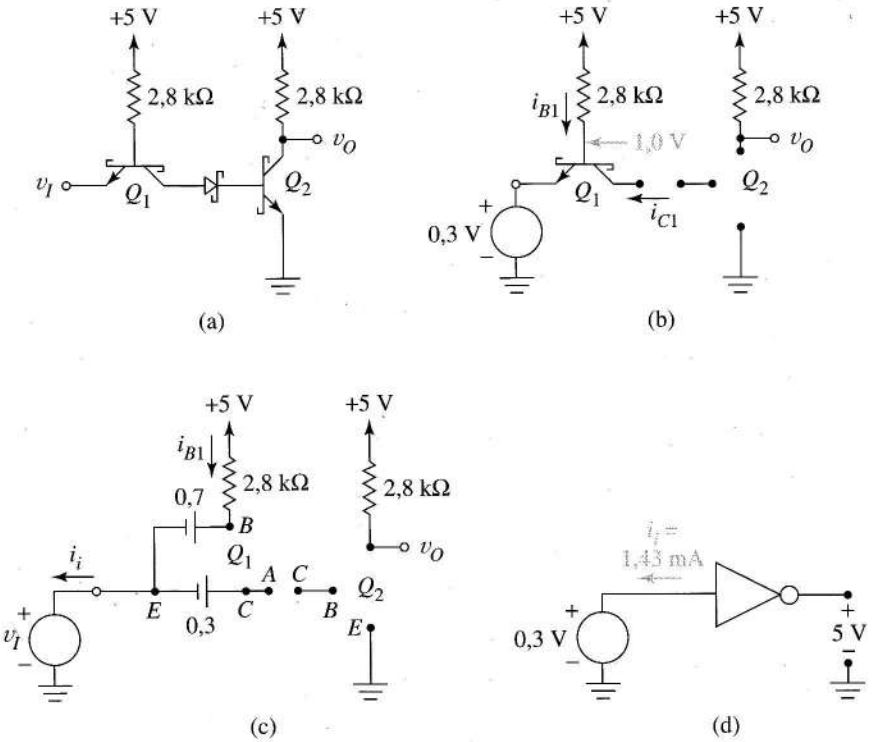


FIGURA 13.27 Inversor TTL simplificado: (a) esquema; (b) con Q_2 cortado; (c) con Q_1 no saturado y Q_2 cortado; (d) corriente de entrada cuando la entrada es un cero lógico.

Como la corriente inversa que viene del diodo y del transistor cortado ($i_C \approx 10^{-16}$ A) asegura que $30i_{B1} > i_{C1}$ concluimos que Q_1 está "no saturado".

Como Q_1 está "no saturado" dibujamos la Figura 13.27c. Vemos en la entrada que v_I tiene que ser capaz de *absorber* una corriente $i_I = i_{B1}$, que según la Ecuación (13.33) es

$$i_I \approx 1{,}43 \text{ mA} \tag{13.34}$$

La Figura 13.27d muestra este resultado importante desde la perspectiva del usuario de puertas.

Podemos utilizar la Figura 13.27c para verificar que Q_2 está cortado, porque cuando $v_I = 0{,}3$ V la tensión resultante de ánodo de 0,6 V es insuficiente para hacer conducir al diodo y al transistor. El circuito también muestra que cuando v_I crece la tensión en el ánodo del diodo decrece y al final alcanza un valor suficiente para hacer conducir al diodo y al transistor. Si la tensión de corte de Q_2 es 0,5 V

$$v_I + 0{,}3 = 0{,}4 + 0{,}5 \text{ V o } v_I \approx 0{,}6V$$

Acabamos de explicar el segmento 1 de la función de transferencia estática de la puerta, Figura 13.28. Como $v_o = v_{CE2}$ es grande en corte, Q_2 cambia a funcionamiento activo para $v_I = 0{,}6$ voltios, dando el segmento 2. En lugar de examinar en detalle esta región es más simple saltar al segmento 3.

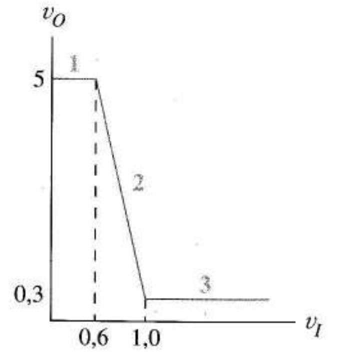


FIGURA 13.28 Función de transferencia del inversor simplificado cuando no hay carga en la salida.

Salida a 0 lógico Para una entrada a 1 lógico, tal que 5 V, Q_2 debe estar "no saturado" dando la Figura 13.29a. Con Q_2 "no saturado" i_{B2} debe ser positiva e i_{C1} negativa. Como el diodo Schottky conduce cuando $v_{BC1} = 0{,}4$ V y la unión base-colector (en paralelo) sólo cuando $v_{BC1} = 0{,}5$ V deducimos que el diodo Schottky de Q_1 está conduciendo. Esto hace que

$$V_{B1} = 0{,}7 + 0{,}4 + 0{,}4 = 1{,}5 \text{ V}$$

Si esto es verdad entonces

$$V_{BE1} = 1{,}5 - 5 = -3{,}5 \text{ V}$$

y la unión base-emisor está polarizada inversamente. Por lo tanto suponemos que Q_1 está en estado "cuasi-saturado" inverso y usamos el modelo de la Figura 13.25c para dibujar la Figura 13.29b. Las corrientes y tensiones de este circuito confirman la suposición del estado. La corriente de base del transistor de salida es

$$i_{B2} = \frac{5 - 1{,}5}{2{,}8 \text{ k}} = 1{,}25 \text{ mA} \tag{13.35}$$

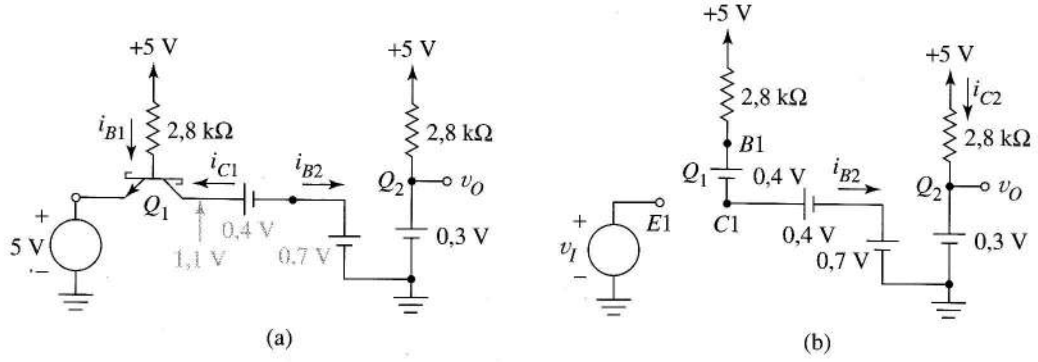


FIGURA 13.29 Circuito equivalente con la salida a cero lógico: (a) suponiendo que Q_1 está cuasi-saturado; (b) suponiendo que además Q_1 está cuasi-saturado inversamente.

y

$$i_{C2} = \frac{5-0{,}3}{2{,}8\ \text{k}} = 1{,}68\ \text{mA} \qquad (13.36)$$

Puesto que

$$\beta_F i_{B2} = 30(1{,}25\ \text{mA}) = 37{,}5\ \text{mA} > i_{C2}$$

Q_2 en efecto está "no saturado". En la Figura 13.29b cuando v_I decrece Q_1 se mantiene en la región 3 de la Figura 13.28; sin embargo, todavía tenemos que justificar el límite inferior de la región 3, $v_I = 1{,}0$ V.

En la Figura 13.29 cuando v_I se reduce de 5 V a valores más bajos la polarización inversa de la unión base-emisor de Q_1 disminuye. Finalmente se alcanza el valor de corte y Q_1 comienza a cambiar de estado. Esto sucede cuando

$$v_{B1} - v_I = 1{,}5 - v_I = 0{,}5\ \text{V}$$

o sea, cuando $v_I = 1{,}0$ V. Esto completa la explicación del segmento 3 de la Figura 13.28. Durante la transición de la salida de 1 lógico a 0 lógico Q_2 pasa por el estado activo directo y el circuito funciona como un amplificador inversor dando el segmento 2.

13.5.3 EFECTOS DE CARGA ESTÁTICOS

La función de transferencia de la Figura 13.28 es una *característica sin carga* porque en nuestro análisis el inversor no tenía carga externa. Examinemos los efectos que se producen al cargar la salida del inversor.

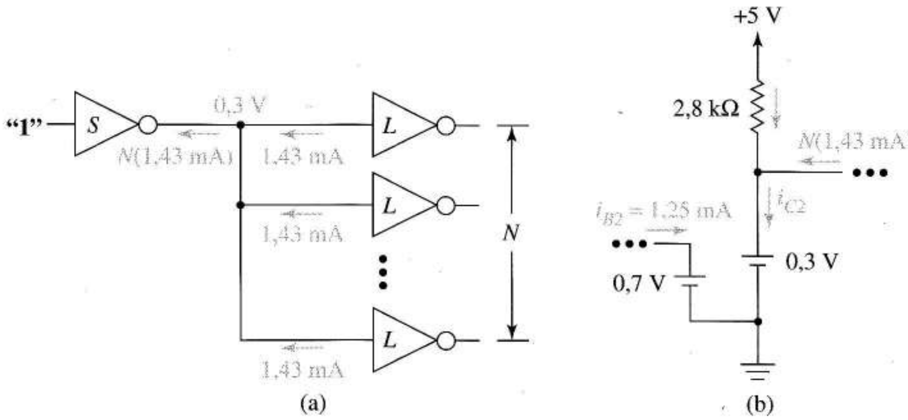


FIGURA 13.30 *Fan-out:* (a) carga sobre una salida a 0 lógico; (b) circuito equivalente para calcular el *fan-out*.

En la lógica TTL el *fan-out* está limitado por la cantidad de corriente que puede absorber (de puertas de carga externas a 0 lógico) el transistor de salida de la puerta fuente sin dejar de estar "no saturado". La Figura 13.30a muestra a la puerta S intentando mantener el 0 lógico mientras absorbe las corrientes de N puertas de carga. La Figura 13.30b muestra el circuito equivalente de salida de S. Como la carga no afecta a la entrada de S, el transistor de salida tiene una corriente de base de

1,25 mA como indica la Ecuación (13.35). Para mantenerse "no saturado" es necesario que $\beta i_B \leq i_C$, incluso con carga externa. Según la Figura 13.30b esto significa

$$30(1{,}25 \times 10^{-3}) \geq N\, 1{,}43 \times 10^{-3} + \frac{5 - 0{,}3}{2{,}8\ \text{k}}$$

que da un *fan-out* de $N \leq 25{,}05$ puertas de carga o un máximo entero de $N = 25$ puertas. En la práctica, cuando se tienen en cuenta las tolerancias de los componentes, se usa un valor de N menor.

13.5.4 CIRCUITOS DE SALIDA TTL

Las puertas TTL emplean dos tipos de circuitos de salida, *pull-up pasivo* y *pull-up activo*. El *pull-up* pasivo es más simple; el activo es más común. La diferencia funcional principal es la velocidad a la que la puerta carga las capacidades asociadas a las cargas externas. Como en los estudios anteriores de la dinámica de la puerta simplificamos el circuito TTL reduciendo todas las capacidades internas y de carga a un condensador equivalente único, C_L.

Pull-up* pasivo** El *pull-up* pasivo emplea un transistor de salida y una *resistencia de pull-up*, que la mayoría de las veces es un componente que pone el usuario entre el colector y la alimentación, como en la Figura 13.31a. Un circuito de entrada, no mostrado en la figura, traduce los niveles lógicos de entrada a las corrientes de base adecuadas para gobernar el transistor de salida. Los puntos ***a y ***c*** de la Figura 13.31b muestran, respectivamente, los puntos de funcionamiento en equilibrio correspondientes a 1 y 0 lógicos.

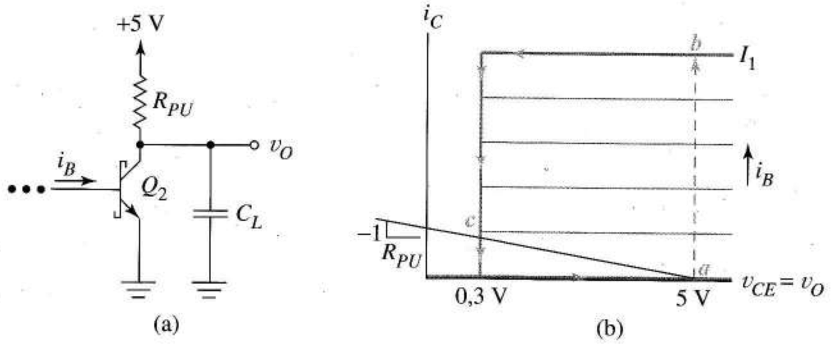


FIGURA 13.31 *Pull-up* pasivo: (a) circuito de salida; (b) trayectoria de conmutación sobre las características de salida.

Supongamos que inicialmente el inversor está en equilibrio con la salida a 1 lógico. Q_2 está cortado y C_L cargado a 5 V. Si un cambio de la entrada de la puerta hace que de repente la corriente de base crezca hasta $i_B = I_1$, v_O no puede cambiar instantáneamente al valor 0 lógico del punto ***c*** porque v_O es la tensión del condensador. Como en la puerta NMOS descrita por la Figura 13.6d, el transistor de salida pasa temporalmente a estado activo, y en la Figura 13.31b el punto de funcionamiento salta a ***b***. Una vez que el transistor está activo C_L se descarga rápidamente de acuerdo con

$$-C_L \frac{dv_O}{dt} = \beta I_1 - \frac{5 - v_O}{R_{PU}} \approx \beta I_1$$

hasta el punto ***c***. El tiempo de propagación resultante, t_{PHL}, es pequeño y no hay problema con esta transición.

La limitación seria del *pull-up* pasivo se pone de manifiesto durante el transitorio de salida cero-a-uno. Cuando Q_2, inicialmente "no saturado", se corta bruscamente C_L se carga a través de R_{PU} hasta el punto ***a*** con una constante de tiempo $R_{PU}C_L$. La única forma de hacer pequeña esta constante, y por lo tanto t_{PLH}, es hacer R_{PU} muy pequeña; sin embargo, esto incrementa la coordenada de corriente del punto ***c***, creciendo la disipación de potencia 0 lógico hasta un nivel alto. En la interconexión de circuitos el *pull-up* pasivo es útil porque, a menudo, la rareza del evento cero lógico puede justificar una transición cero a uno lenta o una disipación de potencia grande. Examinaremos las aplicaciones de interconexión en el Capítulo 14 que clarificarán estas ideas. Sin embargo para las decisiones lógicas dentro de un circuito digital, donde puede haber cientos o miles de puertas, tanto la disipación de potencia grande como la toma de decisiones lenta son prohibitivas. Para estas aplicaciones más rutinarias de toma de decisiones el circuito *pull-up* activo que se estudia a continuación proporciona tiempos de propagación pequeños y disipación de potencia baja para ambos transitorios.

***Pull-up* activo** La Figura 13.32a es un esquema simplificado de un circuito de salida TTL *pull-up* activo. El Darlington Q_4–Q_3 colocado encima del transistor de salida Q_2 se llama etapa de salida *totem-pole*. El interruptor de transistor Q_5, controlado por la señal de entrada de la puerta, se abre para producir un 1 lógico a la salida y se cierra para el 0 lógico.

Transitorio de salida cero-uno Supongamos que C_L se ha descargado previamente a 0,3 V mediante el transistor "no saturado" Q_2. De repente un 0 lógico en la entrada de la puerta hace que Q_5 se abra. La corriente de base de Q_2 desaparece y Q_2 se corta como en la Figura 13.32b. La corriente i_{B4} permite al seguidor de emisor del Darlington Q_4–Q_3 cargar la capacidad de carga. Con v_o puesto inicialmente a 0,3 V por C_L, Q_4 y Q_3 comienzan a conducir con las tensiones base-emisor como se muestran en el diagrama. La corriente de base de Q_4 es

$$i_{B4} = \frac{5-(1{,}4+v_O)}{900} = \frac{2{,}6-v_O}{900} \tag{13.37}$$

Cuando comienza el transitorio, $v_O = 0{,}3$ V; por la tanto $i_{B4} = 3{,}67$ mA. Con esta corriente de base tan alta deberíamos sospechar que Q_4 está "no saturado". Si es así, Q_3 está activo porque $v_{CE3} = 0{,}7 + 0{,}3 = 1$ V (Q_3 no es un transistor Schottky porque en este circuito no se puede saturar). Estas suposiciones dan el equivalente de la Figura 13.32c. Para verificar que Q_4 está "no saturado" aplicamos la ley de las corrientes de Kirchhoff a los nodos 1 y 2 dando

$$\frac{5-\left(v_O+0{,}7+0{,}3\right)}{50} = i_{C4} + 30 i_{B3} \tag{13.38}$$

y

$$i_{B4} = \frac{5-(v_O+0{,}7+0{,}7)}{900} = i_{B3} - i_{C4} + \frac{v_O+0{,}7}{3{,}5\text{ k}}$$

Evaluando ambas expresiones cuando $v_o = 0{,}3$ V y despejando i_{C4} da

$$i_{C4} = -0{,}9 \text{ mA} \tag{13.39}$$

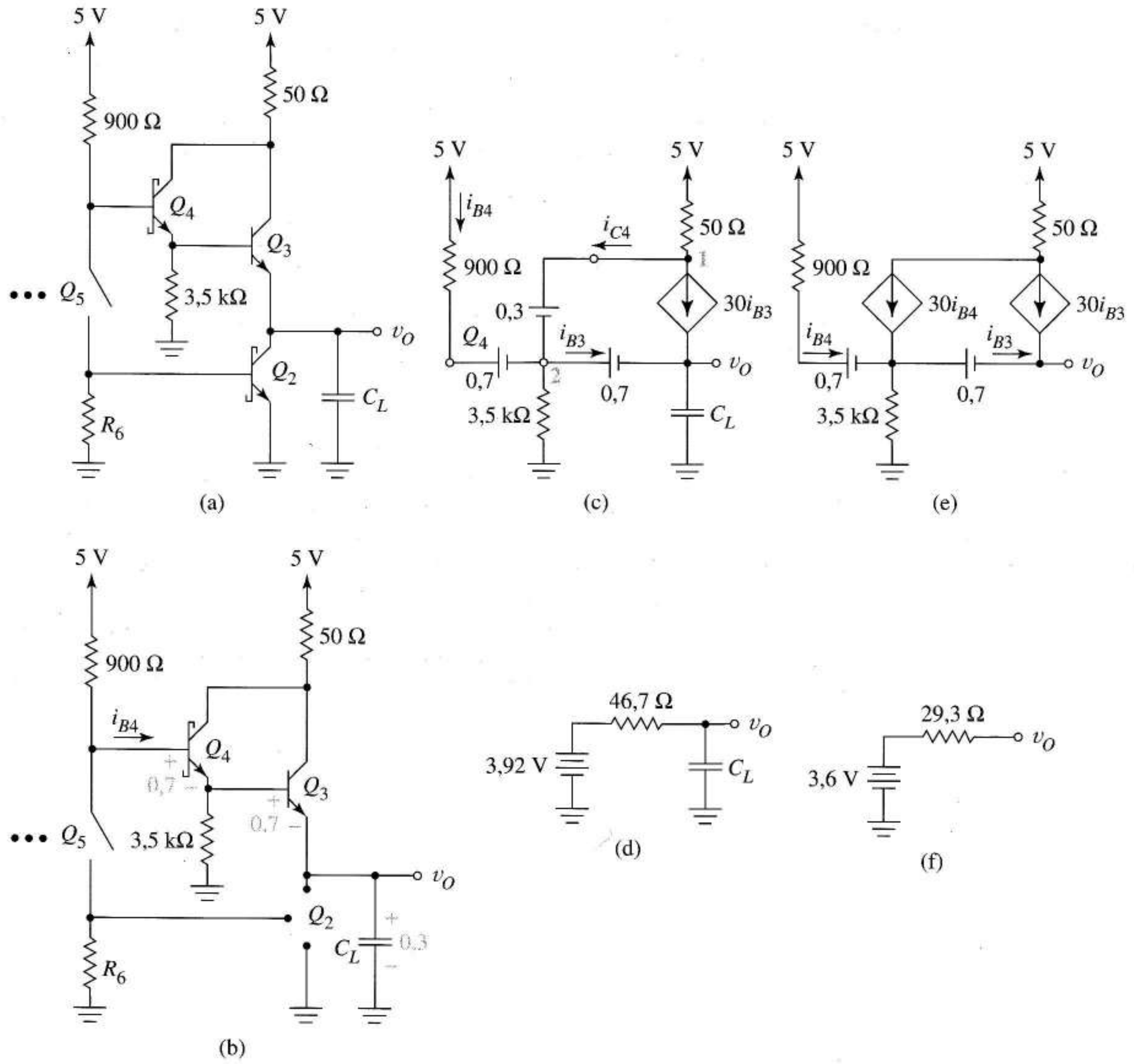


FIGURA 13.32 Circuito de salida totem-pole con controlador: (a) esquema simplificado; (b) equivalente con la salida a 1 lógico; (c) con la salida a 1 lógico mostrando a Q_4 cuasi-saturado; (d) equivalente Thèvenin de (c); (e) circuito con la salida a 1 lógico cuando Q_4 está activo; (f) equivalente Thevenin de (e).

Habíamos observado que un transistor "no saturado" podía tener corriente de colector negativa. Como $\beta i_{B4} = 30(0{,}367 \text{ mA}) > i_{C4}$ deducimos que los estados de los transistores son correctos. De las Ecuaciones (13.38) y (13.39) obtenemos que cuando $v_O = 0{,}3$ V entonces $i_{B3} = 2{,}49$ mA. ¡En este instante inicial la corriente de carga de C_L es $31i_{B3} = 77{,}2$ mA! En el Problema 13.44 veremos que el equivalente Thèvenin del circuito de carga es la Figura 13.32d.

La Ecuación (13.37) indica que la corriente de base i_{B4} disminuye cuando C_L se carga y v_O crece, sugiriendo que es posible que Q_4 deje de estar "no saturado" antes de finalizar el transitorio, de hecho es lo que sucede. En la Figura 13.32e examinamos el resto del transitorio sustituyendo el modelo "no saturado" de Q_4 por el modelo activo. Esto conduce al circuito Thèvenin

final de la Figura 13.32f. La capacidad se carga a un valor final de 3,6 V y Q_4 permanece en la frontera entre los estados activo y de corte, preparado para entregar corriente si v_O disminuye ligeramente.

Para apreciar la capacidad del *totem pole* para cargar rápidamente una capacidad de carga comparemos las Figuras 13.32d y f con el circuito *pull-up* pasivo de la Figura 13.27b: para el mismo C_L las constantes de tiempo del *totem pole* son dos órdenes de magnitud menores. Cambiar la resistencia de 2,8 k a un valor de 30 Ω no es factible porque para el 0 lógico produciría una disipación de potencia de la puerta excesiva.

Ejercicio 13.3 Obtener la disipación de potencia del circuito de salida de la Figura 13.29b cuando la salida es un 0 lógico, para un valor de la resistencia de colector de 2,8 k y también cuando vale 30 Ω.

Respuesta 8,39 mW, 783 mW.

Transitorio de salida uno-cero En la Figura 13.32a, con C_L cargado inicialmente a un valor lógico de 3,6 V, se aplica un 1 lógico a la entrada de la puerta adyacente a Q_5, que es quien proporciona la corriente de base a Q_2. Q_2 está activo porque con v_{CE} = 3,6 V conduce, así que visualizamos el circuito como en la Figura 13.33a. Observemos que la base de Q_4 está a 0,7 V y como la resistencia de 3,5 k proporciona un camino desde su emisor hasta la masa Q_4 conduce. Sin embargo esto hace que la base de Q_3 tenga tensión negativa respecto a su emisor, así que Q_3 está cortado. El circuito equivalente resultante, Figura 13.33b, muestra que no hay una resistencia de carga R_{PU} intentando cargar simultáneamente el condensador C_L desde la fuente de alimentación como en circuito *pull-up* pasivo. Consecuentemente hay una descarga rápida a corriente constante de C_L hasta un cero lógico de aproximadamente 0,3 V, punto en el que Q_2 pasa a estar "no saturado".

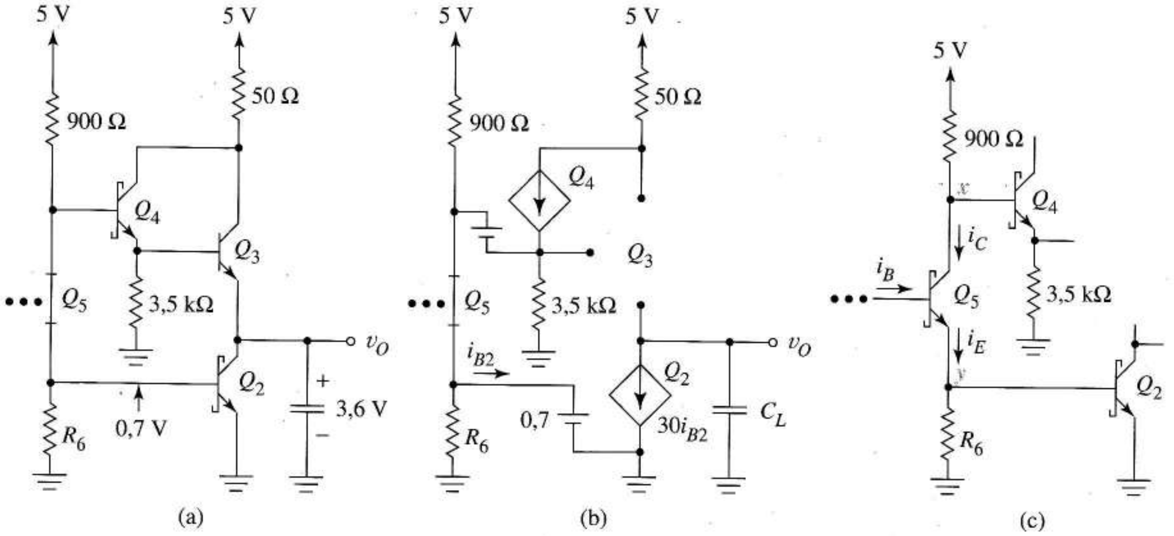


FIGURA 13.33 *Totem pole* durante un transitorio de salida uno-cero: (a) condición inicial; (b) circuito equivalente durante la descarga del condensador; (c) inversor de fase gobernando el circuito.

En la Figura 13.33c, el interruptor de transistor Q_5, junto con sus resistencias de colector y emisor, forma un circuito llamado *inversor de fase*. Durante las transiciones entre los estados cuasi-saturado y de corte Q_5 funciona en modo activo directo como un amplificador con dos salidas que están en oposición de fase. Cuando crece su corriente de base i_C e i_E también crecen, haciendo que la tensión en el nodo x disminuya mientras la tensión en y aumenta. Esta tiende simultáneamente a hacer entrar en conducción a Q_2 y cortar a Q_4. Reducir la corriente de base de Q_5 tiene el efecto dual opuesto. El inversor de fase da una función de transferencia en la que existe una transición muy abrupta del valor alto al valor bajo de salida, característica que aumenta la fracción del margen lógico que pertenece a los márgenes de ruido en la Ecuación (13.2) y reduce la zona de indefinición ΔV entre los niveles lógicos.

13.5.5 INVERSOR TTL CON SALIDA *TOTEM POLE*

Función de transferencia estática La Figura 13.34a muestra un inversor TTL completo con salida *totem pole*. El transistor Q_1 funciona en los modos cuasi-saturado y cuasi-saturado inverso, justo como hacía en el circuito *pull-up* resistivo de la Figura 13.27a. La resistencia de emisor del inversor de fase se sustituye por un *circuito* formado por Q_6 y dos resistencias; las razones de este cambio se explican más adelante. En régimen permanente y con un 0 lógico como entrada Q_1 está "no saturado", desviándose la mayor parte de la corriente de base de Q_1 hacia el nodo de entrada; consecuentemente Q_5, Q_6 y Q_2 están cortados, dando la Figura 13.34b. Observe que v_I debe absorber 1,43 mA, la misma corriente que se predijo con el circuito inicial de la Figura 13.27b.

Cuando v_I crece la tensión en el nodo 6 crece hasta que iguala la suma de las tensiones de corte de Q_2 y Q_5. Cuando v_I cumple

$$v_I + 0{,}3 \approx 0{,}5 + 0{,}5$$

o sea, cuando $v_I \approx 0{,}7$ V, Q_2 y Q_5 empiezan a conducir. En este instante también empieza a conducir el *circuito* formado por Q_6 y sus dos resistencias asociadas. (Si hubiera una resistencia entre el nodo 5 y masa en lugar de Q_6 y sus dos resistencias Q_5 empezaría a conducir para $v_I = 0{,}2$, pero Q_2 no se cortaría hasta que la entrada creciera otros 0,5 V. Este el caso del circuito TTL clásico.) Cuando v_I alcanza $2(0{,}7) - 0{,}3 = 1{,}1$ V, Q_2, Q_5 y Q_6 están activos y forman un amplificador inversor entre el nodo 6 y la salida. Con incrementos mayores de v_I el comportamiento interno es complejo, con varios transistores cambiando de estado cuando la tensión de salida cae. El circuito acaba alcanzando el equilibrio final de la Figura 13.34c, con el transistor de salida "no saturado" produciendo el 0 lógico a la salida. Observe que Q_3 está cortado y que la corriente de emisor de Q_4 es 0,3/3,5k = 86 µA, muy pequeña, como supusimos al principio usando modelos más simples.

Cuando en la Figura 13.34c v_I decrece, no puede haber cambio en la salida hasta que Q_1 cambia de estado. La tensión base-emisor de Q_1 alcanza el valor de corte cuando v_I cumple

$$v_{B1} - v_{E1} = \left[2(0{,}7) + 0{,}4\right] - v_I = 0{,}5 \text{ V}$$

o $v_I = 1{,}3$ V. Resumiendo, hemos deducido que la función de transferencia se parece a la Figura 13.34d.

Usando la Figura 13.34e estimamos el *fan-out*. Esta figura es la Figura 13.34c con Q_6 y sus dos resistencias asociadas sustituidos por su equivalente Thèvenin, y con N puertas de carga colocadas a la salida. Con la salida *totem pole* no circula corriente directamente de la fuente de alimentación de 5 V al colector de Q_2. Por lo tanto Q_2 está disponible para absorber una corriente de carga de βi_{B2}.

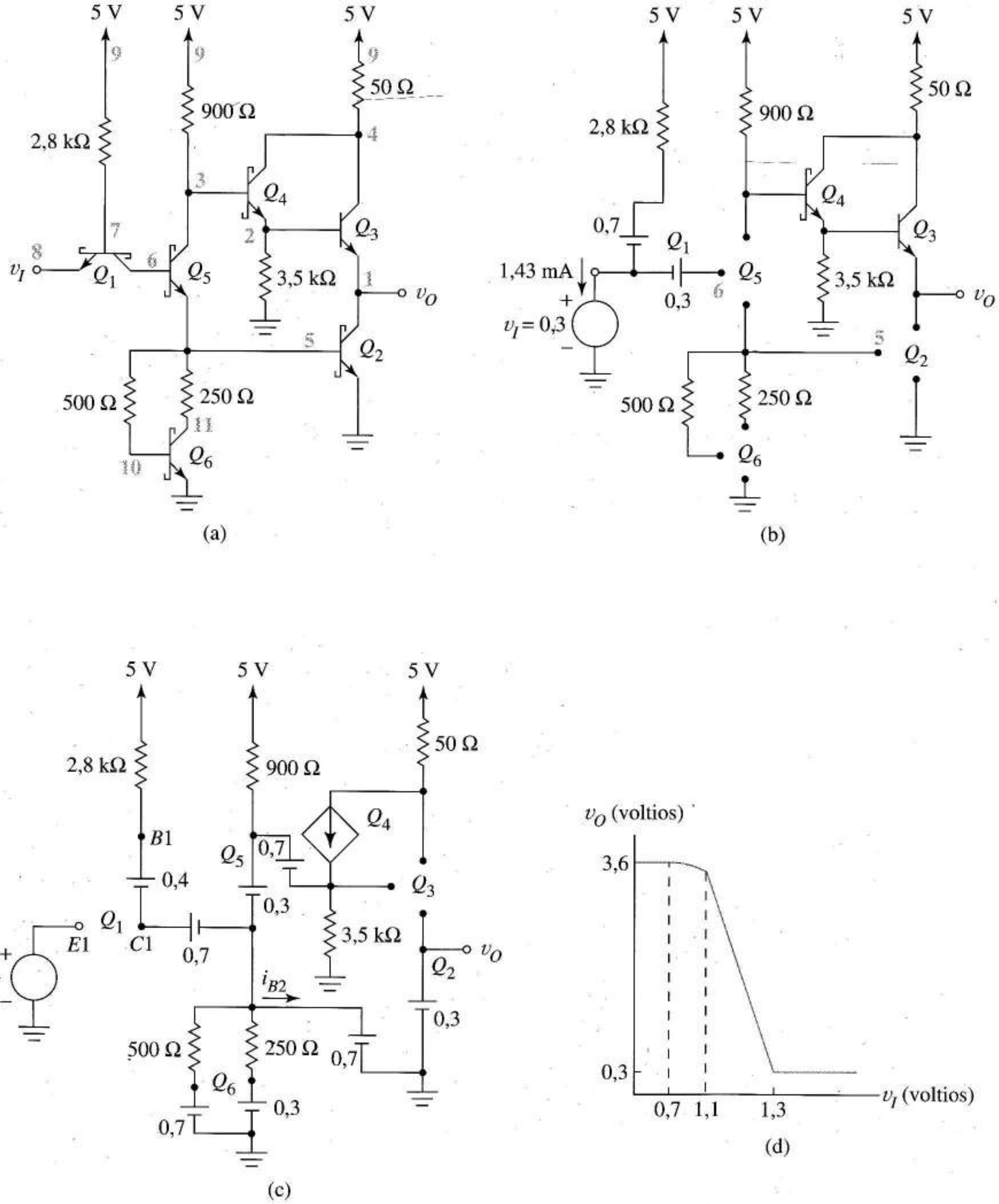


FIGURA 13.34 Inversor activo con *pull-up* activo: (a) esquema; (b) equivalente cuando la entrada es "0"; (c) equivalente cuando la entrada es "1"; (d) función de transferencia; (e) equivalente con *N* puertas de carga.

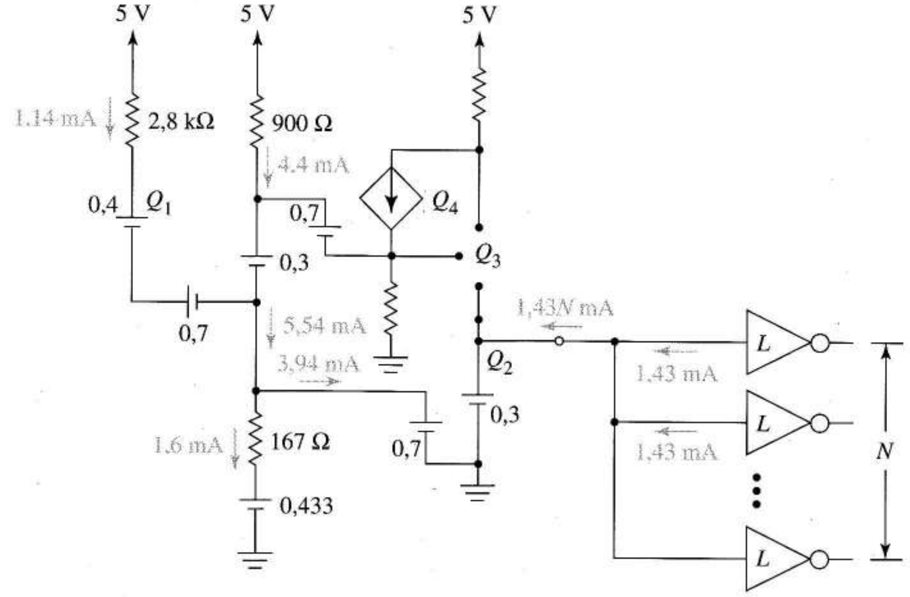


FIGURA 13.34
(Continuación)

(e)

Como se conocen las tensiones de nodo, ignorando la pequeña corriente de base de Q_4 es fácil verificar las corrientes en la Figura 3.34e. Concluimos que la salida permanecerá en estado cuasi-saturado para un *fan-out* N que cumpla

$$30(3{,}94) \geq 1{,}43\ \text{N}$$

o $N = 82$ puertas de carga. Considerando el peor caso para las variaciones de β y de otros componentes, variaciones de temperatura y un análisis no lineal más preciso, el *fan-out* práctico reduce, aproximadamente, a 10.

La puerta TTL de la Figura 13.34a representó una mejora significativa de la puerta TTL clásica, más simple, de la Figura 13.35 que usaba transistores saturados. Las estructuras y los modos de funcionamiento de los dos circuitos son muy similares; sin embargo, para evitar los tiempos de propagación grandes asociados al almacenamiento de cargas minoritarias, los transistores cuasi-saturados del circuito Schottky sustituyen a los transistores TTL saturados. El circuito formado por Q_6 y dos resistencias elimina un problema de la función de transferencia TTL consistente en que Q_5 empezaba a conducir una tensión de entrada menor que la necesaria para hacer conducir a Q_2. Los ejemplos que siguen comparan los dos circuitos.

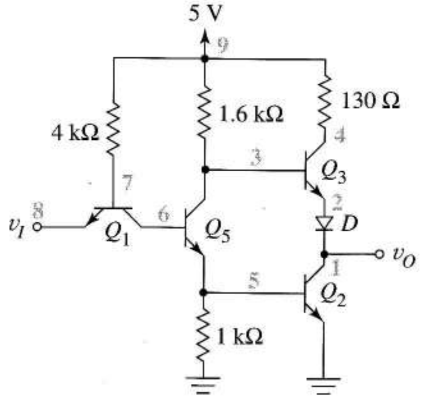


FIGURA 13.35 Puerta inversora TTL clásica.

EJEMPLO 13.4 a) Construir un subcircuito SPICE para un transistor Schottky. Los parámetros del transistor npn son: BF = 30, TF = 0,2 ns, TR = 20 ns, RC = 20Ω, CJE = 0,3 pF y CJC = 0,15 pF.

b) Obtener con él la función de transferencia estática de la Figura 13.34a.

c) Calcular la función de transferencia de la puerta TTL clásica de la Figura 13.35 y compare las dos características.

Solución La Figura 13.36a describe el transistor Schottky con los nodos numerados como en la Figura 13.24a. Hay dos detalles especiales en la sentencia .MODEL del SDIODE. La corriente de saturación inversa grande típica de un diodo Schottky reduce la tensión estática del diodo en conducción directa. La sentencia TT = 0 subraya que el diodo no tiene capacidad de difusión. Con CJO se incluye la capacidad de deplexión en el modelo. Observe que el modelo TRAN incluye las capacidades de difusión y deplexión.

b) La Figura 13.36b muestra las partes seleccionadas del código utilizado para obtener la función de transferencia de la Figura 13.34a. El transistor npn normal tiene los parámetros especificados en el enunciado del problema e incluye la capacidad de deplexión. La curva continua de la Figura 13.36c muestra el resultado, una curva similar a la predicción hecha con análisis manual, Figura 13.34d.

c) La curva de trazos de la Figura 13.36c es la característica obtenida mediante computador de la puerta TTL clásica de la Figura 13.35 usando sentencias .MODEL de transistores bipolares idénticas pero no diodos Schottky. Los dos segmentos distintos de la curva corresponden a entradas en conducción sucesivas de Q_5 y Q_2, creando una región de transición amplia entre las salidas 1 lógico y 0 lógico. En contraste, el circuito formado por Q_6 y dos resistencias genera una sola región de ganancia muy alta, más parecida al ideal de la Figura 13.1a. Para la puerta TTL V_{OL} está muy próxima a cero en lugar de los 0,2 V que habríamos estimado usando un modelo de saturación, porque sin carga la corriente de colector es cero incluso aunque la corriente de base sea grande, llevando el punto Q del transistor de salida a $(v_{CE}, i_C) = (0,0)$: ❑

Producto potencia-retardo Como el comportamiento transitorio de la Figura 13.34a es demasiado complejo para un análisis manual realista, estudiamos la dinámica de la puerta mediante simulación.

EJEMPLO 13.5 a) Obtener con SPICE el producto potencia-retardo del inversor TTL de la Figura 13.34a. Haga que v_I conmute entre 0,3 y 3,6 V para medir el tiempo de propagación.
b) Use el SPICE para determinar el producto potencia-retardo del inversor TTL clásico de la Figura 13.35.

Solución a) En la Figura 13.36b, sucesivos análisis de continua con VI puesta a 0 lógico y luego a 1 lógico dieron respectivamente valores de disipación de 12,6 mW y 27,1 mW para una disipación media de 19,9 mW. Para el estudio del transitorio las sentencias VI, .DC y .PLOT de la Figura 13.36b se sustituyen por

```
VI 8 0 PULSE (0,3 3,6 10N 1N 1N 30N 210N)

.TRAN 0,4N 80N

.PLOT TRAN V(1)
```

Con un par de simulaciones de prueba, para asegurar que se alcanza el equilibrio dinámico durante el pulso, se elige un ancho de pulso de 30 ns. Se añadió un retraso de 10 ns para ver más fácilmente la subida. La duración de 80 ns del análisis transitorio se eligió para asegurar que podía observarse el flanco de bajada de la salida y se seleccionó un tiempo de paso de 0,4 ns para obtener 200 puntos de salida.

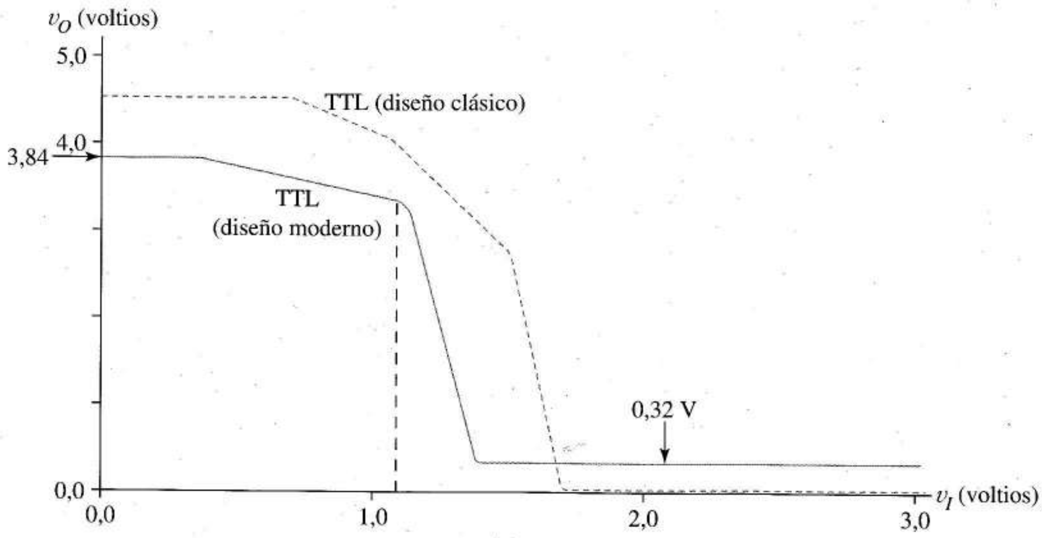
El análisis transitorio dio la curva continua de la Figura 13.37. A partir de los datos se estimó que el punto medio del flanco de bajada del pulso de salida tiene lugar aproximadamente a los 11,7 ns, el punto medio del flanco de subida a los 42,2 ns. Por lo tanto estimamos $t_{PHL} \approx 1,7$ ns y $t_{PLH} \approx 2,2$ ns que dan un tiempo de propagación de $t_P = 2$ ns. Combinando esto con la disipación de 19,9 mW da $PDP = 39,8$ pJ.

```
*******
.SUBCKT SCHOT 1 2 3
DS 2 1 SDIODE
.MODEL SDIODE D IS=2E-11
+CJO=1PF TT=0
Q 1 2 3 TRAN
.MODEL TRAN NPN BF=30
+TF=0.2N TR=20N RC=20
+CJE=0.3P CJC=0.15P
.ENDS
*******
```

(a)

```
•
•
•
XS1 6 7 8 SCHOT
XS5 3 6 5 SCHOT
XS6 11 10 0 SCHOT
XS4 4 3 2 SCHOT
XS2 1 5 0 SCHOT
Q3 4 2 1 NTRAN
.MODEL NTRAN NPN BF=30
+RC=20 TF=0.2N TR=20N
+CJE=0.3P CJC=0.15P
VI 8 0 DC 0
.DC VI 0 3 0.05
.PLOT DC V(1)
.END
```

(b)



(c)

FIGURA 13.36 Simulación TTL: (a) descripción del subcircuito de un transistor Schottky; (b) código SPICE parcial para la Figura 13.34a; (c) función de transferencia de inversores TTL moderno y clásico.

b) Para TTL clásica la disipación media era 4,81 mW con la salida a "1" y 18,5 mW con la salida a "0", dando una disipación media de 11,7 mW.

Para el mismo pulso de entrada la salida TTL clásica es la curva de trazos de la Figura 13.37. El tiempo de almacenamiento grande asociado con la transición "0" a "1" era el principal problema, que se corrigió utilizando diodos Schottky en el diseño. La primera parte del tiempo de almacenamiento es el retraso asociado a la salida de saturación de Q_5 en la Figura 13.35. Este retraso es pequeño porque Q_1 está un pequeño intervalo de tiempo en estado activo proporcionando una fuente de corriente para eliminar la corriente de base de Q_5 a gran velocidad. Una vez que Q_5 no está saturado, una segunda parte más larga del tiempo de almacenamiento está relacionada con la eliminación de la carga almacenada en la base de Q_2. Vemos que los diodos Schottky eliminan estos dos retrasos de almacenamiento, incluso aunque el transistor npn tenga descripciones SPICE idénticas en ambas simulaciones.

Los datos del fichero de salida muestran que los retardos para el circuito clásico son $t_{PLH} \gg 0{,}16$ ns y $t_{PLH} \approx 23{,}4$ ns, dando $t_P = 11{,}8$ ns comparado con los 2,2 de TTL. Para TTL clásica

$$PDP = \left(11{,}7 \times 10^{-3}\right)\left(23{,}4 \times 10^{-9}\right) = 138\text{pJ}$$

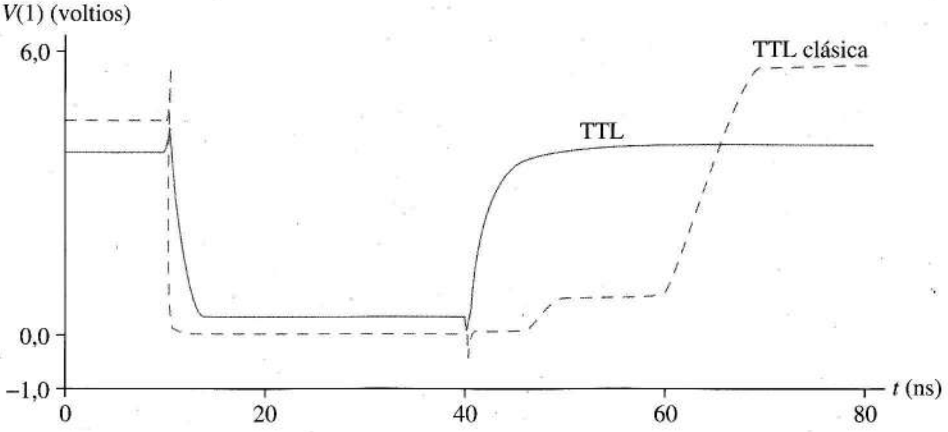


FIGURA 13.37 Comparación de las respuestas de TTL y TTL clásica a un mismo pulso de entrada.

Aunque no lo pide el problema, la Figura 13.38 muestra, durante el pulso de salida, la corriente de la fuente de alimentación de la puerta TTL simulada. Los usuarios de TTL acostumbran a emplear condensadores especiales de desacoplo de fuentes de alimentación para prevenir que las transiciones abruptas se acoplen inadvertidamente a otros circuitos mediante el mecanismo de la Figura 10.30. También hay que tener cuidado con la derivada de corriente, porque las tensiones inducidas magnéticamente en los circuitos adyacentes (Figura 1.28a) son proporcionales a la relación de cambio de la corriente. De los datos del fichero de salida obtenemos que el flanco anterior del pico de corriente grande de la Figura 13.38 crece 8,26 mA en 2,3 ns, dando una relación de cambio de ¡$3{,}58 \times 10^6$ A/s! El problema 13.46 sugiere estudiar la corriente de alimentación cuando la puerta tiene una capacidad de carga externa. ❑

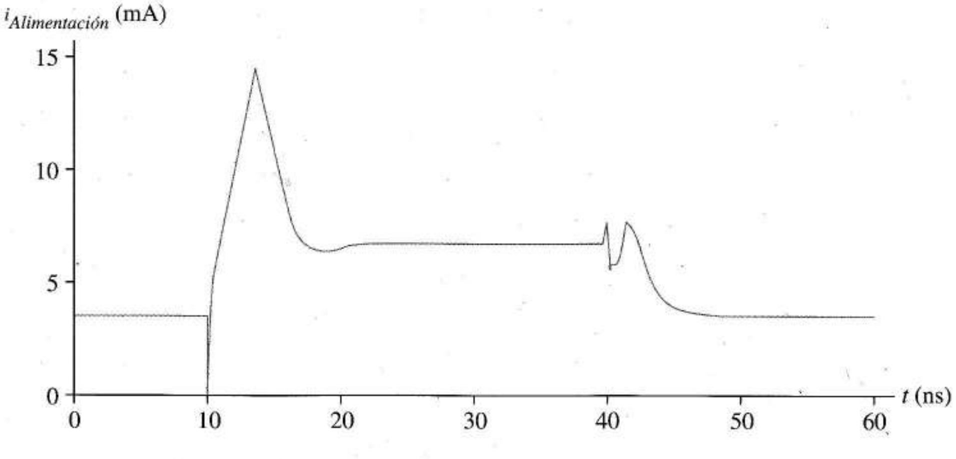
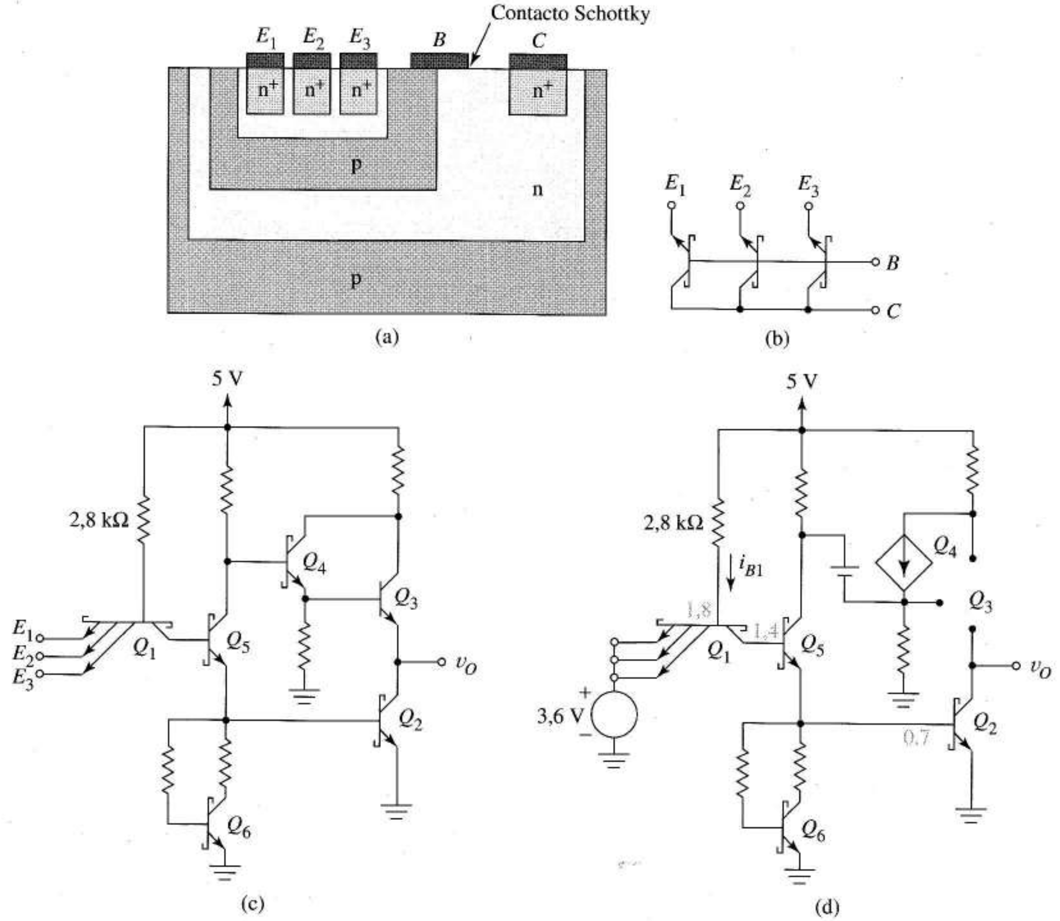


FIGURA 13.38 Corriente de la fuente de alimentación para una puerta TTL con un pulso a la entrada.

13.5.6 ESTRUCTURA NAND DE ENTRADA MÚLTIPLE

El inversor de la Figura 13.34a se transforma en una NAND cuando el transistor de entrada Q_1 se sustituye por el transistor Schottky de emisor múltiple de la Figura 13.39a. Esta estructura es equivalente a conectar las uniones base-colector de tres transistores Schottky como en la Figura 13.39b. De hecho así es como se modela un transistor de emisor múltiple en las simulaciones de SPICE. La Figura 13.39c muestra la NAND de tres entradas completa.



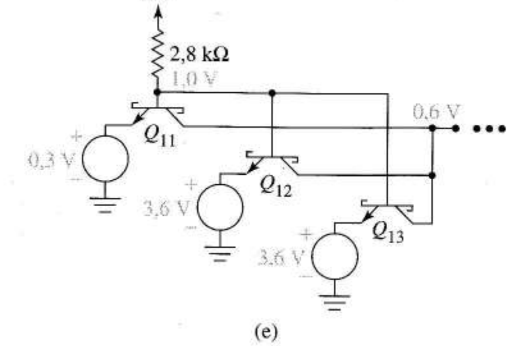


FIGURA 13.39 Puerta NAND TTL: (a) estructura del transistor de emisor múltiple; (b) equivalente de un transistor tri-emisor; (c) NAND TTL; (d) circuito de entrada con todas las entradas a "1"; (e) circuito de entrada equivalente cuando una entrada está a nivel lógico bajo.

Para comprender como trabaja la NAND de entrada múltiple considere la Figura 13.39d, donde todas las entradas son 1 lógicos. Con Q_3 cortado; Q_4 casi cortado; y Q_2, Q_5 y Q_6 "no saturados" para proporcionar el 0 lógico de salida, Q_1 proporciona las corrientes de entrada para los transistores no saturados. Su tensión de base es 1,8 V y las tres uniones base-emisor de Q_1 están polarizadas inversamente, poniendo el dispositivo en modo cuasi-saturado inverso. La corriente de base i_{B1} es la misma que para el circuito de la Figura 13.34c que tenía una sola entrada.

Cuando al menos una entrada está baja el circuito de entrada se relaciona con la Figura 13.39e. Q_{11} (y cualquier otro transistor de entrada con tensión de emisor baja) tiene su unión base-emisor polarizada directamente, poniendo las bases de los tres transistores a 1 V. Cuasi-saturar el transistor con las entradas bajas hace que la tensión del colector (común) sean 0,6 V aproximadamente. Cualquier transistor de entrada con tensión de emisor alta tiene su unión base-emisor polarizada inversamente y su unión base-colector mantenida sin saturar mediante el diodo Schottky. Esto implica funcionamiento cuasi-saturado inverso. La tensión de colector baja asegura que Q_2 y los transistores de su circuito de gobierno de la Figura 13.39c están cortados, y la salida es un 1 lógico. En resumen, la salida del circuito está a 0 sólo si todas las entradas son 1, dando la función NAND.

Ejercicio 13.4 a) En la Figura 13.39e obtener la corriente de emisor de Q_{11}.

Sugerencia Q_5, que usa las corrientes de colector para su corriente de base, está cortado. Dibujar el circuito equivalente suponiendo los estados correctos para los transistores de entrada.

b) ¿Cuál será el valor de la corriente de emisor de Q_{11} si los emisores de Q_{11} y Q_{12} están a nivel bajo?

c) ¿Cuál será la corriente de emisor de Q_{11} si los emisores de Q_{11}, Q_{12} y Q_{13} están a nivel bajo?

Respuesta 1,43 mA, 0,715 mA, 0,477 mA.

13.6 LÓGICA DE EMISORES ACOPLADOS

La lógica de emisores acoplados o ECL (*Emitter-Coupled Logic*) es una familia lógica bipolar que se caracteriza por una velocidad alta a expensas de la disipación de potencia y de los márgenes de ruido. El funcionamiento de los transistores está restringido a los estados activo y de corte por el diseño del circuito; por lo tanto, como en la TTL moderna, la ECL evita los tiempos de propagación grandes introducidos por los transistores saturados. Resistencias pequeñas permiten a corrientes grandes cargar y descargar rápidamente las capacidades de los transistores. Debido a estas corrientes grandes cambiamos ligeramente nuestra estrategia de modelado. Para el ECL suponemos que la tensión base-emisor de un transistor que conduce es 0,9 V y si está cortado 0,7 V, en lugar de los 0,7 V y 0,5 que usamos cuando las corrientes son menores.

Funcionamiento básico La Figura 13.40 muestra un *buffer* lógico no inversor ECL básico. Los transistores acoplados por el emisor, Q_1 y Q_2, funcionan en estados de corte y activo alternativamente. Aunque estructuralmente es igual que un amplificador diferencial a veces este circuito se llama *interruptor de corriente* para enfatizar su modo de funcionamiento en gran señal. Q_3 es un buffer de colector común en estado activo que proporciona resistencia de salida baja, y V_R es una tensión de referencia del chip compensada en temperatura. La resistencia de 50 Ω y la fuente de –2 V representan la carga vista por la puerta ECL en un circuito práctico, a menudo una línea de transmisión con una resistencia característica de 50 Ω. La ECL emplea una fuente de alimentación negativa para reducir el ruido, una característica interesante estudiada en el Problema 13.52.

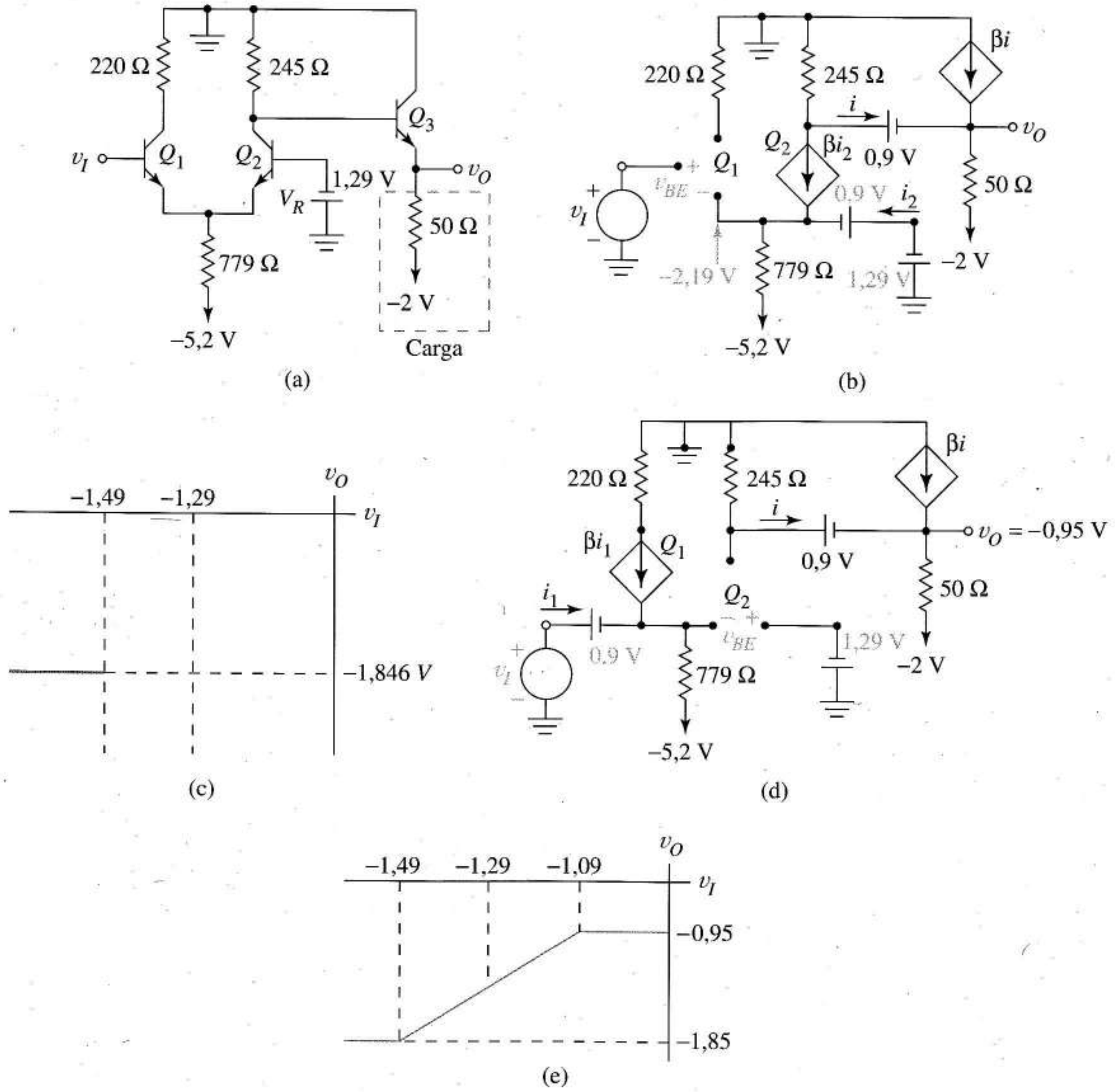


FIGURA 13.40 Lógica de emisor acoplado: (a) circuito básico; (b) equivalente cuando la entrada está a nivel bajo; (c) función de transferencia cuando la entrada está a nivel bajo; (d) equivalente cuando la entrada está a nivel lógico alto; (e) función de transferencia completa.

La puerta trabaja como sigue. Cuando v_I está a nivel bajo Q_1 se corta y Q_2 está activo con una corriente de colector relativamente grande. Esta corriente circula por la resistencia de 245Ω, poniendo la tensión de colector de Q_2 por debajo de cero. Como Q_3 siempre está activo, v_O está una tensión V_{BE} por debajo del colector de Q_2. Cuando v_I es una tensión alta Q_1 está activo y Q_2 se corta. La corriente de colector de Q_2 es cero y v_O está aproximadamente una tensión V_{BE} por debajo de masa. Ahora analizaremos el circuito para confirmar esta descripción general y descubrir algunas características adicionales.

Función de transferencia estática Para desarrollar la función de transferencia estática del inversor primero considere los estados del transistor cuando v_I es mucho más negativa que V_R, o sea, $v_I = -5$ V. Como las tensiones v_I y V_R sugieren que la corriente de base de Q_2 es mayor que la de Q_1 suponemos que Q_1 está cortado y Q_2 activo. Esto da la Figura 13.40b. La tensión de nodo en el emisor de Q_1 es

$$V_E = -1{,}29 - 0{,}90 = -2{,}19 \text{ V}$$

Esto verifica que Q_1 está cortado cuando $v_I = v_B = -5$ V. Además, el circuito muestra que Q_1 permanece cortado hasta

$$v_{BE} = v_I - (-2{,}19) = V_\gamma$$

la tensión de codo. Como usamos $V_\gamma = 0{,}7$ para la ECL, Q_1 permanece cortado para

$$v_I \leq -1{,}49 \text{ V} \tag{13.40}$$

A continuación obtenemos la corriente de emisor de Q_2. Para una β alta podemos ignorar la corriente de base i_2. Entonces la corriente de base, que circula por la resistencia de 779Ω, es

$$i_{E2} = \frac{-2{,}19 - (-5{,}2)}{779} = 3{,}86 \text{ mA}$$

Una beta alta también implica

$$i_{C2} \approx i_{E2} = 3{,}86 \text{ mA}$$

Ignorando la corriente de base i de Q_3 da

$$v_O + 0{,}9 + 245(3{,}86 \text{ mA}) = 0$$

ó $v_O = -1{,}846$ V. Para verificar que Q_2 está activo observemos que

$$v_{CE2} = v_C - v_E = (-1{,}846 + 0{,}9) - (-2{,}18) = 1{,}24 \text{ V}$$

que excede $V_{CE,sat} = 0{,}2$ V. Para resumir, la función de transferencia es $v_O = -1{,}846$ V para $v_I \leq 1{,}49$ V como en la Figura 13.40c.

A continuación suponemos que v_I es tan positiva comparada con V_R que Q_1 está activo y Q_2 está cortado, esto es, la Figura 13.40d. Observe como la salida es independiente de v_I. Sumando las tensiones de la fuente de −2 V y usando β = 100 da

$$-2 + 50(101)\ i + 0{,}9 + 245i = 0 \tag{13.41}$$

o $i = 0{,}208$ mA. Esto significa que la tensión de salida es

$$v_O = -2 + 50(101)0{,}208 \text{ mA} = -0{,}95 \text{ V}$$

Ahora v_O está a –0,95 V cuando hacemos que v_I sea más negativa fijando la tensión en el emisor de Q_2. El circuito no cambia hasta que la tensión base-emisor de Q_2 alcanza la tensión de corte $v_{BE} = 0{,}7$. Esto es

$$v_{BE} = -1{,}29 - (v_I - 0{,}9) \geq +0{,}7$$

o $v_I \geq -1{,}09$ V. Para resumir, $v_O = -0{,}95$ V para $v_I \geq -1{,}09$ V. La Figura 13.40e muestra este segmento de la línea sumado a la curva parcial de la Figura 13.40c. Después conectamos las dos líneas horizontales con una tercera línea que aproxima la transición entre estados cuando ambos transistores están activos. Esto completa la función de transferencia estática.

Ejercicio 13.5 Obtener la corriente de entrada i_1 que debe haber en la entrada de la puerta de la Figura 13.40a cuando $v_I = -12$ V.

Sugerencia Usar el circuito equivalente apropiado.

Respuesta 39,4 μA.

Márgenes de ruido En la Figura 13.40e, $V_{OH} = -0{,}95$ V, $V_{OL} = -1{,}85$ V, $V_{IH} = -1{,}09$ V y $V_{IL} = -1{,}49$ V dando los márgenes de ruido

$$NMH = -0{,}95 - (-1{,}09) = 0{,}14 \text{ V}$$

y

$$NML = -1{,}49 - (-1{,}85) = 0{,}36 \text{ V}$$

Estos márgenes de ruido pequeños son una de las limitaciones de la ECL; sin embargo, el margen lógico pequeño contribuye a la velocidad de conmutación permitiendo que las capacidades parásitas se carguen y descarguen rápidamente.

Los márgenes de ruido cambian con el *fan-out* o la carga de salida como vemos en el siguiente ejemplo.

EJEMPLO 13.6 Recalcular la función de transferencia y el *fan-out* para la puerta de la Figura 13.40 cuando la resistencia de carga de 50 Ω se sustituye por 50 kΩ.

Solución Al sustituir en la Figura 13.40b la resistencia de carga de 50 Ω por 50 kΩ cambia ligeramente la i; sin embargo, como en el primer análisis, el efecto de esta corriente es despreciable comparada con la corriente de colector de Q_2. Concluimos que, esencialmente, la función de transferencia no cambia para la entrada a 0 lógico.

Sustituyendo en la Figura 13.40d los 50 Ω por 50 kΩ cambia la Ecuación (13.41) a

$$-2 + 50 \text{ k}(101)i + 0{,}9 + 245i = 0$$

dando $i = 0{,}218$ μA. Por lo tanto la tensión de salida para la entrada a 1 lógico es

$$v_O = -2 + 50 \text{ k}[(101)0{,}218 \text{ μA}] = -0{,}9 \text{ V}$$

comparada con los –0,95 V de la carga de 50 Ω. Es obvio que el valor de v_I que hace conducir a Q_1 es independiente de la resistencia de carga. Por lo tanto, con la carga de 50 k, la función de transferencia de la Figura 13.40e tiene una región de transición que termina al nivel de –0,9 V en lugar de –0,95 V. Sólo V_{OH} cambia con la carga. El valor nuevo del margen de ruido es NMH = –0,9 – (1,09) = 0,19, mostrando que reducir la carga aumenta el margen de ruido. ❑

Segunda salida ECL La puerta ECL completa tiene dos salidas: una salida OR, que acabamos de examinar, y una salida NOR producida por el subcircuito inversor de la Figura 13.41a que estudiaremos ahora. Cuando v_I tiene un valor lógico bajo Q_1 se corta dando la Figura 13.41b. Como la corriente de base de Q_4 es pequeña la caída de tensión de 220 Ω es despreciable y v_O = –0,9 V. Q_2 está activo pero no afecta a v_O. Como este equivalente es válido hasta que Q_1 empieza a conducir a

$$v_I = -2{,}19 + 0{,}7 = -1{,}49 \text{ V}$$

el primer segmento de la función de transferencia es el de la Figura 13.41c. Un incremento de v_I provoca una transición durante la cual Q_1 y Q_2 están activos. Al final v_I es tan grande que Q_2 se corta dando la Figura 13.41d.

Aplicando la ley de Kirchhoff de las tensiones

$$v_I = -5{,}2 + i_{E1}(779) + 0{,}9 \tag{13.42}$$

Ignorando la corriente de base de Q_4 y suponiendo $i_{C1} \approx i_{E1}$ da

$$v_O = 0 - 220 i_{E1} - 0{,}9$$

Despejando i_{E1} en (13.42) y sustituyendo

$$v_O = -220\left(\frac{v_I + 4{,}3}{779}\right) - 0{,}9 = -0{,}282 v_I - 2{,}11 \tag{13.43}$$

la ecuación de una línea recta de pendiente negativa que relaciona v_O con v_I segmento b-c en la Figura 13.41c. Para determinar el límite inferior de v_I a partir del cual se aplica la Ecuación (13.43) vemos en la Ecuación 13.41d que el valor de v_I para el que Q_2 se corta es

$$v_I = -1{,}29 - 0{,}7 + 0{,}9 = -1{,}09 \text{ V}$$

Esto da el punto b de la Figura 13.41e. Sustituyendo v_I = –1,09 V en la Ecuación (13.43) da v_O = –1,8 V, la otra coordenada del punto b. También se dibuja el segmento b-c, cuando ambos transistores están activos. En la Figura 13.41d, cuando v_I crece por encima de –1,09 V la tensión de colector de Q_1 decrece mientras su tensión de emisor crece hasta que Q_1 se satura a v_{CE2} = 0,2 V. Una vez que esto sucede las tensiones de entrada y salida se relacionan por

$$v_O + 0{,}9 - 0{,}2 + 0{,}9 = v_I$$

Esto es

$$v_O = v_I - 1{,}6 \text{ V} \tag{13.44}$$

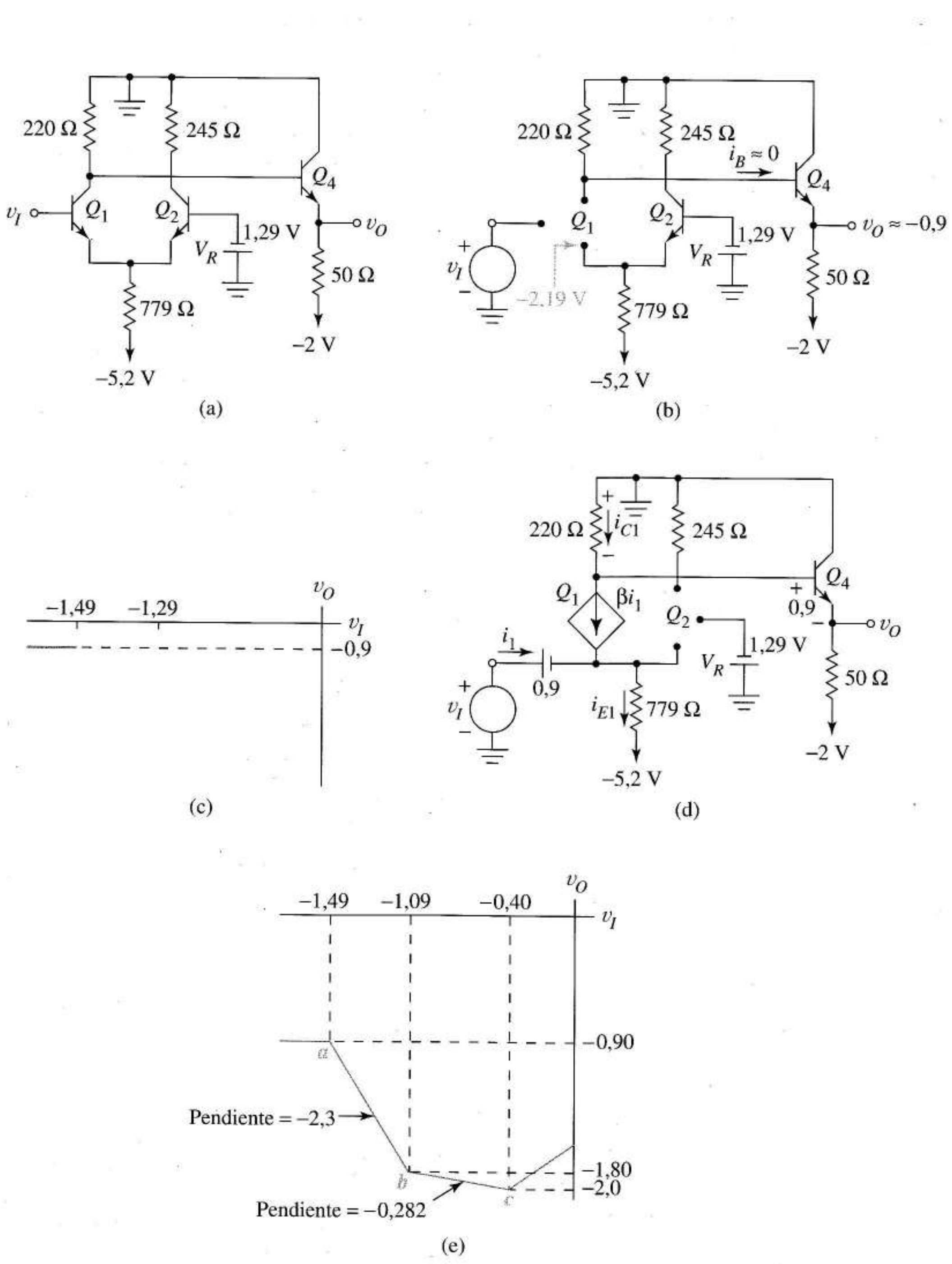


FIGURA 13.41 Salida de la NOR ECL: (a) esquema; (b) equivalente cuando la entrada está a nivel bajo; (c) función de transferencia cuando la entrada está a nivel bajo; (d) equivalente cuando la entrada está en alto; (e) función de transferencia.

Las Ecuaciones (13.43) y (13.44) son válidas en el punto donde Q_1 se satura. Solucionarlas simultáneamente muestra que Q_1 se satura cuando $v_I = -0{,}4$ V. Una vez que Q_1 se satura, la función de transferencia pasa a ser la Ecuación (13.44), una línea recta de pendiente +1 que también se muestra en la Figura 13.41e. La región donde Q_1 se satura tiene interés práctico y teórico e incluso viene en algunas hojas de características de ECL. No se permite el funcionamiento en esta región porque la capacidad de difusión de Q_1 reduciría enormemente la velocidad de conmutación. Por lo tanto debemos limitar las tensiones de entrada a $v_I \leq -0{,}4$ V.

Ejercicio 13.6 Estimar en la Figura 13.41e los márgenes de ruido ECL.

Respuesta $NMH = 0{,}19$ V, $NML = 0{,}31$ V.

La puerta que hemos estado estudiando se conoce como puerta ECL serie de 10K. El diagrama más completo del circuito de la Figura 13.42a muestra características adicionales. Primero, vemos que la tensión de referencia V_R está formada por dos diodos, dos resistencias y un transistor de salida Q_5 en estado activo. Las resistencias de 907 y 4,98 kΩ, conjuntamente con la fuente de alimentación y los diodos, determinan la tensión continua de base de Q_5. La corriente suministrada por Q_5 está disponible para mantener la tensión de emisor de Q_5 a los –1,29 V deseados a pesar de los cambios de estado de Q_2 y de los transistores de entrada. Las caídas de tensión continua en D_1 y D_2 compensan las variaciones de V_{BE5} y V_{BE2} debidas a los cambios de temperatura. El problema 13.51 examina más detalladamente esta referencia de tensión.

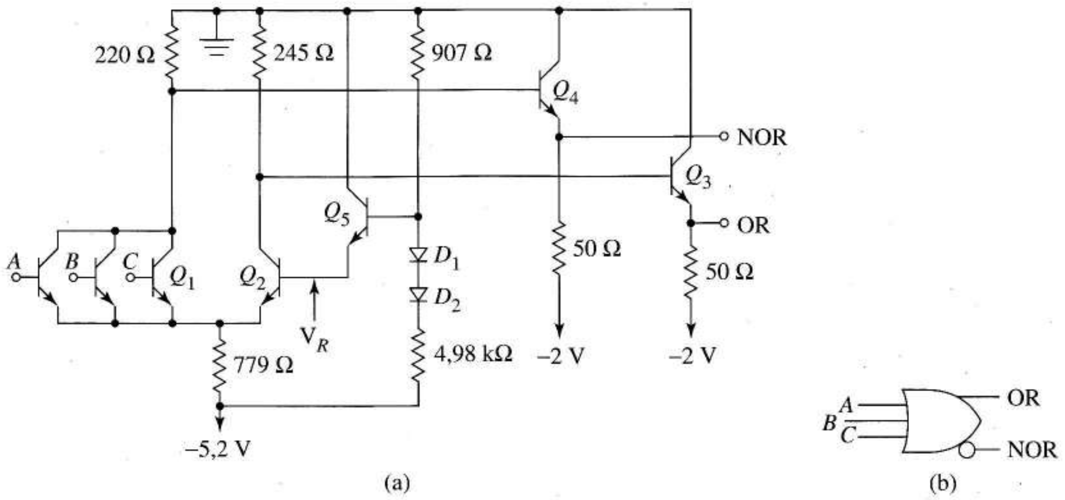


FIGURA 13.42 Puerta ECL serie 10K de 3 entradas: (a) equivalente; (b) diagrama lógico.

La Figura 13.42a muestra cómo se aumenta el *fan-in* añadiendo transistores de entrada en paralelo con Q_1. El resultado es un circuito lógico de tres entradas y dos salidas, dibujado esquemáticamente en la Figura 13.42b. El funcionamiento de la puerta se deduce del desarrollo previo. Si las tres entradas A, B y C están suficientemente por debajo de V_R los tres transistores de entrada están cortados y Q_2 está activo. Sin corriente por la resistencia de 220 Ω la salida de la NOR está alta y la salida de la OR baja. De hecho, sólo si A OR B OR C es alta circula corriente por la resistencia de 220 Ω haciendo que la salida NOR esté a nivel bajo, y sólo bajo esta condición Q_2 se corta haciendo que la salida OR esté alta.

EJEMPLO 13.7 Para el inversor de la Figura 13.43a, usar el SPICE para:

a) Comprobar la característica estática NOR de la Figura 13.41e.

b) Obtener la disipación de potencia estática cuando la entrada es un 0 lógico y cuando es un 1 lógico.

c) Obtener el tiempo de propagación.

Solución a) La Figura 13.43b es la parte de código SPICE necesaria para obtener la gráfica de la función de transferencia. Los parámetros del transistor son los mismos que se usaron al estudiar las puertas TTL.

La gráfica SPICE de la Figura 13.43 muestra las cuatro regiones predichas mediante análisis manual y dibujadas en la Figura 13.41e. Las predicciones hechas para ECL usando $V_{BE} = 0{,}9$ y $V\gamma = 0{,}7$ fueron bastante buenas. Observemos que obtener la función de transferencia con el SPICE, sin realizar análisis manual, no nos permite razonar el porqué de la forma de la curva. Concretamente, no sabríamos que hay que evitar la última región porque ésta implica la saturación del transistor de entrada.

b) Como la Figura 13.43c demuestra que nuestras estimaciones, $V_{OH} = -0{,}9$ V y $V_{OL} = -1{,}81$ V, fueron razonables usamos éstas como valores de entrada para calcular con el SPICE la disipación de potencia. Con un 1 lógico de entrada de –0,9 V la disipación fue 78,6 mW; con una entrada de –1,81 V la disipación fue 76,6 mW.

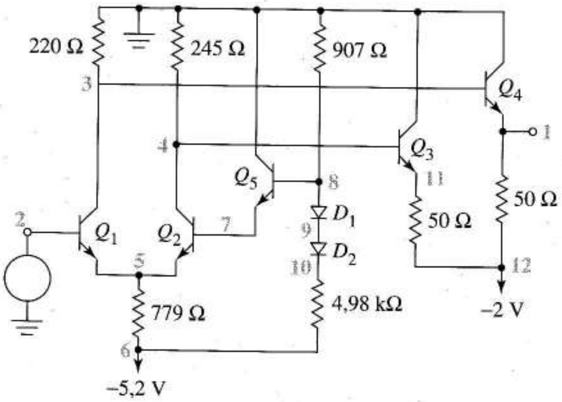
c) Para obtener el tiempo de propagación se cambió la tensión de entrada al pulso

```
WIN 2 0 PULSE (-1,81 - 0,9 10N 0 0 30N 210N)
```

La salida inicial del inversor, mostrada en la Figura 13.43d, representaba con una línea de trazos la transición de 1 lógico a 0 lógico. Examinando las formas de onda internas de la puerta se demuestra que la tensión de referencia –1,29 V, supuestamente constante, cambia con el pulso de entrada como en la Figura 13.43e. Para aumentar la capacidad de entregar corriente de la fuente, se incrementó el área de la unión de Q_5 respecto a la de otros transistores usando

```
Q5 0 8 7 TR 15
```

Esto redujo la variación de la tensión de emisor de Q_5 y dio la onda de salida representada por una línea continua de la Figura 13.43d. Los datos de salida mostraron que para esta puerta modificada $t_{PHL} = 1{,}3$ ns y $t_{PLH} = 1{,}54$ ns, dando un tiempo de propagación $t_P = 1{,}42$ ns. Cambiar el área de Q_5 no produce cambios en la disipación, tanto para el 1 lógico como para el 0 lógico. ❑



(a)

```
EXAMPLE 13.7
Q1 3 2 5 TR
Q2 4 7 5 TR
Q3 0 4 11 TR
Q4 0 3 1 TR
Q5 0 8 7 TR
D1 8 9 DIODE
D2 9 10 DIODE
.MODEL TR NPN BF=100 RC=20
+TF=0.2N TR=20N CJE=0.3P CJC=0.15P
.MODEL DIODE D CJO=0.5FF TT=0.3N
VEE 6 0 DC -5.2
VEX 12 0 DC -2
  • • •
VIN 2 0 DC -0.7
.DC VIN -1.5 0.0 0.015
.OP
.PLOT DC V(1)
.END
```

(b)

FIGURA 13.43 Simulación del inversor ECL: (a) esquema; (b) código SPICE parcial; (c) función de transferencia estática; (d) respuesta al pulso de Q_5 con dos áreas diferentes; (e) variación de la referencia interna de tensión que causa la transición dibujada con trazos en (d).

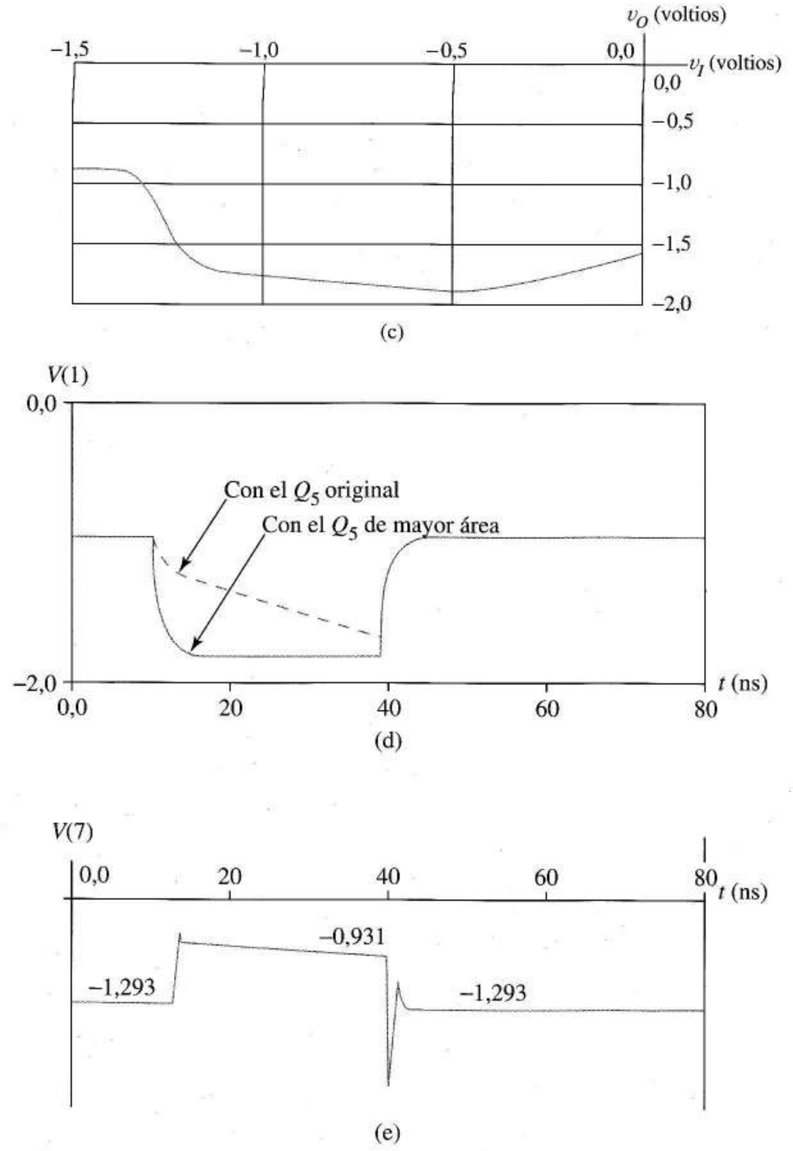


FIGURA 13.43
(Continuación)

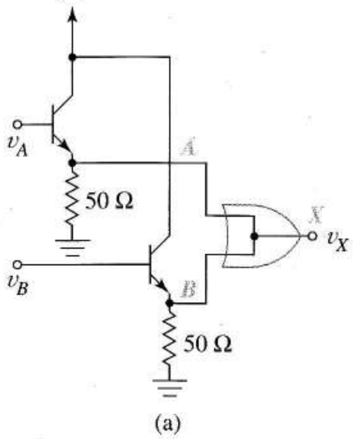
Ejercicio 13.7 La función de transferencia de la Figura 13,43c muestra que cuando $v_I = 0$, v_O toma un valor más negativo que −1,5 V. ¿Qué valor predice nuestro desarrollo teórico?

Respuesta −1,6 V.

Función *wired*-OR[2]. La ECL tiene una característica especial que es muy útil para el diseñador, la *función wired OR*. Esto significa que podemos obtener una función OR uniendo directamente dos salidas ECL, y, por lo tanto, ahorrando una puerta lógica. La Figura 13.44 ayuda a mostrar cómo los circuitos seguidor de emisor de salida de la ECL forman por sí mismos la *wired OR*. Suponga que ambas bases están a 0 voltios representando las entradas del circuito a 0 lógico. Entonces ambos transistores

[2]N. del T.: Wired-OR es la terminología anglosajona de O-por-conexión aunque se ha preferido la primera ya que, junto a la técnica Wired-AND está muy extendida.

se cortan y $v_X = 0$, es por lo tanto la fila 1 de la tabla de verdad de tensiones de la Figura 13.44b. Si la tensión de ambas bases crece a 5 V los dos transistores conducen y v_X está una caída de tensión de diodo por debajo de la base, como en la última fila de la tabla de verdad. Finalmente, si una base está a masa y la otra a 5 V sólo conduce uno de los transistores dando una salida alta o 1 lógico. En función de las variables lógicas $X = A + B$. Por lo tanto, conectar las salidas es equivalente a añadir la función OR sugerida por la Figura 13.44. Las salidas OR y NOR de la familia ECL se combinan exactamente de la misma forma, la única diferencia son los niveles de tensión que representan los valores lógicos.



v_A	v_B	v_X
0	0	0
0	5	4,1
5	0	4,1
5	5	4,1

(b)

FIGURA 13.44 Función *wired* OR: (a) implementada mediante la conexión de dos salidas; (b) combinaciones de las tensiones de entrada y salida.

EJEMPLO 13.8 Obtener la función lógica Z si las puertas se conectan directamente como en la Figura 13.45.

Solución Primero obtenemos la función lógica en el nodo de salida de cada puerta por separado. Después la función OR de estas salidas que da

$$Z = \overline{(A+B)} + \overline{(C+D+E)} + \overline{(F+G)}$$

donde "+" denota OR y la barra superior el complemento.

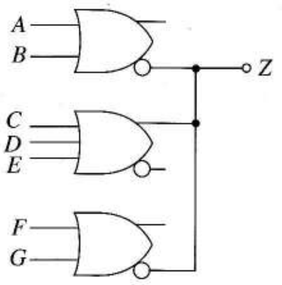


FIGURA 13.45 Ejemplo de una función lógica *wired* OR.

13.7
SUMARIO

Las puertas lógicas representan y procesan datos digitales usando transistores como interruptores altamente fiables que producen tensiones altas y bajas para representar el 1 lógico y el 0 lógico. Se dispone de varias familias de circuitos lógicos para implementar las mismas funciones básicas; sin embargo, cada una implementa la lógica usando tecnologías de estado sólido diferentes, y, por lo tanto, cada una tiene ventajas e inconvenientes que resultan de compromisos y restricciones de diseño diferentes.

La puerta básica de todas las familias es el inversor lógico, que se describe con una función de transferencia estática. Esta característica define los valores de 1 lógico y 0 lógico para la entrada y la salida, que a su vez definen los márgenes de ruido de la puerta. El inversor ideal tiene una transición muy brusca y corta entre los niveles de salida, necesaria para que el inversor tenga una ganancia alta. Esto permite que la mayor parte del margen lógico se pueda utilizar productivamente en forma de márgenes de ruido. La dinámica del inversor se caracteriza por los tiempos de subida y caída de la salida y por el tiempo de propagación que se define respecto a los flancos de bajada de un pulso ideal de entrada. En todas las familias el inversor básico crece de alguna forma para producir funciones lógicas como las OR, NOR, AND y NAND.

NMOS y PMOS son familias lógicas de circuitos integrados que usan transistores de enriquecimiento y de deplexión como resistencias de carga no lineales. Las resistencias de carga de enriquecimiento deben ser relativamente largas y estrechas comparadas con el transistor que hace de interruptor cuando la tensión de salida es un 0 lógico; las cargas de deplexión no tienen este problema de proporciones. NMOS y PMOS no disipan potencia cuando la salida está a 1 lógico y poca potencia cuando está a 0 lógico. Debido a la impedancia de entrada alta de los MOSFETs no hay efectos de carga estáticos (las puertas de carga adicionales sólo añaden más capacidad de carga). El *fan-out* está limitado por la carga capacitiva y el tiempo de propagación resultante. El inversor se expande hasta una NOR de entrada múltiple añadiendo interruptores de transistor en paralelo con el interruptor del inversor. Como las corrientes disponibles para las cargas externas son pequeñas NMOS y PMOS no están disponibles como dispositivos LSI y MSI.

En el inversor básico CMOS se emplean transistores complementarios de canal p y de canal n como par interruptor, con la entrada a 1 lógico conecta el nodo de salida a masa y con la entrada a 0 lógico conecta la salida a la alimentación. La función de transferencia estática de una puerta CMOS tiene ganancia alta y una región de transición estrecha centrada en el punto medio de la tensión de alimentación, dando como resultado márgenes de ruidos altos para un margen lógico dado. La disipación estática es cero y la disipación media es proporcional a la frecuencia de conmutación. Como en NMOS y PMOS, el *fan-out* de CMOS está limitado por el tiempo de propagación que crece con la carga capacitiva. CMOS ha sido durante mucho tiempo muy utilizada para lógica discreta en SSI y MSI y, también, es una de las familias más importantes para la tecnología VLSI. Para manejar mucha corriente se recurre a la BiCMOS, una tecnología híbrida que a la disipación pequeña y los márgenes de ruido grandes de CMOS añade la capacidad de gobernar corriente de los circuitos de salida con transistores bipolares.

Las puertas más rápidas disponibles en este momento son estructuras discretas que utilizan la tecnología relativamente nueva de arseniuro de galio. Como ésta es un área caracterizada por avances rápidos hay más de una familia lógica de arseniuro de galio. Para familiarizarnos suficientemente a nivel de circuito con las puertas de GaAs y ser capaces de seguir en profundidad el progreso de este área emergente, estudiamos tres familias representativas de la tecnología actual: lógica diodo Schottky FET, lógica buffered FET y lógica de FETs directamente acoplados. Una novedad fue tener en cuenta la conducción de puerta en el análisis de dos circuitos FET; otra fue usar un desplazador de nivel para hacer compatibles los niveles lógico de salida con los de entrada en la BFL.

La TTL es la tecnología lógica bipolar dominante. Para eliminar los tiempos de propagación grandes causados por el almacenamiento de cargas minoritarias en los transistores saturados, ahora la TTL aplica los transistores Schottky, un transistor bipolar con un diodo Schottky que evita la saturación conectando la base y el colector. Los transistores Schottky tienen cuatro estados: corte, activo, cuasi-saturado y cuasi-saturado inverso; sin embargo sólo los estado cuasi-saturado y cuasi-saturado inverso son posibles porque el diodo conduce sólo en estos estados. El cuasi-saturado difiere de la saturación de dos formas: una tensión $V_{CE,sat} \approx 0{,}3$ V sustituye a $V_{CE,sat} \approx 0{,}2$ V, y no hay retraso debido al almacenamiento de carga. El cuasi-saturado inverso implica la conducción del diodo Schottky con el transistor bipolar subyacente en corte. Los dos estados nuevos son fáciles de comprender y modelar usando circuitos equivalentes.

Las puertas TTL disipan potencia para tensiones de salida a 1 lógico y a 0 lógico y necesitan que la entrada a 0 lógica sea capaz de absorber una cantidad significativa de corriente. El *fan-out* está limitado por el número de corrientes de entrada provenientes de las puertas de carga que el transistor de salida es capaz de absorber con la salida a 0 lógico y manteniendo el estado cuasi-saturado. El principal circuito de salida TTL es el circuito activo *totem pole*, que proporciona corrientes grandes para cargar y descargar rápidamente las cargas capacitivas. El *pull-up* pasivo, una resistencia de *pull-up* externa conectada a una puerta TTL de colector abierto, proporciona flexibilidad para la conexión entre TTL y dispositivos no lógicos. Con transistores de emisor múltiple se tiene el circuito NAND multientrada. Debido a las corrientes grandes y las capacidades internas pequeñas, las TTL dan un tiempo de propagación menor que las puertas FET.

La lógica de emisor acoplado es la más rápida de las familias lógicas bipolares. La puerta básica tiene dos salidas. una OR y una NOR, cada una con un seguidor de emisor como amplificador o buffer. El interruptor de corriente de emisor acoplado proporciona la lógica interna, con transistores de entrada funcionando en estados de corte y activo. En ECL se usa una alimentación negativa de −5,2 V. Optimizada para velocidades altas, la ECL tiene márgenes de ruido de sólo fracciones de voltio, corrientes relativamente altas y disipación de potencia alta en ambos estados lógicos.

REFERENCIAS

1. ALVAREZ A.R., ed. *BiCMOS Technology and Applications*. Boston: Kluwer Academic, 1989.
2. BANZHAF, W. *Computer-Aided Circuit Analysis Using SPICE*. Englewood Cliffs, NJ: Prentice Hall, 1989.
3. BUCHANNAN, J. E. BiCMOS/CMOS. *Systems Design*. New York: Mc Graw-Hill, 1991.
4. HODGES, D. A., y H. C. JACKSON. *Analysis and Design of Digital Integrated Circuits*. New York: McGraw-Hill, 1988.
5. KIAEI, S., S. H. CHEE y D. ALLSTOT. "CMOS Source-Coupled Logic for Mixed-Mode VLSI". *Proc. IEEE Internat. Symp. on Circuits and Systems*. New Orleans: 1990, pp. 1608-1611.
6. MANO, M. M. *Computer Engineering Hardware Design*. Englewood Cliffs, NJ: Prentice Hall, 1988.
7. NATIONAL SEMICONDUCTOR. *CMOS Logic Databook*. Santa Clara, CA: National Semicondutor, 1988.
8. SEDRA, A. S., y K. C. SMITH. *Microelectronic Circuits*, 3ª ed. Philadelphia: Saunders College, 1991.
9. TAUB, H., y D. SCHILLING. *Digital Integrated Electronics*. New York: McGraw-Hill, 1977.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 13.1

13.1 Estime V_{OH}, V_{OL}, V_{IH}, V_{IL}, *NMH* y *NML* a patir de a) Figura P13.1a; b) Figura P13.1b; c) Figura P13.1c.

13.2 La función de transferencia del inversor de la Figura P13.2 se describe por

$$v_O = -\frac{1}{6}v_I^2 + 10 \quad \text{para } v_I \leq 4 \text{ V}$$

y

$$v_O = 0{,}115v_I^2 - 2{,}38\ v_I + 15 \quad \text{para } v_I \geq 4$$

a) Obtenga V_{OH} y V_{OL}.

b) Obtenga V_{IH} y V_{IL}.

c) Obtenga los márgenes de ruido.

13.3 La Figura P13.3 muestra la onda de salida de un inversor cuando la entrada es un pulso positivo ideal de 10ns de duración aplicado en t = 14 ns. A partir del diagrama estime:

a) tiempo de caída, b) tiempo de subida, c) t_{PHL}, d) t_{PLH}, e) V_{OH}, f) V_{OL}.

Sección 13.2

13.4 a) Para la Figura 13.5a escriba la ecuación que relaciona v_O con v_I cuando M_1 está en estado óhmico y M_2 activo. Después obtenga V_{OL} sustituyendo $v_I = V_{OH}$ en esta ecuación como se sugiere en la Figura 13.5d.

b) Obtenga V_{IH} hallando el punto en el que la pendiente de la ecuación de la parte (a) es menos uno.

13.5 Use el SPICE para dibujar la función de transferencia de la Figura 13.5a para GAMMA = 0 y para GAMMA = 0,4. Use $k = 0{,}3 \times 10^{-3}$A/V^2 y $V_t = +\,1{,}3$ V para M_1. M_2 es idéntico excepto que su anchura es la cuarta parte de la de M_1. ¿Mejora el efecto de sustrato el funcionamiento estático de la puerta? Explíquelo.

13.6 En la Figura 13.6f el transistor en estado activo M_2 carga C_L desde V_{OL} hasta V_{OH}.

a) Escriba una expresión para la corriente de drenador inicial en función de V_{OH} y V_{OL}.

b) Escriba una expresión para la corriente de drenador cuando $v_O = V_M$. Sustituya para V_M de forma que su expresión incluya V_{OH} y V_{OL}.

c) Use los resultados de a) y b) para demostrar que la corriente media de carga está dada por la Ecuación (13.11).

13.7 Dibuje un circuito NMOS que realice la función

a) $\overline{Z} = (A \cdot B + C) \cdot D$,

b) $\overline{Z} = (A + B) \cdot D \cdot E$,

c) $\overline{Z} = (A \cdot B + C \cdot D) \cdot E$.

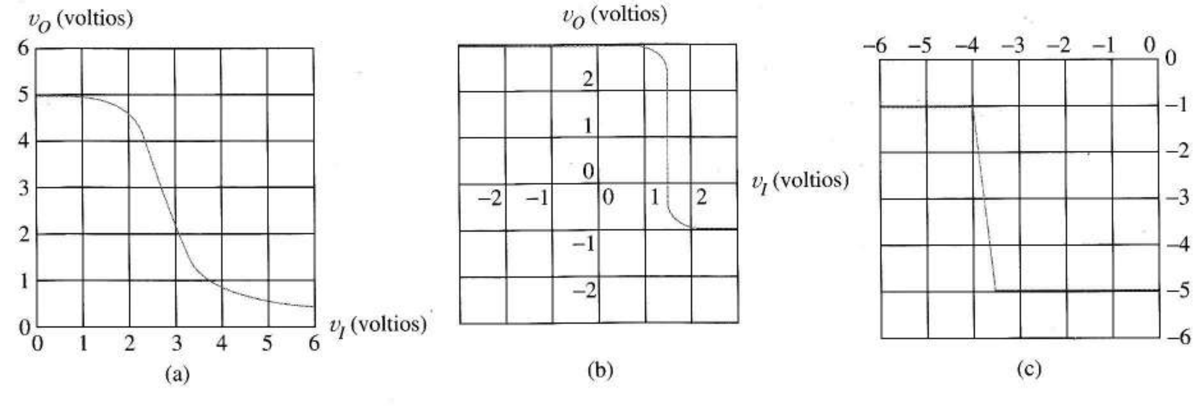


FIGURA P13.1

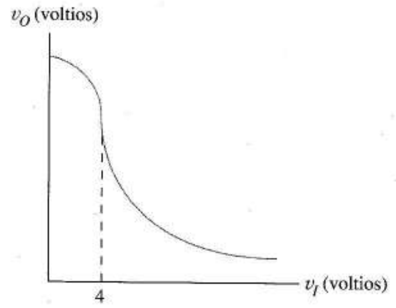


FIGURA P13.2

13.8 Use el SPICE para obtener los valores nuevos de t_{PLH} y V_{OL} cuando el valor de W/L de M_2 cambia a 5U/5U en la puerta del Ejemplo 13.1.

13.9 Use el SPICE para obtener t_P cuando la puerta del Ejemplo 13.1 tiene capacidad de carga externa de 1 pF.

13.10 Ignorando el efecto de sustrato.

a) Obtenga una expresión matemática que relacione v_O y v_I en la Figura 13.9a cuando

i) M_1 está cortado y M_2 óhmico

ii) M_1 está activo y M_2 óhmico

iii) M_1 y M_2 están activos

iv) M_1 está en estado óhmico y M_2 está activo

b) Dibuje un croquis de la función de transferencia y etiquete las regiones a-d de acuerdo con las ecuaciones que ha obtenido.

13.11 Observe en las Ecuaciones (13.10) y (13.12) que la relación de t_{PLH} y t_{PHL} es independiente de C_L. En lugar de una carga capacitiva de 20 pF como en el Ejemplo 13.2, suponga que la puerta de la Figura 13.10a está cargada con las capacidades de entrada de N puertas de carga, siendo cada capacidad de entrada 1,8 pF. Si C_L está formada sólo por capacidades de entrada ¿cuál es el *fan-out* si $t_P \leq 50$ ns?

13.12 La Figura P13.12 muestra un inversor NMOS con carga de deplexión y con todas las capacidades reunidas en una sola capacidad de salida.

a) A partir de la información gráfica estime V_{OH} y V_{OL}.

b) Obtenga la disipación de potencia del inversor cuando la salida está a 0 lógico.

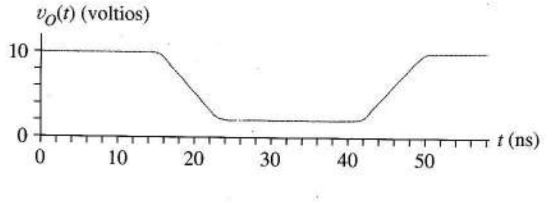


FIGURA P13.3

c) Con la salida a 1 lógico, la entrada cambia instantáneamente de 0 V a 10 V. Estime dv_O/dt en $t = 0^+$, el instante después de la conmutación.

d) Rehaga la parte c) cuando la puerta está gobernando 10 puertas de carga, cada una con capacidad de entrada de 2 pF, además de la capacidad de carga original.

13.13 El transistor de la Figura P13.13 tiene $V_t = 2$ V, $k = 2$ mA/V y no hay capacidad interna.

a) La entrada v_I crece gradualmente hasta que el transistor conduce. ¿Cuál es el valor de v_I cuando el transistor empieza a conducir?

b) ¿Cuál es el estado inicial del transistor cuando empieza a conducir?

c) Escriba una ecuación relacionando v_O con v_I cuando el transistor está en el estado obtenido en b).

d) Obtenga una inecuación válida para las partes a) y b).

e) Escriba una ecuación que relacione v_O con v_I para valores grandes de v_I.

f) Después de revisar los apartados anteriores de este problema dibuje la función de transferencia.

13.14 Para la Figura P13.14

a) ¿Cuáles son los valores en régimen permanente de la tensión de salida a 1 lógico y a 0 lógico?

b) La tensión de entrada del inversor crece instantáneamente de 2 V a 12 V. Use la información gráfica dada para estimar el tiempo de propagación. Suponga que las capacidades del transistor están incluidas en el condensador de carga de 4 pF.

Sección 13.3

13.15 La Figura P13.15 es la función de transferencia de un inversor CMOS. Use esta información gráfica para estimar los márgenes de ruido.

13.16 Demuestre que V_{IL} para la puerta CMOS viene dada por la Ecuación (13.18).

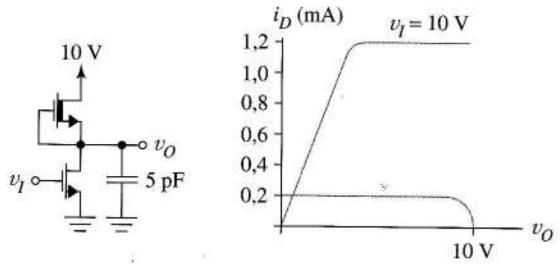


FIGURA P13.12

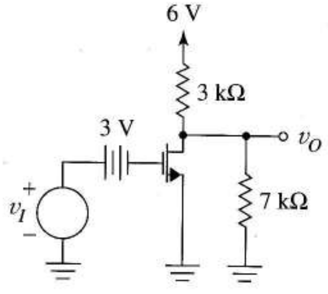


FIGURA P13.13

Sugerencia En la región 2 la función de transferencia está descrita por la Ecuación (13.16). Primero sustituya $k_P = k_N = k$ y $-V_{tP} = V_{tN} = V_t$. Después demuestre que

$$\frac{dv_O}{dv_I} = -1 \text{ implica } v_O = v_I + \frac{V_{DD}}{2}$$

Use esto para eliminar v_O en la Ecuación (13.16). Resuelva para $v_I = V_{IL}$.

13.17 Demuestre que V_{IH} para la puerta CMOS viene dada por la Ecuación (13.19).

Sugerencia En lugar de usar la definición use la Ecuación (13.18) y la simetría de la curva característica.

13.18 ¿Cuáles son los márgenes de ruido de una puerta CMOS con una sola alimentación de 12 V si las tensiones umbral del transistor son de 0,8 V?

13.19 Un inversor CMOS usa una fuente de alimentación de +12 V. Los transistores tienen $k_P = k_N = 3 \times 10^{-5}$ A/V^2, $|V_t| = 1{,}0$ V y tensiones Early de 90 V.

a) Use el análisis de continua del SPICE para dibujar la función de transferencia.

b) Repita la parte (a) usando una tensión Early de 50 V.

13.20 En la Figura P13.20 los transistores están emparejados siendo k su parámetro de transconductancia y $V_{tN} =$

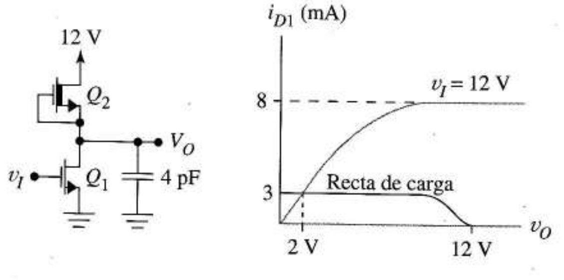


FIGURA P13.14

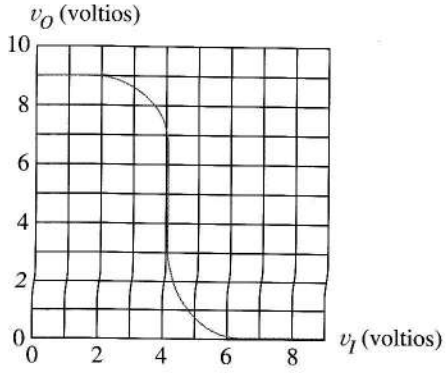


FIGURA P13.15

$-V_{tP} = V_t$ sus tensiones umbral. Obtenga el valor de v_O cuando la entrada es un 0 lógico.

Sugerencia Suponga que el valor de R_L es grande.

13.21 En la Figura P13.20 la entrada es cero voltios. Obtenga el valor de R_L (en función del parámetro del MOSFET, k) que hace que el transistor de canal n entre justamente en modo activo.

13.22 Un inversor CMOS usa una fuente de alimentación de +12 V. Los transistores tienen $k_P = k_N = 3 \times 10^{-4}$ A/V^2 y $|V_t| = 1{,}0$ V

Con el condensador de carga $C = 40$ pF inicialmente descargado la entrada pasa bruscamente a 0 lógico, como en la Figura 13.12b.

a) Escriba y resuelva la ecuación diferencial que se aplica en $t = 0^+$.

b) Obtenga el mayor valor de t, t_1, para el que la solución de la parte a) sea válida. Explíquelo.

c) Obtenga la ecuación diferencial que se aplica cuando $t \geq t_1$. Separe la ecuación diferencial en dos partes, una que lleve a una integral con dv_O y otra a una integral con dt.

13.23 Use el SPICE para obtener t_{PLH} y t_{PHL} para una puerta CMOS con una capacidad de carga de 2 pF. Los parámetros del transistor n son VTO = 1,5, KP = 7E – 6, GAMMA = 0,37, TOX = 1,0E – 7, W = 10 U y L = 5 U. Los parámetros del transistor de canal p se diferencian en VTO = –1,5, W = 25 U y L = 5 U.

13.24 Escriba dos ecuaciones diferenciales que describan el transitorio de descarga de la Figura 13.12d e indique el margen de v_o para el que es válida cada ecuación.

13.25 a) Use el SPICE para obtener $v_O(t)$ para el inversor de la Figura 13.14a cuando la entrada es el pulso incluido en el código de la Figura 13.14a.

b) Repita la parte a) después de añadir un condensador de carga de 10 pF entre la salida y masa.

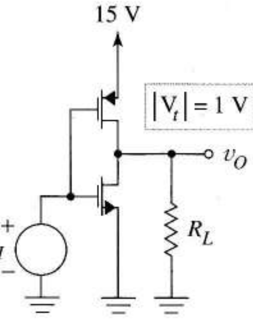


FIGURA P13.20

13.26 El código SPICE de la Figura 13.14a predice la función de transferencia de la Figura 13.14b. Use el SPICE para obtener la curva cuando los dos transistores tienen una tensión Early de 40 V. Compare esta curva con la original.

13.27 Dibuje la característica del inversor CMOS ($V_{tP} = -V_{tN}$ y $k_P = k_N$) de la Figura 13.15a para

a) $V_{DD} = 0$, $V_{SS} = 5$ V

b) $V_{DD} = V_{SS} = 4$ V

c) $V_{DD} = +3$ V, $V_{SS} = 8$ V

d) Use el SPICE para verificar el resultado de la parte c).

13.28 Obtenga los márgenes de ruido para una puerta CMOS que use alimentaciones de ±4 V si los transistores tienen tensiones umbral de 1,1 V.

13.29 a) Dibuje un circuito equivalente para la Figura 13.17 cuando el circuito está en equilibrio con $v_I = 0$ V. Dé el estado probable de cada transistor.

b) Inicialmente C_L está descargado a cero voltios. dibuje un circuito equivalente para la Figura 13.17 un instante después que v_I ha conmutado de V_{DD} a cero voltios. Dé el estado probable de cada transistor.

c) Dibuje un circuito equivalente para la Figura 13.17 cuando el circuito está en equilibrio con $v_I = V_{DD}$ voltios. Dé el estado probable para cada transistor.

d) Inicialmente C_L está cargado a V_{DD} voltios. Dibuje un circuito equivalente para la Figura 13.17 un instante después que v_I haya conmutado de cero a V_{DD} voltios. Dé el estado probable de cada transistor.

13.30 La Figura P13.30 muestra un circuito inversor BiCMOS. Los parámetros de los bipolares son los de la Figura 4.45b.

a) Use el SPICE para obtener la función de transferencia estática y la disipación de potencia a 0 y 1 lógicos.

b) Use el análisis transitorio del SPICE para dibujar la tensión de salida cuando la entrada es un pulso de tensión de 5 V de amplitud.

13.31 Dibuje un diagrama mostrando cómo convertir el inversor BiCMOS de la Figura 13.17 en una NAND de dos entradas.

13.32 Escriba el código SPICE para la NAND de dos entradas de la Figura 13.16. Use las mismas sentencias .MODEL que en la Figura 13.14a, excepto la añadidura del coeficiente de efecto de sustrato $\gamma = 0{,}37$. Modifique las líneas de elemento del transistor añadiendo W = 25 U, L = 5 U para M_2 y M_4, y W = 20 U y L = 5 U para M_3 y M_1.

a) Obtenga la función de transferencia estática de la puerta, V(4) frente a V(5), cuando V(3) = 1.

b) Obtenga la respuesta de la puerta de dos entradas al pulso de entrada descrito en el código de la Figura 13.14a cuando V(3) está puesta a 0 V.

Sección 13.4

13.33 a) Para la Figura 13.18a dibuje sobre las características de salida de B_3 la recta de carga no lineal formada por B_2. El dibujo debe mostrar los valores numéricos correctos de la corriente de la región activa de B_2 y la curva de B_3 correspondiente a la conducción puerta-fuente. Un transistor de ancho unidad tiene $\beta = 0{,}07$ mA/V^2 y $V_t = -0{,}5$ V.

b) En la Figura 13.18b, cuando v_I – 1,2 V_t = –0,5 V, B_3 entra en estado activo mientras B_2 permanece en estado óhmico. Ignorando la saturación de velocidad, escriba la ecuación que relaciona v_O con v_I cuando se trabaja en esta región.

c) ¿Para qué valor de v_I pasa B_2 a estado óhmico?

d) Escriba la ecuación que relaciona v_o y v_I cuando ambos están activos.

e) ¿Para qué valor de v_I pasa B_3 a estado óhmico?.

13.34 La Figura P13.34 muestra un inversor SDFL con los anchos (en micras) de los transistores dados entre paréntesis. Para un MESFET con un ancho de una micra, $\beta = 0{,}07$ mA/V^2. La tensión umbral es $V_t = -0{,}5$ V. Los diodos Schottky conducen con una tensión de polarización directa de 0,6 V.

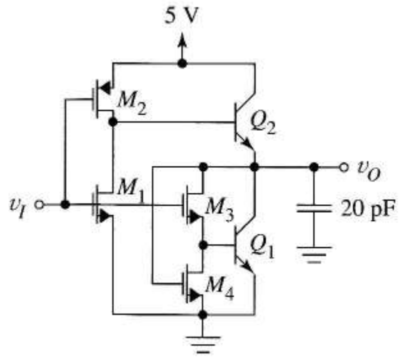


FIGURA P13.30

a) Obtenga el *fan-out*.

b) Obtenga v_O cuando la entrada viene de una puerta idéntica con la salida a 1 lógico.

13.35 Haga un modelo del subcircuito SPICE del inversor descrito en el problema 13.34 usando JFETs como transistores. Modele los diodos con valores por defecto excepto EG = 0,69.

a) Escriba el código SPICE de dos inversores en cascada, con la salida de un inversor conectada a la entrada del otro. Use el análisis de continua para dibujar la función de transferencia del primer inversor de la cascada para $0 \leq v_I \leq 2{,}5$ V.

b) A partir de los datos SPICE generados para obtener la función de transferencia del transistor cargado, halle los márgenes de ruido usando las definiciones estándar.

c) Modifique el circuito de la parte a) añadiendo un segundo inversor de carga. Obtenga la función de transferencia del primer inversor para este caso.

d) Repita la parte b) usando la función de transferencia de la parte c).

13.36 Se ha estimado el t_{PLH} de la puerta SDFL de la Figura 13.18a mediante análisis manual ignorando la saturación de velocidad.

a) Si el condensador de carga C_L = 5 pF está conectado entre la salida y masa ¿cuál es la tensión inicial del condensador, la tensión final y la V_M media para la puerta descrita en el texto?

Sugerencia Ver Figura 13.18c.

b) Obtenga la corriente de carga en el instante después al cambio de la entrada a 0 lógico.

c) Obtenga la corriente de carga cuando el condensador se ha cargado a V_M voltios.

Sugerencia Ver Figura 13.18b.

d) Use sus resultados para estimar t_{PLH}.

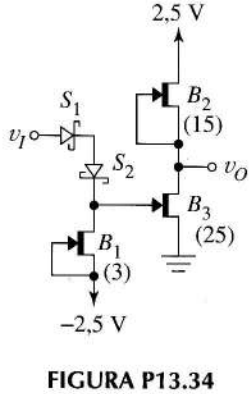


FIGURA P13.34

13.37 a) Construya un modelo SPICE para el inversor SDFL de la Figura 13.18a, Use JFETs de canal n para aproximar los MESFETs. Los valores de los parámetros para un dispositivo de 1 μ × 1 μ son $\beta = 0{,}07 \times 10^{-3}$ A/V^2, VTO = −0,5 V, LAMBDA = 0,05, CGS = CGD = 0,5 FF, RD = RS = 1Ω, PB = 1 y FC = 0,5. Las capacidades de polarización cero y las βs deben escalarse de acuerdo con el ancho del canal. Esto se hace automáticamente usando el parámetro de área en la línea de elemento JFET. Para modelar los diodos Schottky use diodos por defecto excepto CJO = 1,5 FF, EG = 0,69. Por supuesto el tiempo de tránsito del diodo está a su valor por defecto: cero.

b) Use se modelo para verificar la forma general de la función de transferencia estática de la Figura 13.18c.

c) Determine la forma de onda en la salida y use los datos del fichero de salida para estimar el tiempo de propagación cuando la entrada es el pulso

```
PULSE (0,89 1,8 10N 0 0 30N 210N)
```

13.38 Use la Ecuación (13.27) para obtener la V_{IH} de la puerta BFL de la Figura 13.20a.

Sugerencia Primero diferencie la Ecuación (13.29) respecto a v_I para ver como se usa la Ecuación (13.27).

13.39 Escriba una ecuación lineal que relacione v_O con v_X en la Figura P13.39, y especifique el margen de v_O en el que es válida. Los valores de los parámetros son $V_{t1} = V_{t2} = -0{,}5$ V, $\beta_I = 11{,}2 \times 10^{-4}$ A/V^2 y $\beta_2 = 0{,}7 \times 10^{-4}$A/V^2. La tensión de conducción del diodo Schottky es 0,7 V.

13.40 En la Figura 13.23 los MESFETs de deplexión y enriquecimiento tienen respectivamente tensiones umbrales de -0,5 V y +0,1 V, y anchos de canal de 5 μ y 50 μ. Para ambos transistores $\beta = 7 \times 10^{-5}$ A/V^2 para un dispositivo de W = 1 μ y α = 0.

a) Dibuje las características de salida de β_1 para v_I = 0 y para v_I = 0,6 V (La tensión de conducción de la unión puerta-fuente). Añada a su dibujo la recta de carga no lineal de B_2.

b) Escriba la ecuación que describe la puerta cuando ambos transistores están activos.

c) Dibuje la función de transferencia de la puerta.

13.41 La Figura P13.41 es un inversor TTL clásico que usa un transistor de salida que se satura. El transistor tiene $V_{CE,sat}$ = 0,2 V y β = 30.

a) Suponga que se aplica un 0 lógico de v_I = 0,2 V. Halle el estado de Q_1 y obtenga el valor de la corriente de entrada.

b) Si v_I crece ¿para qué valor de v_I cambiará el estado del transistor? Suponga que el corte ocurre a 0,5 V.

c) Suponga que v_I vale 5 V. Obtenga los estados de Q_1 y Q_2, y la corriente de base de Q_2.

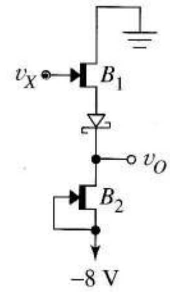


FIGURA P13.39

d) Obtenga el *fan-out* del inversor

e) Comenzando con $v_I = 5$ V, como en la parte (c), obtenga el valor de v_I para el cual Q_1 empieza a cambiar de estado.

f) Dibuje la función de transferencia del inversor sin carga. Suponga que el cambio entre las dos condiciones extremas estudiadas en (a)-(e) viene dado por una línea recta.

13.42 La Figura P13.42 muestra una puerta de *lógica* de transistor cuasi-saturado mediante un *diodo* Schottky. Los valores de los parámetros son: $V_D = 0{,}3$ V, $V_{CEcuasi\text{-}saturado} = 0{,}4$ V y $\beta = 20$.

a) Suponga que cuando se aplica una tensión de 5V el diodo de entrada no conduce, el diodo interno conduce y el transistor está "no saturado". Dibuje un modelo del circuito y verifique las suposiciones acerca de los estados del transistor y los diodos.

b) Calcule el valor de las corrientes de los diodos y la corriente de base. ¿Cuál es la tensión de salida?

c) Ahora suponga que la tensión de entrada que se aplica a la puerta se obtiene de otra puerta de esta familia que tiene su salida a 0 lógico. Suponga que el diodo de entrada está conduciendo, el otro diodo cortado y el transistor cortado. Bajo estas condiciones dibuje un modelo del circuito y verifique estas suposiciones.

d) Determine la dirección y valor de la corriente de entrada de la puerta en las condiciones descritas en la parte a).

e) Obtenga el *fan-out* de esta familia de puertas.

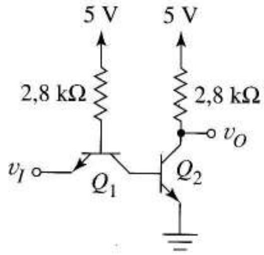


FIGURA P13.41

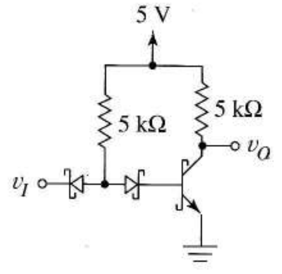


FIGURA P13.42

13.43 Suponga que el condensador de la Figura P13.43 se ha descargado previamente a 0,3 V. Este circuito es para cargarlo para $t \geq 0$, $V_{CEcuasi\text{-}saturado} = 0{,}3$ V, $V_{BE,on} = 0{,}7$ V y $\beta = 30$. Suponga que Q_D está en estado cuasi-saturado y Q_P en estado activo para $t = 0$.

a) Verifique las suposiciones para $t = 0$

b) Obtenga el equivalente Thèvenin del circuito de carga de la parte a)

13.44 Comenzando con la Figura 13.22c verifique el equivalente Thèvenin de la Figura 13.32d.

Sugerencia Sustituya la resistencia de 3,5 k y los componentes de su izquierda por un equivalente Thèvenin. Usar la ley de las corrientes de Kirchhoff en el nodo de salida es un buen comienzo para obtener la tensión de Thèvenin.

13.45 Comenzando con la Figura 13.32e verifique el circuito de carga Thèvenin de la Figura 13.32f. Vea las notas del problema anterior.

13.46 Use el SPICE para obtener la forma de onda de la corriente de la Figura 13.38 y su relación máxima de cambio si se añade un condensador de 100 pF entre el nodo de salida y masa.

13.47 Use el SPICE para dibujar la función de transferencia de la puerta de la Figura 13.34a para −35 ºC y para

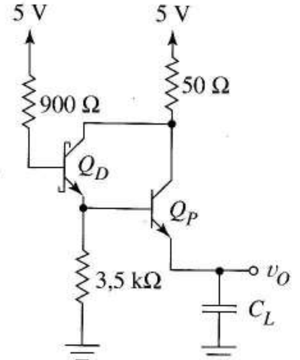


FIGURA P13.43

+65 °C. Añada XTB = 1,8 a las líneas .MODEL del transistor del Ejemplo 13.4 y asigne a cada resistencia un coeficiente de temperatura de primer orden de 0.004/°C.

13.48 Vuelva a dibujar la figura 13.39 a con todos los transistores sustituidos por el circuito equivalente apropiado.

13.49 La Figura P13.49 muestra un inversor lógico BiCMOS. La salida está a un 0 lógico de valor 0 V. En t = 0, v_I cambia instantáneamente a cero voltios, alterando el equilibrio.

a) Suponga que en $t = 0^+$ M_1 y Q_1 están cortados y Q_2 activo. Dibuje el circuito equivalente y úselo para calcular la corriente de carga de C_L en $t = 0^+$ si C_L = 10 pF.

b) Verifique que el estado supuesto para M_2 es correcto.

c) Obtenga el valor de v_O para el cual M_2 cambia de estado.

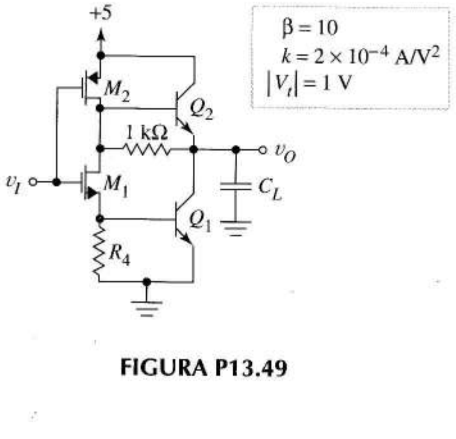


FIGURA P13.49

Sección 13.6

13.50 La Figura 13.40d muestra que una puerta ECL debe ser capaz de dar una corriente i_1 a cada puerta de carga que intente ponerse a 1 lógico.

a) A partir del circuito relacione i_1 con v_I.

b) La Figura P13.50 muestra una puerta ECL con la salida a 1 y cargada con N puertas idénticas (la Figura P13.50 muestra las conexiones directas de las puertas en lugar de las conexiones con líneas de transmisión de 50 Ω de otros diagramas). Obtenga una ecuación que relacione la tensión de salida a 1 lógico con N. A partir de esta ecuación obtenga los valores de v_O para N = 1, 2, 3.

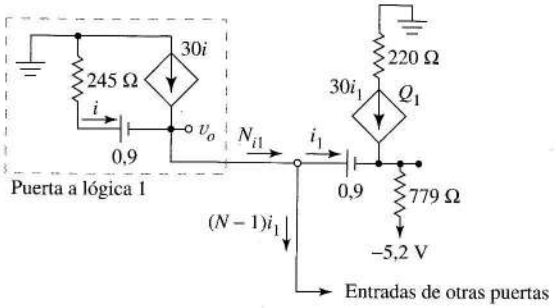


FIGURA P13.50

13.51 Use el análisis de circuitos para estimar V_R en la Figura 13.42a. Suponga que Q_5 está activo. Ignore I_{B2}.

13.52 La ECL usa una tensión de alimentación negativa para reducir el ruido de salida. Para ver esto considere la Figura P13.52, el circuito de salida de la Figura 13.40a cuando v_I es un 1 lógico. La fuente v_n representa los ruidos que entran en el circuito a través de la fuente de alimentación. Si ponemos a masa el punto a tenemos una alimentación positiva y tensiones de ruido en el nodo c referidas al nodo a. Si ponemos el punto b a masa, creando una alimentación positiva, trataremos con tensiones de ruido en el nodo c referidas al nodo b.

a) Sustituya el transistor por su modelo de gran señal usando β = 100 y después apague ambas fuentes de continua de forma que v_n sea la única fuente independiente.

b) Ponga una referencia de masa en el nodo b y calcule la tensión de ruido en los nodos c y a.

c) Compare los ruidos en c respecto a a y en c respecto a b.

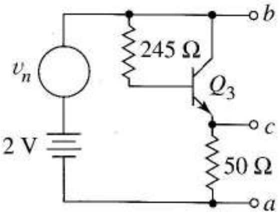


FIGURA P13.52

Capítulo 14

MEMORIAS, INTERCONEXIÓN Y PRINCIPIOS DE TEMPORIZACIÓN

Los libros de introducción a la lógica digital describen los circuitos digitales como elementos lógicos, formas de onda y retrasos muy idealizados. Este capítulo describe los principios de funcionamiento de los circuitos utilizados en las memorias digitales, formación de pulsos y temporizaciones de forma más realista, poniendo énfasis en los principios de su funcionamiento. Además, también tocará numerosos aspectos relacionados con el *interface* digital. Estos conceptos de *interface*[1] añaden al estudio de los circuitos digitales una perspectiva global, afinando nuestro conocimiento del diseño de circuitos integrados, de interconexiones entre familias lógicas y de interconexiones entre circuitos digitales y elementos externos como relés y LEDs. Algunos elementos de conexión como la lógica cableada, derivadores y desplazadores de nivel ya nos son familiares. Otros son nuevos, como las puertas tri-estado y los efectos de las líneas de transmisión. La teoría sobre líneas de transmisión explica las complejas formas de onda que se suelen dar cuando se conectan puertas de alta velocidad. Finalizaremos el capítulo explicando los principios básicos de las memorias integradas.

Multivibradores Los *multivibradores* son unos circuitos digitales de dos estados que utilizan realimentación positiva. Hay tres tipos: biestables, monoestables y astables.

Los *multivibradores biestables*, conocidos también como *flip-flops* o *básculas*, están caracterizados por *dos estados estables* que pueden mantenerse indefinidamente, a menos que se cambien de forma deliberada. La celda básica de memoria es capaz de almacenar un bit de información.

En los *multivibradores monoestables* sólo hay *un estado estable*, siendo el otro *cuasi-estable* ya que es transitorio por naturaleza. El monoestable necesita una señal de disparo de entrada que produce un pulso de salida de duración específica.

[1]N. del T.: Hemos preferido emplear el término *interface* frente a otras posibilidades como interfaz, interfase por estar aquél mucho más extendido. No obstante se hablará también de interconexiones en algunas ocasiones.

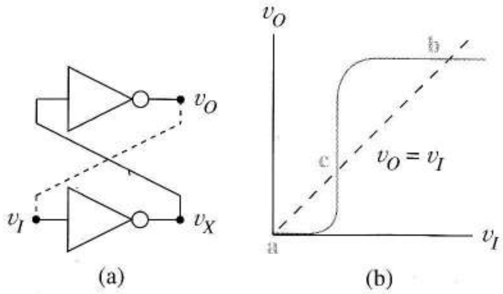


FIGURA 14.1
Circuito biestable: (a) configuración básica; (b) restricción del punto de trabajo.

Los dos estados del *multivibrador astable* son *cuasi-estables*, con lo que es un circuito oscilador utilizado en generación de ondas o como *reloj* para controlar un circuito de temporización.

14.1 CIRCUITOS BIESTABLES

La parte esencial de un biestable es el par inversor con realimentación cruzada de la Figura 14.1a. Las funciones de transferencia individuales, v_X frente a v_I y v_O frente a v_X, tienen la forma general de la Figura 13.1b. Incluyendo los efectos de carga estática (si hay), el circuito de dos etapas tiene una función de transferencia con el aspecto de la curva de la Figura 14.1b. Un conductor externo (a trazos) completa el bucle de realimentación positivo y añade la restricción adicional $v_O = v_I$.

Los puntos ***a*** y ***b*** representan puntos de funcionamiento o estados estables; el punto ***c*** es un *punto de funcionamiento no estable*, que explicaremos después. Cuando se utiliza como memoria digital, un punto de funcionamiento estable corresponde al valor lógico 1 y el otro, al 0. Podemos construir un biestable utilizando inversores de cualquier familia lógica.

Estados estables Para analizar el funcionamiento de los biestables consideraremos la implementación de los CMOS en la Figura 14.2a. El valor lógico Q representa el estado del biestable. Las capacidades de entrada C_1 y C_2 son equivalentes que aglutinan todas las capacidades parásitas del transistor.

Cuando $Q = 1$, el inversor M_2-M_4 tiene una salida con valor lógico 1 y M_1-M_3, una salida con valor lógico 0, dándonos la Figura 14.2b. Este estado corresponde al punto ***b*** de la Figura 14.1b. La Figura 14.2c corresponde al punto ***a***. Para asegurarnos de que el estado ***a*** es estable, debemos verificar que se mantiene a pesar de pequeñas perturbaciones transitorias.

La Figura 14.2d muestra el equivalente $Q = 0$ en presencia del ruido v_n. C_2 se carga, sin ruido, a V_{DD} voltios y mantiene Q_2 en funcionamiento óhmico. Un pulso de ruido con la polaridad indicada en el diagrama hace que C_2 se descargue con la constante de tiempo R_3C_2, reduciendo la tensión de puerta de M_2 y acercándolo al corte. Sin embargo, si v_n no es lo bastante grande ni lo bastante largo como para apagar M_2, C_2 sólo se vuelve a cargar con V_{DD} cuando el ruido finaliza. Un argumento parecido muestra que el estado $Q = 1$ es estable. Más adelante mostraremos que cuando un estado es inestable, una pequeña tensión de ruido provoca una cadena de sucesos que conducen a un cambio de estado. Pero primero examinaremos las formas de hacer cambiar el circuito de un estado estable a otro.

Cambiando el estado La Figura 14.3 muestra el biestable conectado a una fuente externa con resistencia interna R_I por medio de un interruptor *SW*. Para almacenar un bit, pondremos v_I al valor lógico 1 ó 0 y después cambiaremos *SW*. Examinaremos el cronograma de este proceso.

La Figura 14.4a muestra el biestable en el estado $Q = 1$. Como la tensión en equilibrio de C_1 es V_{DD} voltios, al cerrar *SW* con $v_I = V_{DD}$ no provoca cambios. Sin embargo, cuando $v_I = 0$, como en el

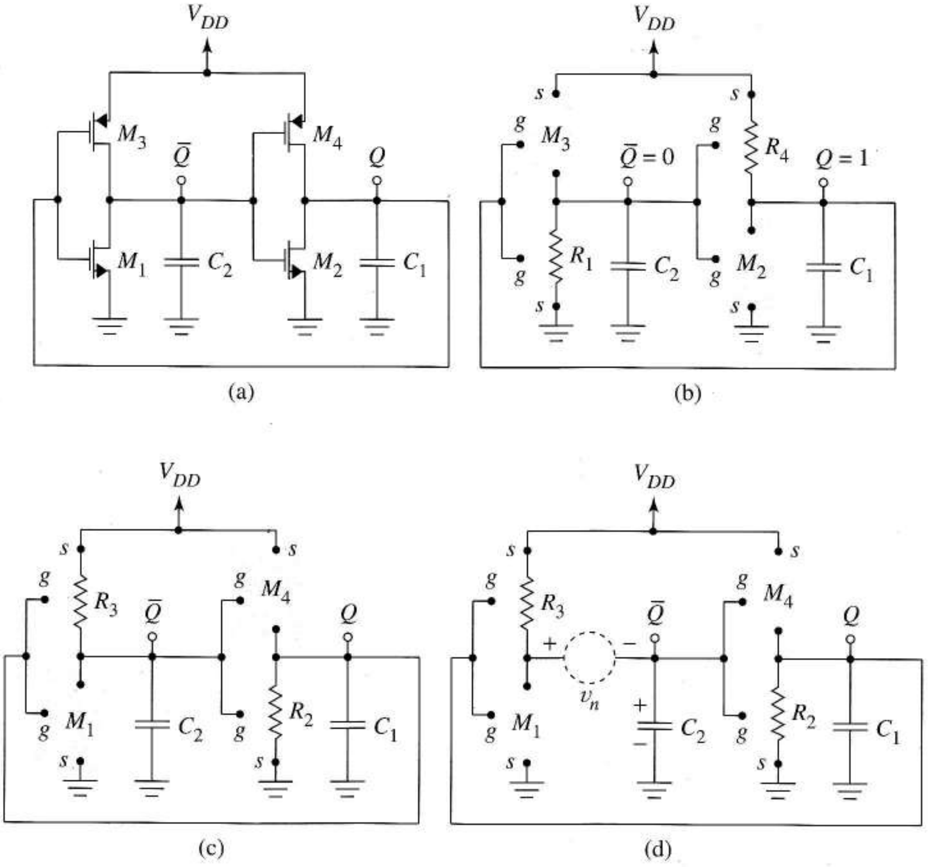


FIGURA 14.2 Estados estables del biestable: (a) bietable CMOS; (b) estado lógico 1; (c) estado lógico 0; (d) circuito para estudiar la estabilidad.

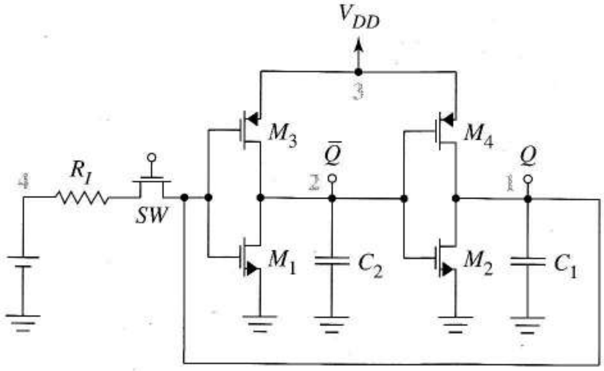


FIGURA 14.3 Biestable previsto para cambiar el valor almacenado en una fuente externa.

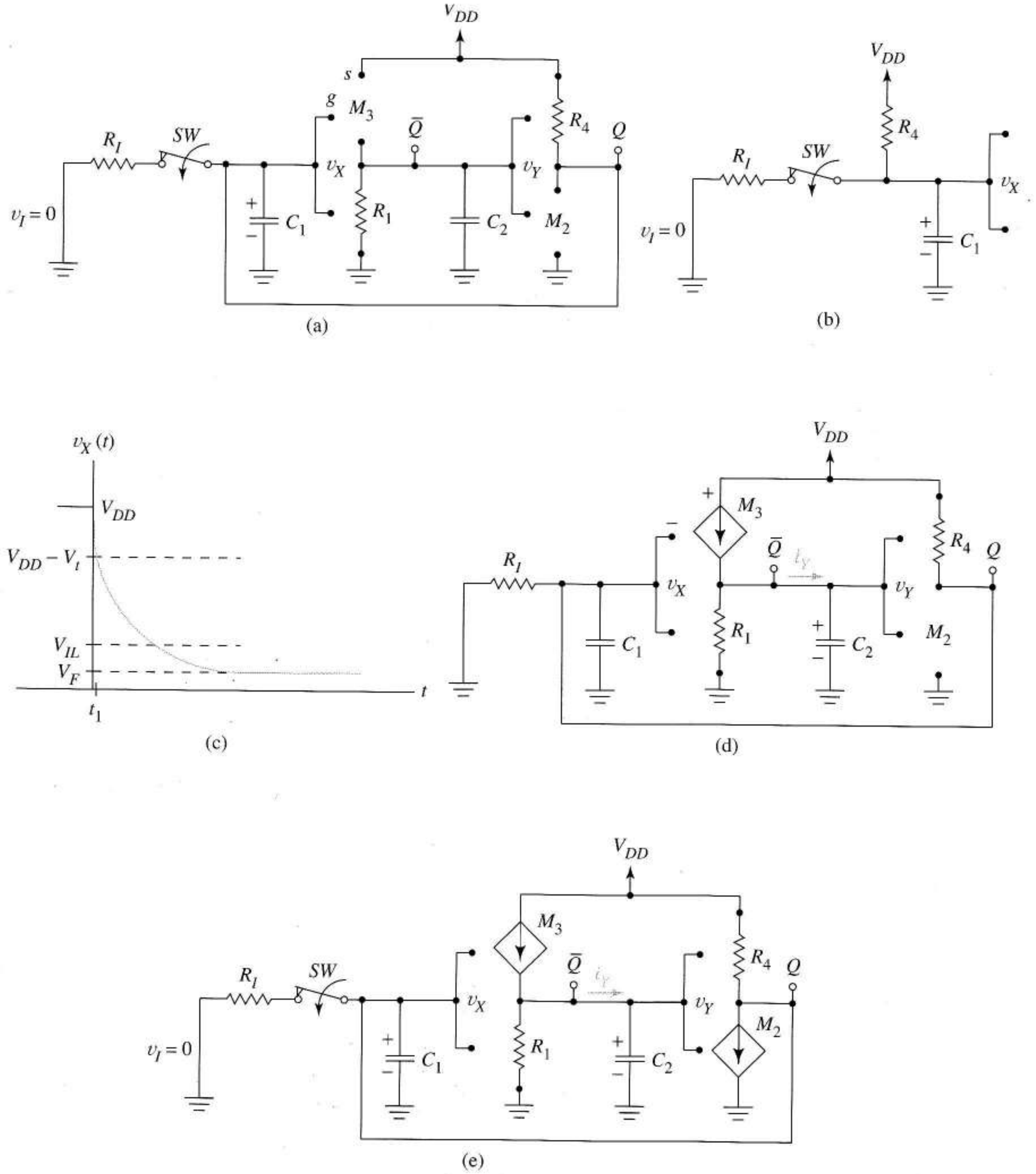


FIGURA 14.4 Dinámica del biestable: (a) estado de equilibrio con $Q = 1$; (b) circuito de entrada para descargar C_1; (c) descarga; (d) M_3 comienza a cambiar el estado de M_2; (e) acción regenerativa como un amplificador de dos etapas.

diagrama, el condensador C_1 se descarga hacia la resistencia Thèvenin $R_1||R_4$, y v_X varía exponencialmente desde su valor inicial V_{DD} hacia la tensión (Thèvenin) final de

$$V_F = \frac{R_I}{R_I + R_4} V_{DD} \tag{14.1}$$

CENTRO POLITÉCNICO SUPERIOR DE INGENIEROS · ZARAGOZA ·

Debido al aislamiento de C_2, v_Y no puede cambiar hasta que M_3 entre en conducción. Esto sucede cuando

$$v_X = V_{DD} - V_t \tag{14.2}$$

donde $-V_t$ es la tensión umbral de M_3. Hay un retraso, t_1, hasta que C_1 se descarga lo suficiente como para poner en conducción M_3, que analizaremos ahora.

En cualquier circuito *RC* lineal con excitación constante, la diferencia entre tensiones de equilibrio inicial y final varía exponencialmente; así, la siguiente solución general describe la tensión del condensador

$$\text{respuesta} = \text{valor final} + (\text{valor inicial} - \text{valor final})e^{-t/(RC)} \tag{14.3}$$

En el circuito de entrada, la figura 14.4b, t_1 debe cumplir

$$v_X(t_1) = V_F + (V_{DD} - V_F)e^{-t_1/(R_E C_1)} = V_{DD} - V_t \tag{14.4}$$

en la que V_F viene dado por la Ecuación (14.1) y $R_E = R_I||R_4$. La Figura 14.4c muestra la forma de onda. Observemos que si *SW* vuelve a abrirse antes de que $t = t_1$, C_1 se recarga a V_{DD} y el biestable no cambia de estado. Así, una duración insuficiente del cierre del interruptor provoca únicamente un cambio transitorio en la tensión Q y ningún cambio en $\bar{Q}$.

Tras t_1 segundos, M_3 entra en conducción, dando la Figura 14.4d. Sólo entonces es cuando C_2 comienza a cargarse. Sin embargo, el proceso de conmutación es aún reversible en este punto si *SW* vuelve a abrirse antes de que M_2 conduzca, v_X vuelve a V_{DD}, M_3 deja de conducir, C_2 se descarga a cero y el circuito vuelve a su estado original. Obviamente, la condición necesaria en la conmutación es que v_Y alcance la tensión umbral, V_t de M_2. Una vez que M_2 está en conducción, ambos inversores conducen simultáneamente, dando el amplificador de dos etapas y realimentación positiva de la Figura 14.4e. Según se incrementa v_Y, se decrementa v_X, provocando una mayor corriente de carga desde M_3. Cuando v_X se hace tan pequeño que la ganancia del bucle es superior a uno, la realimentación positiva acelera la carga de C_2 y la descarga de C_1. El circuito continúa avanzando de forma regenerativa, siendo su siguiente evento crítico el corte de M_4. Cuando esto sucede, el cambio de estado es irreversible. Al abrir *SW* en este punto, se desconecta la fuente externa, pero C_1 continúa descargándose a través de M_2. Ambas capacidades alcanzan sus valores $Q = 0$ finales, como en la Figura 14.5, y la transición se ha completado.

Si se aplica una nueva entrada tras el corte de M_4, pero antes de que las tensiones del condensador se asienten en sus valores finales, el tiempo y las formas de onda son distintos a los iniciales en equilibrio. Para evitar esto, debemos observar el *tiempo de establecimiento*, cuatro o cinco veces la constante de tiempo R_2C_1, antes de intentar cambiar de nuevo el estado.

Para almacenar un uno con el biestable en el estado $Q = 0$ como en la Figura 14.5, pondremos v_I a V_{DD} y cerraremos *SW*. C_1 se carga a través de la resistencia Thèvenin $R_I||R_2$, poniendo en conducción M_1, que después descargará C_2. Cuando v_y es lo suficientemente baja, M_4 conduce y ayuda a V_I a cargar C_1. Cuando M_2 entra en corte, el cambio continúa incluso cuando se desconecta la fuente al abrir el interruptor.

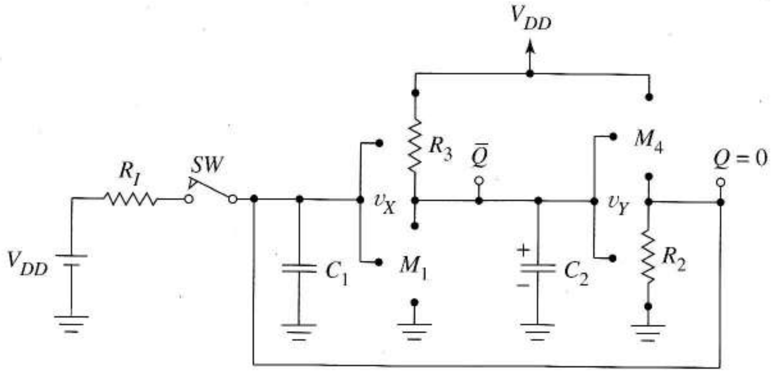


FIGURA 14.5
Biestable en su estado de equilibrio $Q = 0$.

EJEMPLO 14.1 El biestable de la Figura 14.6a tiene $R_i = 200\ \Omega$, $C_1 = C_2 = 0{,}4$ pF, $k_p = k_n = 2 \times 10^{-4}$ A^2/V y $|V_t| = 1$ V. Al principio almacena un 1 lógico.

a) Utilizar SPICE para hallar las tensiones de los estados en los nodos 1 y 2 cuando el interruptor se cierra a los 2 ns. Hallar el valor de t_1 a partir de los datos de salida.

b) Hallar las formas de onda si se cierra el interruptor a los 0,2 ns.

Solución a) La Figura 14.6b muestra el código. M_{SW} es un interruptor MOSFET con *KP* grande para asegurar una resistencia de conmutación despreciable. Otras idealizaciones son: que el interruptor se cierra con un pulso de amplitud $V_{DD} + V_t$ y que la dinámica del interruptor es despreciable. El cierre del interruptor se retrasa hasta 1,0 ns para mostrar de forma más clara las condiciones iniciales. Los transistores M_1–M_4 son, por defecto, modelos estáticos con los efectos dinámicos incluidos en los condensadores externos. (Las capacidades de tensión cero vienen en sentencias comentadas para utilizarlas en otros problemas.) La sentencia .IC sitúa al estado inicial del biestable al valor lógico 1.

La Figura 14.6c muestra las formas de onda de salida. Como indicábamos, $v_1(t)$ comienza a variar de forma exponencial inmediatamente tras el cierre del interruptor. Al expandir la escala de tiempos a la proximidad de 1 ns vemos que $v_2(t)$ comienza a cambiar sólo en 1,062 ns; por lo tanto, $t_1 \approx 0{,}062$ ns. Cuando el interruptor se vuelve a abrir a los 2 ns, el biestable evoluciona hasta su nuevo valor lógico 0, dado que se ha dado la conmutación crítica interna. (El Problema 14.6 analiza el cambio de estado cero a uno.)

b) Reemplazando el primer elemento *VSW* por el segundo, cambia la duración del pulso a 0,2 ns. La Figura 14.6d muestra que en $t = 1{,}2$ ns, $v_2(t)$ aún no se ha alcanzado la conmutación umbral de entrada del segundo inversor. Como el cierre del interruptor dura demasiado poco, el estado del biestable no cambia. ❑

Ejercicio 14.1 a) Calcular R_4, la resistencia óhmica de M_4, al principio del transitorio en el Ejemplo 14.1.

Sugerencia Ecuación (5.5)

(b) En la Figura 14.6a, si la tensión en el nodo 1 baja hasta el punto en el que el amplificador de dos etapas tiene la ganancia máxima, esperamos que la regeneración continúe el proceso de cambio de estados. Utilizar la Ecuación (14.1) para estimar el mayor $R_I = R_i$ para el que se cumpla esto en el Ejemplo 14.1.

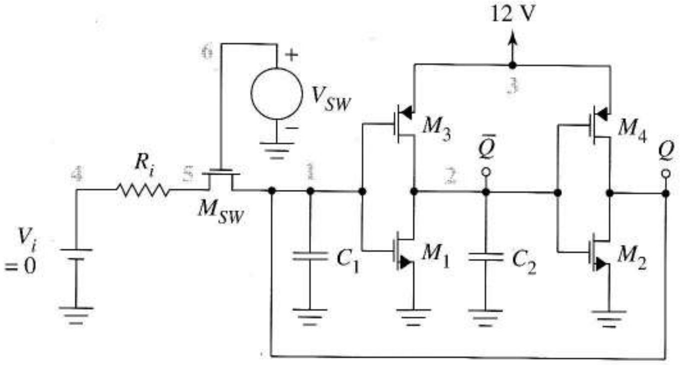
Sugerencia ¿Para qué tensión de entrada es máxima la ganancia del inversor CMOS?

Respuesta 455 Ω, 455 Ω.

A veces el diseñador nos da entradas especiales que controlan el estado del biestable. La Figura 14.7a muestra un biestable NMOS con entradas de control S y R y con la dinámica en las capacidades parásitas de entrada. Ambas entradas suelen ser pequeñas para mantener los transistores de entrada en corte.

Para almacenar un 1, utilizaremos una entrada S (*set*) lo bastante larga para iniciar la acción regenerativa descargando C_2; para almacenar un 0, utilizaremos la entrada de *reset* R. El proceso de conmutación y las variables de temporización son como las descritas en el biestable CMOS; sin embargo, hay dos ventajas en este método de conmutación sobre la conmutación directa con una fuente externa. Para empezar, no se necesita corriente para la fuente externa, ni es crítica su corriente interna. Además el transistor de entrada pasa rápidamente a funcionamiento activo, proporcionando mucha corriente para descargar rápidamente la capacidad de entrada. Para comprobar esto, observemos que C_2 se carga inicialmente a V_{DD} voltios cuando S sube.

A diferencia de los CMOS, en este biestable siempre hay una conexión en el transistor desde la fuente de alimentación a masa, provocando disipación de potencia en ambos estados estáticos.



(a)

```
EXAMPLE 14.1
VDD 3 0 DC 12
M1 2 1 0 0 NFET
M2 1 2 0 0 NFET
M3 2 1 3 3 PFET
M4 1 2 3 3 PFET
MSW 1 6 5 0 NSW
.MODEL NSW NMOS VTO=1 KP=1
C1 1 0 0.4PF
C2 2 0 0.4PF
.MODEL NFET NMOS VTO=1 KP=2E-4
*+CBD=200FF CBS=200FF
.MODEL PFET PMOS VTO=-1 KP=2E-4
*+CBD=200FF CBS=200FF
VIN 4 0 DC 0
VSW 6 0 PULSE (0 13 1N 0.01N 0.01N 2N 40N)
*VSW 6 0 PULSE (0 13 1N 0.01N 0.01N 0.2N 40N)
RIN 4 5 200
.IC V(1) = 12
.TRAN 0.1N 4N
.PLOT TRAN V(1)
.PLOT TRAN V(2)
.END
```

(b)

FIGURA 14.6 Transitorio de conmutación del biestable: (a) esquema; (b) código SPICE; (c) formas de onda con un cierre de 2 ns; (d) formas de onda con un tiempo de cierre de 0,2 ns.

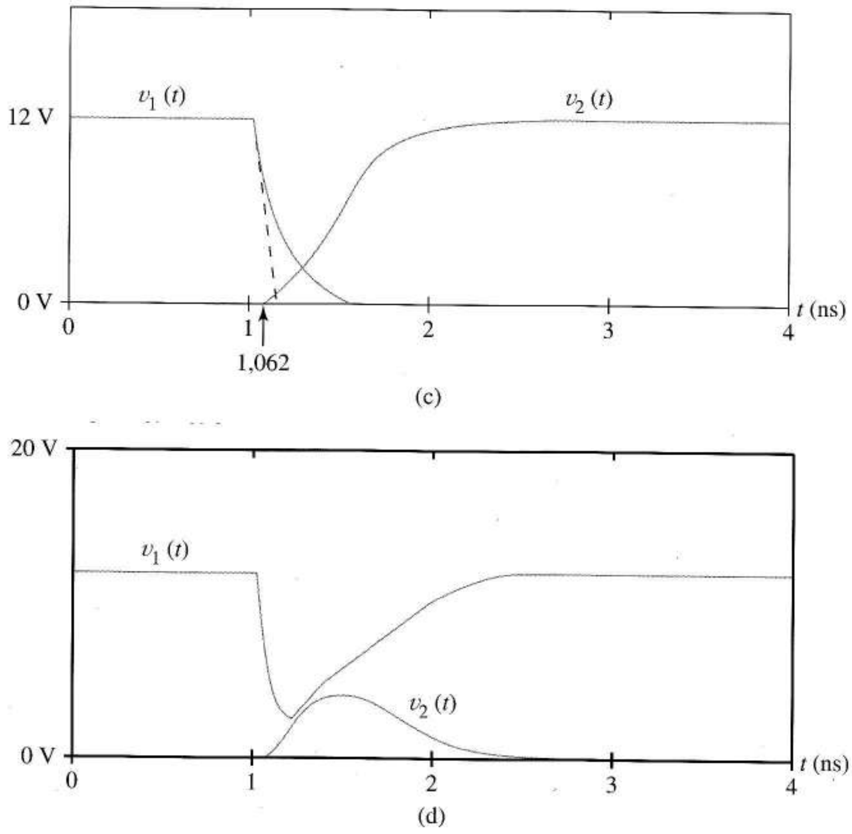


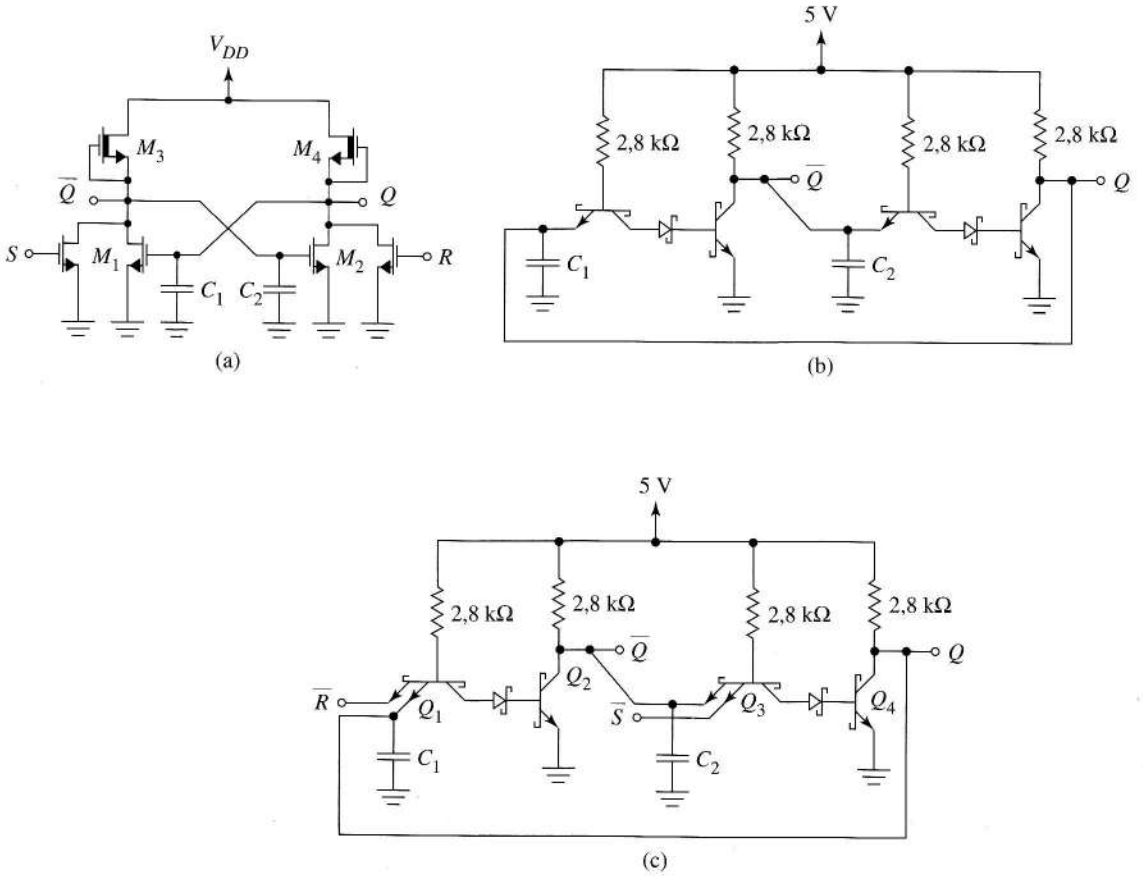
FIGURA 14.6
(Continuación)

La Figura 14.7b muestra un biestable TTL básico. En los TTL, es conveniente incorporar entradas de control en transistores de emisores múltiples como en la 14.7c. Ambas entradas tienen valores de 5 V en reposo. Para almacenar un 1, la entrada $-\overline{S}$ debe estar en estado bajo el tiempo suficiente para iniciar una acción regenerativa. Primero, Q_4 entra en corte, dando una situación como la de la Figura 14.7d. Ahora, C_1 se debe cargar hasta el punto en que Q_1 cambia para invertir el proceso y poner en conducción Q_2. En las puertas TTL con *pull-up* activo, el funcionamiento es similar. Como la Figura 14.7a representa a las puertas NOR con acoplamiento cruzado y la Figura 14.7c, las NAND de acoplamiento cruzado, vemos que las distintas familias lógicas tienen distintas representaciones de biestables.

Equilibrio inestable Podemos aprender más sobre los estados no estables del biestable, punto c de la Figura 14.1b, analizando el circuito equivalente de la Figura 14.8 en el que ambos transistores inversores están en estado activo. El cambio de notación, reemplazando v_O por v_Y, pone énfasis en la simetría del circuito en este desarrollo. En los biestables MOS, R_o es la resistencia inversora de salida en pequeña señal. (En los circuitos bipolares, la resistencia de entrada se ha incluido en la resistencia de salida del amplificador que le precede mediante una transformación Thevènin.) En el instante descrito en el diagrama, se incluye la historia del elemento en las tensiones iniciales del condensador $V_X(0)$ y $V_Y(0)$.

Las corrientes del condensador son

$$C_i \frac{dv_X}{dt} = \frac{-Av_Y - v_X}{R_o}, \quad C_i \frac{dv_Y}{dt} = \frac{-Av_X - v_Y}{R_o}$$



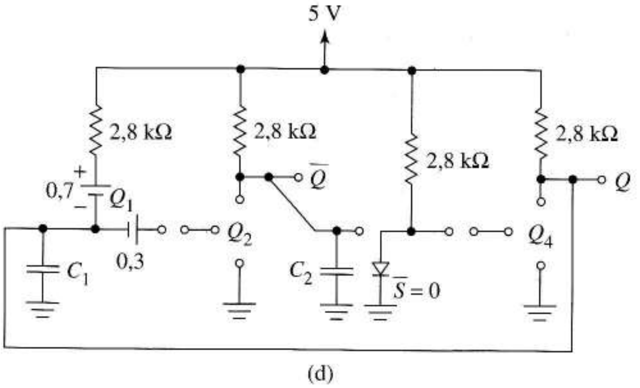


FIGURA 14.7 Cambio de los estados del biestable con entradas especiales: (a) biestable NMOS *RS*; (b) biestable TTL; (c) biestable TTL con puertas NAND; (d) circuito equivalente después de que $\overline{S}$ pasa a nivel bajo.

que se diferencian sólo en la posición de los subíndices. Dividiendo por C_i, reemplazando C_iR_o por τ y tomando la transformada de Laplace de la primera, obtenemos

$$sV_X(s) - V_X(0) = -\frac{A}{\tau}V_Y(s) - \frac{1}{\tau}V_X(s)$$

La segunda ecuación se obtiene intercambiando los subíndices X e Y. En forma matricial, las dos ecuaciones son

$$\begin{bmatrix} \frac{A}{\tau} \frac{A}{\tau} \\ \left(s+\frac{1}{\tau}\right) \end{bmatrix} \begin{bmatrix} V_X(s) \\ V_Y(s) \end{bmatrix} = \begin{bmatrix} V_X(0) \\ V_Y(0) \end{bmatrix} \left(s+\frac{1}{\tau}\right)$$

A continuación, despejaremos las transformaciones de $V_x(t)$ y $V_Y(t)$ en función de las condiciones iniciales. El determinante es

$$\Delta = \left(s+\frac{1}{\tau}\right)^2 - \left(\frac{A}{\tau}\right)^2 = s^2 + \frac{2}{\tau}s + \frac{\left(1-A^2\right)}{\tau^2} = \left(s+\frac{1-A}{\tau}\right)\left(s+\frac{1+A}{\tau}\right)$$

A partir del diagrama, A^2 es la ganancia del bucle. La última expresión muestra que cuando la ganancia del bucle es superior a uno (realimentación positiva), el circuito tiene un polo en la parte derecha del plano y, por lo tanto, es inestable.

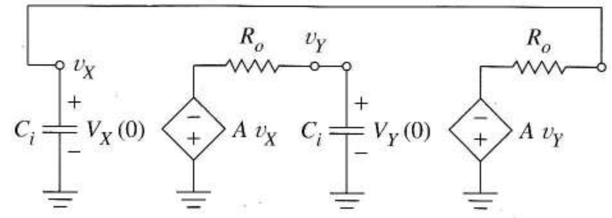


FIGURA 14.8
Circuito equivalente en estado estable del biestable con cualquier tensión en los condensadores.

A partir de los polos, sabemos que $v_X(t)$ y $v_Y(t)$ son sumas de términos exponenciales. Los términos asociados a los polos reales negativos se eliminan rápidamente, dejando al término dominante a la derecha del plano. Por la regla de Cramer, la transformación de $v_X(t)$ es

$$V_X(s) = \frac{\left(s+1/\tau\right)V_X(0) - (A/\tau)V_Y(0)}{\left[s+\left(1-A\right)/\tau\right]\left[s+\left(1+A\right)/\tau\right]} = F(s)$$

Por lo tanto, el coeficiente de la parte dominante de $v_x(t)$ es

$$K = F(s)\left(s+\frac{1-A}{\tau}\right)\Bigg|_{s=-\frac{1-A}{\tau}} = \frac{1}{2}\left[V_X(0) - V_Y(0)\right]$$

Utilizando el mismo procedimiento con el polo de la parte izquierda del plano, obtenemos

$$v_X(t) = \frac{1}{2}\left[V_X(0) - V_Y(0)\right]e^{+[(A-1)/\tau]t} + \frac{1}{2}\left[V_X(0) + V_Y(0)\right]e^{-[(A+1)/\tau]t}$$

$$\approx \frac{1}{2}\left[V_X(0) - V_Y(0)\right]e^{+[(A-1)/\tau]t}$$

Al intercambiar los subíndices x e y en la ecuación (14.5) obtenemos

$$v_Y(t) \approx \frac{1}{2}\left[V_Y(0) - V_X(0)\right]e^{+[(A-1)/\tau]t}$$

Supongamos ahora que el circuito se encuentra *exactamente* en el punto inestable de la Figura 14.1b. En ese caso, $V_X(0)$ es exactamente igual a $V_Y(0)$ en las Ecuaciones (14.5) y (14.6) y prevalecen las condiciones en continua. Sin embargo, si un ruido hace que $V_X(0)$ se diferencie ligeramente de $V_Y(0)$, las Ecuaciones (14.5) y (14.6) predicen una rápida transición a uno de los estados estables. Por ejemplo, si $A = 20$ y $V_X(0)>V_Y(0)$, entonces

$$v_X(t) \approx \frac{1}{2}\left[V_X(0) - V_Y(0)\right]e^{19t/(R_oC)}$$

y

$$v_Y(t) \approx \frac{1}{2}\left[V_Y(0) - V_X(0)\right]e^{19t/(R_oC)}$$

Vemos que $v_X(t)$ se hace grande rápidamente y el límite de los transistores, con v_X alcanzando su valor lógico 1; $v_Y(t)$ pasa rápidamente al valor lógico 0. Si $V_X(0)<V_Y(0)$ el biestable pasa al estado opuesto. Las ecuaciones también muestran que la constante de tiempo τ, obtenida a partir de R_o y C_i, se reduce, efectivamente, en $A - 1$, justificando anteriores referencias a los rápidos tiempos de respuesta asociados a circuitos con realimentación positiva.

Schmitt-trigger Los Capítulos 2 y 11 los describían y mostraban que tienen dos estados estables; por lo tanto son multivibradores biestables. En el Capítulo 2 hemos aprendido la forma en que el circuito puede extraer información binaria de grandes cantidades de ruido añadido. Debido a su conmutación regenerativa, el Schmitt-trigger también es útil en *interfaces* en los que se necesitan rápidas transiciones lógicas.

La Figura 14.9a muestra otro Schmitt-trigger, llamado *multivibrador acoplado por emisor*. En un estado estable Q_1 está cortado y Q_2 saturado. En el otro se invierten los modos de funcionamiento.

La Figura 14.9b muestra el estado estable que hay si v_I es una tensión muy baja. Aplicando la ley de corrientes de Kirchhoff, el emisor da

$$\frac{v_{X1}}{R} = \frac{\left[5-\left(v_{X1}+0{,}7\right)\right]+\left[5-\left(v_{X1}+0{,}3\right)\right]}{qR}$$

donde q es un parámetro de diseño. Al multiplicar por qR obtenemos

$$qv_{X1} = 9 - 2v_{X1}$$

y

$$v_{X1} = \frac{9}{2+q} \qquad (14.7)$$

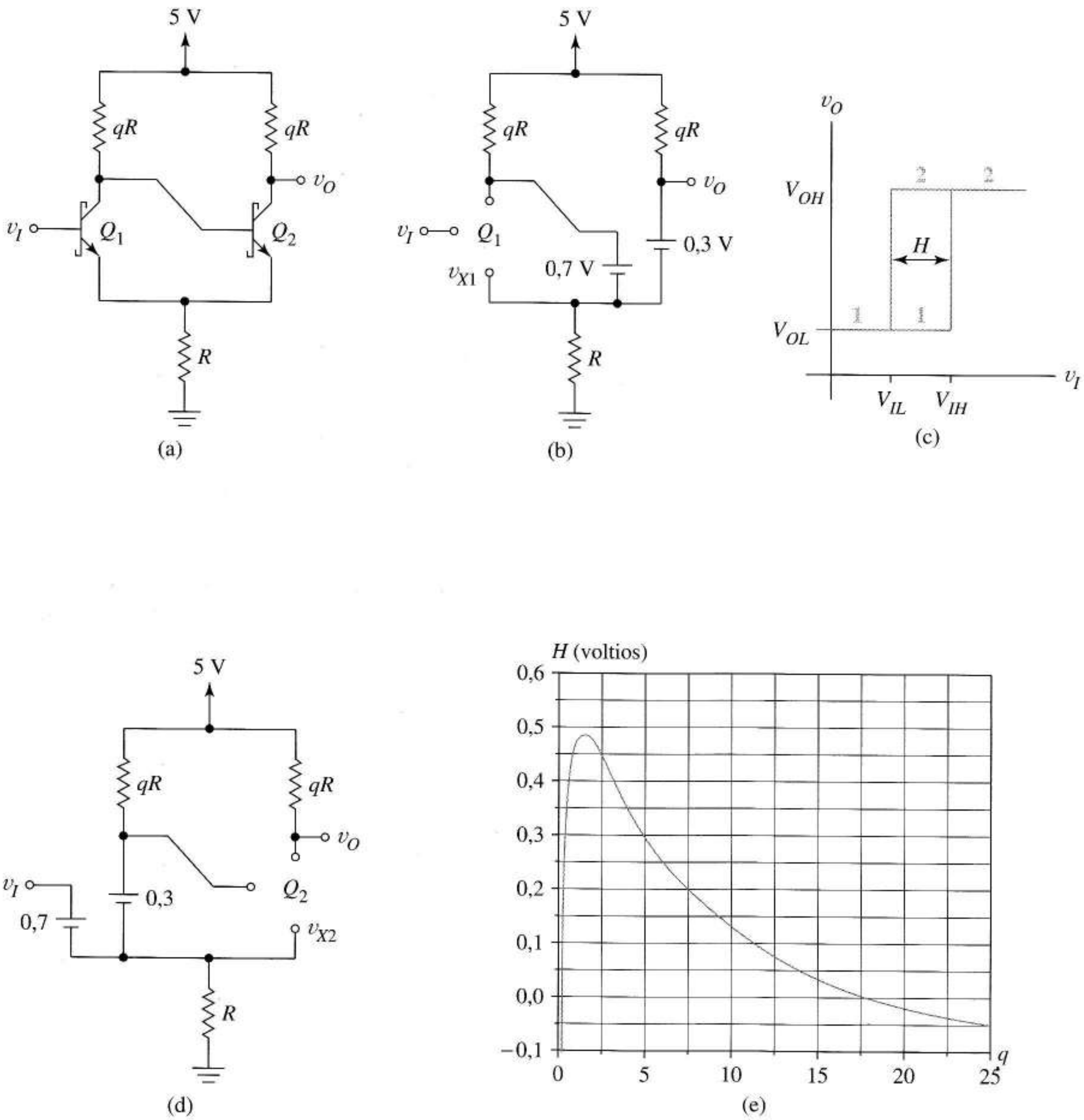


FIGURA 14.9 Schmitt-trigger acoplado por emisor: (a) esquema; (b) estado estable en la zona 1; (c) función de transferencia; (d) estado estable en la zona 2; (e) valor de la histéresis en función del parámetro q.

La tensión de salida de este estado es

$$V_{OL} = \frac{9}{2+q} + 0{,}3 \tag{14.8}$$

Este modo de funcionamiento sigue siendo válido para v_I en la Figura 14.9b hasta que

$$v_I \approx v_{X1} + 0{,}5 = V_{IH}$$

en donde un punto Q_1 comienza a conducir. Esto establece la región 1 en la Figura 14.9c. Al sustituir en la Ecuación (14.7) obtenemos

$$V_{IH} = \frac{9}{2+q} + 0{,}5 \tag{14.9}$$

Una vez que v_I pasa por V_{IH}, comienza la realimentación regenerativa. La corriente de colector de Q_1 se incrementa extrayendo corriente de la base de Q_2. Según Q_2 sale de la saturación, decrementa su gran contribución previa a la corriente de R, reduciendo la tensión del emisor de Q_1, según se incrementa su tensión de base. En consecuencia, el funcionamiento evoluciona rápidamente a la región 2. Esto corresponde al circuito estable equivalente de la Figura 14.9d, del que

$$v_O = V_{OH} = 5 \text{ V} \tag{14.10}$$

Como v_I disminuye a partir de un valor muy alto, el funcionamiento se mantiene en la región 2 en la Figura 14.9c hasta que $v_I = V_{IL}$. en este punto, en el que Q_1 sale de la saturación, pasa a un funcionamiento activo en la Figura 14.9d

$$i_E = \frac{\beta+1}{\beta} i_C \approx i_C$$

Esto indica que v_{X2} cumple

$$\frac{v_{X2}}{R} \approx i_C = \frac{\left[5 - \left(v_{X2} + 0{,}3\right)\right]}{qR}$$

o

$$v_{X2} = \frac{4{,}7}{1+q}$$

Así, la conmutación regenerativa comienza en $v_I = V_{IL}$, donde

$$V_{IL} = v_{X2} + 0{,}7 = \frac{4{,}7}{1+q} + 0{,}7 \tag{14.11}$$

Una vez en activa, Q_1 funciona como un inversor de fase. El desplazamiento de 180º entre la base y el colector de Q_1 provoca que la tensión de base de Q_2 se incremente cuando v_I se decrementa, mientras que v_I fuerza a los emisores de Q_1 y Q_2 a descender. De esta forma, la tensión base-emisor de Q_2

se incrementa rápidamente, alcanzando pronto el corte. Esta regeneración asegura una rápida transición al funcionamiento en la región 1. A partir de las Ecuaciones (14.9) y (14.11), la histéresis de la función de transferencia de este circuito es

$$H = V_{IH} - V_{IL} = \left(0{,}5 + \frac{9}{2+q}\right) - \left(0{,}7 + \frac{4{,}7}{1+q}\right)$$

$$= \frac{4{,}3q - 0{,}4}{(1+q)(2+q)} - 0{,}2 \qquad (14.12)$$

que es la función representada en la Figura 14.9e. El Problema 14.9 determina que la histéresis máxima, $H_{máx} = 0{,}493$ se da cuando $q = 1{,}59$. Permitiendo que los valores de las resistencias del colector sean distintos, y utilizando una fuente de alimentación distinta a 5 V, obtenemos mayor libertad de diseño pero también ecuaciones más complejas.

EJEMPLO 14.2 Diseñar un Schmitt-trigger acoplado por emisor con 5 V de alimentación que dé $V_{OL} = 2$ V. Hallar la anchura de la histéresis.

Solución Según (14.8) necesitamos $q = 3{,}3$. Podemos utilizar $R = 91$ kΩ y $qR = 3{,}3$ kΩ. Según (14.9) y (14.11) tenemos $V_{IH} = 2{,}20$ V y $V_{IL} = 1{,}79$, respectivamente. Por lo tanto $H = 0{,}41$ V según (14.12). ❑

Ejercicio 14.2 Diseñar un Schmitt-trigger acoplado por emisor con una fuente de 5 V que dé histéresis máxima. Hallar V_{OH}, V_{OL}, V_{IH} y V_{IL}.
Respuesta 5 V, 2,81 V, 3,01 V, 2,51 V.

14.2 CIRCUITOS MONOESTABLES

El multivibrador monoestable está "normalmente" en su estado estable. Cuando *se dispara* con un pulso de entrada, el circuito conmuta a su estado *cuasi-estable* durante un intervalo de tiempo τ, determinado por sus parámetros de diseño y después vuelve de forma espontánea a su estado estable. La salida del monoestable es una tensión que indica su estado; de esta forma la función general del circuito es producir un pulso de salida de duración predeterminada cuando se dispara un pulso de entrada arbitrario. Una aplicación habitual es establecer un retraso entre dos eventos de longitud determinada.

La estructura de un monoestable consiste en dos puertas NOR de cualquier familia lógica acopladas capacitivamente, con realimentación de salida a entrada. Para mayor sencillez utilizaremos la puerta CMOS ideal definida en la Figura 14.10 para introducir las ideas clave. La idealización supone resistencia de salida cero y función de transferencia con un punto de ruptura brusco, en vez de una transición gradual de los valores 1 a 0. La Figura 14.11a muestra un monoestable construido a partir de NOR idealizadas. R y C controlan la temporización del circuito y suponemos que las capacidades del transistor tienen, en comparación con C, efectos despreciables en su funcionamiento.

Estado estable El estado estable existe cuando el monoestable está en equilibrio dinámico y $v_I = 0$. En la Figura 14.11a, como C está en circuito abierto y $R_i = \infty$, $v_X = V_{DD}$. Con esta tensión en la entrada de la puerta #2, $v_O = 0$ V. Con v_I y v_O cero, $\overline{v_O}$ tiene el valor lógico 1 de V_{DD}. La figura 14.11b utiliza circuitos equivalentes que muestran este estado estable. Obsèrvemos que C no está cargado.

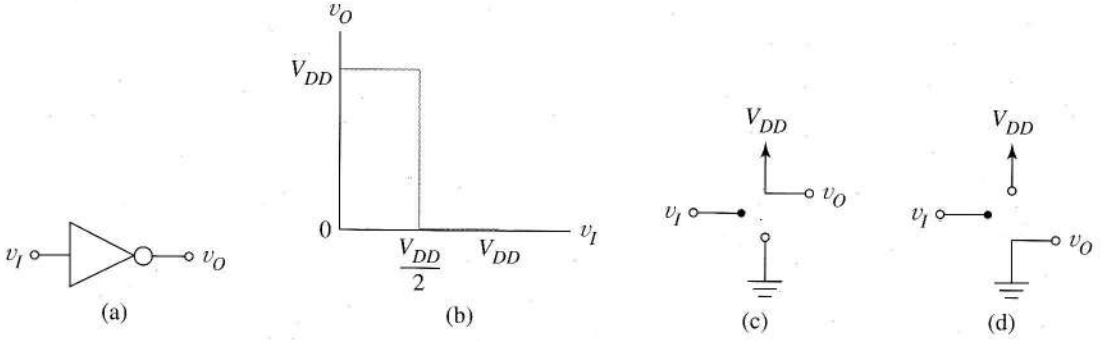


FIGURA 14.10 Inversor CMOS idealizado: (a) esquema; (b) función de transferencia; (c) circuito equivalente con $v_I < 0,5\ V_{DD}$; (d) circuito equivalente con $v_I > 0,5\ V_{DD}$.

Estado astable La Figura 14.11c muestra las condiciones de estado estable que hemos descrito para $t < 0$. En $t = 0$, la *señal de disparo* $v_I(t)$, rompe el equilibrio. Por ejemplo, ésta podría ser la exponencial en la parte superior de la Figura 14.11c. Cuando $v_I(t)$ pasa por primera vez por la tensión umbral de la NOR #1, 0,5 V_{DD}, $\overline{v_O}$ vale cero. Como la tensión en C no puede cambiar de forma instantánea, v_X también vale cero, haciendo cero las entradas de la NOR #2 y forzando a v_O al valor lógico 1 ó 0 V_{DD} voltios. Como v_O le da una segunda entrada a la NOR #1, una vez que v_O cambia a 1, el valor lógico $v_I(t)$ deja de tener importancia inmediata. Incluso si $v_I(t)$ cambia a cero, la salida de la NOR #1 se mantiene en cero, y el circuito ha entrado en el estado cuasi-estable, representado en la Figura 14.11d. (En una puerta real, $v_I(t)$ debe ser aproximadamente el 0,5 V_{DD} de la tensión umbral durante al menos dos retrasos de propagación para producir el estado cuasi-estable.)

Una vez que el circuito entra en el estado cuasi-estable, $v_X(t)$ se incrementa exponencialmente desde su valor inicial cero hasta el valor final V_{DD}. El condensador se carga con

$$V_X(t) = V_{DD} + \left(0 - V_{DD}\right)e^{-t/(RC)} \tag{14.13}$$

con la forma de onda de la Figura 14.11c. Este circuito equivalente se aplica hasta que $v_X(t)$ alcanza 0,5 V_{DD}, la entrada umbral de la NOR #2. A partir de la Ecuación (14.13), se toman τ segundos, en donde

$$\tau = -RC\ \ell n 0{,}5 = 0{,}693RC$$

Ahora la salida de la NOR #2 cambia a cero, haciendo que la segunda entrada de la NOR #1 tenga el valor lógico 0. La salida de la NOR #1 conmuta al valor lógico 1, restableciéndose el circuito equivalente de la Figura 14.11b. La Figura 14.11c muestra que la forma de onda de la salida es un pulso con duración τ. En la salida de la NOR #1 hay disponible un pulso complementario de salida $\overline{v_O}$.

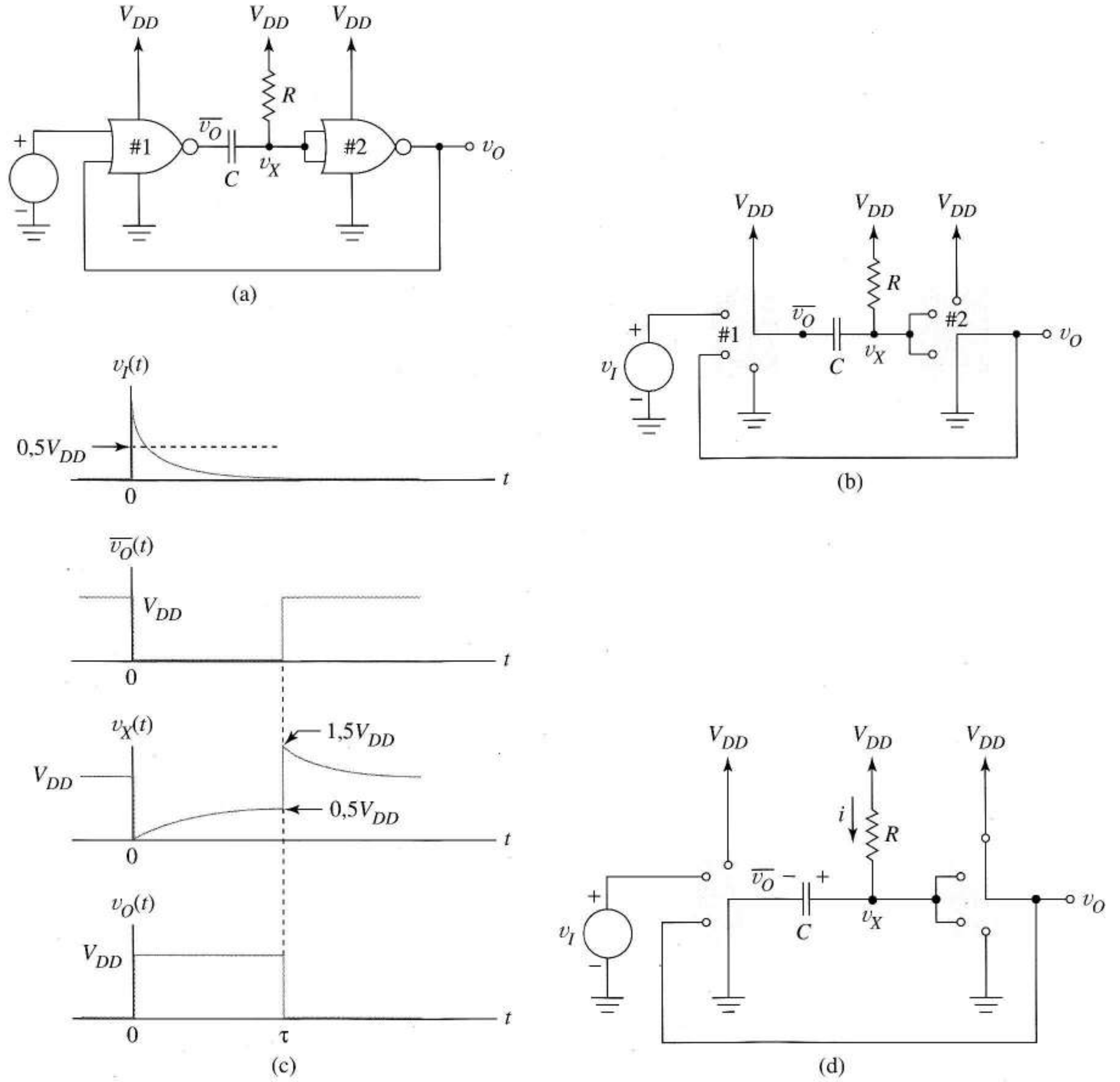


FIGURA 14.11 Circuito monoestable: (a) realización con CMOS; (b) circuito equivalente en estado estable; (c) formas clave del circuito; (d) circuito equivalente del estado cuasi-estable.

Tiempo de recuperación En el instante en que $v_O(t)$ vuelve a bajar, en la Figura 14.11c, $v_X = 0,5$ V_{DD} voltios. Se necesitan unas cuatro constantes de tiempo para que C se descargue a $v_X = V_{DD}$, el valor de equilibrio original. Si antes de acabarse este *tiempo de recuperación* llega otro pulso de disparo; la temporización del cuarto se verá influida por esta condición inicial no estándar y la duración del pulso de salida no estará representada por la Ecuación (14.14).

La Figura 14.12 muestra un monoestable construido a partir de inversores Schottky. El estado estable consiste en que Q_1 y Q_3 estén en corte y Q_2 saturado. En este estado, v_X es inferior a V_{CC} y R_B debe soportar suficiente corriente para que Q_2 esté en saturación. De este modo C está cargado con $V_{CC} - v_X$ y con la polaridad mostrada.

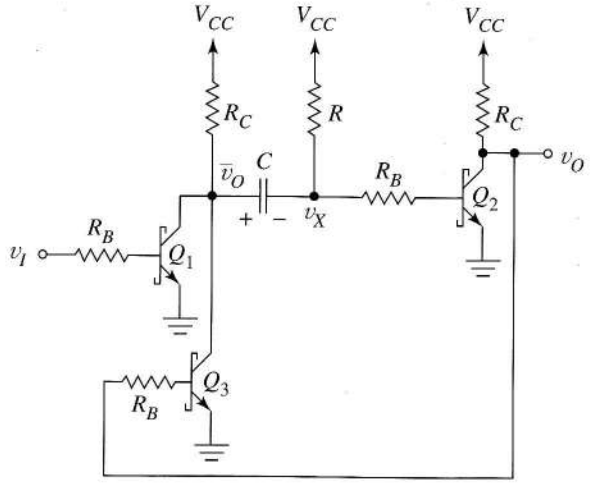


FIGURA 14.12 Circuito monoestable con transistores Schottky.

Un pulso positivo en v_I suficiente para que Q_1 pase a estar en saturación hace que v_X tenga inmediatamente un cero, poniendo a Q_2 en corte e incrementando v_O lo suficiente para poner a Q_3 en saturación. En ese momento puede finalizar el pulso de entrada, ya que el circuito está en un estado cuasi-estable. El condensador de temporización C se descarga y carga alternativamente hasta que v_X alcanza la tensión de corte de Q_2. En ese momento el circuito vuelve a su estado estable original tras un tiempo de recuperación adecuado. El funcionamiento es, esencialmente, el mismo del circuito CMOS mostrado, pero las ecuaciones de carga y los valores umbrales son algo distintos. El Problema 14.3 presenta un análisis detallado de este circuito.

14.3 CIRCUITOS ASTABLES

En los multivibradores astables, se alternan los dos estados cuasi-estables con un periodo que depende de los parámetros de diseño. El circuito no tiene entrada y la salida indica continuamente con su nivel lógico el estado del circuito. Este circuito se llama a veces *oscilador de relajación* para poder distinguirlo de los osciladores del Capítulo 12.

Un modo de construir un circuito astable es conectar dos inversores con un circuito de realimentación RC como el de la Figura 14.13a. El análisis es sencillo si los inversores son los dispositivos CMOS ideales definidos por la Figura 14.10. Comienza suponiendo los estados lógicos y una condición inicial del condensador que sea consistente con esas suposiciones. Para comenzar, supongamos que la salida del inversor #1 tiene el valor lógico 0, la del inversor #2 tiene el valor lógico 1 y que el condensador no está cargado. Esto nos da la Figura 14.13b, que representa un estado cuasi-estable. Los valores de la forma de onda de la Figura 14.13c cuando $t = 0$, son consistentes con las condiciones iniciales.

En la Figura 14.13b el condensador se carga hasta que $v_X = V_{DD}$, cumpliendo

$$v_X(t) = V_{DD}(1 - e^{-t/(RC)})$$

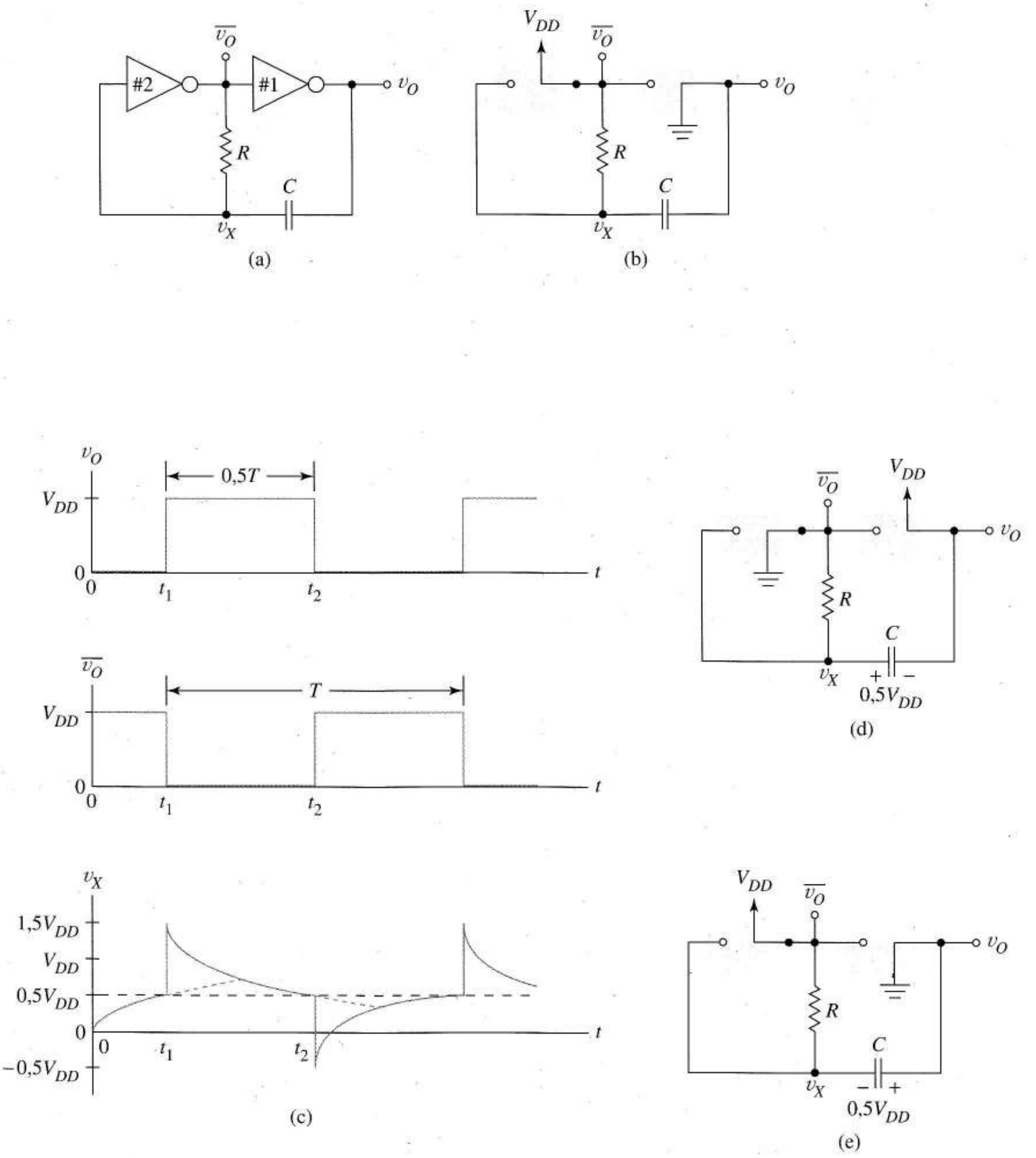


FIGURA 14.13 Multivibrador astable: (a) esquema general; (b) circuito equivalente para el primer estado cuasi-estable; (c) formas de onda de tensión; (d) segundo estado cuasi-estable antes de conmutar en $t = t_1$; (e) equivalente tras la conmutación en $t = t_2$.

Como v_X es la entrada al inversor #2, el circuito cambia a su otro estado cuasi-estable en t_1, el instante en el que $v_X(t)$ alcanza el umbral de conmutación, 0,5 V_{DD}. Lo vemos en la forma de onda de la Figura 14.13c. En $t = t_1$, la tensión en C es 0,5 V_{DD}. Aunque t_1 se puede calcular a partir de la función exponencial mostrada anteriormente, tiene una importancia mínima ya que hemos marcado el comienzo desde una condición inicial elegida arbitrariamente.

La Figura 14.13d muestra el segundo estado del circuito en $t = t_1^+$. Debido a la carga almacenada en el condensador, el circuito y la forma de onda representan que

$$v_X\left(t_1^+\right) = 1{,}5V_{DD}$$

Ahora $v_X(t)$ se decrementa exponencialmente desde este valor hasta cero. Observando que cuando reemplazamos el condensador de la Figura 14.13d por un circuito abierto (modelo de equilibrio), deducimos $v_X = 0$. A partir de los valores inicial y final y la Ecuación (14.3)

$$v_X(t) = 1{,}5V_{DD}e^{-(t-t_1)/(RC)}$$

representada en la Figura 14.13c. A partir de la forma de onda vemos que en $t = t_2$, cuando v_X ha bajado hasta el umbral del inversor #2, el circuito cambiará de nuevo sus estados. Despejando $0{,}5T = t_2 - t_1$, ancho del primer pulso representativo de salida, obtenemos

$$0{,}5T = t_2 - t_1 = -RC\,\ell\text{n}\left(\frac{0{,}5V_{DD}}{1{,}5V_{DD}}\right) = 0{,}405\ RC \tag{14.15}$$

La Figura 14.13e muestra que se ha establecido el estado original, y además muestra la tensión del condensador en $t = t_2^+$. A partir de aquí, $v_X(t)$ varía periódicamente entre 1,5 V_{DD} y –0,5 V_{DD}, cambiando de estado cada T segundos. En los dos nodos inversores de salida hay disponibles dos formas de onda complementarias. A partir de la Ecuación (14.15), la frecuencia de oscilación, $f = 1/T$ del astable, medida en hertzios es

$$f = \frac{1{,}23}{RC} \tag{14.16}$$

La Figura 14.14a muestra otro multivibrador astable, un Schmitt-trigger integrador en cascada con realimentación de salida a la entrada. El Schmitt-trigger se describe en la Figura 14.14b. En la Sección 2.6.2 hemos hallado que los límites de histéresis para este Schmitt-trigger son

$$v_X = \left(\frac{R_1}{R_2}\right)V_M \ \text{ y } \ v_Y = \left(\frac{R_1}{R_2}\right)V_P \tag{14.17}$$

en donde $-V_M$ y V_P son los límites de saturación positivo y negativo del amplificador operacional.

Con la condición inicial de nuestro análisis, suponemos, en $t = 0$, que funciona en el punto

$$\left(v_{O2}, v_{O1}\right) = \left(0, V_P\right)$$

en la función de transferencia. Este punto de partida implica que C no está cargado y que $i = V_P/R$. Las dos funciones de la tensión de salida son

$$v_{O1}(t) = V_P \ \text{ y } \ v_{O2}(t) = -\frac{V_P}{RC}t$$

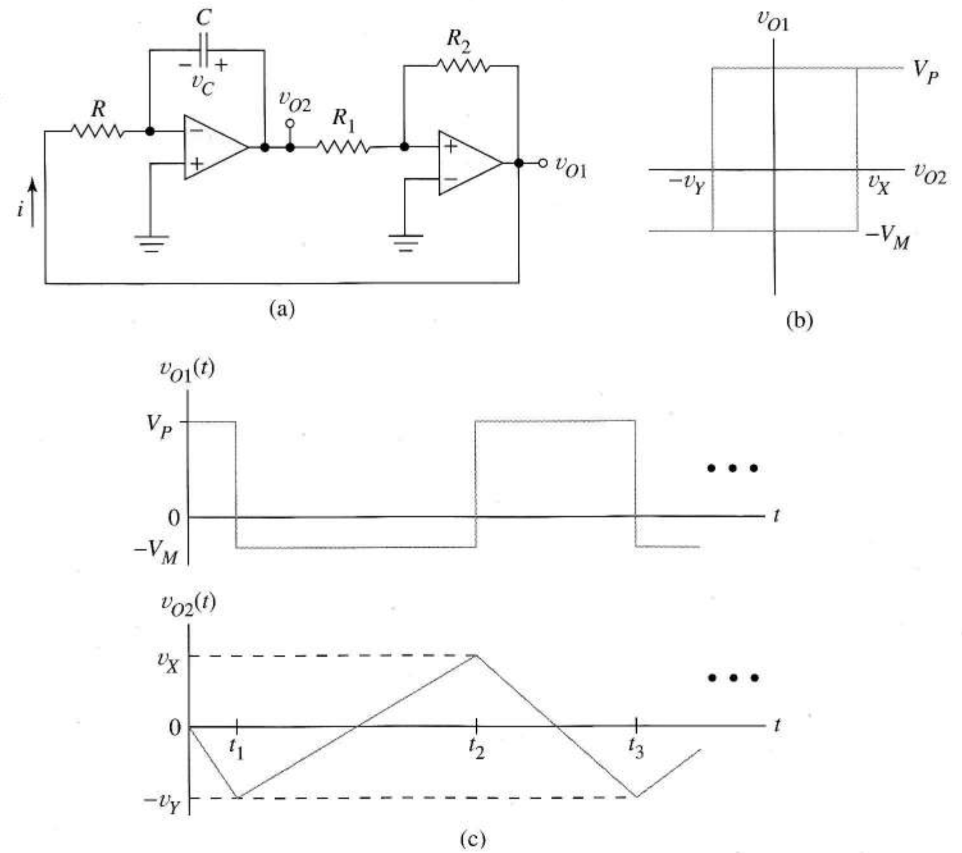


FIGURA 14.14 Monoestable: (a) integrador en cascada con un Schmitt-trigger con realimentación; (b) curva de histéresis del Schmitt-trigger; (c) salida.

como en la Figura 14.14c. A partir de la segunda ecuación, $V_{O2}(t)$ se decrementa linealmente en la Figura 14.14b hasta ese instante, t_1, en que $v_{O2} = -v_Y$. En ese momento, v_{O1} conmuta a $-V_M$ y el circuito pasa a su otro estado cuasi-estable con C cargado aún a $v_C = -v_Y$ voltios.

Como $v_O = -V_M$, ahora i = $-V_M/R$ y la salida del integrador es

$$v_{O2}(t) = -v_y + \frac{V_M}{RC}\left(t - t_1\right) \tag{14.18}$$

En la Figura 14.14b el punto de funcionamiento pasa a la parte derecha a lo largo de la rama inferior de la curva de histéresis hasta que $v_I = v_X$ en $t = t_2$, donde el estado vuelve a cambiar, como indicaba la Figura 14.14c. A partir de la Ecuación (14.18) el tiempo en el estado $-V_M$ es

$$t_2 - t_1 = \frac{RC\left(v_X + v_Y\right)}{V_M} \tag{14.19}$$

Con el circuito de nuevo en su estado V_P, $v_{O2}(t)$ se decrementa linealmente hasta $-v_Y$ en t_3, proceso que lleva

$$t_3 - t_2 = \frac{RC}{V_P}\left(v_X + v_Y\right)$$

El circuito continúa de esta forma, generando las formas de onda periódicas de la Figura 14.14c. Al añadir las Ecuaciones (14.19) y (14.20) llegamos a que el periodo de la forma de onda $T = t_3 - t_1$ es

$$T = RC\left(v_X + v_Y\right)\left(\frac{1}{V_P} + \frac{1}{V_M}\right)$$

Al sustituir la Ecuación (14.17) se obtiene

$$RC\frac{R_1}{R_2}\left(V_P + V_M\right)\left(\frac{1}{V_P} + \frac{1}{V_M}\right)$$

A veces la salida deseada es una forma de onda en diente de sierra, como en el siguiente ejemplo.

EJEMPLO 14.3 Diseñar un circuito que genere una forma de onda en diente de sierra con un periodo $T = 10$ ms. La duración de la caída de la forma de onda debe ser 1 ms.

Solución Según las Ecuaciones (14.19) y (14.20)

$$\frac{t_2 - t_1}{t_3 - t_2} = \frac{V_P}{V_M}$$

por lo tanto, este diseño necesita $V_P = 9V_M$. En el circuito de la Figura 14.14a, los límites de saturación V_P y V_M son los parámetros conocidos del amplificador operacional y la fuente de alimentación y su relación suele ser menor que uno. Añadiendo un limitador zener de 6,3V al circuito Schmitt-trigger, como en la Figura 14.15b, obtenemos los límites de saturación $V_P = V_Z = 6{,}3$ y $V_M = 0{,}7$ V.

Para obtener la amplitud pico a pico de 3 V de la Figura 14.14c y la Ecuación (14.17) necesitamos

$$v_X + v_Y = \frac{R_1}{R_2}\left(V_M + V_P\right) = \frac{R_1}{R_2}(0{,}7 + 6{,}3) = 3 \text{ V}$$

Por lo tanto, $R_1/R_2 = 3/7$.

Para el periodo adecuado, la Ecuación (14.1) necesita que

$$0{,}01 = RC\frac{3}{7}(0{,}7 + 6{,}3)\left(\frac{1}{0{,}7} + \frac{1}{6{,}3}\right)$$

ó $RC = 2{,}1 \times 10^{-3}$ s. Para cumplir esta condición, elegimos $R = 47$ kΩ (de forma arbitraria) y $C = 0{,}0447$ μF. Para ajustar el nivel de continua, limitamos con un circuito el pico negativo de la salida a cero. El diseño final es la Figura 14.15c. ❑

Debido al diodo no ideal presente en el circuito saturado, la forma de onda de salida debería oscilar entre los límites –0,7 V y 2,3 V en vez de entre 0 y 3. Si hay algún problema, el ánodo del diodo se puede conectar a un divisor de tensión con salida de +0,7 V.

El cambio lineal en la tensión de salida y los retrasos introducidos por la respuesta frecuencial del amplificador operacional, pueden provocar mal funcionamiento en los circuitos astables. En el ejemplo, el periodo de 0,01 s es tan bajo que incluso se puede utilizar en su realización un amplificador operacional más lento como el 741; sin embargo, si se necesita una curva en diente de sierra más rápida, se podrían necesitar amplificadores operacionales con anchos de banda y *slew-rates* altos.

Como el periodo T varía directamente con C en la Ecuación (14.21), podemos re-escalar el astable del Ejemplo 14.3 para tener mayor frecuencia de oscilación utilizando un condensador más pequeño. El siguiente ejercicio analiza intuitivamente el límite superior de frecuencia impuesto por el *slew-rate*.

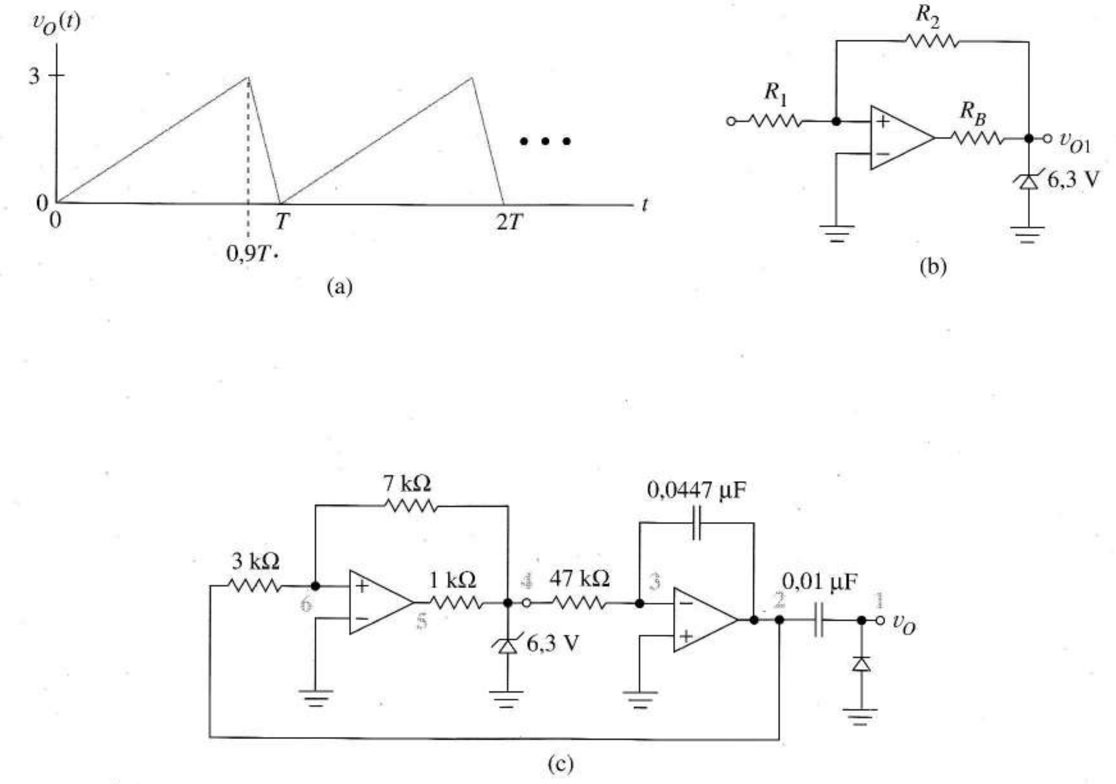


FIGURA 14.15 Generador en diente de sierra: (a) forma de onda; (b) Schmitt-trigger con limitación para controlar los límites de saturación; (c) circuito generador de diente de sierra.

Ejercicio 14.33 Hallar la frecuencia de oscilación y el valor de C para que el flanco de bajada de la forma de onda de la Figura 14.15a sea 10 veces la del amplificador operacional entre las mismas tensiones. (Suponemos que el efecto del *slew-rate* es despreciable.) Nuestro amplificador operacional tiene un *slew-rate* de 150 V/μs.

Respuesta f = 500 kHz, C = 8,94 pF.

14.4 TEMPORIZADOR INTEGRADO 555

El temporizador 555 es un dispositivo MSI disponible tanto en lógica TTL como CMOS que proporciona una forma cómoda de construir monoestables y astables de alto rendimiento. El recuadro a trazos de la Figura 14.16 contiene los elementos internos del temporizador 555. Tres resistencias integradas R iguales forman un divisor de tensión independiente de la temperatura. Un biestable RS

proporciona la memoria interna y el buffer de alta corriente proporciona niveles de salida digitales compatibles con la misma familia de circuitos integrados. Los comparadores #1 y #2, cada uno con una entrada establecida por el divisor, proporcionan niveles lógicos al biestable y un interruptor controlado por $\overline{Q}$ proporciona un circuito abierto o un cortocircuito en un pin de salida externo.

14.4.1 MONOESTABLE 555

Para realizar un monoestable con el temporizador 555, sólo es necesario conectar los componentes externos C_X y R_X como en el diagrama.

Estado astable El estado astable está caracterizado por el estado interno del biestable $Q = 0$. A partir de la Figura 14.16 vemos que, en este estado, la salida del 555 es cero, el interruptor de descarga está cerrado y C_X está descargado. Mientras la entrada de disparo se mantiene en el valor lógico 1, estas suposiciones implican que $(S, R) = (0, 0)$; de esta forma, el estado supuesto se mantiene indefinidamente.

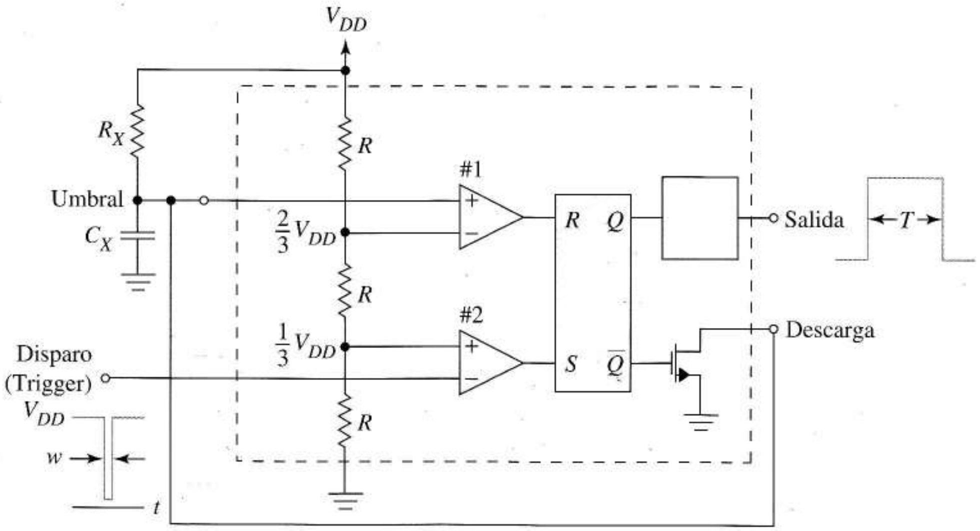


FIGURA 14.16 Temporizador 555 configurado como monoestable.

Estado cuasi-estable El pulso negativo que hace que la entrada de disparo baje de $V_{DD}/3$, cambia la salida del comparador #2 a 1, cambiando la entrada del biestable a $(S, R) = (1, 0)$. En ese caso Q pasa a ser 1, como la tensión de salida. El interruptor de descarga se abre, permitiendo que C_X se cargue a través de R_X hasta V_{DD} voltios. En ese punto el circuito está en estado cuasi-estable. Cuando acaba el pulso de entrada, S vuelve a cero; sin embargo el circuito se mantiene en su estado cuasi-estable, ya que el volver a $(S, R) = (0, 0)$ no cambia el estado del biestable.

La entrada R se mantiene en cero hasta que C_X se cargue por encima de $2V_{DD}/3$. Así, tras T segundos, donde T viene dado por

$$\frac{2}{3}V_{DD} = V_{DD}\left(1 - e^{-T/(R_X C_X)}\right)$$

la salida del comparador #1 cambia a uno, haciendo que la excitación sea $(S, R) = (0,1)$. En ese punto, el circuito interno vuelve a su estado original, finaliza el pulso de salida y se cierra el interruptor de descar-

ga, descargándose rápidamente C_X. Esto hace que la entrada R vuelva a ser cero y se restauran las condiciones iniciales originales. Al resolver la ecuación anterior obtenemos la duración del pulso de salida

$$T = R_X C_X \ \ell\text{n}\ 3 = 1{,}1\ R_X C_X$$

Observemos en la derivada que el coeficiente de R_XC_X *es independiente de* V_{DD} y viene determinado por la relación de las resistencias integradas. En un monoestable 555, la anchura T del pulso puede variar de microsegundos a horas y la estabilidad de la temperatura es mejor que 50 ppm/ºC.

14.4.2 MULTIVIBRADOR ASTABLE

La Figura 14.17a muestra el 555 configurado para funcionar como astable. La temporización viene definida por dos resistencias externas y un condensador. El estado $Q = 1$ del biestable indica un estado cuasi-estable, $Q = 0$ indica el otro estado.

En el análisis utilizaremos las condiciones iniciales $Q = 1$ y C_X descargado. Como $v_X(0) = 0$, las entradas del biestable son inicialmente $(S, R) = (1, 0)$, lo cual es consistente con el estado que hemos supuesto y el interruptor de descarga está abierto. Según C_X se carga hacia V_{DD} con la constante de tiempo

$$\tau_1 = \left(R_{X1} + R_{X2}\right)C_X \qquad (14.23)$$

v_X se incrementa exponencialmente siguiendo

$$v_X(t) = V_{DD}\left(1 - e^{-t/\tau_1}\right)$$

La salida del comparador #2 cambia en $t = t_1$, el tiempo definido por

$$\frac{V_{DD}}{3} = V_{DD}\left(1 - e^{-t_1/\tau_1}\right) \qquad (14.24)$$

haciendo $(S, R) = (0, 0)$. El estado del biestable no cambia y continúa el proceso de carga. En $t = t_2$, definido por

$$\frac{2V_{DD}}{3} = V_{DD}\left(1 - e^{-t_2/\tau_1}\right) \qquad (14.25)$$

cambia la salida del comparador #1 y la entrada del biestable se convierte en $(S, R) = (0, 1)$. En ese momento cambia el estado del biestable. La Figura 14.17b muestra las forma de onda $v_X(t)$ y $v_O(t)$.

Cuando el estado del biestable cambia, se cierra el interruptor de descarga y C_X se descarga con la constante de tiempo $\tau_2 = R_{X2}C_X$. Cuando $v_X(t)$ vale menos de $2V_{DD}/3$, la entrada del biestable pasa a ser $(S, R) = (0, 0)$. Cuando $v_X(t)$ e $V_{DD}/3$, en $t = t_3$ definido por

$$\frac{2}{3}V_{DD}e^{-\left(t_3 - t_2\right)/\tau_2} = \frac{1}{3}V_{DD} \qquad (14.26)$$

cambia la salida del comparador #2, dando $(S, R) = (1, 0)$. Vemos que tras un transitorio inicial, el circuito pasa a tener un funcionamiento periódico como el de la Figura 14.17b.

Para hallar el periodo, vemos que $T = (t_3 - t_2)+(t_2 - t_1)$. A partir de la Ecuación (14.26)

$$t_3 - t_2 = \tau_2\ \ell\text{n}\ 2$$

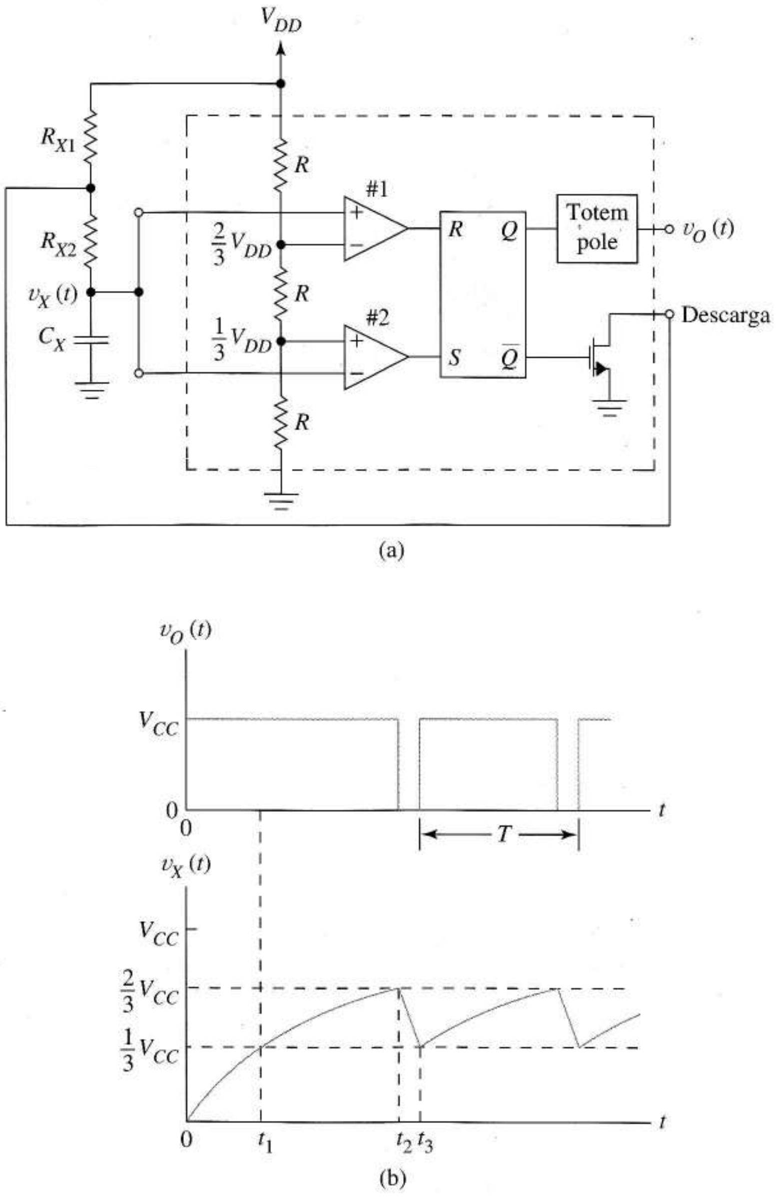


FIGURA 14.17
Temporizador TTL 555 configurado como astable.

De las Ecuaciones (14.25) y (14.24)

$$t_2 = \tau_1 \,\ell\text{n}\, 3 \qquad \text{y} \qquad t_1 = \tau_1 \,\ell\text{n}\left(\frac{3}{2}\right)$$

Así

$$t_2 - t_1 = \tau_1\left[\ell\text{n}\, 3 - \ell\text{n}\left(\frac{3}{2}\right)\right] = \tau_1 \,\ell\text{n}\, 2$$

Al añadir la primera y tercera ecuaciones se obtiene el periodo

$$T = t_3 - t_1 = (\tau_1 + \tau_2)\ \ell\text{n}\ 2$$

Sustituyendo las dos constantes de tiempo, se llega a la ecuación de diseño

$$T = 0{,}693(R_{X1} + 2R_{X2})C$$

El periodo es independiente de V_{DD} y el coeficiente numérico depende de las relaciones entre las resistencias integradas.

En algunas aplicaciones es importante el *ciclo de trabajo* δ, definido como la fracción del periodo T para la que la salida es alta. A partir de las expresiones anteriores llegamos a que

$$\delta = \frac{t_2 - t_1}{T} = \frac{\tau_1\ \ell\text{n}\ 2}{(\tau_1 + \tau_2)\ \ell\text{n}\ 2} = \frac{R_{X1} + R_{X2}}{R_{X1} + 2R_{X2}} = \frac{1}{1 + R_{X2}/(R_{X1} + R_{X2})} \tag{14.28}$$

que restringe el ciclo de trabajo a $0{,}5 < \delta < 1{,}0$. Desde el punto de vista del diseño, las Ecuaciones (14.25) y (14.28) muestran que podemos usar el *cociente* entre resistencias para fijar el ciclo de trabajo y después seleccionar independientemente una resistencia para que se cumplan otras restricciones como la disipación de potencia en el circuito de carga y, finalmente, seleccionar un condensador para establecer la frecuencia.

La versión CMOS del temporizador 555 puede tener un funcionamiento astable en frecuencias superiores a 3 MHz, tiene una disipación de potencia menor a 1 mW, con alimentación de 5 V y una corriente máxima de salida de 100 mA.

14.5 PRINCIPIOS Y PROBLEMAS DE LA INTERCONEXIÓN

El diseño de *interfaces* suele llevar asociada la aplicación de principios ya descritos en el texto, además de un poco de sentido común. En esta sección identificaremos algunos problemas genéricos asociados a los *interfaces* y daremos sugerencias que indican cómo resolverlos. Además, describiremos dos circuitos de interface especializados: los convertidores A/D y D/A.

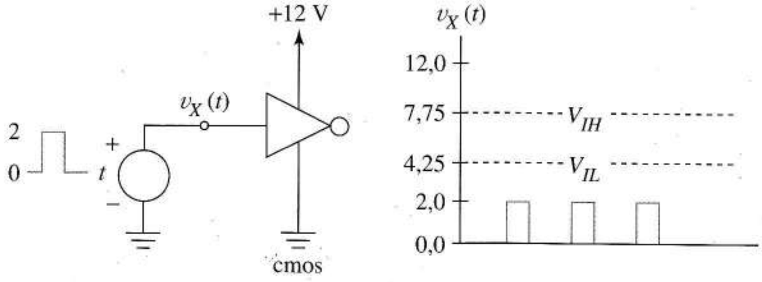
Un tipo de problema de *interface* lleva asociado circuitos de interconexión lógicos y analógicos, por ejemplo, circuitos analógicos que proporcionan entradas y salidas de sistemas digitales. Casos representativos de este tipo de entradas son teclados, líneas telefónicas, medidores de flujo, transductores de presión, fotodetectores, circuitos de relés y convertidores D/A.

Otro problema es interconectar entre sí familias lógicas diferentes. Uno de los motivos es establecer la comunicación entre sistemas diseñados de forma independiente. Por ejemplo, un receptor de radio digital implementado en una familia lógica podría necesitar un *interface* para proporcionar datos a un computador realizado en otra familia lógica. La interconexión entre familias lógicas también podría ser necesaria cuando hay alguna función no disponible o más cara en la familia lógica inicial, como por ejemplo la memoria.

14.5.1 MÁRGENES LÓGICOS DEMASIADO PEQUEÑOS

En el primer problema genérico, consideraremos el caso en el que las variaciones lógicas del circuito son demasiado pequeñas para excitar una puerta de otra familia. La Figura 14.18a muestra un

ejemplo. Una puerta CMOS simétrica con transistores de $|V_t| = 1$ V y los límites lógicos de entrada calculados por las Ecuaciones (13.18) y (13.19) recibe la entrada de una fuente de pulsos de reloj de 2 V. Si la tensión del reloj se trasladara hacia arriba, sería inadecuada para gobernar la puerta, ya que la amplitud de 2 V es menor que $V_{IH} - V_{IL}$. Se necesita claramente una amplificación; sin embargo, como la información de la señal es binaria, es menos importante preservar la forma de onda exacta de entrada que la fiabilidad. Por lo tanto, el circuito de amplificación debe ser digital, utilizando transistores como interruptores y no un amplificador lineal como los de los Capítulos 7 y 8.



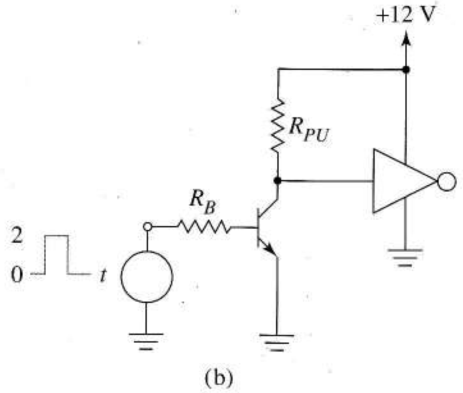


FIGURA 14.18 Margen lógico inadecuado: (a) señal de reloj no adecuada para CMOS; (b) circuito de *interface* para amplificar la señal digital.

La Figura 14.18b muestra la forma en que un interruptor bipolar con resistencias de *pull-up* y base puede hacer que el reloj sea compatible con los requerimientos de entrada de la puerta, produciendo una señal de entrada en el inversor que cambia de 0,2 a 12 V. Esta variación lógica, 11,8 V en amplitud, supera $V_{IH} - V_{IL} = 3{,}5$ V y podría expandirse el umbral lógico de entrada.

El diseño del *interface* es directo. Dado que la corriente de entrada del circuito CMOS es cero, el bipolar se satura, ya que

$$\beta I_B = \beta \frac{2 - 0{,}7}{R_B} \geq \frac{12 - 0{,}2}{R_{PU}} = I_C \tag{14.29}$$

en donde es β la beta de continua representada con h_{FE}. Para un funcionamiento seguro del *interface*, R_B debería ser suficientemente pequeña como para cumplir la desigualdad a pesar de las variaciones previstas de los parámetros. Lo bastante pequeña para cumplir la desigualdad a pesar de que haya variaciones en los parámetros. La inversión (o complemento lógico) inherente al circuito *interface* suele ser aceptable (o fácilmente corregible con un inversor lógico). Un interruptor MOS puede realizar la misma función de interconexión, como mostraremos en el siguiente ejemplo.

EJEMPLO 14.4 La Figura 14.19 muestra un circuito interface NMOS que soluciona el problema de la Figura 14.18a.

Solución El primer requisito es que la tensión umbral del transistor esté por debajo de 2 V para que el interruptor se abra y cierre respondiendo a la señal. Cuando el pulso de entrada es alto, se debe llevar al MOSFET al funcionamiento óhmico y funcionar como una resistencia lo bastante pequeña para producir una tensión de salida muy inferior a $V_{IL} = 4{,}25$ V. Cumpliremos esta condición eligiendo, por ejemplo, $V_{x,\ inferior} = 0{,}2$ V. Aproximando la resistencia R_I con el transistor NMOS óhmico de la Ecuación (5.5) tenemos

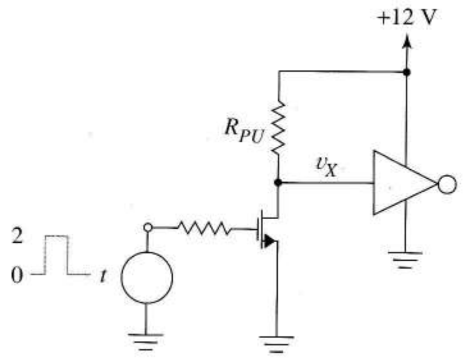


FIGURA 14.19
Circuito *interface* amplificador MOSFET.

$$R_I = \frac{1}{K(2 - V_t)} \tag{14.30}$$

sujeta a la condición

$$|v_{DS}| \leq 0{,}2\,|(2 - V_t)|$$

Como hemos seleccionado $V_{x,\ inferior} = v_{DS,\ inferior}$, la Ecuación (14.30) es válida para $1 \leq 2 - V_t$ por lo que hemos elegido $V_t = 1{,}0$ V para cumplir la condición necesaria. Con esta tensión umbral, el transistor entra y sale de la conducción en el punto medio de la señal de reloj de 2 V.

El valor inferior de V_X viene dado por la división de tensión

$$\frac{R_I}{R_I + R_{PU}} 12 = 0{,}2 \tag{14.31}$$

Al despejar el cociente en la Ecuación (14.31) e invirtiendo los elementos obtenemos

$$1 + \frac{R_{PU}}{R_I} = 60$$

Al sustituir la Ecuación (14.30) con $V_t = 1$ obtenemos

$$1 + R_{PU}K(2 - 1) = 60 \tag{14.32}$$

tenemos una elección de diseño final. Al usar un MOSFET con $k = 4 \times 10^{-4}$ A/V^2, por ejemplo, se necesita $R_{PU} = (59/4) \times 10^4 \approx 148$ kΩ. ❑

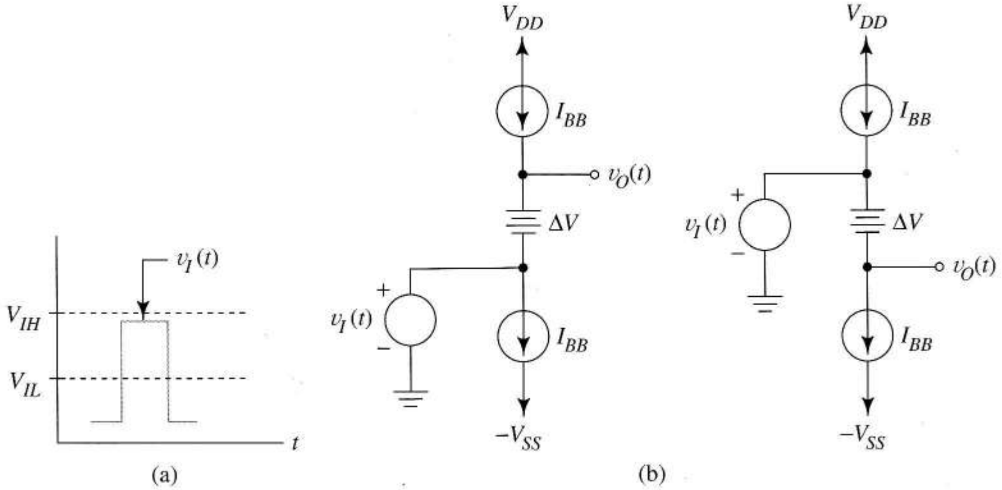
Ejercicio 14.4 El interface de la Figura 14.18b debe gobernar la puerta de la Figura 14.18a. Hallar R_B y R_{PU} para que el interface funcione para $20 \leq \beta \leq 100$, incluso si R_B y R_{PU} varían independientemente hasta un 20%.

Respuesta $R_B = 10$ kΩ, (arbitrariamente), $R_{PU} = 6{,}81$ kΩ.

Márgenes de ruido en *interfaces* El ejemplo de interface de la Figura 14.18b presenta la idea de márgenes de ruido para interfaces. Entre el transistor y la puerta tenemos $NMH = 12 - 7{,}75 = 4{,}25$ V y $NML = 4{,}25 - 0{,}2 = 4{,}05$ V. En el diseño del Ejercicio 14.14, la tensión de reloj mínima para saturar el transistor es $0{,}7 + R_{B,min}I_B = 0{,}7 + 10\text{k}(8{,}6\ \mu\text{A}) = 1{,}57$ V. De esta forma tenemos entre el reloj y el transistor de interface $NMH = 2 - 1{,}57 = 0{,}43$ V y $NML = 0{,}7 - 0 = 0{,}7$ V.

14.5.2 NIVELES DE SALIDA DESPLAZADOS RESPECTO DE LOS DE ENTRADA

Si el margen lógico tiene suficiente amplitud, podría estar alineado incorrectamente en relación con los requisitos de entrada, como muestra la Figura 14.20a. Este problema necesita un *desplazamiento de nivel*, que, en general, podría ser negativo o positivo. La Figura 15.20b muestra circuitos idealizados que desplazan $v_I(t)$ hacia arriba o abajo ΔV.



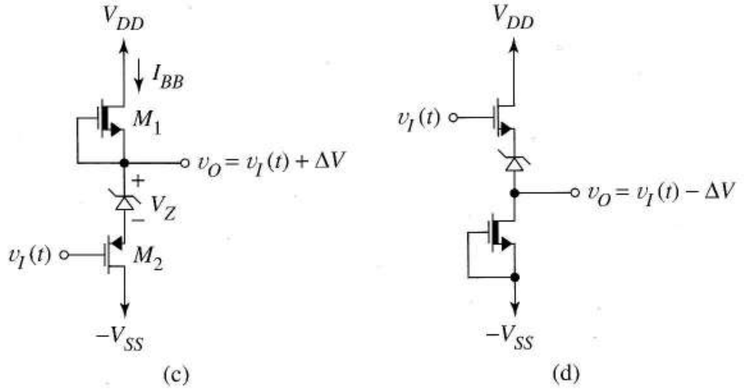


FIGURA 14.20 Desplazamiento de nivel: (a) el problema; (b) soluciones para desplazamiento hacia arriba y hacia abajo; (c) implementación de un desplazador de nivel a transistor.

La Figura 15.20c muestra una posible implementación de un desplazador de nivel. Un diodo zener polarizado en I_{BB} proporciona parte del desplazamiento de nivel. Los MOSFETs de deplexión y enri-

quecimiento con funcionamiento en estado activo son las fuentes de corriente. Los parámetros de M_1 deben cumplir

$$I_{BB} = \frac{k_1}{2}\left(0 - V_{t1}\right)^2 \tag{14.33}$$

donde I_{BB} debe ser adecuada para mantener el funcionamiento del zener. Con esta corriente en I_{BB}, M_2 tiene un V_{GS} constante negativo que cumple

$$I_{BB} = \frac{k_2}{2}\left(V_{GS} - V_{t2}\right)^2$$

El desplazamiento de nivel positivo es entonces

$$\Delta V = V_Z - V_{GS}$$

o, más específicamente,

$$\Delta V = V_Z - V_{t2} + \sqrt{\frac{2I_{BB}}{K_2}}, \text{ donde } V_{t2} < 0 \tag{14.34}$$

El funcionamiento en estado activo de M_1 precisa que

$$V_{DG1} = V_{DD} - v_O \geq -V_{t1}$$

o

$$V_{DD} \geq v_O - V_{t1} \tag{14.35}$$

que nos da un límite inferior para V_{DD} en un diseño dado. De forma similar, el funcionamiento de M_2 en estado activo precisa que

$$V_{DG2} = -V_{SS} - v_I(t) = -V_{SS} - v_O + \Delta V \leq -V_{t2}$$

mostrando que V_{SS} debe cumplir

$$V_{SS} \geq \Delta V + V_{t2} - v_{O,mín} \tag{14.36}$$

Los diseños suelen comenzar con valores conocidos del desplazamiento ΔV y los niveles de salida $v_{O,máx}$ y $v_{O,mín}$ que se obtendrán a partir de él. En ese momento, el diseñador utiliza las ecuaciones anteriores para seleccionar M_1, M_2 y el diodo y para asegurar que las fuentes de alimentación son adecuadas. La Figura 14.20d muestra un circuito similar que se desplaza (hacia abajo) con ΔV. Aunque los detalles de la ecuación son distintos, se aplican los mismos principios de diseño. Algunos circuitos similares que utilizan JFETs, bipolares o fuentes de corriente con espejos de corriente pueden aplicar la misma estrategia de desplazamiento de nivel.

Desplazamiento de nivel con condensadores La estrategia de desplazamiento de nivel de la Figura 14.20 está *acoplada en continua* y, por lo tanto, funciona para entradas de continua y señales variables en el tiempo. Cuando la entrada es una forma de onda periódica como una señal de reloj, en algunas ocasiones son suficientes circuitos más sencillos, como los condensadores de desacoplo o circuitos limitadores.

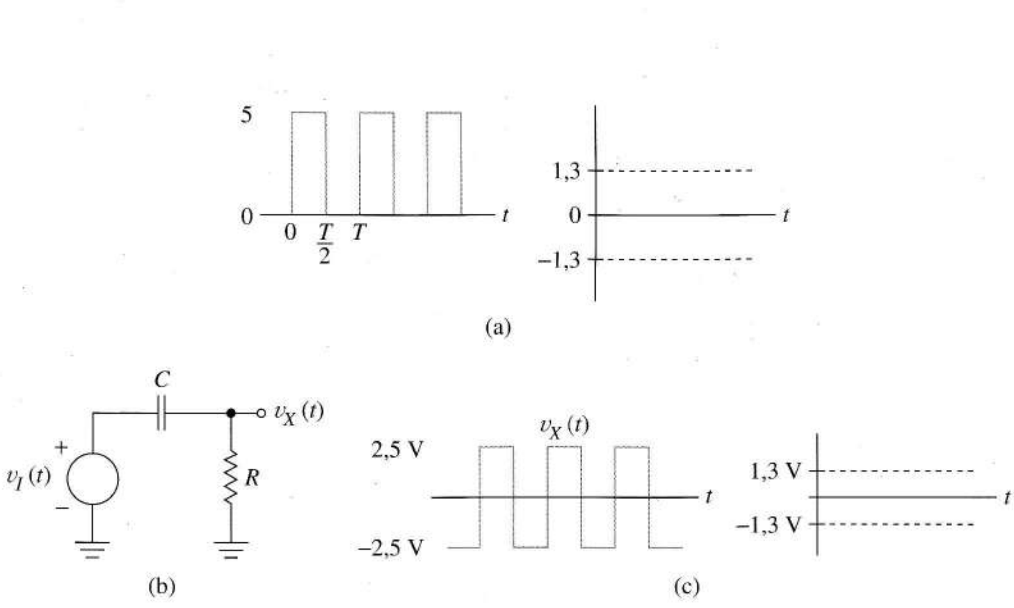


FIGURA 14.21 Desplazamiento de niveles en señales periódicas: (a) niveles no compatibles; (b) circuito *RC* de paso alto; (c) forma de onda de salida.

La Figura 14.21a muestra una onda cuadrada de 5 V superpuesta sobre un nivel de continua de 2,5 V. Para hacer compatible esta señal con los niveles lógicos de entrada indicados en la figura, sólo necesitamos un circuito paso alto *RC* como la Figura 14.21b.

El condensador se carga con el valor medio de la forma de onda de entrada, 2,5 V en este caso y produce una salida media de amplitud cero, como en la Figura 14.21c. En el Capítulo 1 vimos que la caída unitaria de la forma de onda de salida es

$$\text{f.s.} \approx \frac{T}{2\,RC}$$

donde T es el periodo. Para que el decaimiento sea menos del 1% necesitamos por ejemplo $RC \geq 50T$.

Las Figuras 14.22a-c muestran las tensiones del condensador en régimen permanente producidas por circuitos saturados con diodos ideales, cuando la forma de onda de entrada es la de la Figura 14.21a. El circuito de saturación básico se ha descrito previamente en la explicación de la Figura 3.47a y el Problema 3.52 analizó algunas de sus variaciones. La Figura 14.22d sirve para recordarnos que si el diodo no conduce nunca, el condensador no se puede cargar y la forma de onda no se modifica. Como explicaba el Capítulo 3, podemos adaptar fácilmente los diodos reales con cambios adecuados en las fuentes de tensión continua.

Los circuitos de las Figuras 14.18b y 14.19 ofrecen a veces una solución sencilla a un problema de desplazamiento de nivel, ya que desplazan el nivel de continua según amplifican el margen lógico.

14.5.3 LA SALIDA DE LA PUERTA NO PUEDE DAR NI ABSORBER CORRIENTE DE CARGA

En el *interface* con un periférico, alguna puerta puede necesitar dar o absorber corriente de carga. Por ejemplo, en la Figura 14.23a un inversor lógico activa un dispositivo de entrada cuando v_I tiene

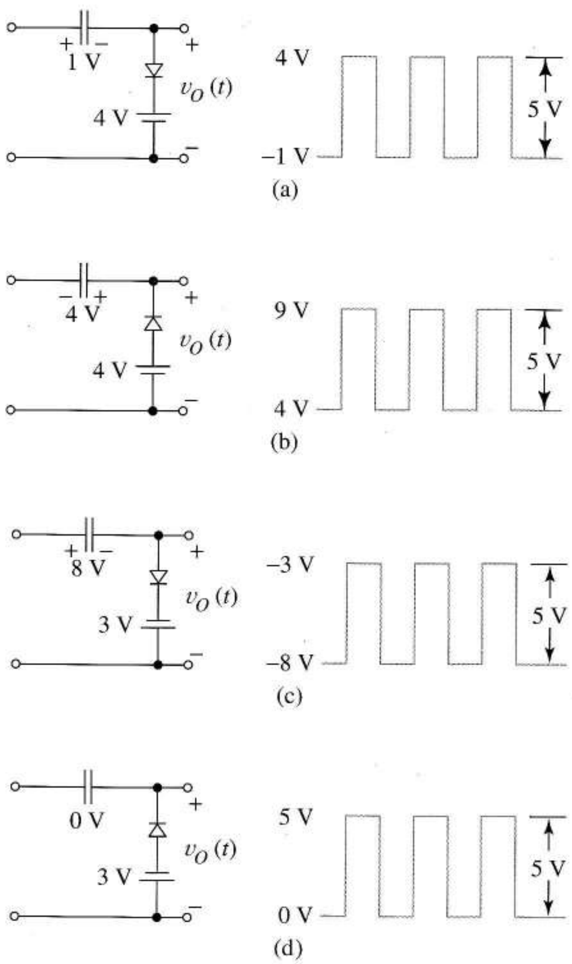


FIGURA 14.22 Circuito de limitación empleado para desplazar el nivel de la forma de onda de la Figura 14.21a: (a) pico positivo limitado a +4V; (b) pico negativo limitado a +4V; (c) pico positivo limitdo a –3V; (d) el circuito falla al limitar el nivel a –3V porque el diodo nunca conduce.

el valor lógico 0 y lo desactiva cuando v_I tiene el valor lógico 1. En cargas como LEDs, relés, circuitos de alarma piezoeléctricos y diodos láser, especificaremos, por lo general, su funcionamiento en conducción con una tensión V_L y una corriente continua mínima I_L. Debido a que la resistencia de salida, R_H, de la puerta está fijada, el interface suele necesitar una resistencia adicional R que evite el exceso de corriente.

En el circuito alternativo adicional de la Figura 14.23b, se activa la carga con $v_I = 1$ lógico y necesita que la puerta absorba la corriente de carga I_L en la resistencia de carga R_L. Este valor de v_O no necesita seguir las convenciones de la familia lógica ($v_O \geq V_{IH}$ o $v_O < V_{IL}$) ya que no hay puertas lógicas gobernadas por v_O. La principal consideración del interface es que la puerta pueda proporcionar una corriente mínima I_L sin superar la disipación de potencia del circuito integrado (de puerta).

Elegir la Figura 14.23a ó b depende de si la carga necesita ir o no conectada a masa y de la familia lógica. Los NMOS con carga de enriquecimiento o deplexión utilizan un transistor *pull-up* de alta resistencia y un transistor inversor de baja resistencia; por lo tanto, esta puerta puede absorber corriente de carga más fácilmente de lo que puede darla.

TTL puede además favorecer esta estructura ya que las puertas están diseñadas para absorber corrientes grandes y para proporcionar *fan-out*. CMOS, gracias a su estructura simétrica, también es capaz de dar y absorber corriente. Una forma sencilla de incrementar la corriente de salida es conectar en paralelo varias puertas, como en la Figura 14.23c.

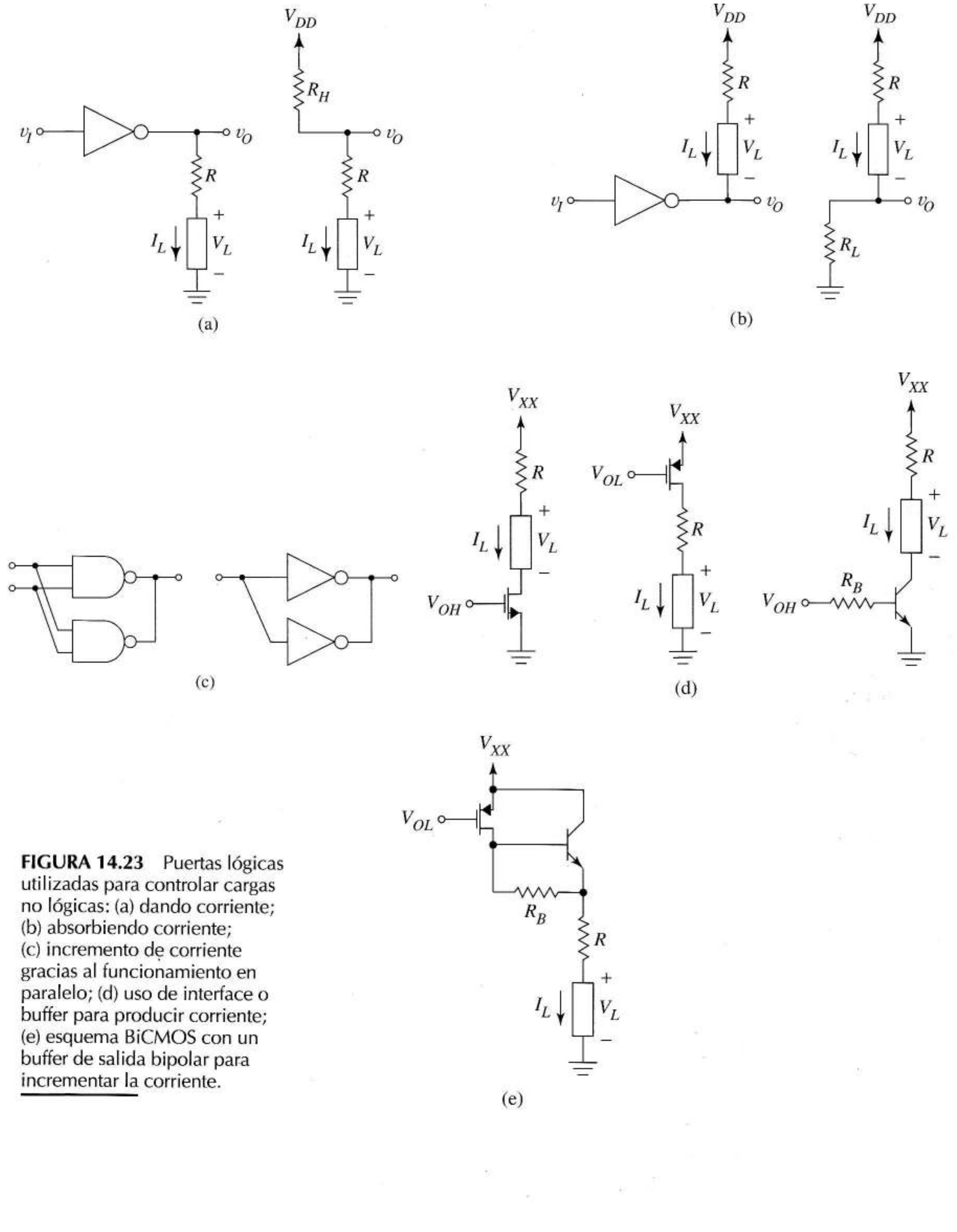


FIGURA 14.23 Puertas lógicas utilizadas para controlar cargas no lógicas: (a) dando corriente; (b) absorbiendo corriente; (c) incremento de corriente gracias al funcionamiento en paralelo; (d) uso de interface o buffer para producir corriente; (e) esquema BiCMOS con un buffer de salida bipolar para incrementar la corriente.

Si las puertas lógicas son incapaces de proporcionar por sí mismas la corriente necesaria, los *buffers* especiales de interface, como los de la Figura 14.23d, le dan mayor libertad al diseño. Observemos que la tensión V_{XX} no necesita ser igual a la tensión de alimentación de la familia lógica. Sólo es necesario que el nivel lógico de salida, V_{OH} o V_{OL}, sea adecuado para manejar el transistor de interface. Se pueden diseñar transistores especiales de interface para *W/L* más grandes o para los valores de *A* requeridos por las especificaciones de corriente de la carga. En las puertas B_i CMOS, los transistores bipolares incrementan a veces la corriente de salida de los MOSFET como en la Figura 14.23e.

EJEMPLO 14.5 Diseñar un interface como el segundo circuito de la Figura 14.23d para interconectar lógica CMOS de 5 V a una línea de comunicación óptica con un diodo láser de 1,75 V y 50 mA. Especificar *R*, *k* y V_t del transistor y calcular la disipación de potencia del transistor cuando el láser está en conducción.

Solución Es más económico utilizar la fuente de alimentación existente siempre que sea posible, por lo que comenzaremos con $V_{XX} = 5$ V. Cuando el circuito CMOS aplica 0 V a la puerta del transistor, obtenemos la Figura 14.24, en donde R_M es la resistencia en estado óhmico del transistor de interface, Ecuación (5.12). Al usar valores conocidos, identificamos estas ecuaciones de diseño

$$R_M + R = \frac{5-1{,}75}{50\times 10^{-3}} = 65\ \Omega \tag{14.37}$$

y

$$R_M = \frac{1}{K\left|-5-V_t\right|},\quad V_t < 0 \tag{14.38}$$

sujetas a las condiciones

$$\left|v_{DS}\right| \le 0{,}2\left|\ -5-V_t\right| \tag{14.39}$$

y

$$v_{DS} = -R_M\left(50\times 10^{-3}\right) \tag{14.39}$$

Como hay cinco incógnitas, (*R*, *k*, V_t, v_{DS} y *R*) y cuatro ecuaciones, comenzaremos haciendo una asignación. En la Ecuación (14.39) elegimos $V_t = -0{,}8$ V. No es seguro que ésta sea la mejor elección, una elección conveniente o incluso aceptable, pero nos permite comenzar. (En diseño es aceptable el segundo caso y nuestro control del problema irá mejorando según progresamos.) Según la Ecuación (14.39) necesitamos ahora que

$$\left|v_{DS}\right| \le 0{,}2\ \left|\ -5+0{,}8\right| = 0{,}84$$

A continuación seleccionamos $v_{DS} = -0{,}5$ V para cumplir esta desigualdad con un poco más de margen. De las Ecuaciones (14.40) y (14.38) obtenemos

$$R_M = \frac{0{,}5\ \text{V}}{50\ \text{mA}} = 10\ \Omega = \frac{1}{k\left|\ -5+0{,}8\ \right|}$$

R disipa 138 mW.

Con esto necesitamos que $k = 1/42 = 23{,}8\times 10^{-3}$ A/V^2. Además, como $R_M = 10\ \Omega$, la Ecuación (14.37) lleva asociado que R = 55. Cuando el láser está en conducción, la disipación de potencia del transistor es

$$P_D = \left(50\times 10^{-3}\right)^2 10 = 25\ \text{mW}$$

El valor de *k* es algo alto. Podemos reducirlo en un nuevo diseño eligiendo un V_{XX} más alto, V_t más bajo o ambos. ❑

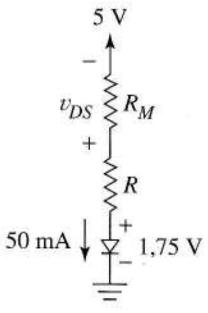


FIGURA 14.24
Circuito equivalente par el diseño del Ejemplo 14.5.

Ejercicio 14.5 Volver a hacer el problema de interconexión del Ejemplo 14.5, cambiando lo menos posible y usando VXX = 10 V para reducir k.

Respuesta $|v_{DS}|$ = 1,54 V (arbitrario), $k = 3{,}5 \times 10^{-3}$ A/V^2, R = 134 Ω y P_D = 77 mW.

14.5.4 INTERCONEXIONES ENTRE FAMILIAS LÓGICAS

Las interconexiones entre familias lógicas llevan asociados problemas de los que ya hemos hablado, como incompatibilidades en los márgenes y niveles lógicos y requerimientos de corrientes suministradas y/o absorbidas. Los circuitos de interconexión se diseñan normalmente para un *fan-out* de uno y para funcionar a la velocidad de la familia más lenta. Los márgenes de ruido de la interconexión, que a veces necesitan atención, utilizan valores de salida del driver y valores de entrada para la puerta gobernada.

Interconexión CMOS/TTL La Figura 14.25a muestra una interconexión de CMOS con TTL. La tensión de entrada más baja de un valor lógico 1 de la puerta TTL es $v_O \geq 2$ V en $i_I \approx 0$. Para un valor lógico 0 satisfactorio, TTL necesita que $v_O \leq 0{,}8$ V e $i_I \approx -2$ mA. Esto significa que con M_2 sin conducir, M_1 debe tener una resistencia en estado óhmico lo suficientemente baja. De forma específica, la resistencia de salida de M_1 con valor lógico 0 no debe superar R_1 = 0,812 mA = 400 Ω. A partir de la Ecuación (5.5) los parámetros de M_1 y V_{DD} deben cumplir

$$\frac{1}{k\left(V_{DD} - V_t\right)} \leq 400$$

Por ejemplo, para V_{DD} = 5 V y V_t = 1 V, necesitamos que $k \geq 6{,}25 \times 10^{-4}$ A/V^2. Para V_{DD} más grandes, k podría reducirse de la forma correspondiente.

En la Figura 14.25b, TTL gobierna CMOS. En el Capítulo 13 hemos estimado que el *pull-up* activo TTL produce una tensión de salida de unos 3,6 V con valor lógico 1. Para los CMOS, siguiendo la Ecuación (13.19), la entrada de valor lógico 1 debe ser, al menos

$$V_{IH} = \frac{1}{8}\left(5V_{DD} - 2V_t\right)$$

Para V_{DD} = 5 V y V_t = 1 V, V_{IH} = 2,88, dando

$$NMH = 3{,}6 - 2{,}88 = 0{,}720 \text{ V}$$

que es un margen de ruido más pequeño. Para $V_{DD} \geq 6{,}16$ V, la ecuación para V_{IH} nos da un *margen de ruido negativo inaceptable.*

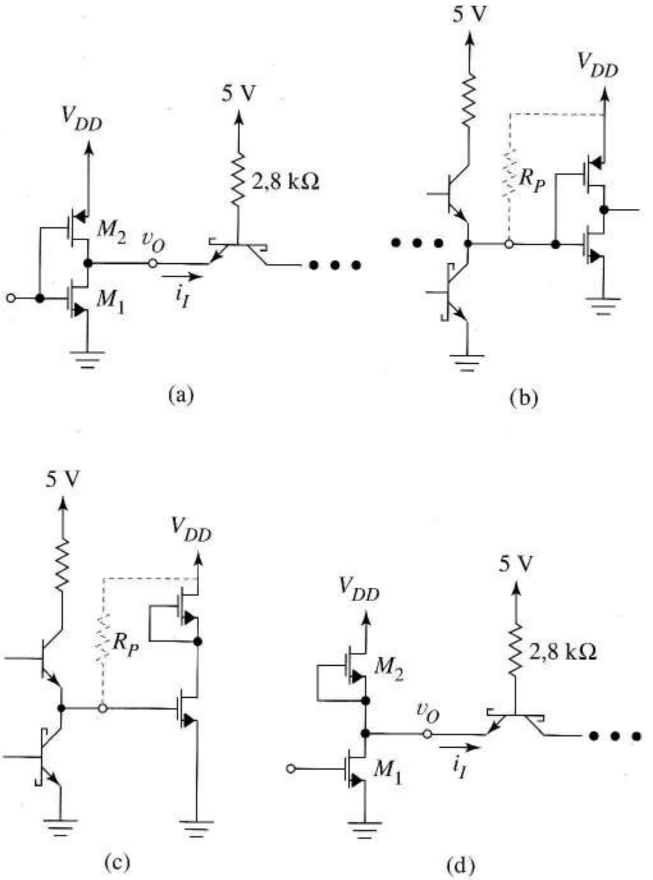


FIGURA 14.25
Ciruitos de *interface*: (a) CMOS gobierna a TTL; (b) TTL gobierna a CMOS; (c) TTL gobierna a NMOS; (d) NMOS gobierna a TTL.

La resistencia de *pull-up* R_P de la Figura 14.25b es un valor simple que mejora el margen de ruido de valores pequeños de V_{DD} y permite que la interconexión funcione para $V_{DD} > 6,16$. Esta resistencia, simplemente lleva la tensión de interconexión de valor lógico 1 a V_{DD} voltios. En el valor lógico 0, el transistor cuasi-saturado TTL nos da 0,3 V, que será menor que V_{IL} para los CMOS; el transistor saturado extrae la corriente de R_P. El valor de R_P no es crítico en relación con el funcionamiento de la interconexión. Las resistencias grandes reducen la disipación de potencia en R_P para las tensiones de interface con valor lógico 0.

Interconexión NMOS/TTL La Figura 14.25c muestra una interconexión TTL-NMOS. Cuando la tensión de interconexión tiene el valor lógico 0, la tensión de saturación del transistor de salida mejora con facilidad el nodo puerta de la puerta de carga por debajo de $V_{IL} = V_t$ como se pedía. Para V_{DD} bajos, la salida de 3,6 V del *totem-pole* apenas supera V_{IH} para la puerta NMOS y generalmente se necesita una resistencia de *pull-up*. Si la puerta NMOS tiene una carga de deplexión en vez de ser de enriquecimiento, la inclinación de la curva y el V_{IH} más pequeño de la Figura 13.9c nos sugieren que el valor lógico 1 del TTL no sea, probablemente, un problema.

Cuando NMOS gobierna TTL, como en la Figura 14.25d, el problema de absorber la corriente si el valor lógico es 0 es similar al de la interconexión CMOS-TTL; sin embargo, el transistor M_1 en estado óhmico también debe absorber la corriente de M_2. Debido a la baja corriente de entrada que necesita la puerta TTL cuando tiene el valor lógico 1, la puerta NMOS produce la tensión requerida, ya que V_{DD} es mayor que $V_{IH} = 2$ V.

Interconexión NMOS-CMOS Las conexiones directas entre NMOS y CMOS son posibles cuando la fuente de alimentación de ambas familias no es muy distinta. Si la alimentación del driver es demasiado pequeña, podría ser necesaria una resistencia de *pull-up*. El Problema 14.41 analiza más detalladamente esta interconexión.

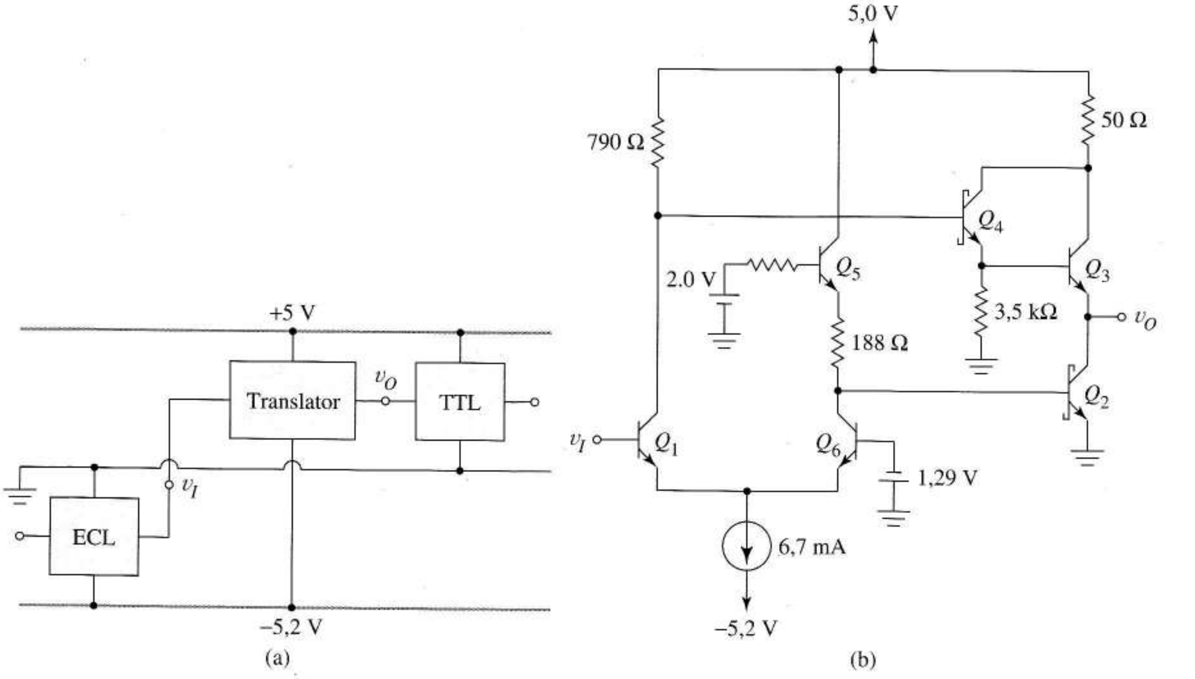


FIGURA 14.26 Paso ECL a TTL: (a) conexión a alimentaciones y circuitos lógicos; (b) circuito de paso.

Interconexiones con ECL Con la ayuda de las Figuras 13.40e y 13.41e, hacemos hincapié en que la entrada ECL y los niveles lógicos de salida son negativos y el margen de tensión es pequeño; en consecuencia, las interconexiones con otras familias lógicas llevan asociado, de forma inevitable, un desplazamiento de nivel y una amplificación o una compresión del margen lógico. Los convertidores de nivel disponibles comercialmente y que se describirán a continuación nos proporcionan una solución a los problemas de interconexión más complejos.

El circuito *conversor* de *ECL* a *TTL* funciona entre las dos alimentaciones dadas del modo de la Figura 14.26a aceptando niveles ECL de entrada y dando niveles de salida TTL. La Figura 14.26b muestra las características importantes del conversor. El circuito de entrada se parece a una puerta ECL con Q_1 y Q_6 conmutando la corriente de polarización a la resistencia de 790 Ω o a la de 188 Ω, respectivamente para el valor lógico v_I 1 ó 0. Los transistores Q_2, Q_3 y Q_4 constituyen el circuito de salida del *totem pole* TTL de la Figura 13.33a. Cuando v_I tiene el valor lógico 1, Q_3 se corta y Q_2 se satura, para producir el típico nivel lógico 0 en TTL en v_O. Cuando v_I tiene el valor lógico 0, Q_4 se satura, mientras que Q_2 se corta debido a la creciente corriente de la resistencia de 188. Un transistor similar emula la entrada TTL y la salida ECL.

14.5.5 GENERACIÓN DE PULSOS EN RESPUESTA A EVENTOS

Algunos problemas de interconexión necesitan que les demos un pulso de entrada estrecho para contadores u otros circuitos digitales en respuesta a ciertos eventos. El evento debe ser un cambio de nivel de un circuito digital o sobrepasar un umbral en un circuito analógico, como un valor crítico de temperatura. En estos problemas es especialmente útil el monoestable, el comparador y el derivador *RC*.

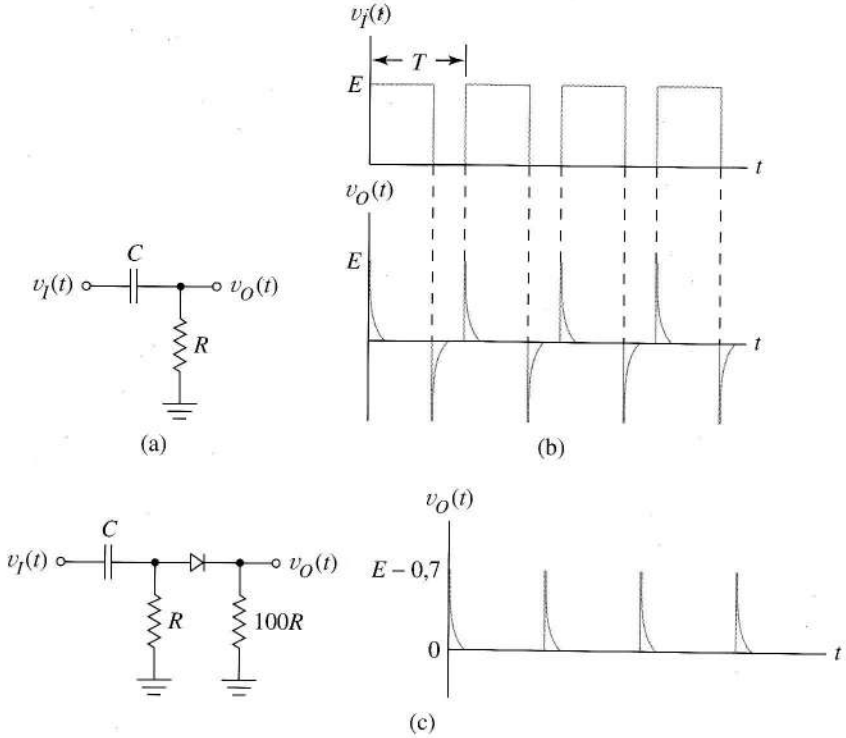
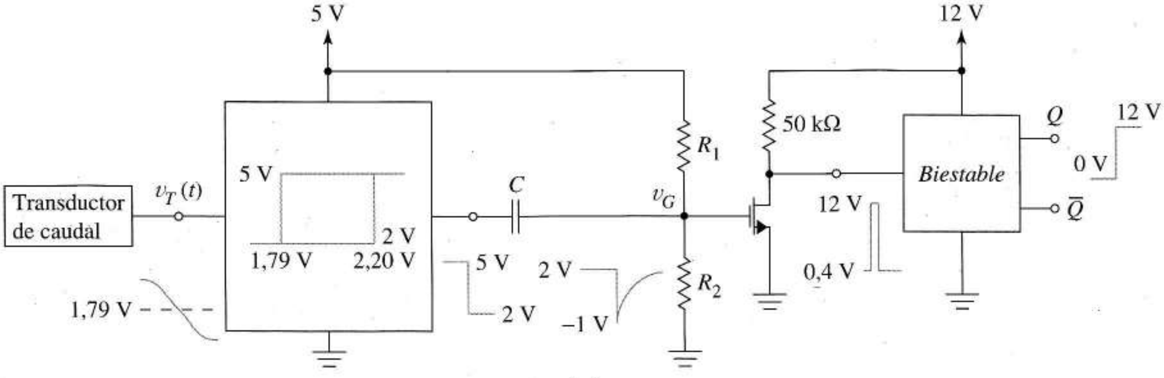


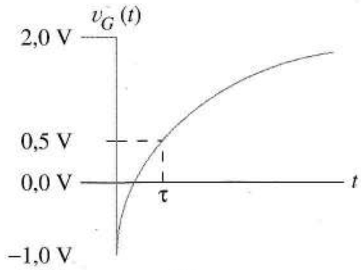
FIGURA 14.27
Derivador *RC*: (a) circuito; (b) forma de onda de entrada y salida; (c) uso del diodo recortador para eliminar los pulsos negativos de salida.

El derivador de la Figura 14.27a produce un pulso estrecho de salida en cada transición de nivel. A diferencia del desplazador de nivel *RC* de la Figura 14.21 el derivador tiene una constante de tiempo muy pequeña. La Figura 14.27b muestra la salida del circuito cuando la entrada es un tren de pulsos de periodo T con $RC << T$. Un pico de salida positiva de amplitud E acompaña a cada transición positiva de entrada; un pico negativo de la misma amplitud acompaña a cada transición negativa. El valor medio de la salida es, como es natural, cero, ya que el condensador no puede dejar pasar un valor de continua. Si es necesario, un diodo elimina los picos negativos, como en la Figura 14.27c. La polaridad opuesta del diodo elimina los picos positivos. Si necesitásemos pulsos bien formados podríamos utilizar la salida del derivador para disparar un monoestable.

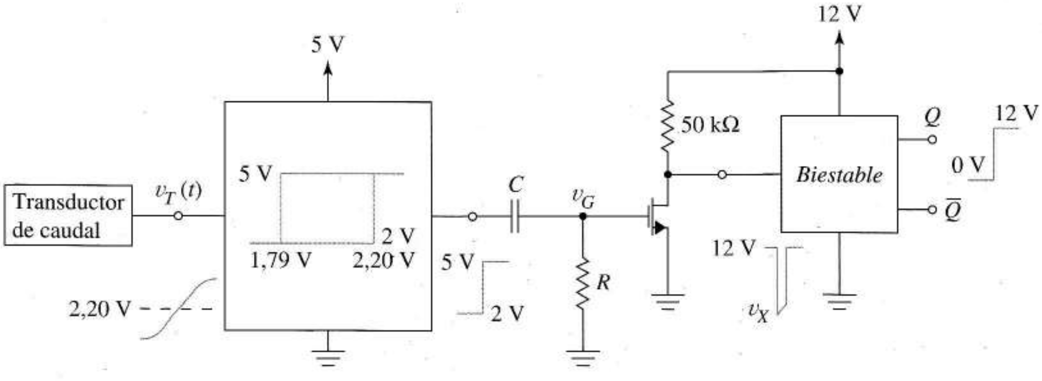
La Figura 14.28a muestra el derivador utilizado en una interconexión entre un transmisor de flujo y un biestable. Normalmente, el flujo $v_T(t)$ es mayor que 2,20 V, la salida Schmitt-trigger es de 5 V y el biestable está borrado con la entrada $T = 0$. Sin embargo, si $v_T(t)$ toma algún valor inferior a 1,79 V, el biestable cambia de estado. El biestable T es un dispositivo CMOS con umbral de conmutación en la entrada cercana a $V_{DD}/2 = 6$ V.



(a)



(b)



(c)

FIGURA 14.28 *Interface* entre la salida de un transductor y un biestable: (a) circuito de interconexión; (b) forma de onda de salida del derivdor; (c) interface rediseñado del Ejercicio 14.6.

El circuito derivador/interruptor debe convertir el cambio de nivel del Schmitt-trigger de 5 a 2 V a un pulso de entrada positivo lo bastante grande para disparar el biestable. El interruptor del transistor, con su puerta polarizada por R_1 y R_2 a 2 V, está habitualmente saturado. Cuando el Schmitt-trigger cambia de estado, el valor de 3 V de su salida se transmite instantáneamente a la puerta del transistor por medio de *C*. El MOSFET entra brevemente en corte, produciendo un pulso positivo de 12 V en la entrada del biestable. Según *C* se va cargando a su nuevo valor de equilibrio, la tensión de puerta evoluciona exponencialmente hacia 2 V. el siguiente ejemplo analiza algunos de los detalles.

EJEMPLO 14.6 a) Si la tensión umbral es de 0,5 V, hallar *k* para que la tensión de drenador en régimen permanente sea de 0,4 V.

b) Hallar los valores de R_1, R_2 y *C* para que la puerta del transistor se polarice en 2 V y para que la constante de tiempo del derivador sea 1 μs.

c) Estimar el ancho del pulso de entrada del biestable.

Solución a) La resistencia óhmica del MOSFET, R_o debe cumplir

$$\frac{R_o}{R_o + 50\text{ k}} 12 = 0{,}4$$

Esto nos da Ro = 1,72 kΩ. A partir de la Ecuación (5.5)

$$1{,}72\text{ k}\Omega = \frac{1}{k(2-0{,}5)}$$

que se cumple cuando k es $3{,}88 \times 10^{-4}$ A/V^2

b) Para una tensión de puerta de 2 V, R_1 y R_2 deben cumplir

$$\frac{R_2}{R_2 + R_1} 5 = 2$$

una constante de tiempo de 1 μs requiere que

$$\frac{R_2 R_1}{R_2 + R_1} C = 1\ \mu\text{s}$$

Si seleccionamos C = 100 pF, la resistencia equivalente paralela debe ser 10 kΩ. Al multiplicar la ecuación de la primera resistencia por R_1 obtenemos

$$10\text{ K}(5) = 2R_1$$

De esta forma R_1 = 25 kΩ y R_2 = 16,7 kΩ.

(c) La Figura 14.28c muestra que el transistor entra en corte en τs, siguiendo la Ecuación (14.3) cumple

$$0{,}5 = 2 + (-1-2)e^{-\tau/10^{-6}}$$

Esto nos da τ = 0,693 μs. ❑

Ejercicio 14.6 La Figura 14.28c representa un nuevo diseño del interface del Ejemplo 14.6 para poner a 1 el biestable cuando la salida del transductor es mayor *de* 2,2 V. Hallar los valores de *R* y *C* para que el transistor interface esté en estado óhmico durante los 0,7 μs. Comprobar también el valor mínimo v_X del pulso de entrada del biestable para asegurar que es menor que el umbral de 6 V. Utilizar un transistor interface con $k = 3{,}88 \times 10^{-4}$ A/V^2 y $V_t = 0{,}5$ V.

Respuesta C = 100 pF (arbitrario), R = 3,91 kΩ, $v_{X,\,mín}$ = 0,242 V.

14.5.6 LOS NIVELES DE TENSION TRANSITORIOS PONEN EN PELIGRO LOS TRANSISTORES DE ENTRADA

La unión base-emisor de los transistores con β alta tiene una tensión inversa de ruptura pequeña debido a la poca anchura de base; el fino óxido de puerta del MOSFET puede verse dañado por demasiada tensión. Por estas razones, la mayor parte de las puertas lógicas tienen *diodos que protegen* a *los transistores de entrada de tensiones excesivas*. Las Figuras 14.29a y b muestran los diodos que limitan las tensiones de entrada de los inversores CMOS y TTL. Estos diodos, que normalmente funcionan como circuitos abiertos, sólo conducen cuando las señales de entrada superan los valores lógicos normales. Los limitadores con diodo comentados en la Sección 3.9 son útiles para estos objetivos. Las Figuras 14.29c y d muestran el modo en que un limitador protege una puerta CMOS. Observemos en la Figura 14.29d que tras las limitaciones, la tensión de entrada $v_X(t)$ es adecuada para la entrada CMOS.

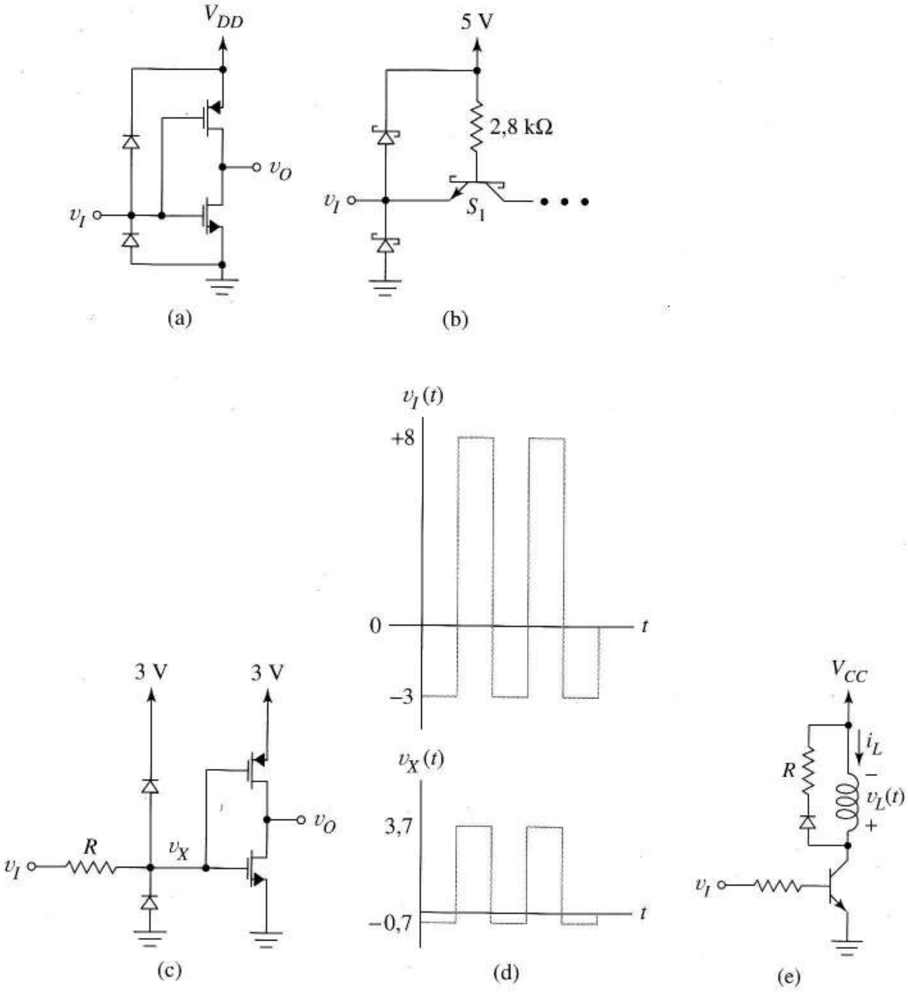


FIGURA 14.29 Protección de sobretensión de entrada: (a) de una puerta CMOS; (b) de una puerta TTL; (c) de un circuito CMOS de interconexión; (d) forma de onda de entrada y salida del limitador de (c); (e) protección de los relés u otros circuitos magnéticos.

En los limitadores son preferibles los diodos Schottky a los de unión ya que se saturan a menos tensión y no introducen retrasos de almacenamiento de carga. En la Sección 14.6 veremos que los efectos de las líneas de transmisión pueden dar como resultado tensiones altas y peligrosas cuando no hay diodos de protección.

La Figura 14.29e muestra otra situación que necesita un diodo protector, un circuito de carga inductiva, como un motor o un relé. Cuando el interruptor del transistor está cerrado, el diodo está abierto y hay corriente inductiva en la bobina. Sin embargo, cuando el interruptor se abre repentinamente, hay una tensión inducida por la bobina

$$v_L(t) = L\frac{di_L}{dt}$$

con la polaridad indicada que actúa para prevenir cambios en la corriente de la bobina. Sin la protección del diodo, el valor $v_L(t)$ añadido a V_{CC} puede destruir con facilidad al transistor, ya que i_L disminuye muy rápidamente. Cuando el circuito sí contiene el diodo, la tensión inducida hace que el diodo conduzca y la energía almacenada en la espira se disipa en R.

14.5.7 PUERTAS MÚLTIPLES COMPARTEN UNA CARGA

Cuando varias puertas comparten un nodo de salida común, se necesitan diseños de puertas especiales. Por ejemplo, en la Figura 14.30a, varias puertas que se comunican con dispositivos periféricos independientes, comparten la entrada de interrupciones del computador. En esta estructura, todas las puertas deben poder poner el nivel lógico del pin a cero, sin considerar las entradas de las demás puertas. Hemos aprendido en el Capítulo 13 que, por lo general, las puertas lógicas suelen tener un transistor que ponga a 1 la salida y otro que la ponga a 0. La Figura 14.30b muestra cuál es la situación por defecto originada cuando distintas puertas intentan imponer distintos valores lógicos en el pin de interrupciones. Un transistor *pull-up* de una puerta *pasa a estar en serie* con el transistor *inferior* de otra puerta. Como la resistencia del circuito es tan baja, *las corrientes altas pueden destruir una puerta o ambas.*

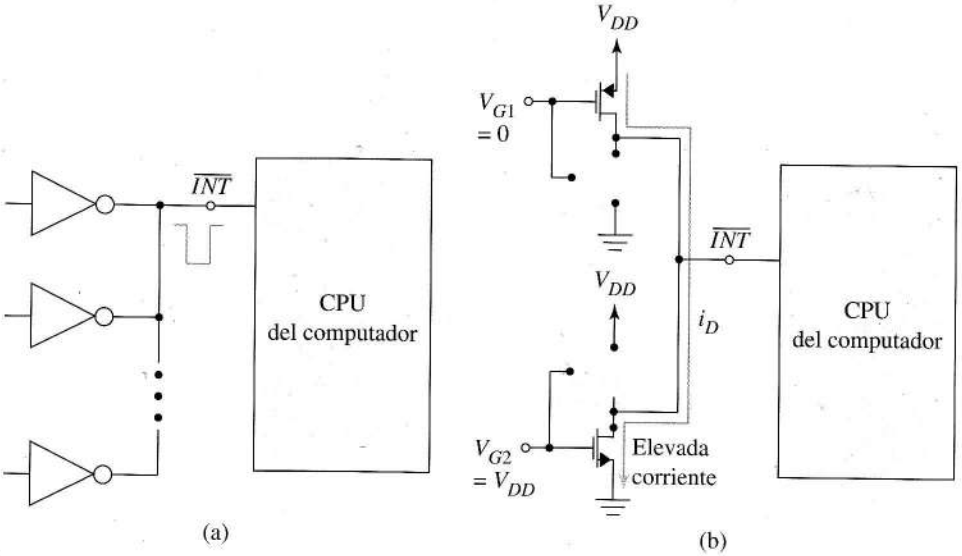


FIGURA 14.30 Conexión de puertas lógicas a una sola carga: (a) interrupciones en un computador; (b) origen de las elevadas corrientes cuando las puertas disponen de una resistencia de pull-up activa.

Un circuito lógico especial llamado *puerta de drenador abierto (de colector abierto)* resuelve este tipo de problemas de interconexión. En estas puertas, los transistores inferiores ponen el nivel lógico a cero por medio del funcionamiento óhmico o de saturación, mientras que una *resistencia pull-up externa* colocada por el usuario y compartida por todas las puertas conectadas hace que el *pull-up* se ponga al valor lógico 1. La Figura 14.31 muestra las salidas de tres de estas puertas que comparten la resistencia R_P: se omite la lógica interna que controla el transistor inferior. Es importante observar que cualquier puerta puede poner v_O al nivel bajo, haciendo que su transistor de salida esté en conducción; sin embargo, v_O pasa a tener el valor lógico 1 sólo si todas las puertas tienen el valor lógico 1.

Se suelen especificar los parámetros de los transistores de salida de los *driver*. El proceso de interconexión lleva asociada la selección de V_{DD} y R_P de tal forma que v_O sea inferior a V_{IL} (en el circuito de carga) en el peor caso del valor lógico 0 y superior a V_{IH} en el caso en que el valor lógico sea 1. Las consideraciones de diseño incluyen todas las corrientes del circuito de interconexión que se originen o que finalicen en la carga. El siguiente ejemplo muestra varios tipos de restricciones que se pueden dar en un problema de este tipo.

EJEMPLO 14.7 En la Figura 14.31a se interconectan tres puertas lógicas en drenador abierto con un circuito de carga simple. Los requerimientos de la carga son $V_{IH} = 1{,}5$ V y $V_{IL} = 0{,}5$ V. En el valor lógico 1, la resistencia de entrada del circuito de carga es de 40 kΩ a masa. En el valor lógico 0, la puerta de interconexión debe absorber una corriente de 1,4 mA. Las puertas lógicas utilizan una alimentación de 8 V y los terminales de puerta de los transistores de salida funcionan entre 0 y 8 V. Hallar los valores adecuados para V_{DD}, R_P, k y V_t.

Solución Sólo cuando todos los transistores están cortados hay un 1 lógico. Esto nos da la ecuación de diseño

$$v_O = \frac{40\ \text{k}}{40\ \text{k} + R_P} V_{DD} \geq 1{,}5 \tag{14.41}$$

Una vez que seleccionamos V_{DD}, esta ecuación nos da un límite superior de R_P. Aplazaremos esta decisión hasta que examinemos las restricciones del valor lógico 0.

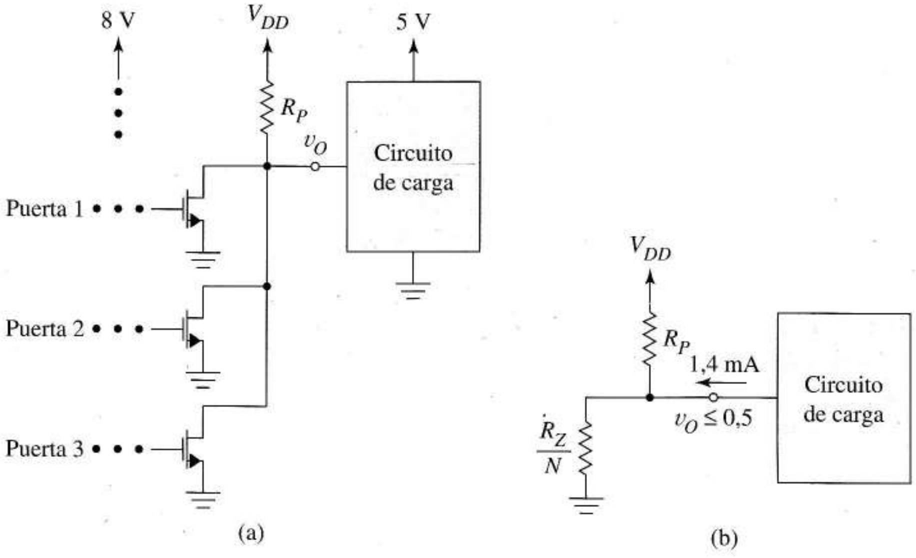


FIGURA 14.31 Puertas de colector/drenador abierto: (a) conexión para compartir una sola resistencia de *pull-up*; (b) circuito equivalente para calcular R_P con N puertas a estado bajo.

La Figura 14.31b muestra la restricción de la entrada de valor lógico 0, en donde R_Z es la resistencia óhmica de un transistor de salida. Con N=1, 2 ó 3 transistores de salida en paralelo se puede establecer un 0 lógico; sin embargo N=1 es el que nos da un v_O más alto. Así, para una entrada con valor lógico 0, N=1 es el peor caso. La ley de Kirchhoff de las corrientes nos da

$$\frac{V_{DD} - v_O}{R_P} + 1{,}4 \text{ mA} = \frac{v_O}{R_Z}$$

Despejando v_O obtenemos

$$v_O = \frac{\left(V_{DD} + 1{,}4 \text{ mA } R_P\right) R_Z}{R_P + R_Z}$$

El requisito de diseño $v_O \leq 0{,}5$ V nos da

$$\left(V_{DD} + 1{,}4 \times 10^{-3} R_P\right) R_Z \leq 0{,}5\left(R_P + R_Z\right) \tag{14.42}$$

La Ecuación (14.42) muestra que V_{DD} bajos cumplen la desigualdad. Generalmente es mejor utilizar una fuente de alimentación que esté disponible, por lo que utilizaremos V_{DD} = 5 V. Ahora, la Ecuación (14.41) nos da $R_P \leq 93{,}3$ kΩ. al sustituir V_{DD} = 5 V en la Ecuación (14.42) obtenemos

$$R_Z \leq \frac{0{,}5 \, R_P}{4{,}5 + 1{,}4 \times 10^{-3} R_P}$$

Al seleccionar R_P = 10 kΩ se cumple que $R_P \leq 93{,}3$ kΩ, que nos da una resistencia *pull-up* de muy poca disipación, y nos lleva a que $R_Z \leq 270$ Ω. Esta elección es algo arbitraria y si es necesario, se reconsiderará más adelante.

Para que los transistores de salida de la Figura 14.31a estén en estado óhmico cuando v_O = 0,5 V

$$v_{DG} = 0{,}5 - 8 \leq -V_t$$

Llegamos a la conclusión de que necesitamos que $V_t \leq 7{,}5$ V, lo cual no es muy restrictivo. Seleccionemos un valor razonable como V_t = 0,8 V. A partir de nuestra condición $R_Z \leq 270$ y según la Ecuación (5.5) tenemos

$$270 \leq \frac{1}{k(8 - 0{,}8)}$$

que nos da $k \leq 5{,}14 \times 10^{-4}$ A/V^2 sujeto a la condición

$$\left|v_{DS}\right| \leq 0{,}2\left|(v_{GS} - V_t)\right|$$

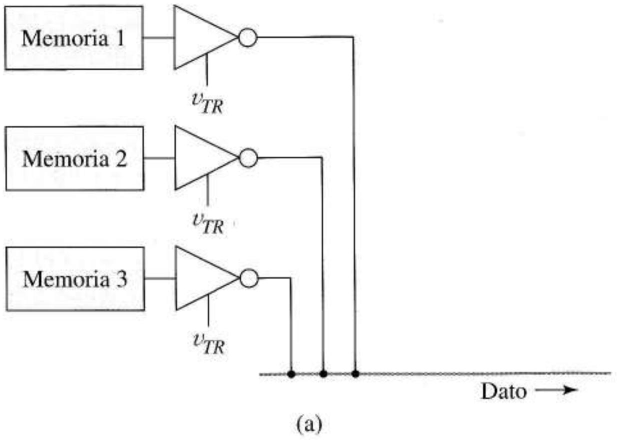
En este diseño, la condición es

$$\left|v_{DS}\right| \leq 1{,}44 \text{ V}$$

que se cumple con la condición del valor lógico 0, $v_O \leq 0{,}5$. El diseño final es V_{DD} = 5 V, R_P = 10 kΩ, V_t = 0,8 V y $k = 5{,}14 \times 10^{-4}$ A/V^2. ❑

Ejercicio 14.7 El diseño del Ejemplo 14.7 producía el valor lógico de entrada en el peor caso, 0,5 V, no dejando margen de ruido. Haciendo que V_{DD} = 5 V, R_P = 10 kΩ y V_t = 0,8 V, hallar el factor por el que el W/L de los transistores de salida debe incrementarse para dar el NML en el peor caso con valor 0,3 V.

Respuesta El nuevo W/L = 2,55 × (anterior W/L).



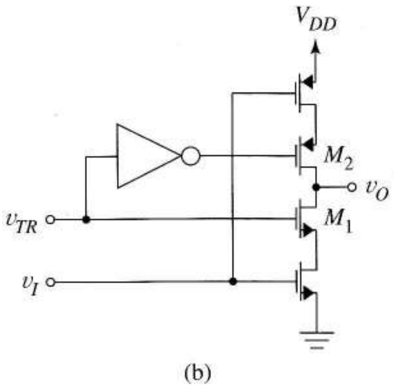


FIGURA 14.32 Puertas triestrado: (a) aplicación con varias puertas compartiendo un único nodo común; (b) estructura de puerta triestrado **CMOS.**

Puertas lógicas triestado A veces hay muchas puertas que comparten un único nodo de salida, es decir, utilizan el mismo nodo en momentos distintos. Esto ocurre en las estructuras de direccionamiento y comunicación de datos como en la Figura 14.32a, en donde cada uno de los tres módulos separados de memoria debe situar un bit de datos en una línea de datos, siendo dirigidos por la circuitería de control. Este tipo de aplicaciones utiliza *puertas lógicas tri-estado* especiales, mostradas en el diagrama de forma esquemática. Las puertas *tri-estado* tienen, además de las salidas lógicas 1 y 0, un estado de *salida flotante* en el que la circuitería interna de la puerta se desconecta del nodo de salida. Una entrada especial *tri-estado*, o v_{TR} en el diagrama, está disponible en los circuitos de control que manejan el interface. cuando v_{TR} tiene el valor lógico 0, la salida de la puerta está desconectada de la línea de datos; cuando tiene el valor lógico 1, la puerta está desconectada.

La Figura 14.32b muestra un inversor CMOS tri-estado. Cuando v_{TR} es cero, M_1 y M_2 entran en corte y el nodo de salida queda flotante. Cuando v_{TR} es uno, ambos transistores entran en conducción, conectando los transistores inversores al nodo de salida y el inversor funciona en su forma habitual. En otras familias lógicas hay disponibles puertas tri-estado similares.

14.5.8 CONVERSIONES ANALÓGICO–DIGITALES

Por motivos de precisión, corrección, comodidad, versatilidad, fiabilidad y coste, la mayor parte de los sistemas de proceso de datos utiliza técnicas digitales. Dichas técnicas necesitan que las funciones de datos estén representadas por medio de niveles de tensión o de corriente. Muchas fuentes de

información, temperatura, presión y transductores de presión, por ejemplo, son analógicas, es decir, sus salidas son formas de onda de tensión o corriente que varían continuamente con el tiempo. El interface entre una de estas fuentes de datos analógicos y el hardware de procesamiento digital es el *convertidor analógico-digital* (*A/D*), circuito que acepta una forma de onda de una señal analógica como entrada y produce una salida que es la secuencia de números binarios que le corresponde. El convertidor A/D, que funciona a *frecuencia de muestreo* f_s constante, produce como salida f_s números binarios por segundo espaciados uniformemente, siendo cada número binario equivalente a la amplitud de señal del instante de muestreo. Valores representativos del número de dígitos binarios o *bits* que genera el convertidor A/D son 8, 12 y 16.

Frecuentemente, después de concluir el procesamiento de datos, se deben emplear los resultados de alguna forma física, por ejemplo gobernar un motor, un altavoz o un sistema de pantallas. Cuando esta carga es un dispositivo analógico que necesita una entrada con una forma de onda que varíe continuamente con el tiempo, utilizaremos un circuito electrónico especial, el *convertidor digital-analógico* (D/A) que también suele manejar 8, 12 ó 16 bits.

La Figura 14.33 es un diagrama de bloques de un sistema de procesamiento digital en el que tanto las entradas como las salidas son analógicas. El filtro analógico *anti-aliasing*, diseñado siguiendo los principios descritos en el Capítulo 12, limita el ancho de banda de la entrada a la estrictamente necesaria para dejar pasar la información. Este tipo de filtrado elimina la *distorsión de aliasing* que aparece cuando la frecuencia de señal o de ruido en $v_I(t)$ es más de la mitad de la frecuencia de muestreo f_s. El circuito muestreo y retención, del que hemos hablado en la Sección 2.2.7 presenta el conversor A/D con una señal de entrada que no cambia durante la conversión. El conversor A/D transforma la señal analógica $v_A(t)$ en una secuencia de números binarios de n bits, a_o–a_{n-1} que le proporcionan la entrada al hardware de procesamiento de datos digitales. Con frecuencia, los bits binarios están en paralelo, como muestra el diagrama; sin embargo, algunos A/D producen los n bits de salida como una secuencia en el tiempo en serie. La salida binaria de n bits, b_o–b_{n-1} se convierte a la forma de onda analógica $v_B(t)$ por medio de un convertidor D/A. A pesar de su continua variación, $v_B(t)$ contiene picos y flancos casi verticales, consecuencia del procesamiento digital. Desde el punto de vista del espectro, los picos y flancos representan ruido añadido de alta frecuencia que normalmente se deberá eliminar con un filtro analógico paso bajo. Como el convertidor D/A es el más sencillo de los dos circuitos, hablaremos primero sobre él.

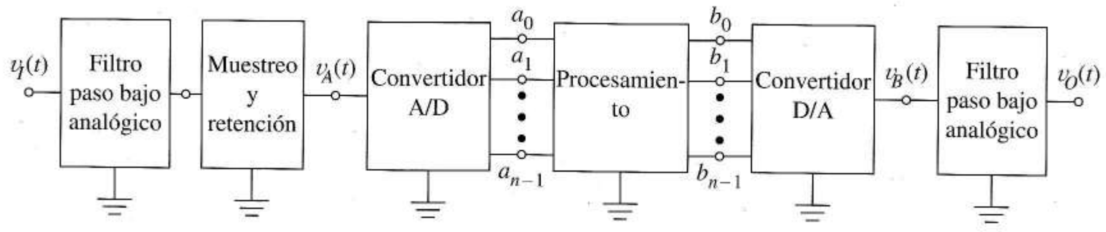


FIGURA 14.33 Sistema para producir la salida analógica $v_O(t)$ por procesamiento digital de la entrada analógica $v_I(t)$.

Convertidor D/A El circuito en *escalera R/2R* de la Figura 14.34a es fundamental en los circuitos D/A. Dos características importantes de este circuito resistivo en escalera son que la resistencia a la derecha de cada nodo es $2R$ y que la de entrada es R, prescindiendo de la longitud de la escalera. Para verificar estas afirmaciones, comenzaremos con el nodo de más a la derecha y continuaremos hacia la izquierda. La escalera resistiva está fabricada como un circuito integrado, utilizando resistencias difundidas o de película fina de valores controlados de forma precisa que no varían con la temperatura.

En el circuito D/A, la escalera está conectada a un convertidor de corriente a tensión o a masa mediante n interruptores controlados por tensión, como en la Figura 14.34b. Los interruptores suelen ser MOSFETs o pares de MOSFETs, que funcionan entre corte y saturación. Como todos los interruptores conectan una resistencia a masa o a una masa virtual, las resistencias vistas en cada nodo *son las mismas* de la figura 14.34a *en todas las posibles combinaciones de las posiciones del interruptor.*

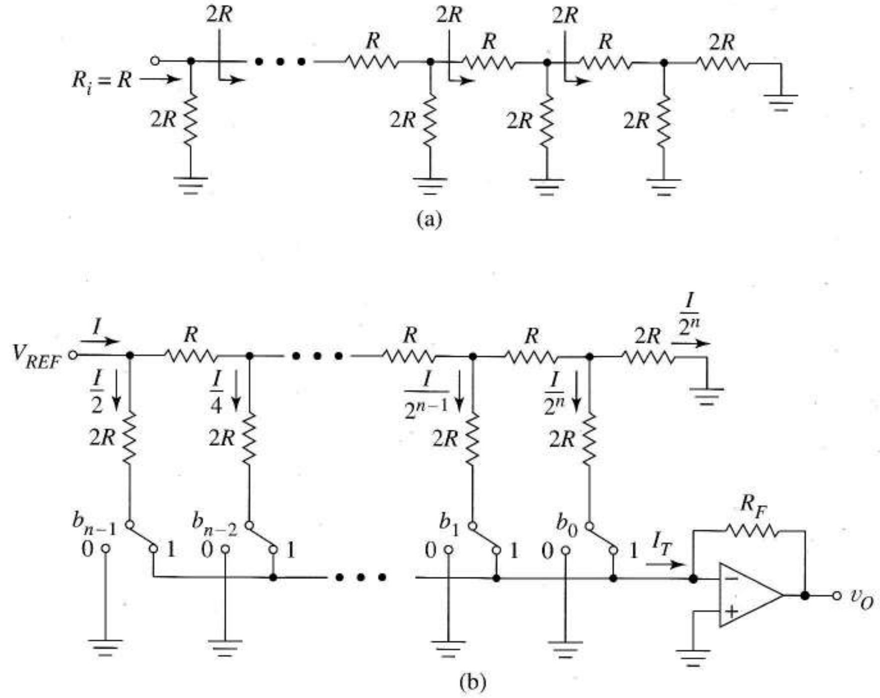


FIGURA 14.34 D/A de tipo *R/2R*: (a) escalera *R/2R*; (b) convertidor basado en la escalera.

La tensión de referencia V_{REF} inicia la corriente de entrada

$$I = V_{REF} / R \tag{14.43}$$

que se divide en partes iguales en el nodo de entrada. Como la resistencia que se va a conectar a masa iguala a la resistencia vista a la derecha, *en cada nodo de la escalera hay una división por dos.* Ahora

$$b^{b-1}b^{n-2}\ldots b^2b^1b^0$$

representa un número binario, habitualmente utilizado en un procesador digital y va a ser convertido a un valor analógico. Cada b^k es 1 ó 0 y los dígitos binarios se escriben en notación posicional en orden decreciente. Los interruptores controlados por tensión de la Figura 14.34b conectan el procesador con el A/D en donde un bit binario b^k=1 cierra el interruptor de la entrada no inversora y b^k = 0 desvía la corriente de la rama hacia masa. Por la ley de Kirchhoff de las corrientes, la corriente I_T que entra en el conversor de corriente a tensión es

$$I_T = \left(\sum_{k=0}^{n-1} b_k \frac{I}{2^{n-k}}\right) = \frac{I}{2^n}\left(\sum_{k=0}^{n-1} b_k 2^k\right)$$

y la salida del circuito es

$$v_O = -I_T R_F = -\frac{R_F I}{2^n}\left(\sum_{k=0}^{n-1} b_k 2^k\right)$$

Al sustituir en la ecuación (14.43) obtenemos

$$v_O = -\frac{V_{REF}}{2^n}\frac{R_F}{R}\left(\sum_{k=0}^{n-1} b_k 2^k\right) \quad (14.44)$$

La expresión que hay entre los paréntesis es el equivalente decimal del número binario que describimos en notación posicional como $b^{n-1}\ b^{n-2} \ldots b^1\ b^0$; el término que hay fuera de los paréntesis es un factor de escala. Cuando todos los $b_k s$ son cero, salvo b_o, la Ecuación (14.44) nos da la tensión de salida mínima distinta de cero que el D/A puede producir; la ecuación del D/A. El siguiente ejemplo nos revela algunos detalles del funcionamiento.

EJEMPLO 14.8 El convertidor A/D de la Figura 14.34b utiliza $R_F = R$, $V_{REF} = -5$ V y $n = 12$ bits.

a) Hallar el valor de v_O que representa el número binario 000000000001.

b) Hallar la v_O máxima.

c) Supongamos que la entrada binaria que controla los interruptores se ha obtenido del contador de 12 bits de la Figura 14.35a. Hallar la forma de onda $v_O(t)$ que se obtiene según el contador va contando desde 0 a $2^{12} - 1$, se pone a 0, y hasta cero, y después se repite en respuesta a una entrada de reloj de frecuencia constante.

d) Estimar el *slew-rate* mínimo del amplificador operacional si la frecuencia del reloj es de 50 kHz.

Solución a) De la Ecuación (14.44) $v_O = -(-5/2^{12})2^0 = 1{,}221$ mV. Esta es la resolución del D/A.

b) El valor más grande es aquél en que todos los bits tienen el valor 1. Como la suma S de los primeros 12 términos en la serie 2^k es

$$S = \sum_{k=0}^{12-1} 2^k = 2^{12} - 1 = 4.095$$

de la Ecuación (14.4) obtenemos

$$V_{O,\,MÁX} = -\left(\frac{-5}{4.096}\right)(4.095) \approx 5 \text{ V}$$

c) La salida es la función escalón sugerida por la Figura 14.35b, teniendo cada paso una altura de 1,221 mV.

d) Con un reloj de 50 kHz, la duración de cada *escalón* es de un periodo de reloj de 20 μs. Cuando se reinicializa el contador, la salida del D/A debe variar de 5 V a 0 en una parte despreciable del periodo de reloj, por ejemplo 2 μs. Así, el amplificador operacional necesita un *slew rate* de al menos 5/2 = 2,5 V/μs. ❑

La Ecuación (14.44) muestra que en un D/A de n bits, la menor salida distinta de cero, expresada como un porcentaje, de la mayor salida es

$$\frac{\Delta v}{v_{máx}} = \frac{1}{2^n - 1} \times 100 \quad (14.45)$$

Para $n = 8$, 12 y 16 bits, vemos que la precisión es 0,39% y 0,024% y 0,0015%.

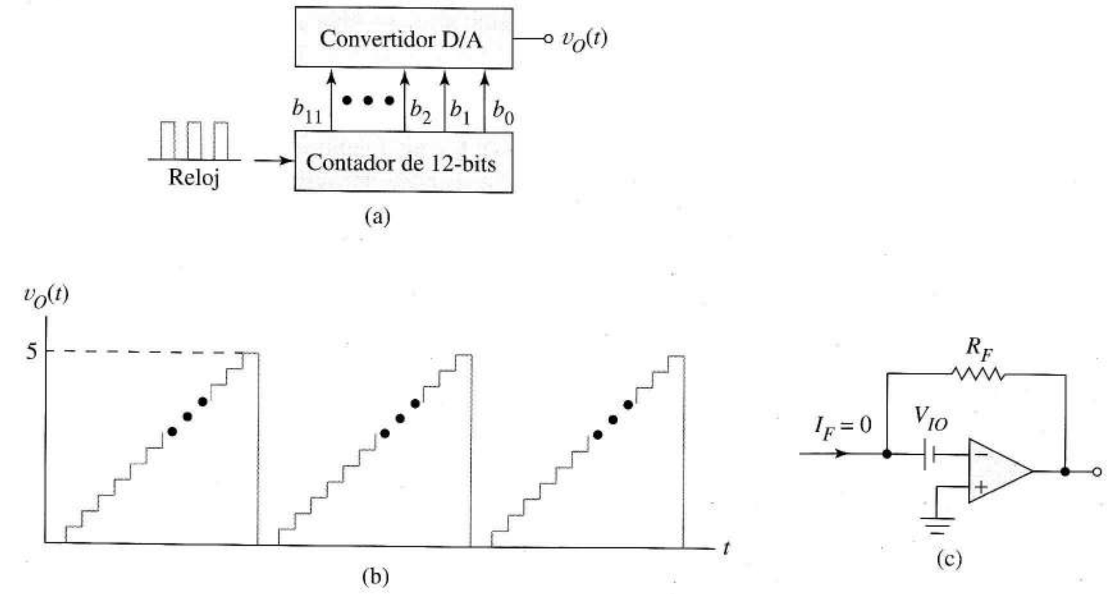


FIGURA 14.35 D/A gobernado por un contador digital: (a) circuito; (b) forma de onda de salida de un D/A; (c) circuito para hallar la desviación de salida.

La tensión de desviación de entrada del amplificador operacional puede afectar negativamente al rendimiento del D/A. Dado que cuando todos los interruptores están abiertos el D/A se ve reducido a la Figura 14.35c, podemos utilizar superposición para hallar el efecto de la tensión de desviación.

El siguiente ejercicio analiza de forma crítica dos de las características comentadas en el anterior diseño D/A.

Ejercicio 14.8 a) Utilizar la Ecuación (14.44) para calcular la sensibilidad de v_O con respecto a R_F.

b) Hallar la contribución a v_O de la tensión de desviación de entrada del amplificador operacional en la Figura 14.34b.

c) ¿El 741 de la Tabla 2.1 es una elección adecuada para el diseño del Ejemplo 14.8? Explicar.

Respuesta a) $S^{vo}_{Rf} = 1$.

b) $v_O = \pm V_{IO}$.

c) Para un 741, $V_{IO} = 5$ mV, un valor excesivo, ya que la altura de cada escalón es sólo de 1.221 mV. El *slew-rate* del 741 es de 0,5 V/μs y tampoco es adecuado.

En todos los diseños de circuitos integrados, la relación R_F/R se puede controlar de forma precisa. Si se combina una escalera resistiva integrada con una resistencia discreta, el margen de tensiones y la tensión mínima se ven escalados por R_F; sin embargo esto no tiene efecto en la uniformidad del

tamaño del escalón. Si R_F es un potenciómetro podemos ajustar el circuito para que tengan un funcionamiento adecuado, al menos en una temperatura.

Obviamente, la importancia de la desviación en los D/A está relacionado con el valor de V_{REF}, el número de bits y el amplificador operacional por lo que es deseable utilizar amplificadores operacionales diseñados especialmente con pequeñas desviaciones. Como la tensión de desviación varía con la temperatura, su compensación tiene utilidad limitada y en aplicaciones críticas podría tener que ser recalculada antes de cada uso del D/A.

Utilizar un algoritmo para generar una forma de onda en rampa como la Figura 14.35b nos da una forma sencilla de comprobar un *interface* D/A para una conexión correcta y completa de las entradas D/A, un funcionamiento adecuado del hardware D/A y un comportamiento dinámico correcto. Esta idea también es la base de un generador de formas de onda versátiles. Sólo necesitamos reemplazar la salida del contador por una secuencia de números periódicos generados por un circuito secuencial de propósito especial o por un computador.

El Problema 14.44 analiza otro circuito D/A, uno que utiliza *resistencias binarias ponderadas* y un amplificador operacional.

Convertidor A/D La Figura 14.36a muestra los terminales externos de un *convertidor analógico-digital*. Hay una entrada analógica, una salida digital de n bits y un par de nodos utilizados para la interconexión. En respuesta al pulso en la *entrada del convertidor*, el A/D produce mediante algún proceso, el código digital de n bits que representa la tensión de la entrada de conversión. El proceso de conversión necesita un intervalo t_c llamado *tiempo de conversión* en el que se calculan los bits de salida digital y, por lo tanto, pueden no ser válidos. Como advertencia, una salida ocupada toma valores más altos durante

La conversión y vuelve a valer cero cuando ésta se completa. En ese momento está disponible en la salida el número correcto de n bits y se mantiene así hasta la siguiente señal convertida.

Los distintos tipos de convertidores A/D tienen muchas diferencias. La salida digital debe estar en binario puro, complemento a 2 ó cualquier otro código. También hay variaciones en el margen permisible de tensiones de entrada, 0 a +15 V o –5 a +5 V, por poner dos ejemplos. A veces, las puertas tri-estado de la salida deben habilitarse con una señal de control antes de que esté disponible la salida digital en los pines de salida. Esto permite al A/D compartir líneas de datos con otros dispositivos. Además, los convertidores A/D también se diferencian en los mecanismos internos utilizados en la conversión. A continuación hablaremos de ellos.

A/D tipo contador La Figura 14.36b muestra un *A/D tipo contador* que genera salida binaria simple. En estado inactivo, la salida digital calculada previamente está almacenada en el contador y el biestable está en reset, con la entrada AND a nivel bajo para evitar que los pulsos de reloj interno alcancen al contador. La señal analógica le proporciona al comparador C valores de entrada de forma continua; sin embargo, como el biestable está en *reset*, $c(t)$ no afecta al estado del biestable.

Los pulsos del contador inicializan el contador y ponen en set al biestable de forma simultánea. Esto hace que la línea ocupado/listo se ponga en estado alto y permite que los pulsos de reloj alcancen al contador a través de la AND. La salida del D/A es una rampa que comienza en cero, como en la Figura 14.36c. Mientras la salida del D/A es menor que la señal analógica, la salida del comparador es cero; sin embargo, en el instante en que la tensión de rampa supera $v(t)$, cambia a uno la salida del comparador y el biestable se reinicializa.

Esto lleva al sistema a su estado original, salvo en cuanto al nuevo valor almacenado en el contador. La línea ocupado/listo vuelve a cero, indicando que la conversión se ha completado.

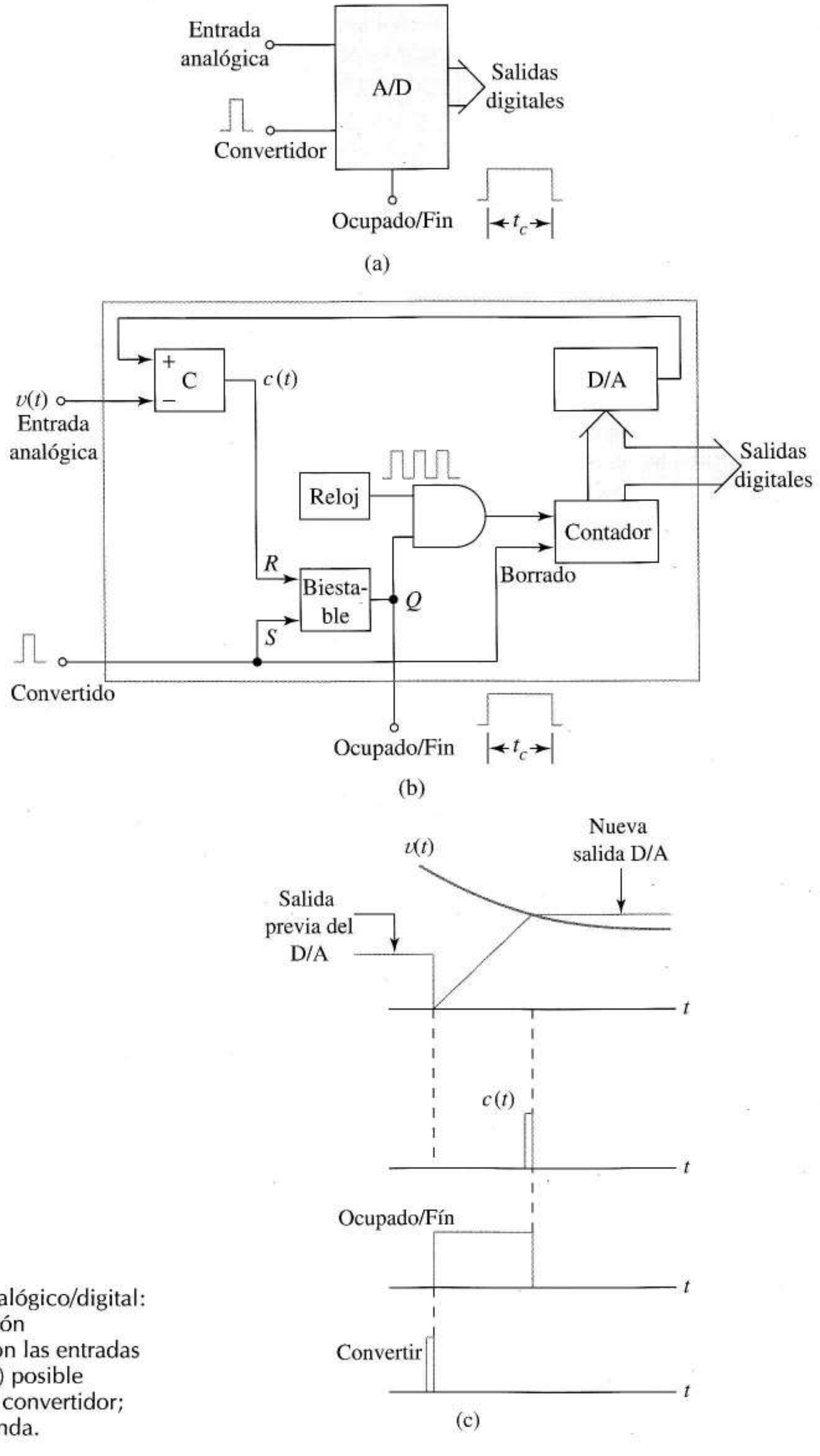


FIGURA 14.36
Convertidor analógico/digital: (a) representación esquemática con las entradas y las salidas; (b) posible realización del convertidor; (c) formas de onda.

En este A/D, el tiempo de conversión es variable. El peor valor posible de t_c es el periodo de reloj 2^{n-1}, tiempo que necesita la rampa para subir desde cero hasta su valor máximo. Las tensiones de entrada analógicas deben estar en el margen $0 < v_i < V_M$, siendo V_M el valor mínimo de la salida A/D. El muestreo analógico está representado por su equivalente digital, con la precisión expresada como un porcentaje con

$$\text{precisión} = \frac{\text{mínima salida DI/A}}{\text{margen de entrada analógico}} \times 100 = \frac{V_M / (2^n - 1)}{V_M} \times 100 = \frac{1}{2^n - 1}\%$$

que es la misma expresión que hemos hallado para el D/A en la Ecuación (14.45).

Para que tenga la mínima importancia, el *slew-rate* del subcircuito D/A debe permitir los cambios más críticos de tensión analógica máxima o mínima, en una pequeña fracción de tiempo. Por ejemplo, si el último muestreo de la Figura 14.36b tiene el máximo V_M, la salida del D/A debe tener un valor de una fracción despreciable de un ciclo de reloj.

A/D de aproximaciones sucesivas Este otro circuito A/D copia una elegante solución a un conocido juego de niños: adivinar un número desconocido. El juego comienza con un niño que retiene un número entre 0 y 100. La estrategia resolutiva comienza con un número estándar 50. Si es demasiado alto, el siguiente valor será 25, si no 75. Utilizando en cada alternativa la mitad del margen probable, este procedimiento de adivinación converge hacia el número desconocido con una rapidez sorprendente.

La Figura 14.37a muestra que las *aproximaciones sucesivas del A/D* aplican el mismo principio. El número desconocido es el equivalente digital de n bits de $v(t)$, un número binario entre 0 y 2^{n-1}. Cuando el circuito recibe un pulso, la lógica de aproximaciones sucesivas (un hardware especial o un algoritmo) inicializa las n entradas D/A a cero y hace su primera "suposición" poniendo a 1 el bit más significativo. La Figura 14.39b muestra, en el caso de 4 bits, que éste es equivalente a suponer la mitad de 2^4–1. En la Figura 14.37a el D/A interno presenta el equivalente analógico, $v_X(t)$ de la aproximación de corriente al comparador. Si $v_X(t)$ es menor que $v(t)$, como en el ejemplo, la salida del comparador se mantiene con el valor cero, y la lógica del circuito mejora la aproximación cambiando a 1 el siguiente bit. Si la salida del comparador cambia a 1 porque el valor es demasiado alto, ese bit vuelve a ser cero antes de seguir. Este proceso continúa hasta que se han hecho n elecciones. El resultado es la mejor aproximación de n bits a $v(t)$. El ejemplo muestra que un sistema de 4 bits converge a 13 es $v(t) = 13{,}2$ voltios. Observemos que la conversión *siempre se completa tras n periodos de reloj*. La salida del D/A interno debe cambiar en general sólo con la mitad de la tensión analógica de entrada en un ciclo; por ello, el *slew-rate* no precisará ser tan alto como en el D/A de tipo contador.

La salida ocupado/listo es fácil de añadir para obtener un conjunto del tipo de la Figura 14.36a. A veces, los integrados A/D proporcionan un conjunto de biestables de salida (n bits en total) para que los bits transitorios generados en las conversiones no aparezcan nunca en la salida y también proporcionan algunas puertas tri-estado entre las salidas D/A y los pines externos para facilitar que se compartan en el tiempo las buses de datos.

14.6 EFECTOS EN LAS LÍNEAS DE TRANSMISIÓN

Mientras hemos ignorado los retardos introducidos por la circulación por las puertas, suponiéndolos pequeños comparados con los de propagación de las puertas, los asociados al cableado empiezan a ser importantes en cuanto las distancias de interconexión son mayores. Confiaremos en la teoría de las líneas de transmisión ideales y sin pérdidas para explicar los problemas derivados. En términos prácticos, una interconexión se convierte en una línea de transmisión cuando el tiempo que tarda la señal en recorrerla es más de dos veces el tiempo de subida (o bajada).

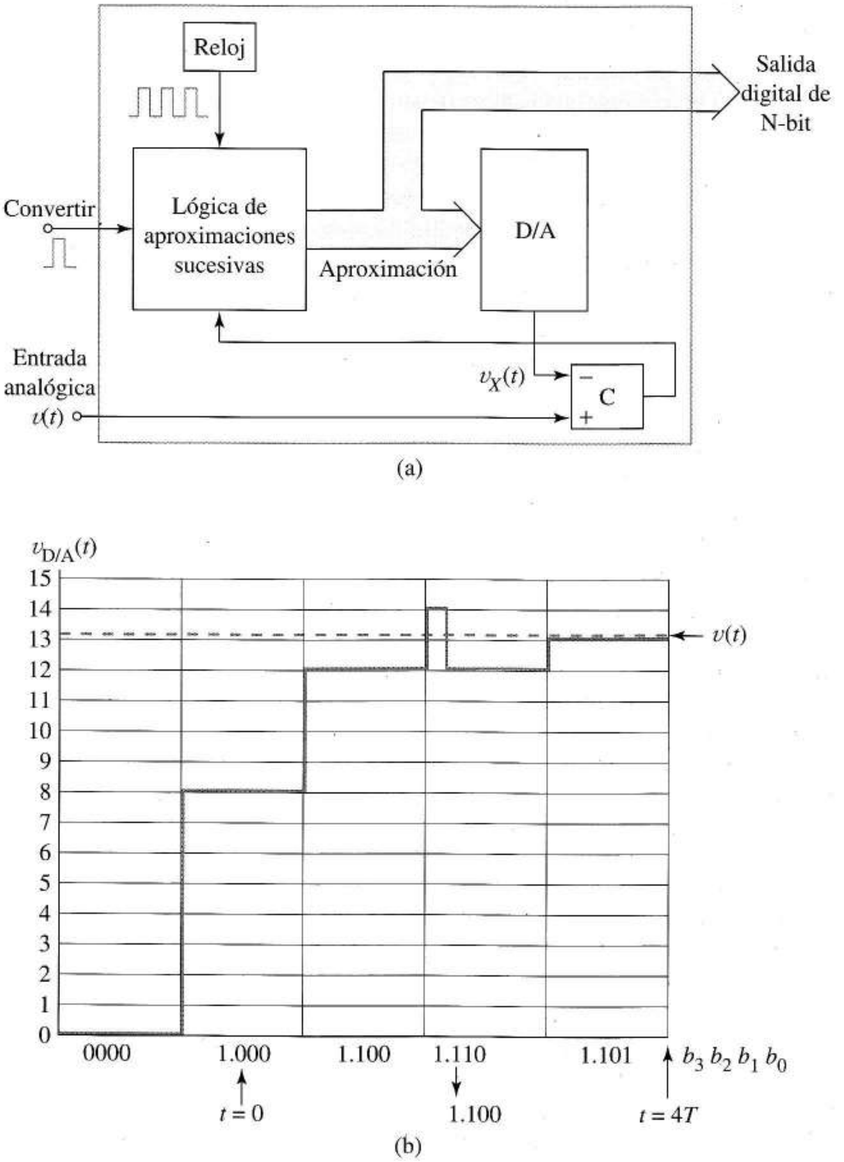


FIGURA 14.37 Convertidor A/D de aproximaciones sucesivas: (a) diagrama de bloques; (b) ejemplo de 4 bits.

El desarrollo que sigue difiere de los estudios de líneas de transmisión basados en técnicas gráficas. Las interpretaciones gráficas de las ecuaciones de las líneas de transmisión permitirán extender la teoría a nuevos problemas: líneas terminadas por circuitos lógicos no lineales. Nuestro objetivo es adquirir el conocimiento que permita conocer las causas de los problemas y sus soluciones. Antes de que podamos manejar las no linealidades, revisaremos los principios fundamentales y las reflexiones con terminaciones lineales.

14.6.1 LÍNEA DE TRANSMISIÓN IDEAL SIN PÉRDIDAS

Cuando analizamos de cerca las conexiones tales como pares trenzados, cables coaxiales, cables de masa y pletinas, vemos que todas ellas tienen capacidades e inductancias distribuidas, es decir, la línea real consiste en infinitas capacidades e inductancias infinitesimales. Consecuentemente, vemos la conexión de la Figura 14.38a como la Figura 14.38b, donde L y C son la inductancia distribuida (en H/m) y la capacidad distribuida (en F/m). Debido a esta capacidad no podemos cambiar instantáneamente la tensión en la línea como haríamos en los cables ideales ni podemos cambiar la corriente debido a la inductancia distribuida.

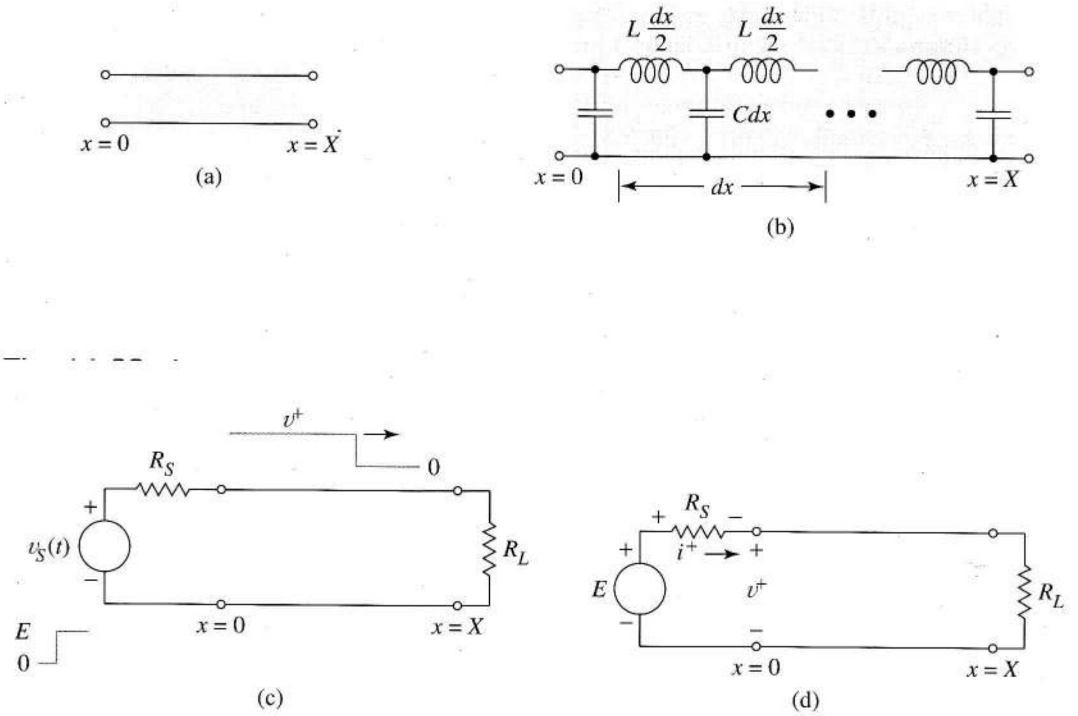


FIGURA 14.38 Línea de transmisión ideal sin pérdidas: (a) representación esquemática; (b) modelo conceptual con la capacidad y la inductancia por unidad de longitud; (c) propagación de la tensión; (d) restricción en $t = 0^+$.

Supongamos que la línea de las Figuras 14.38b y c *está en equilibrio* con $v_S(t) = 0$ en $t < 0$. Si al menos una resistencia es finita y no nula, el equilibrio implica que todas las capacidades están descargadas y las corrientes por las inductancias son nulas, es decir, no hay energía almacenada en la línea. Cambiamos súbitamente $v_S(t)$ a E voltios en $t = 0$ alcanzando el equilibrio en el *extremo emisor*, $x = 0$. La ecuación diferencial que describe la línea, la *ecuación de ondas*, predice que la *perturbación* v^+ y la corriente simultánea i^+ empiezan a circular por la línea a la *velocidad de propagación u*, cargando los condensadores diferenciales y creando corriente en las inductancias diferencia-

les. La ecuación de ondas también predice un movimiento hacia adelante de las perturbaciones. v^+ e i^+ están restringidas por

$$\frac{v^+}{i^+} = R_o \tag{14.46}$$

donde R_o es una constante denominada *resistencia característica* de la línea. Un observador en el *extremo receptor,* $(x = X)$, no vería cambios hasta $t = T = X/u$, cuando las perturbaciones alcancen el extremo de la carga. En ese momento, en función del valor de R_L, la línea alçanza un nuevo equilibrio o comienzan otras perturbaciones. Los libros de teoría de electromagnetismo obtienen expresiones de L y C en varios tipos de líneas según sus dimensiones y la separación de los conductores y la constante dieléctrica del material intermedio; también demuestran que para la línea ideal sin pérdidas,

$$u = \sqrt{\frac{1}{LC}} \text{ y } R_o = \sqrt{\frac{L}{C}}$$

donde $u \approx 3 \times 10^8$ m/s, la velocidad de la luz. Típicamente, $30 \le R_o \le 300\ \Omega$.

14.6.2 PERTURBACIONES EN LAS LÍNEAS IDEALES

Perturbaciones ideales Examinaremos más de cerca la formación de perturbaciones en la línea en respuesta a un escalón de entrada. Con condiciones iniciales nulas y un escalón de tensión E, la Figura 14.38d indica que v^+ e i^+, con los sentidos de referencia del diagrama, deben cumplir también la *restricción del extremo emisor*

$$v^+ = E - R_S i^+ \tag{14.47}$$

Usando la Ecuación (14.46) para i^+ da

$$v^+ = E - R_S \frac{v^+}{R_o}$$

que lleva a la expresión del divisor de tensión

$$v^+ = \frac{R_o}{R_o + R_S} E \tag{14.48}$$

Podemos utilizar las Expresiones (14.48) y (14.46) para hallar v^+ e i^+ en una línea con terminaciones dadas.

Estas perturbaciones marcan los comienzos de transitorios que llevan a un nuevo equilibrio de la tensión y la corriente de la línea consistentes con la recién aplicada tensión de entrada. Si ninguna de las terminaciones es una resistencia finita distinta de cero pueden aparecer oscilaciones semejantes a las de un circuito LC ya que hemos introducido energía en un circuito sin pérdidas ni posibilidad de disipación.

Ahora que sabemos como empieza un transitorio en la línea, veremos lo que ocurre después en función del tiempo. Hay tres casos, con diferencias críticas, que dependen de los valores de R_S y R_L en relación con R_o. Cuando $R_L = R_o$, decimos que la línea está correctamente terminada en el extremo de carga y si $R_S = R_o$ la línea está correctamente terminada en el extremo emisor. En caso contrario diremos que no esta correctamente terminada.

Caso 1: $R_L = R_o$ En la Figura 14.39a, el conmutador proporciona una excitación en escalón cambiando de la posición 1 a la 2 de $t = 0$. En la posición 1, tenemos el equilibrio inicial: como no hay excitación en $t < 0$, tanto la corriente como la tensión de línea son nulas en todas las x y las capacidades e inductancias diferenciales tienen condiciones iniciales nulas.

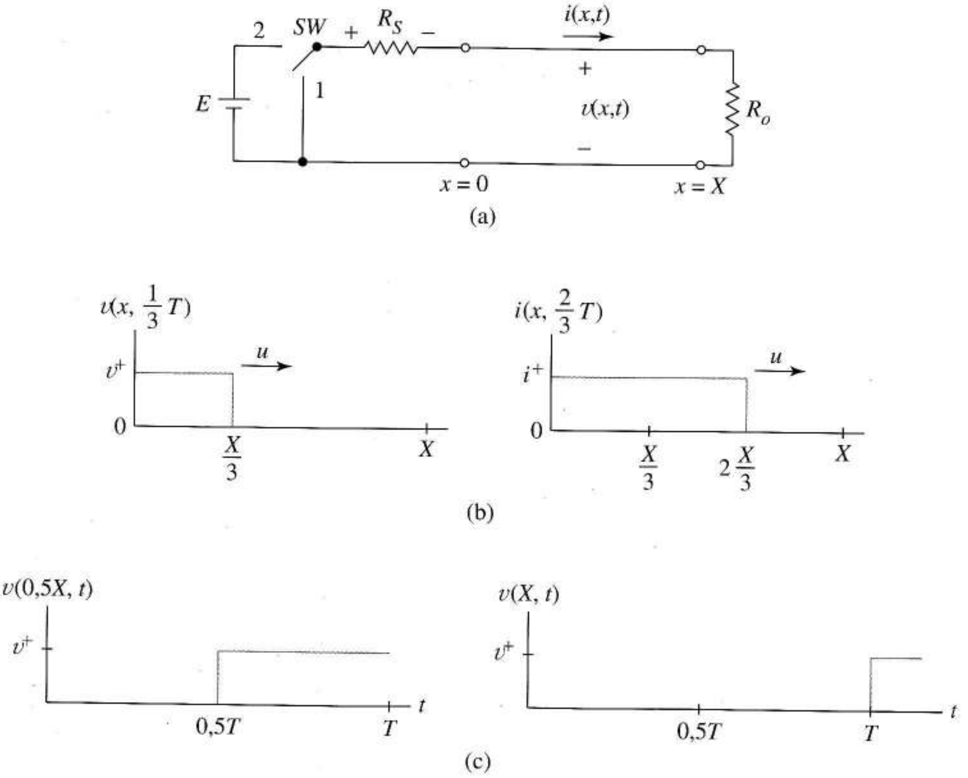


FIGURA 14.39 Entrada de tensión a una línea ideal con carga correcta: (a) diagrama; (b) tensión y corrientes en instantes fijos; (c) formas de onda en el centro y final de la línea.

En $t = 0$, el conmutador pasa a la posición 2 y las perturbaciones v^+ e i^+ circulan por la línea a velocidad u, tardando $T = X/u$ segundos en llegar al extremo de carga. Consecuentemente, la tensión y la corriente en la línea son función de la distancia x y del tiempo t, lo que expresaremos como $v(x, t)$ e $i(x, t)$: La Figura 14.39b muestra la corriente y la tensión en determinados instantes. En $t = T$, las perturbaciones afectan a la resistencia de carga. Debido a la especial terminación y a (14.46), la ley de Ohm se cumple y termina el transitorio. Observamos que con $t > T$, la capacidad de la línea ha sido cargada a

$$v(x) = v^+ = \frac{R_o}{R_o + R_S} E$$

y la inductancia de la línea tiene la corriente

$$i(x) = i^+ = \frac{E}{R_o + R_S}$$

Estos son los valores que esperaríamos del circuito en continua de la Figura 14.39a. La Figura 14.39c muestra las formas de onda de tensión en $x = X/2$ y en $x = X$. Concluimos que cuando la línea está bien terminada, sólo introduce un retardo de T segundos en el cambio desde el valor inicial de equilibrio.

14.6.3 REFLEXIONES DESDE LA CARGA Y DESDE LA FUENTE

Caso 2: $R_L \approx R_o$, $R_S = R_o$. En este caso la línea está bien terminada en el extremo emisor, pero no en el de carga. Hasta $t = T$ el transitorio es como en el Caso 1, con $v^+ = E/2$ debido al extremo de fuente; pero ocurre algo interesante en $t = T$. Como la relación entre las perturbaciones que llegan a la carga es

$$\frac{v^+}{i^+} = R_o \neq R_L$$

parece que se viola la ley de Ohm. Sin embargo, la ecuación de ondas muestra que podrían circular perturbaciones v^- e i^- en sentido negativo y que, por lo tanto, podría existir *una onda en sentido negativo* que cumpla la relación

$$\frac{v^-}{i^-} = -R_o \tag{14.49}$$

Coeficiente de reflexión en la carga Para mantener la credibilidad de la ley de Ohm, añadimos perturbaciones denominadas *reflexiones* que parten de la carga en $t = T$ y circulan hacia el extremo emisor. Los sentido de referencia de v^- e i^- son los mismos que para v^+ e i^+ aunque circulan en sentido contrario. Estas reflexiones toman exactamente los valores que hacen que se cumpla la ley de Ohm, es decir,

$$\frac{v^+ + v^-}{i^+ + i^-} = R_L = \frac{v^+ + v^-}{v^+/R_o - v^-/R_o}$$

Factorizando R_o y dividiendo por v^-

$$R_L = R_o \frac{v^+ / v^- + 1}{v^+ / v^- - 1}$$

y despejando v^-/v^+ nos lleva a

$$v^- = \rho_L v^+ \tag{14.50}$$

donde ρ_L es el *coeficiente de reflexión en el extremo de carga*, definido por

$$\rho_L = \frac{R_L - R_o}{R_L + R_o} \tag{14.51}$$

El coeficiente de reflexión es un número real que calculamos con las R_L y R_o dadas. La importancia de ρ_L es que podemos usarlo para determinar la tensión reflejada v^- a partir de la v^+ conocida. Incluyendo las posibilidades de circuito abierto y cortocircuito

$$-1 \leq \rho_L \leq +1$$

Utilizando (14.46) y (14.49) para sustituir tensiones por corrientes en (14.50), da la expresión

$$i^- = -\rho_L i^+$$

Una vez lanzadas, las reflexiones de tensión y corriente viajan en el sentido negativo de x a la velocidad u, *añadiéndose a los valores establecidos por las perturbaciones iniciales*. Las Figuras 14.40a y b muestran las tensiones y corrientes en varios instantes cuando $\rho_L > 0$. Como un coeficiente de reflexión positivo provoca v^- positivas, de acuerdo con (14.49), i^- debe ser negativa. Cuando ρ_L es negativo, se refleja una tensión negativa descargando parcialmente las capacidades distribuidas. Mientras tanto, la onda de corriente se añade a la corriente previamente establecida en las inductancias de la línea.

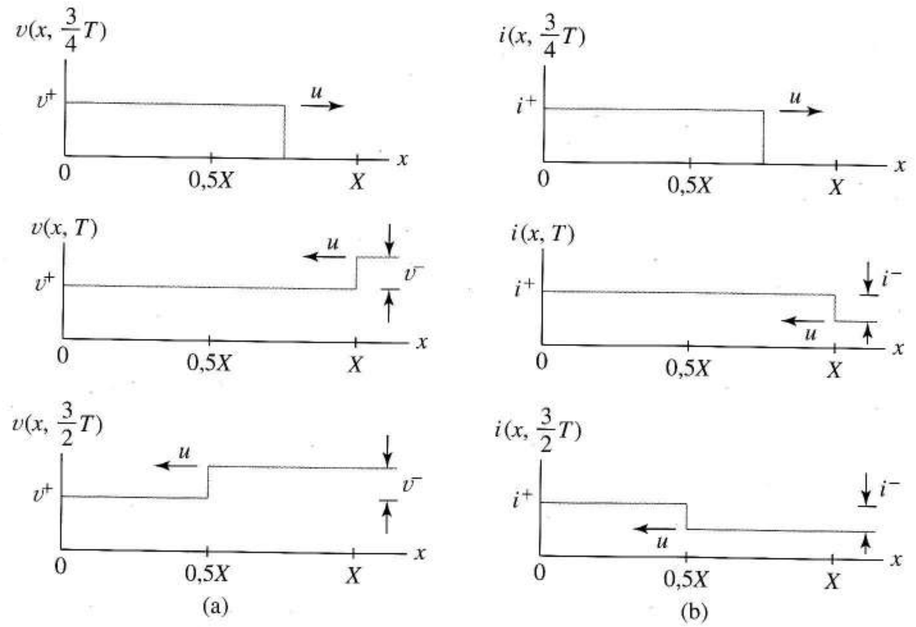


FIGURA 14.40 Reflexiones con carga no correcta: (a) tensión en la línea en distintos instantes; (b) corriente de línea en diferentes instantes.

En $t = 2T$, la onda reflejada llega al extremo emisor dando la onda total, inicial más reflejada, que debe cumplir la restricción del extremo emisor. La Figura 14.41 muestra que es

$$v^+ + v^- = E - R_o(i^+ + i^-) \tag{14.52}$$

Como la línea está bien terminada en el extremo emisor, (14.47) con $R_S = R_o$, da

$$v^+ = E - R_o i^+$$

Sustituyendo v^+ en la Ecuación (14.52), la restricción del extremo emisor se reduce a $v^- = -R_o i^-$. Como esto se cumple para la corriente y la tensión reflejadas, no hay más reflexiones; y concluimos que tras $2T$ segundos, termina el transitorio con las capacidades cargadas a

$$v^+ + v^- = \frac{E}{2} + \rho_L \frac{E}{2} = \frac{E}{2}\left[1 + \frac{R_L - R_o}{R_L + R_o}\right] = \frac{R_L}{R_L + R_o} E$$

La corriente final de la línea es

$$i^+ + i^- = \frac{E}{2R_o} - \rho_L \frac{E}{2R_o} = \frac{E}{2R_o}\left(1 - \frac{R_L - R_o}{R_L + R_o}\right) = \frac{E}{R_L + R_o}$$

Observemos que estos valores son exactamente los que predeciríamos cuando tratamos la línea de la Figura 14.41 como dos conductores ideales; pero sólo ocurre después de dos pasos en el proceso de carga. Así, el equilibrio final no se produce hasta $t = 2T$ cuando las reflexiones llegan al extremo emisor.

El siguiente ejemplo muestra que podemos combinar las ideas de reflexión y tiempos para predecir las formas de onda en ambos extremos.

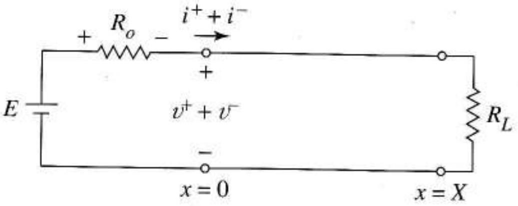


FIGURA 14.41 Restricciones de la reflexión cuando la terminación es correcta.

EJEMPLO 14.9 La línea ideal sin pérdidas de la Figura 14.42a está en equilibrio en $t < 0$.

a) Hallar los valores de equilibrio de la corriente y la tensión de línea en $t < 0$ y $t = \infty$, es decir, después del transitorio.

b) Dibujar $v(x, 0{,}5T)$, $i(x, 0{,}5T)$, $v(x, 1{,}5T)$ e $i(x, 1{,}5T)$.

c) Dibujar las formas de onda de tensión y corriente que aparecen en los extremos emisor y receptor, es decir, $v(0, t)$, $i(0, t)$, $v(X, t)$ e $i(X, t)$.

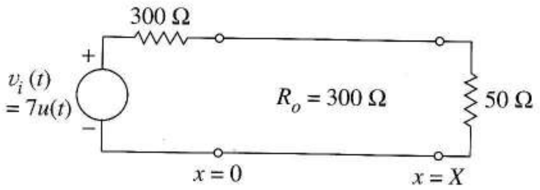


FIGURA 14.42 Línea mal terminada en carga pero bien terminada en fuente del Ejemplo 14.9.

Solución a) Para hallar los valores de equilibrio, tratamos la línea como un par de conductores ideales. Para $t < 0$, $v = i = 0$ ya que $v_i(t) = 0$. después de que concluya el transitorio, $v_i(t) = 7$ V; por lo tanto,

$$v = \frac{50}{50 + 300} 7 = 1\ \text{V}, \quad i = \frac{7}{50 + 300} = 20\ \text{mA}$$

El resto del problema muestra cómo ocurre la transición del valor inicial al final.

b) Las perturbaciones iniciales son

$$v^+ = \frac{300}{300 + 300} 7 = 3{,}5\ \text{V}, \quad i^+ = \frac{v^+}{R_o} = 11{,}6\ \text{mA}$$

Estas circulan por la línea y en T segundos generan reflexiones que calculamos usando

$$\rho_L = \frac{50 - 300}{50 + 300} = -0{,}714$$

Así, $v^- = (-0,714)3,5 = -2,5$ V e $i^- = -(-0,714)11,6 = 8,28$ mA. las Figuras 14.43a y b muestran la tensión y la corriente en la línea en 0,5 T y 1,5 T. Debido al signo negativo del coeficiente de reflexión, la tensión reflejada difieren signo de v^+. La primera onda carga las capacidades a 3,5 V, valor mayor que el de equilibrio. La reflexión elimina el exceso de carga, dando una línea cargada al valor esperado.

La corriente inicial es menor que la de equilibrio pero la reflexión añade lo que necesita para establecerlo y como la línea está terminada en el extremo emisor, no hay más reflexiones.

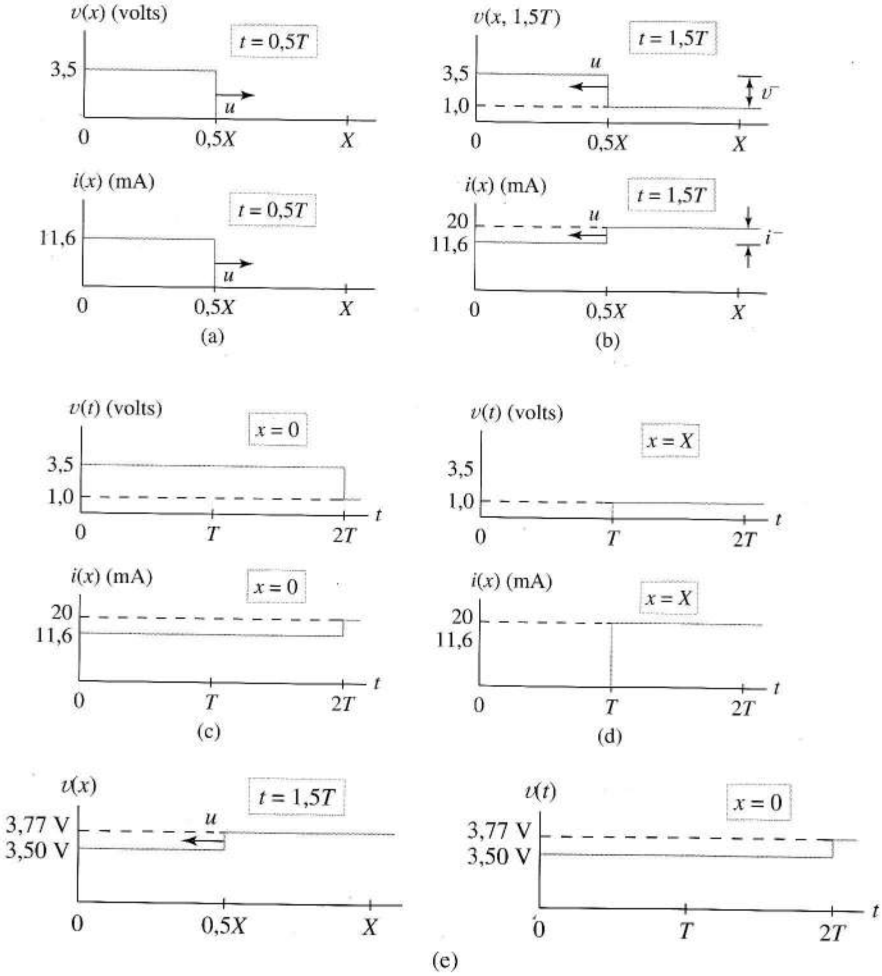


FIGURA 14.43 Resultados con la carga correcta de la línea del Ejemplo 14.9: (a) tensión y corriente de la línea en $t = 0,5\ T$; (b) tensión y corriente de la línea en $t = 1,5\,T$; (c) tensión y corriente en el emisor; (d) tensión y corriente en la carga; (e) respuestas al Ejercicio 14.9.

c) Para indicar los retardos y cómo se superponen las reflexiones a los valores originales, dibujamos las Figuras 14.43c y d. En la primera, vemos las transiciones de corriente y tensión provocadas por las perturbaciones iniciales. Los valores permanecen constantes durante T segundos mientras atraviesan la línea y por otro tanto hasta que vuelven las reflexiones. En $t = 2T$, las reflexiones se superponen sobre los valores originales para dar los de equilibrio. Para dibujar la Figura 14.43d, nos suponemos observando la corriente y la tensión en la carga. En los primeros T segundos sólo se ven los valores iniciales. Cuando llega la perturbación, las reflexiones salen hacia el origen. En $x = X$ sólo vemos los valores superpuestos, es decir, $(v^+ + v^-)$ e $(i^+ + i^-)$ consistentes con la ley de Ohm en la carga. En resumen, en la carga vemos un salto retardado entre los valores inicial y final de equilibrio. ❑

Ejercicio 14.9 Hallar los valores inicial ($t < 0$) y final ($t = \infty$) de la tensión y la corriente en la línea si la resistencia de carga de la Figura 14.42 se cambia a 350 Ω. Dibujar también $v(x)$ en $t = 1{,}5T$ y $v(t)$ en $x = 0$.

Respuesta $v(x, 0^-) = i(x, 0^-) = 0$, $v(x, \infty) = 3{,}77$ V, $i(x, \infty) = 10{,}8$ mA. Ver Figura 14.43e.

Caso 3: $R_L \neq R_o$, $R_S \neq R_o$ En este caso, la línea no está terminada en ninguno de los extremos. Hasta $t = 2\,T$, el escenario es como en el Caso 2 pero, cuando llega la reflexión al extremo emisor, hay un problema con sus restricciones. Según la Figura 14.44, las perturbaciones añadidas deben cumplir en $t = 2T$

$$v^+ + v^- = E - R_S\left(i^+ + i^-\right) \tag{14.53}$$

Como las iniciales cumplen $v^+ = E - R_S i^+$, estos términos se cancelan en (14.53), dejando la restricción en

$$v^- = -R_S i^- \tag{14.54}$$

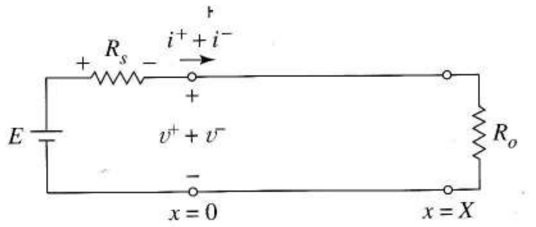


FIGURA 14.44 Restricciones de la reflexión con el extremo de emisor mal terminado.

Sin embargo, v^- e i^- están relacionadas por $-R_o$ por lo que producen nuevas reflexiones en el extremo emisor, v^{2+} e i^{2+} que arrancan hacia la carga en $t = 2\,T$. Estas se añaden a v^- e i^- respectivamente para que cumplan con (14.54). Como viajan en el sentido $+x$, deben cumplir también

$$\frac{v^{2+}}{i^{2+}} = R_o$$

Para cumplir la ley de Ohm,

$$\frac{v^{2+} + v^-}{i^{2+} + i^-} = -R_S = \frac{v^{2+} + v^-}{v^{2+} / R_o - v^- / R_o} = \frac{v^{2+} / v^- + 1}{v^{2+} / v^- - 1} R_o$$

Despejando v^- en función de v^{2+}, se obtiene el coeficiente de reflexión del extremo emisor definido por

$$\rho_S = \frac{R_S - R_o}{R_S + R_o} \tag{14.55}$$

y las ecuaciones asociadas:

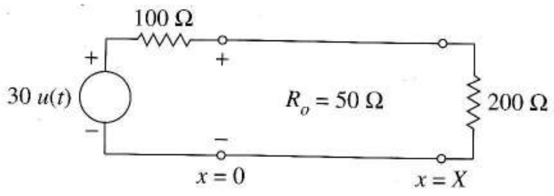
$$v^{2+} = \rho_S v^- \tag{14.56}$$

y

$$i^{2+} = -\rho_S i^- \tag{14.57}$$

14.6.4 DIAGRAMA DE REBOTES

Cuando una línea no está terminada ni en la fuente ni en la carga, aparecen nuevas reflexiones cada T segundos. El tipo de reflexión depende de la relación entre R_S, R_L y R_o. Algunas veces, los sucesivos escalones parecen una señal en escalera o la exponencial de un circuito RC o RL. También podría ser una senoide no amortiguada como la oscilación de un circuito LC. Si al menos uno de los extremos tiene una resistencia, la tensión y la corriente convergen hacia los valores que esperaríamos de un par de hilos. Si ninguno de los extremos tiene resistencia hay oscilaciones mantenidas como en los circuitos LC. Esto no es ninguna sorpresa ya que la línea de transmisión ideal no tiene mecanismos de pérdidas energéticas.



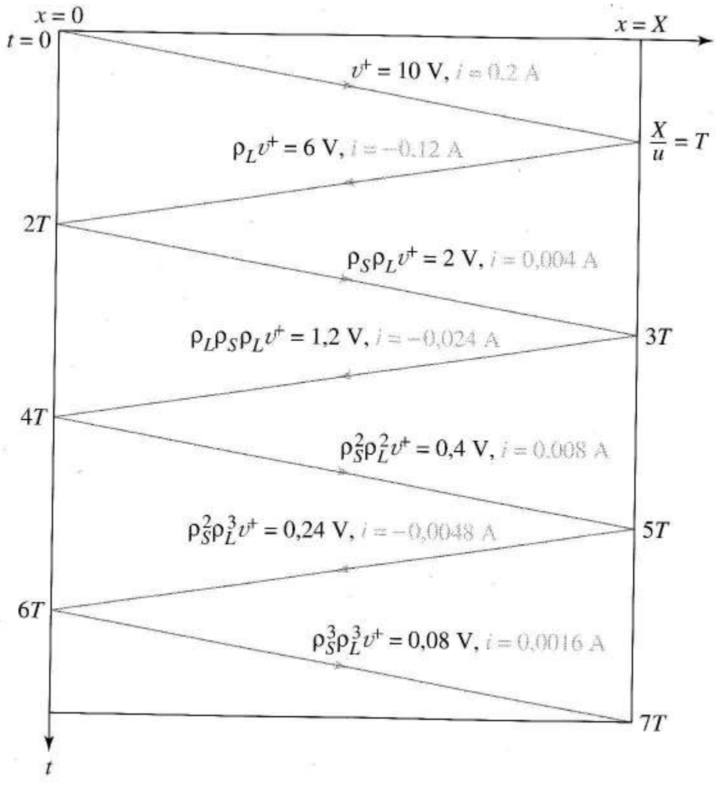


FIGURA 14.45 Reflexiones en un diagrama de rebotes: (a) línea doblemente mal terminada; (b) diagrama de rebotes mostrando las reflexiones.

Podemos predecir las formas de onda de la línea con un dibujo espacio-temporal de la actividad en ella denominado *diagrama de rebotes*, que proporciona una forma sistemática de aplicar las ecuaciones de reflexión con múltiples reflexiones y les da un sentido intuitivo. Cuando avancemos en los métodos gráficos al estudiar las terminaciones no lineales, nos ayudará la experiencia con los diagramas de rebotes.

La Figura 14.45b es el diagrama de rebotes de la línea de la Figura 14.45a. El eje x representa la distancia y el vertical, el tiempo. La línea con puntas de flecha representa las reflexiones que viajan a velocidad u.

Con R_S y R_L dadas, (14.51) y (14.55) proporcionan $\rho_L = +3/5$ y $\rho_S = +1/3$. En $t = 0$ y $x = 0$, la perturbación inicial $v^+ = 10$ V avanza por la línea, llegando a la carga en $t = T$ s. La primera reflexión es $v^- = \rho_L v^+ = 6$ V que retrocede hacia la fuente. En $t = 2T$, alcanza la fuente generando una segunda reflexión $v^{2+} = \rho_S(\rho_L v^+)$ y así sucesivamente. Observemos cómo se representan estos eventos en el diagrama de rebotes de la Figura 14.45b. También muestra las mismas ideas para las corrientes. Indicaremos ahora cómo usar esta información para dibujar las formas de onda. Tratando la línea de la Figura 14.45a como un par de hilos, vemos que los valores de equilibrio son $v_{inicial} = 0$ y

$$v_{final} = \frac{200}{200 + 100} 30 = 20 \text{ V}$$

La Figura 14.46a muestra la tensión en el extremo de carga. Todos los valores se obtienen de la línea $x = X$ del diagrama de rebotes. Tras un retardo T, llega la primera perturbación y *se añade* –en ese instante– la tensión reflejada a la incidente. A partir del diagrama de rebotes en $x = X$ y $t = T$, formamos la suma

$$v(X, T) = 10 + 6 = 16 \text{ V}$$

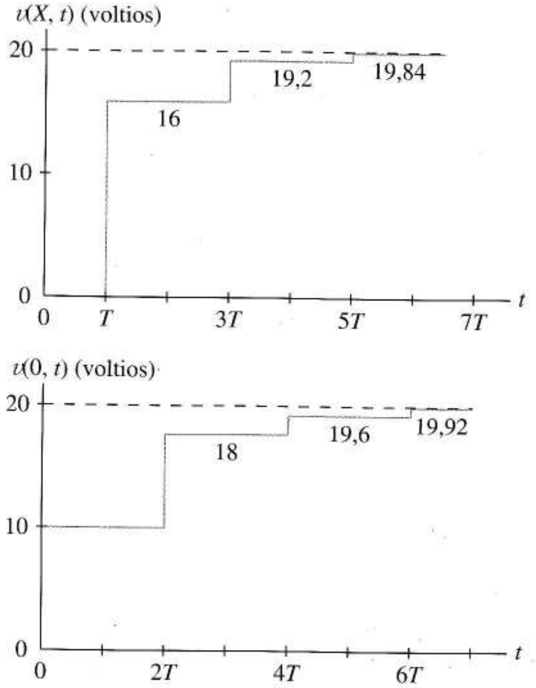


FIGURA 14.46 Tensiones en la carga y en el extremo de emisor cuando $R_s > R_o$ y $R_L > R_o$.

No hay más cambios hasta $2T$ segundos más adelante, tiempo en que la primera reflexión alcanza la fuente y sale la segunda reflexión de 2 V a la carga. Esta segunda reflexión y la nueva de 1.2 V *se añaden a la tensión ya presente* dando $v(X, 3T) = 16 + 2 + 1{,}2 = 19{,}2$ V. En $t = 5T$, de la misma forma, la tensión sube en 0,4 + 0,24 hasta los 19,84. El observador situado en la carga vería una secuencia de subidas de tensión en escalera que converge hacia el valor de equilibrio de 20 V.

La Figura 14.46b muestra la tensión en el extremo emisor. En $t = 0$ sube de 0 (su valor inicial) a 10 V cuando la perturbación comienza a avanzar por la línea. En $t = 2T$, las reflexiones de 6 V y 2 V añaden otros 8 V. El observador ve una secuencia que converge hacia el valor esperado pero los pasos y los tiempos difieren de los de la carga. También se podrían dibujar las formas de onda de corriente con la información de la Figura 14.45b.

14.6.5 SOLUCIÓN GRÁFICA DE ECUACIONES LINEALES DE LÍNEAS DE TRANSMISIÓN

Para extender la teoría de las líneas con terminaciones no lineales tales como puertas lógicas, primero aplicaremos los conceptos del Capítulo 1 (curvas *vi*) a los extremos lineales, usando nuestro diagrama de rebotes. Una vez que podamos resolver problemas gráficamente, se sustituirán las líneas rectas de los extremos lineales por líneas curvas aunque las técnicas sean las mismas.

La Figura 14.47a muestra una línea de transmisión con extremos lineales. En la fuente, i y v deben cumplir

$$i = \frac{E\,u(t) - v}{R_S}$$

donde $u(t)$ es una ecuación escalón unitario. Para cada valor de $u(t)$, (14.58) da dos ecuaciones de rectas de pendiente negativa (Figura 14.47b), las *restricciones* impuestas a la línea *por el extremo* de fuente. Una es una recta que pasa por el origen y la otra pasa por $(v, i) = (E, 0)$, ambas con pendiente $-1/R_S$. En $x = 0$, la tensión en el extremo emisor y la corriente son un punto (v, i) de una de esas líneas.

En $x = X$, i y v *deben satisfacer la restricción de la carga,*

$$i = \frac{v}{R_L}$$

una recta que pasa por el origen con pendiente $1/R_L$, dibujada en la Figura 14.47b.

Ahora examinaremos los equilibrios inicial y final. En $t < 0$, el funcionamiento en régimen permanente debe satisfacer las condiciones de la fuente y de la carga. La intersección corresponde al punto de *equilibrio inicial*, $(v, i) = (0, 0)$.

Cuando $t \rightarrow \infty$, la tensión y la corriente convergen a la intersección de la condición de carga y la restricción para $t > 0$ de la fuente , es decir, el punto marcado como *equilibrio final* de la Figura 14.47b. Su coordenada horizontal es la tensión de equilibrio y la vertical, la corriente. Una ventaja de las soluciones gráficas es que podemos representar corriente y tensión en el mismo diagrama.

Seguidamente, determinaremos exactamente el cambio de v e i durante la transición del valor inicial al final. En $t = 0$, el escalón E rompe el equilibrio inicial; partiendo de los puntos de equilibrio inicial en las Figuras 14.47b y c, evolucionan v^+ e i^+. Según (14.46) deben estar en relación $i^+/v^+ = R_o$ y deben cumplir la restricción de emisor. Para hallar sus valores, construimos una línea de pendiente $1/R_o$ que salga del punto de equilibrio inicial hasta la curva de restricción del emisor en $t > 0$. Esta línea acaba en el punto **1** (Figura 14.47c). La tensión es la solución gráfica de (14.46) y (14.47).

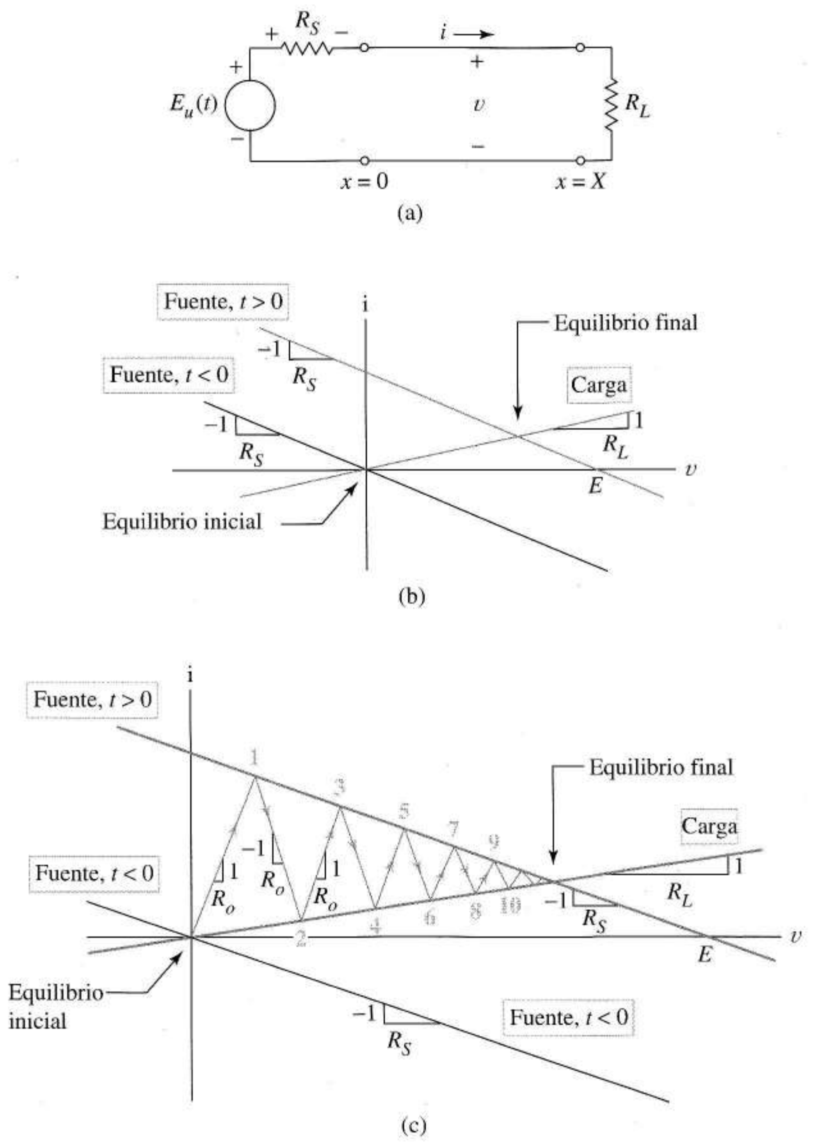


FIGURA 14.47 Patrón de reflexiones con $R_L > R_o$ y $R_S > R_o$; (a) línea terminada; (b) posiciones de equilibrio inicial y final para un escalón de E voltios; (c) diagrama de reflexión.

Como el punto **1** está en el *extremo emisor* (como todos los puntos impares del diagrama), sus coordenadas son la tensión y la corriente en $x = 0$, en $t = 0$ en este caso.

Después hallamos y añadimos (gráficamente) un nuevo vector (v^-, i^-) a (v^+, i^+) para que se cumpla la ley de Ohm en el extremo de carga y tal que v^- e i^- cumplan (14.49). Para hacerlo, construimos una línea de pendiente $-1/R_o$ desde el punto 1 hasta la restricción del extremo de carga (punto **2**). Como la construcción suma los vectores (v^+, i^+) y (v^-, i^-), las coordenadas del punto **2** son la tensión y la corriente que hay en la carga en $t = T$. Continuamos la construcción de esta forma como en la Figura 14.47c dibujando líneas de pendientes $1/R_o$ y $-1/R_o$ alternativamente entre las curvas de res-

tricción $t > 0$ de la fuente y de la carga. Las coordenadas de tensión de los sucesivos puntos impares (pares) son la secuencia de tensiones en la fuente (carga) y lo mismo ocurre con las corrientes.

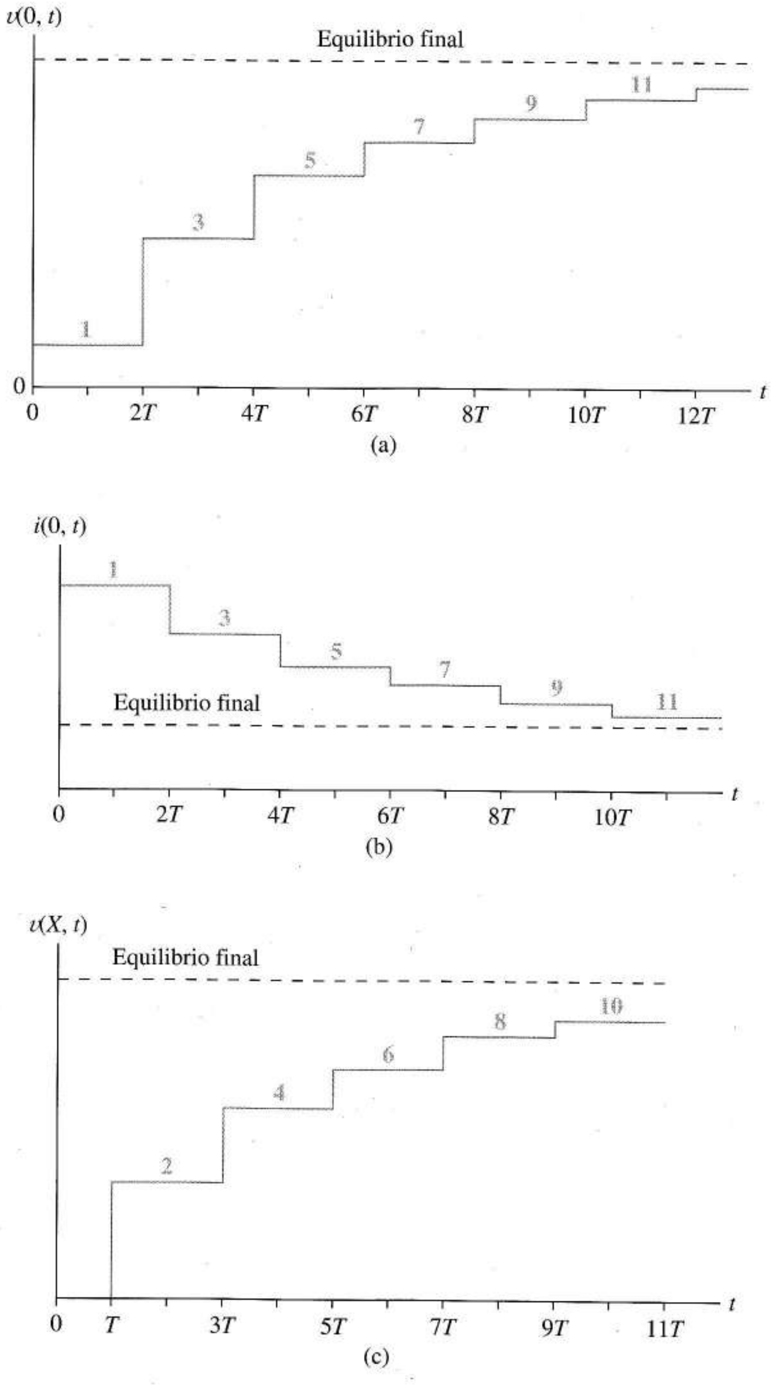


FIGURA 14.48
Dibujos de tensión y corriente para la línea de la Figura 14.47a cuando se usa la construcción de la Figura 14.47c: (a) formas de onda de tensión enviadas con valores correspondientes a los números impares de los puntos en la curva de entrada; (b) forma de onda de corriente en el extremo de emisor; (c) forma de onda de tensión en el extremo de la carga tomados en puntos sobre la curva de carga.

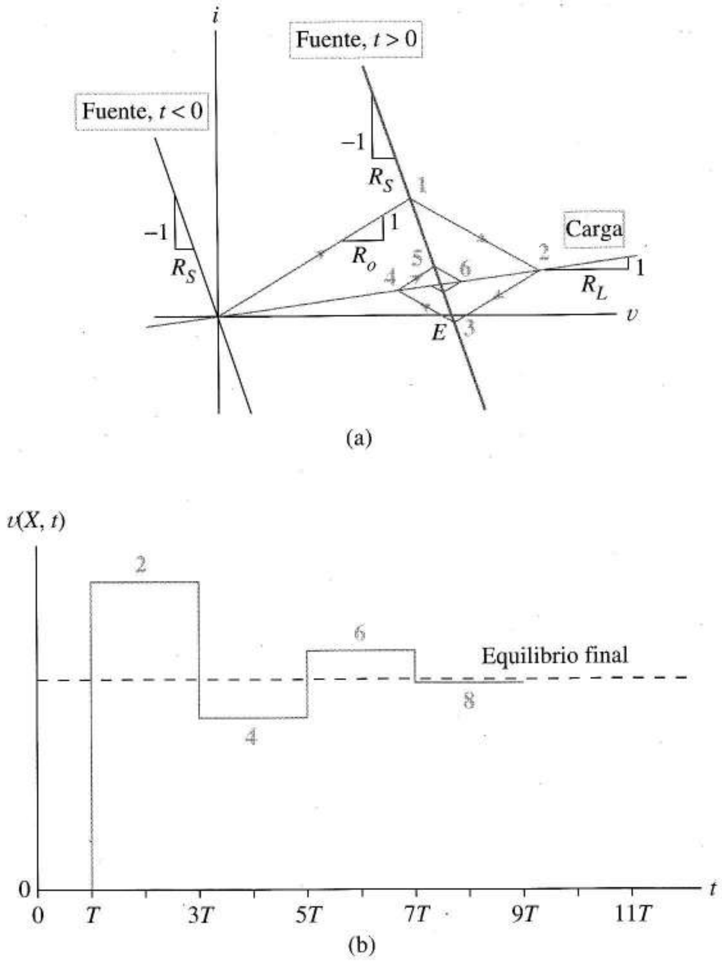


FIGURA 14.49 Patrón de reflexión con $R_L > R_o$ y $R_S < R_o$; (a) diagrama de reflexión; (b) formas de onda de tensión en la carga.

Observemos que las dos secuencias de tensión y corriente convergen al valor de equilibrio final esperado. De aquí en adelante nos referiremos a diagramas como éste como *diagramas de reflexión.*

Podemos dibujar las tensiones y corrientes usando las secuencias de números obtenidas del diagrama de reflexión y visualizar los tiempos en un diagrama de rebotes como en la Figura 14.48. En la Figura 14.47c, los puntos 1, 3, 5, ... representan los eventos en el extremo emisor, por ello se asocian con los tiempos $t = 0, 2T, 4T$, ... en las Figuras 14.48a y b. Los puntos 2, 4, 6, ... representan eventos en el extremo de carga y se asocian con tiempos $t = T, 3T, 5T$, ... de la Figura 14.48c.

Cuando disminuimos R_L en las Figuras 14.47a y c, el punto de equilibrio final cambia y baja el número de reflexiones para alcanzarlo. La restricción de carga se hace más inclinada hasta que coincide con la línea de $1/R_o$ lo que describe gráficamente el Caso 1 donde la línea está terminada en el extremo de carga y no hay reflexiones.

Procedimiento de construcción general Resumimos (y generalizamos ligeramente) la construcción gráfica con el siguiente procedimiento algorítmico.

Construcción del diagrama de reflexión

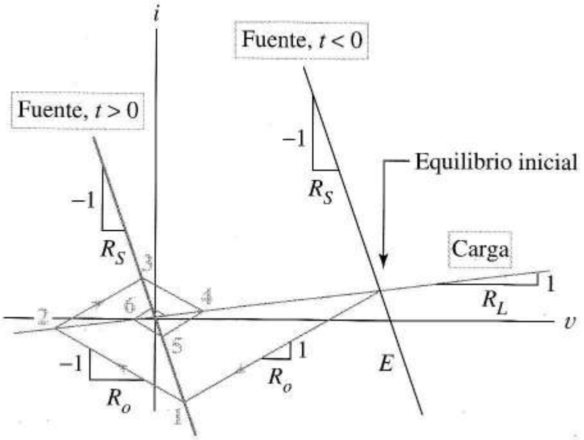
1 Dibujamos las restricciones del extremo emisor para $t < 0$ y $t > 0$ en un sistema de coordenadas *vi*. Dibujamos también la restricción de la carga. Usamos los sentidos de referencia de tensiones y corrientes definidos en la Figura 14.47a.

2 A partir del punto de equilibrio inicial, construimos una línea de pendiente $1/R_o$ hasta la curva de restricción de fuente de $t > 0$. Este es el punto **1**.

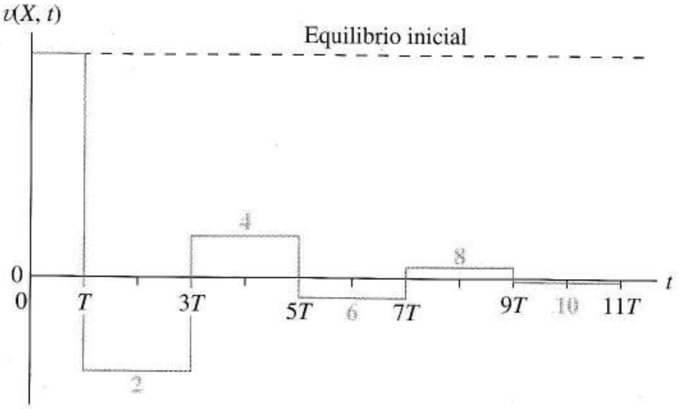
3 Desde el punto **1** construimos una línea de pendiente $-1/R_o$ hasta la curva de restricción de carga (punto **2**).

4 Del punto **2** construimos una nueva recta de pendiente $1/R_o$ hasta la curva de restricción de la fuente en $t > 0$. Este es el punto **3**.

5 Continuamos construyendo líneas de pendientes y destinos alternativos hasta que la construcción converja al punto de equilibrio final o se repita a sí misma.



(a)



(b)

FIGURA 14.50 Reflexiones producidas por el apagado de la fuente: (a) diagrama de reflexión; (b) forma de onda de tensión en la carga.

Los diagramas de las Figuras 14.47 y 14.48 muestran dos ondas generadas cuando $R_L > R_o$ y $R_S > R_o$. Hay otras tres posibilidades. La Figura 14.49a da la construcción para $R_L > R_o$ y $R_S < R_o$. El resultado de la Figura 14.49b es una tensión oscilatoria en el extremo de carga. Los Problemas 14.62 y 14.63 estudian estos casos.

Una característica interesante de las Figuras 14.49a y b es que la tensión en la carga supera a la entrada *E*, cosa que no se podría anticipar con un análisis estático. En presencia de las capacidades e inductancias de la línea, pueden producirse mayores tensiones que las de entrada como en los circuitos *LC* resonantes. Como la tensión excesiva puede dañar los componentes, es interesante preverlo. Observemos que reducir R_L en la Figura 14.49 puede reducir el pico de tensión en la carga al mover hacia la izquierda el punto **2**. Las primeras líneas, basadas en pendientes $\pm 1/R_o$ no cambian. Esto demuestra que el diagrama de reflexiones ayuda a la intuición no sólo presentando problemas potenciales si no dando soluciones. Algunas veces el diagrama de reflexiones revela elevadas corrientes transitorias.

Reflexión en el apagado de la fuente También se pueden producir reflexiones con la *desconexión* de la fuente. Aunque difieren del otro caso, el único cambio en la construcción gráfica es el intercambio de los puntos inicial y final de equilibrio. Como estamos tan interesados en los cambios 0-1 como en los 1-0, los transitorios son importantes. La Figura 14.50a tiene las mismas restricciones vi que la Figura 14.49a pero usamos las curvas de la fuente intercambiadas. Las formas de onda de las Figuras 14.50b y 14.49b describen transiciones desde el estado inicial al final con oscilaciones y sobretensiones. La Figura 14.50b revela que en el extremo de carga la tensión se hace negativa durante el transitorio de apagado. Algunas veces, el diagrama de reflexiones indica que una corriente o tensión superan el máximo valor permitido del dispositivo terminador. Una solución podría ser añadir diodos de protección al circuito.

14.6.6 PROBLEMAS DE REFLEXIÓN EN CIRCUITOS LÓGICOS

Conocemos los problemas que pueden ocasionar las reflexiones en un circuito como el de la Figura 14.51a. En ella aparece un problema que podría presentarse en la entrada de la puerta lógica de carga. Aunque en el extremo emisor se cambie instantáneamente de 0 a 1, las múltiples reflexiones provocan que la tensión en el extremo receptor converjan a V_{OH} en una secuencia de pasos, provocando un retraso de muchos tiempos de propagación (siete en la figura) antes de que la entrada cruce V_{IH}, pero éste no es el único problema: si la puerta de carga tiene ganancia elevada, una entrada constante justo por debajo de V_{IH} la mantiene en la zona de elevada ganancia de su función de transferencia, lo que puede producir oscilaciones porque no está prevista para trabajar durante este tiempo tan largo en esa zona. La Figura 14.51c muestra un problema diferente: el cambio 0-1 es detectado correctamente tras un retardo mínimo, pero por la naturaleza oscilatoria de las reflexiones, la puerta de carga percibe una falsa secuencia de transiciones como si cambiase de V_{IL} a V_{IH}. Para estudiar este problema, debemos entender las técnicas de nuestro diagrama de reflexiones para incluir características vi no lineales.

14.6.7 RESTRICCIONES NO LINEALES

Los ejemplos introductorios usaban fuentes de tensión con resistencia interna en el extremo emisor y resistencia en el de carga. Seguidamente, aplicamos el diagrama de reflexión a otros dispositivos de terminación no lineales. El siguiente ejemplo introduce algunas nuevas ideas.

EJEMPLO 14.10 En la Figura 14.52a, una línea de transmisión de 3 m conecta una fuente a un diodo. La curva vi indica una tensión directa del diodo de 0,5 V y 3 V de tensión de ruptura. La corriente inicial de –2,5 mA cambia bruscamente a +10 mA en $t = 0$. Los parámetros de la línea son $u = 3 \times 10^8$ m/s y $R_o = 200\ \Omega$. a) Hallar gráficamente los equilibrios inicial y final; b) construir el diagrama de reflexión; c) dibujar $i(3, t)$ y $v(0, t)$.

Solución a) Dibujamos primero la característica vi de la fuente y de la carga *usando* un sistema de coordenadas con los sentidos de referencia de la línea de transmisión. En la figura 14.52b la fuente se describe con las líneas –2,5 mA ($t < 0$) y +10 mA ($t > 0$). La característica del diodo se construye en el mismo sistema de coordenadas y los círculos muestran los equilibrios inicial y final.

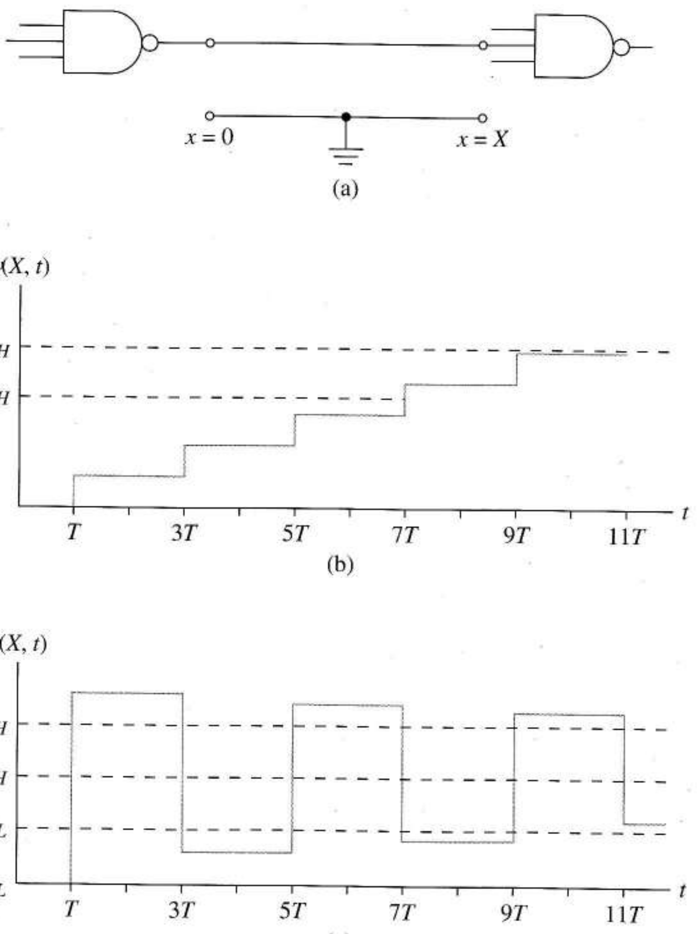


FIGURA 14.51 Problemas de las reflexiones: (a) circuito; (b) retardo innecesario; (c) valores de entrada erróneos.

b) En $t = 0$, cambia el punto de trabajo a una línea $i = 10$mA. Para hallarlo construimos la línea de pendiente

$$\frac{\Delta i}{\Delta v} = \frac{1}{R_o} = \frac{1}{200} = \frac{5 \text{ mA}}{1 \text{ V}}$$

del punto inicial a la restricción de la fuente para $t > 0$ lo que da el punto **1** de la Figura 14.52c. Siguiendo el procedimiento habitual, construimos los puntos **2**, **3**, **4** y **1** ya que la secuencia no converge a un punto final por no tener elementos que disipen energía y acaben con las oscilaciones. Aparecen oscilaciones periódicas con un punto **5** coincidente con el **1**, el **6** con el **2** y así sucesivamente.

c) En esta línea, $T = 3/(3 \times 10^8) = 10$ ns. Usando la información de la Figura 14.52c mientras recordamos las reflexiones para deducir los tiempos, dibujamos las formas de onda de la Figura 14.52d. ❑

Ejercicio 14.10 En la Figura 14.52b, hallar las tensiones máximas y mínimas en los dos extremos si se sustituye el zener por un cortocircuito. $R_o = 200\ \Omega$.

Respuesta –2,5 a 2,5 V (en el emisor), –2,5 a 2,5 mA (en la carga).

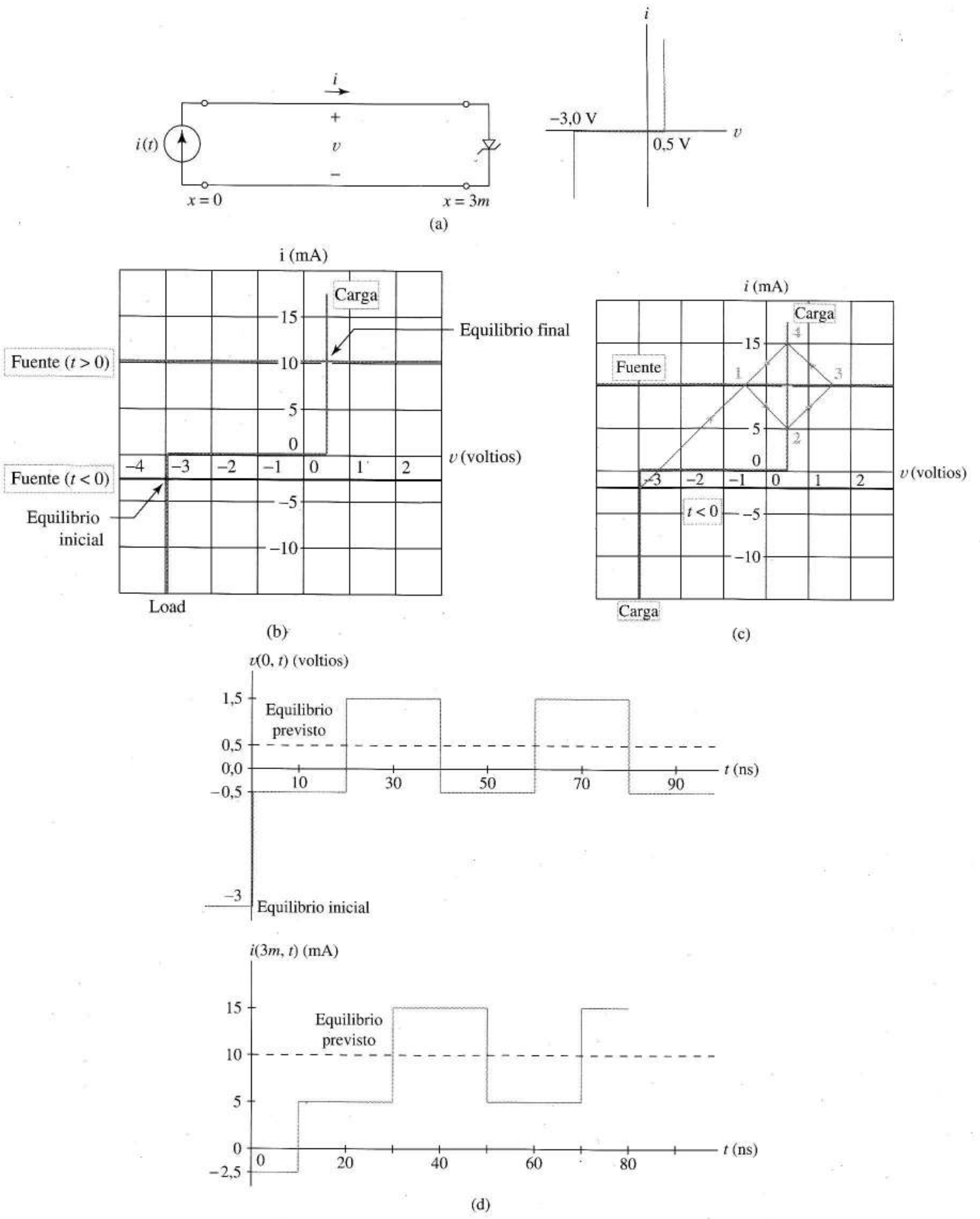


FIGURA 14.52 Reflexiones provocadas por una carga no lineal: (a) línea terminada con fuente de corriente y diodo; (b) restricciones en la fuente y carga; (c) diagrama de reflexión; (d) formas de onda en la fuente y en la carga

14.6.8 REFLEXIONES EN CIRCUITOS LÓGICOS

Examinamos ahora las reflexiones asociadas con algunas familias lógicas. Las estimaciones manuales de los retardos de los inversores fueron simplificadas atribuyendo toda la dinámica a un condensador de carga e ignorando las capacidades internas. De la misma forma, aquí atribuimos toda la dinámica a las líneas ideales para comprender mejor las reflexiones. Cuando se entiendan los conceptos básicos, se completarán los análisis más complejos mediante simulación.

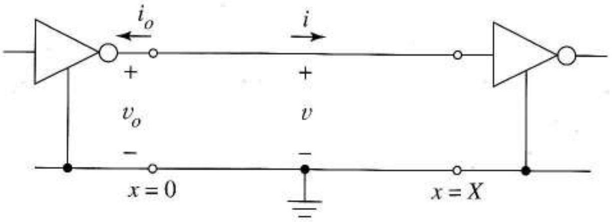


FIGURA 14.53 Línea terminada con puertas lógicas.

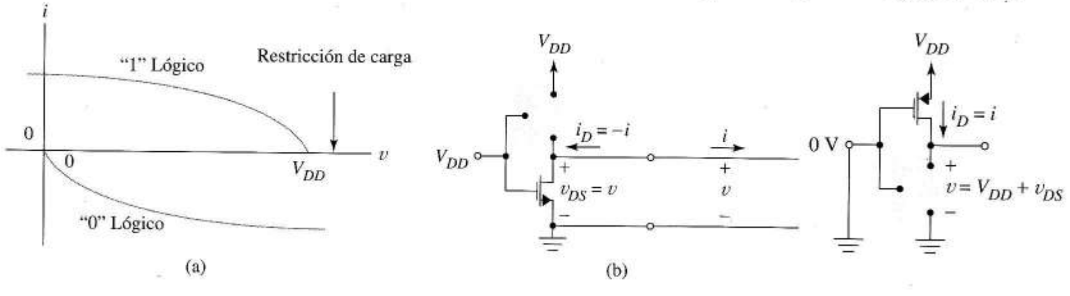
La *puerta cargada* en $x = X$ de la Figura 14.53 da la restricción de carga, en general, una característica de entrada no lineal. Igual que en el diodo del ejemplo anterior, simplemente dibujaremos la característica de entrada de la puerta en nuestro sistema de coordenadas *vi*. En $x = 0$, la puerta emisora impone dos restricciones a la línea (para los estados permanentes "0" y "1"), en general, no lineales. Antes de dibujarlas, convertiremos i y v mediante el cambio de variables:

$$i = -i_o, \quad v = v_o$$

Terminaciones CMOS Cuando la carga es CMOS, la restricción de la carga es un circuito abierto, $i = 0$. La Figura 14.54a la muestra junto a las restricciones de emisor que explicaremos a continuación.

La Figura 14.54b muestra cómo queda condicionada la línea para cada salida lógica "0". La restricción es la curva de salida del MOSFET correspondiente a la entrada lógica "1" $v_{GS} = V_{DD}$; sin embargo, el cambio de variables $i = -i_D$ necesita que la curva sea reflejada respecto del eje de tensiones como muestra la Figura 14.54c. Para la salida lógica 1, la Figura 14.54d muestra la restricción de emisor en la característica del transistor de canal p trasladada a la derecha V_{DD} voltios.

Concluimos que para las terminaciones CMOS, el conjunto completo de restricciones son las de la Figura 14.54a con círculos identificando las condiciones de equilibrio para el 0 y para el 1.



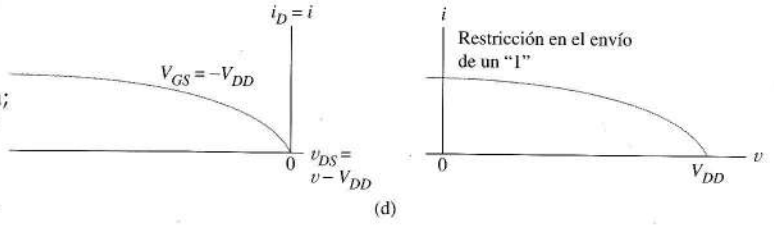


FIGURA 14.54 Construcción del diagrama de reflexión CMOS: (a) restricciones en el emisor y en la carga; (b) transformación de variables para el valor lógico "0"; (c) restricción en el emisor de un valor "0"; (d) restricción en el emisor y variables en el caso "1".

Reflexiones CMOS Las reflexiones que ocurren en CMOS o en cualquier otra familia lógica depende de la relación entre R_o y los parámetros de las puerta. Cuando R_o es relativamente pequeña, el diagrama de transiciones 0-1 en CMOS se parece al de la Figura 14.55a. La tensión en la carga converge a su valor final siguiendo la secuencia **2**, **4** y **6** con respuesta similar a la de la Figura 14.51b. Con menores R_o hay mayores retardos mientras que mayores R_o (dentro de unos límites) los reduce. Es fácil ver también que las transiciones 1-0 llevan consigo corrientes negativas en la línea.

La Figura 14.55b muestra la construcción cuando R_o es muy grande. La tensión en la carga converge a su valor final de forma oscilatoria que puede dar problemas de falsos ceros (Figura 14.51b). Realmente, la puerta CMOS no es realista al omitir los diodos de protección de la Sección 14.5.5 que previenen tensiones superiores a $V_{DD} + 0{,}7$ V, lo que se estudia en el Problema 14.68.

La Figura 14,55c muestra que para CMOS existe una R_o *óptima* para la que no se producen reflexiones y para que las transiciones ocurren en el mínimo tiempo T. En diseños CMOS especiales, con $k_n = k_p = k$ y $V_{tn} = -V_{tp} = V_t$ esta R_o es fácil de calcular. Como es la inversa de la pendiente de las líneas de la Figura 14.55c, da

$$\frac{1}{R_o} = \frac{\Delta i}{\Delta v} = \frac{I_{MÁX}}{0{,}5V_{DD}}$$

En el Problema 14.65, hallamos

$$\frac{1}{R_o} = k\left(\frac{3}{4}V_{DD} + V_{tp}\right) \qquad (14.59)$$

donde $V_{tp} = -V_t$ es negativo. Como R_o suele estar en el margen de 30 – 300 Ω, (14.59) indica que optimizar las líneas de interface afecta al diseño de la puerta mediante la elección de k y V_t, y podría ser un factor al elegir V_{DD}. Algunas veces se diseñan puertas especiales denominadas "*drivers*" como interface entre la lógica habitual y las líneas de conexión largas.

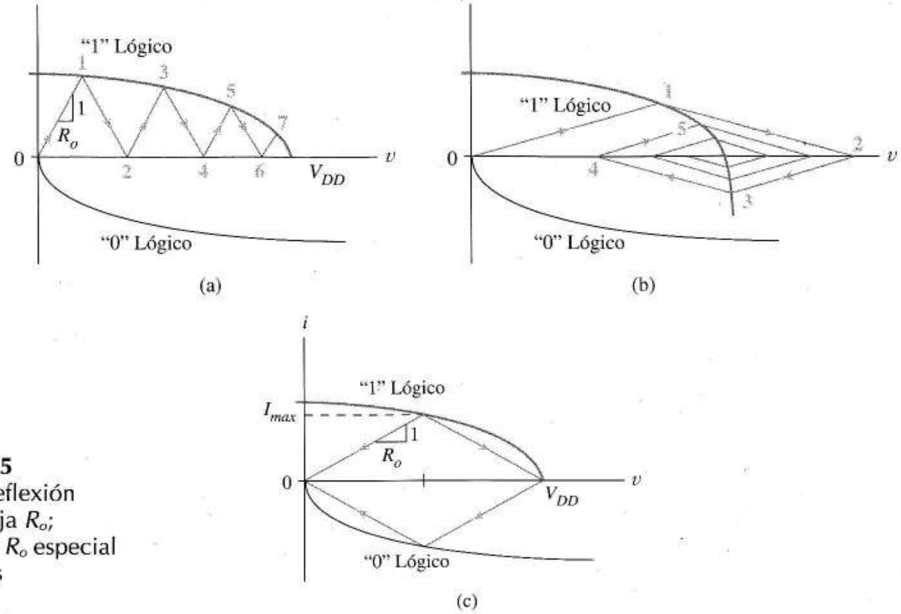


FIGURA 14.55
Patrones de reflexión CMOS: (a) baja R_o; (b) alta R_o; (c) R_o especial para evitar las reflexiones.

EJEMPLO 14.11 Un inversor CMOS tiene los parámetros $k_n = k_p = 2 \times 10^{-4}$ A/V^2, $|V_t| = 1{,}3$ V, $CBS = CBD = 20$ FF y $RD = RS = 1\ \Omega$. Hallar con SPICE la tensión en la carga con $R_o = 500\ \Omega$ y $5.000\ \Omega$ sabiendo que $T = 10$ ns y que el inversor trabaja entre +12 V y masa.

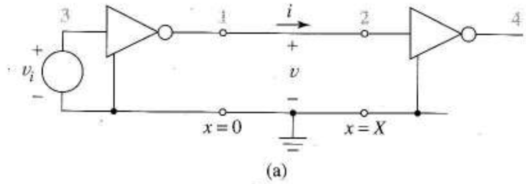
Solución La Figura 14.56b es el código SPICE de la Figura 14.56a. La sentencia T1 describe la línea de transmisión donde el primer y el segundo nodo son los extremos emisor y receptor respectivamente. Z0 y TD indican la resistencia característica R_o y el retardo T. Para generar las reflexiones asociadas al cambio 0-1 en el emisor, v_i cambia de 12 V a 0 V en $t = 0$ como se indica en la función de pulso SPICE.

Mediante tres ejecuciones de SPICE se obtienen las Figuras 14.56c y d donde vemos que están de acuerdo con las Figuras 14.55a y b. Las capacidades parásitas introducen tiempos de subida no nulos aunque la naturaleza de las reflexiones es la que estaba prevista. Vemos que los 50 Ω de la línea provocan un retardo de casi 90 ns antes de que la entrada a la puerta suba a 6 V. En esta familia CMOS se toma una R_o mucho mayor ($R_o = 5$ kΩ) para evitar los falsos pulsos de la Figura 14.56d. ❑

Ejercicio 14.11 Con la Ecuación (14.59) calcular el valor óptimo de R_o para la puerta del ejemplo anterior y hallar con SPICE la tensión en el extremo de carga para este R_o.

Respuesta $R_o = 649\ \Omega$, Figura 14.56e.

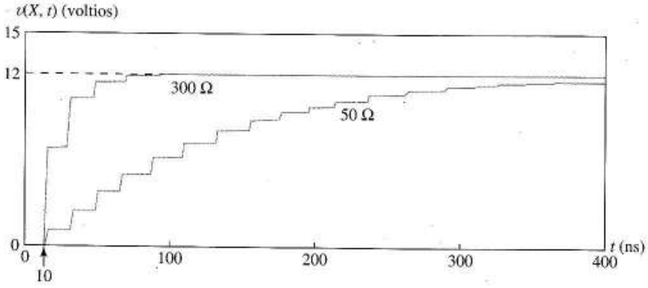
La transición gradual de la Figura 14.56e es el resultado de una forma de onda en el emisor que no cambia instantáneamente como se había supuesto en los diagramas de reflexión, efecto difícil de tener en cuenta en los análisis manuales.



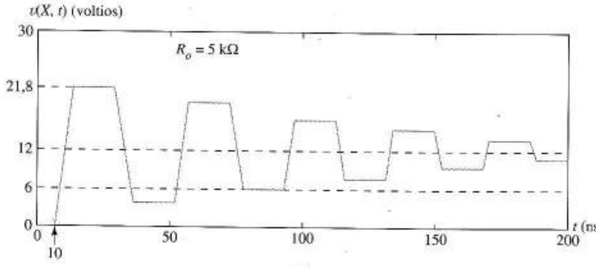
(a)

```
EXAMPLE 14.11
*********************************
.SUBCKT CMOS 3 2
*3=INPUT, 2=OUTPUT
MP 2 3 1 1 PCHAN
MN 2 3 0 0 NCHAN
.MODEL PCHAN PMOS VTO=-1.3 KP=2E-4
+CBS=20FF CBD=20FF RD=1 RS=1
.MODEL NCHAN NMOS VTO=1.3 KP=2E-4
+CBS=20FF CBD=20FF RD=1 RS=1
VDD 1 0 DC 12
.ENDS
*********************************
T1 1 0 2 0 Z0=50 TD=10N
X1 3 1 CMOS
X2 2 4 CMOS
VIN 3 0 PULSE(12 0 0 0 0 450N)
.TRAN 4N 400N
.PLOT V(2)
.END
```

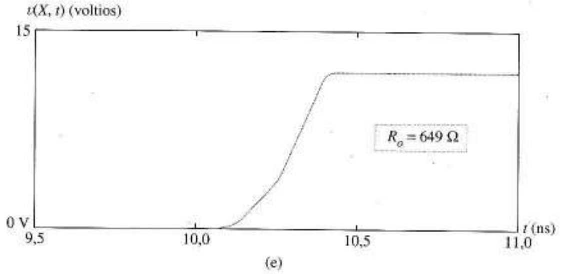
(b)



(c)



(d)



(e)

FIGURA 14.56 Simulación SPICE de las reflexiones en una línea: (a) circuito con puertas CMOS; (b) código SPICE; (c) formas de onda en la carga con baja R_o; (d) formas de onda en la carga con $R_o = 649\ \Omega$.

Reflexiones NMOS El inversor NMOS de la Figura 14.57a, igual que el CMOS, tiene tiene una restricción de carga de circuito abierto. La Figura 14.57b, muestra que la restricción en el emisor para el 1 lógico es la curva de carga no lineal como en la Figura 5.20b. La Figura 14.57c, muestra la construcción de la restricción del extremo emisor para el 0 lógico. La curva i_1 es la característica de salida de M_1 cuando $V_{GS} = V_{DD}$ e i_2 es igual que en la Figura 14.57b. La línea de corriente i es la diferencia $i_2 - i_1$, que se ve fácilmente para construcción gráfica. Concluimos que las curvas de las restricciones del diagrama de reflexión toman la forma que aparece en la Figura 14.57d; por tanto, es fácil deducir cuál será la naturaleza de las reflexiones para cualquier valor de R_o. También será fácil usar el SPICE para hallar la forma de onda de las reflexiones pero dejaremos estos aspectos para el trabajo en casa guiándonos por los problemas.

Una idea obvia para eliminar las reflexiones de la línea cuando la carga presenta un circuito abierto podría ser terminar la línea con su resistencia característica como en la Figura 14.58a pero, modifica los valores de equilibrio en el cambio 0-1 según se ve en la Figura 14.58b, produce excesiva disipación de potencia y las tensiones del "1" lógico pueden resultar demasiado bajas.

El siguiente ejemplo muestra que podemos utilizar el análisis en continua de SPICE para estudiar versiones más reales del diagrama de reflexión, incluyendo los efectos Early y del sustrato en las restricciones de la fuente.

EJEMPLO 14.12 Hallar con SPICE las curvas de restricción de la Figura 14.57a cuando V_{DD}= 10 V y los parámetros del transistor son $k_1 = 2 \times 10^{-4}$ A/V^2, $k_2 = 2 \times 10^{-5}$ A/V^2, $V_{t1} = V_{t2}$ = 1,1 V, V_A = 60 V, GAMMA = 0,3 y LAMBDA = $1/60v^{-1}$.

Solución La Figura 14.59a es el circuito de prueba SPICE y la Figura 14.59b su código. La sentencia .MODEL describe a los transistores y con sentencias individuales *W/L* en las se indican los valores de *k*. Las dos sentencias VIN nos permiten hallar las curvas en ejecuciones separadas. Observemos que como el sentido de referencia de la corriente SPICE es el mostrado en la figura, también cumplen el convenio de las líneas de transmisión. La curva continua de la Figura 14.59c es la restricción para el valor "1" Mientras que la línea a trazos se obtiene sustituyendo el código + que sigue e ignorar con un comentario * los efectos Early y del sustrato. Las curvas continuas de la Figura 14.58d junto a la línea $i = 0$ son las restricciones del diagrama de reflexión con los puntos de equilibrio marcados por un círculo mientras que las curvas a trazos marcan los cambios al ignorar los efectos de sustrato y Early. No serán muy distintos los diagramas para cambios en CMOS 0-1 y 1-0, resultarán corrientes elevadas de salida en las transiciones 1-0 cuando R_o es pequeña. ❑

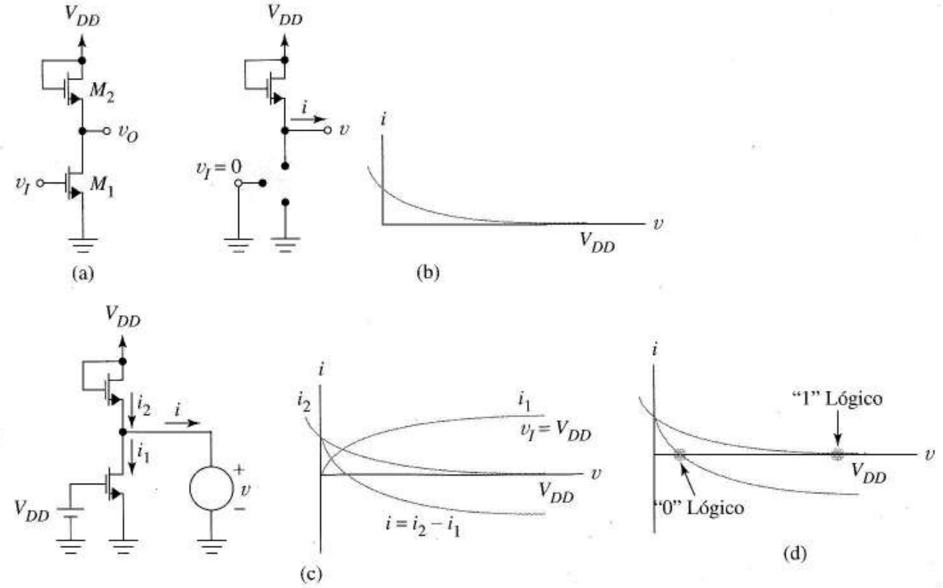


FIGURA 14.57 Interacciones en la línea de transmisión NMOS: (a) inversor NMOS; (b) circuito para el envío de un "0" lógico y restricción *vi*; (c) circuito para el envío de un "0" lógico y construcción de su característica *vi*; (d) restricciones finales en el emisor y valores de equilibrio.

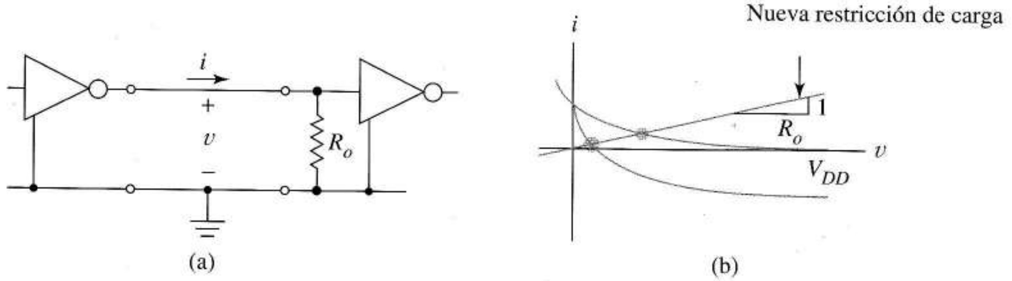
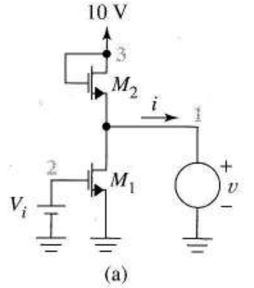


FIGURA 14.58 Interacción de una línea NMOS cuando se añade una carga correcta: (a) esquema; (b) valores de equilibrio.




```
EXAMPLE 14.12
VDD 3 0 DC 10
M2 3 3 1 0 TRAN W=1U L=10U
M1 1 2 0 0 TRAN W=1U L=1U
.MODEL TRAN NMOS KP=2E-4 VTO=1.1
*+LAMBDA=16.7E-3 GAMMA=0.32
VIN 2 0 DC 0
*VIN 2 0 DC 10
V 1 0 DC 0
.DC V 0 12 0.12
.PLOT DC I(V)
.END
```

(b)

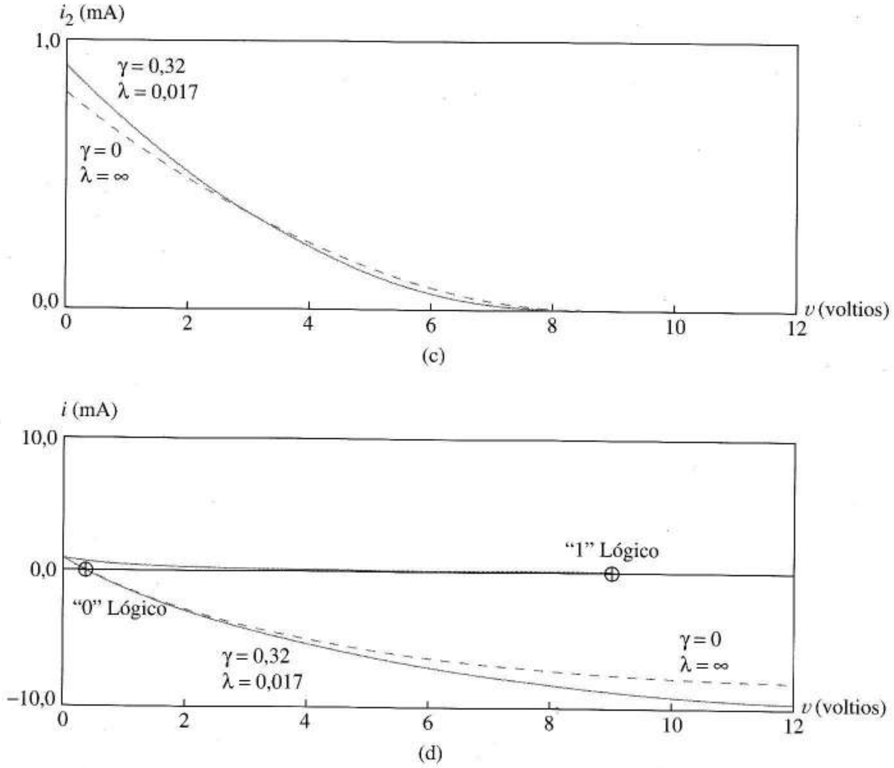


FIGURA 14.59 Empleo de SPICE para hallar las restricciones impuestas por las puertas lógicas: (a) circuito para hallar la restricción en el emisor; (b) código SPICE para obtener la curva *vi* en el emisor con la entrada a "0" lógico; (c) salida SPICE comparando la restricción en el emisor para el "1" lógico con y sin el efecto del sustrato; (d) conjunto completo de restricciones de la línea de transmisión obtenidas con SPICE.

Ejercicio 14.12 La Figura 14.59d muestra que el equilibrio con 0 lógico está alrededor de 0,5 V y el del "1", sobre 8,9 V: Suponer que la resistencia característica de la línea es tal que hay una transición directa en el paso 1-0 sin reflexión en la carga cuando $\gamma = 0{,}32$ y $\lambda = 0{,}017$.

a) Estimar v^+.

b) Estimar el valor de R_o necesario.

Respuesta –4,2 V, sobre 700 Ω.

Las técnicas de simulación y análisis descritas para CMOS y NMOS se aplican a las familias lógicas bipolares. Como estas puertas no tienen resistencia de entrada infinita no es una tarea obvia hallar las curvas vi de entrada de la puerta. Una simple aproximación analítica puede ser utilizar un análisis lineal a tramos como en el Ejemplo 14.10 o utilizar el SPICE como en el ejemplo precedente para calcular las restricciones gráficas de la entrada y de la salida.

14.7 MEMORIAS DE ESTADO SÓLIDO

Introducción Las memorias de estado sólido se utilizan mucho en computadores de uso general y específico y en hardware diseñado a medida de la aplicación. Las memorias están organizadas de forma física y lógica *en matrices de celdas de memoria*, cada una de las cuales almacena un bit de información binaria y permiten por su estructura hacer circuitos integrados económicos. La tecnología VLSI permite que se construyan estructuras grandes de memoria con pequeño tamaño y peso físico y con un coste unitario muy bajo. Además, la densidad, la rapidez y la disipación de potencia, son consideraciones importantes.

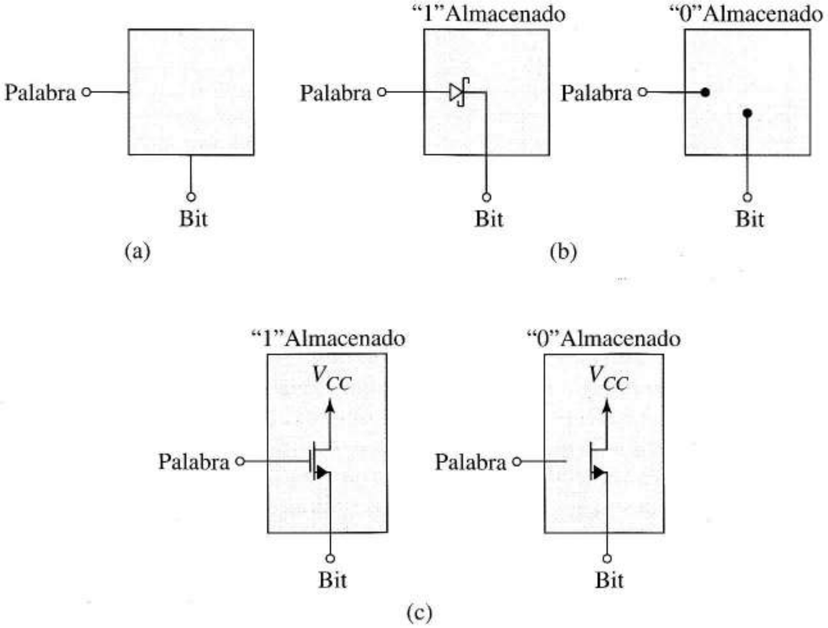


FIGURA 14.60 Memoria de sólo lectura: (a) esquema de una celda de memoria; (b) celda ROM de diodo; (c) celda con MOSFET; (d) memoria ROM de 16 bits; (e) esquema de un bloque de memoria.

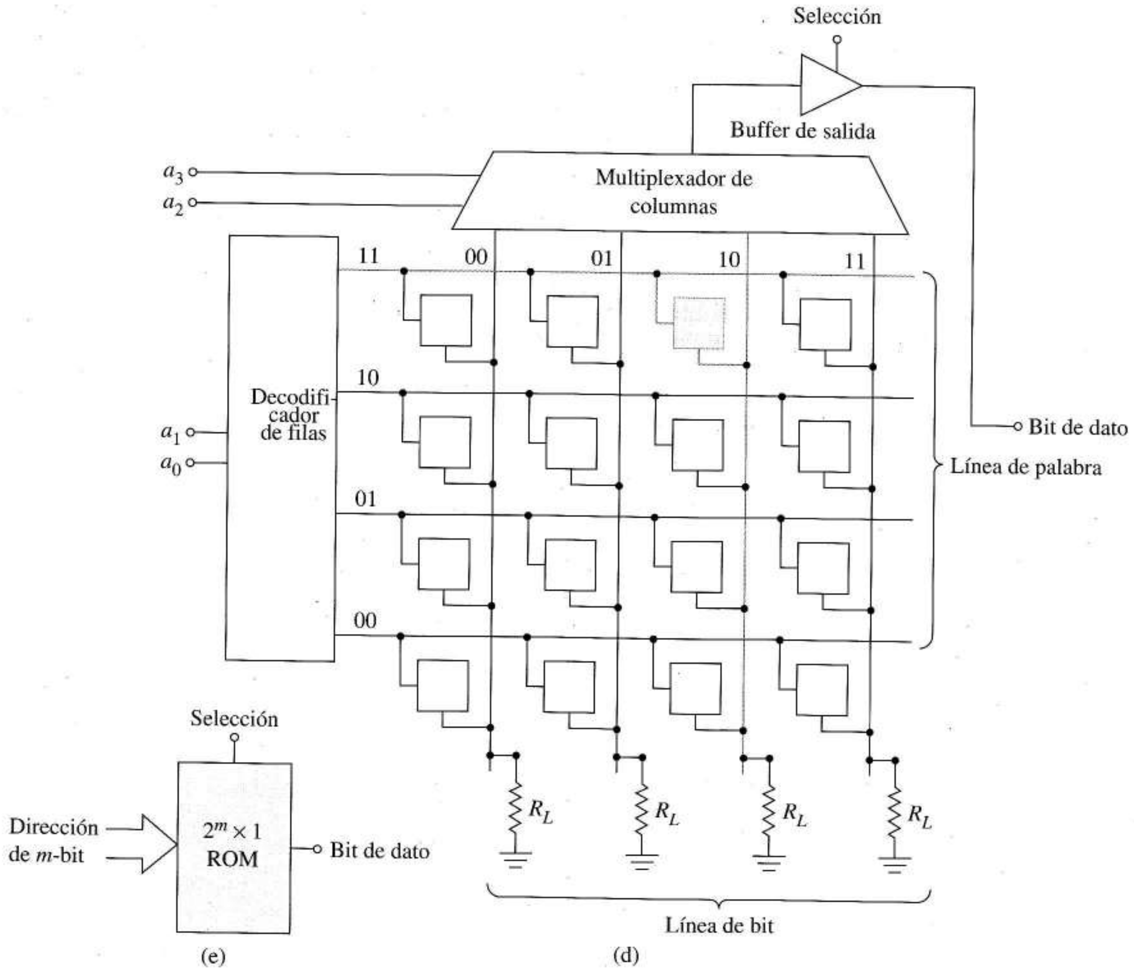


FIGURA 14.60 (Continuación)

El tipo de memoria más sencillo es la *memoria de sólo lectura* o ROM[2], en la que se pueden leer los bits almacenados pero no se pueden modificar. Las ROMs se utilizan mucho en computadores para almacenar programas y en hardware de uso específico. Las ROM son *no volátiles*, es decir, mantienen su contenido cuando no hay alimentación. Esta característica hace que los programas en ROM sean útiles para establecer las condiciones iniciales de los sistemas digitales en el encendido. En muchos instrumentos y dispositivos modernos, este *firmware*[3] residente puede ser actualizado cambiando simplemente las ROMs. La memoria de sólo lectura también se utiliza extensivamente en tablas de consulta, alternativa rápida en los cálculos basados en software.

En contraste con las ROM, las *memorias de lectura/escritura* se utilizan para almacenar programas y datos de forma temporal. El contenido de una celda de memoria de lectura/escritura se cam-

[2]N. del T.: ROM son las iniciales de *Read Only Memory*, memoria de sólo lectura.

[3]N. del T.: *Firmware* es un término que está en la frontera entre el soporte físico (hardware) y los "programas" (software). En algunos casos se refiere al contenido de una memoria que interpreta las instrucciones de un procesador; en otros, se puede referir a la realización de procesadores específicos mediante microinstrucciones.

bia fácilmente, a diferencia de las ROM; las memorias de lectura/escritura también se diferencian de las ROM en que son *volátiles*. En consecuencia, la memoria debe cargarse con algo siempre que se encienda el sistema. Es habitual llamar a estas memorias *RAM*[4]. Hablando de forma estricta, el *acceso aleatorio* quiere decir que se puede acceder a cualquier celda en las mismas condiciones, algo aplicable tanto a las ROM como a las memorias de lectura/escritura.

14.7.1 MEMORIA DE SÓLO LECTURA

Aisladamente, el término ROM suele referirse a *memoria programada mediante máscaras*, en la que los contenidos de las células de memoria se almacenan durante la fabricación de la memoria para mantenerse de forma irrevocable. Debido a los costes de configuración, estas memorias resultan caras en pequeñas cantidades, pero tienen costes unitarios bajos en grandes cantidades, atributos que las dirigen hacia aplicaciones de alto volumen. Los prototipos o los productos de producción limitada utilizan otros tipos de ROMs de los que hablaremos después.

La Figura 14.60a muestra el diagrama de bloques de una celda ROM básica. Los contenidos de la celda son accesibles por medio de líneas de *bits* y *palabras*, llamados también de *filas* y *columnas* respectivamente. La celda ROM más sencilla es la de la Figura 14.60b. Para leer el contenido de la celda, aplicamos una tensión con valor lógico 1 a la línea de la palabra y observamos la tensión que aparece en la resistencia inferior conectada entre el nodo bit y la masa. Así, una tensión "1" es la tensión en la línea de la palabra –menos la tensión del diodo– y un "0" nos da cero voltios.

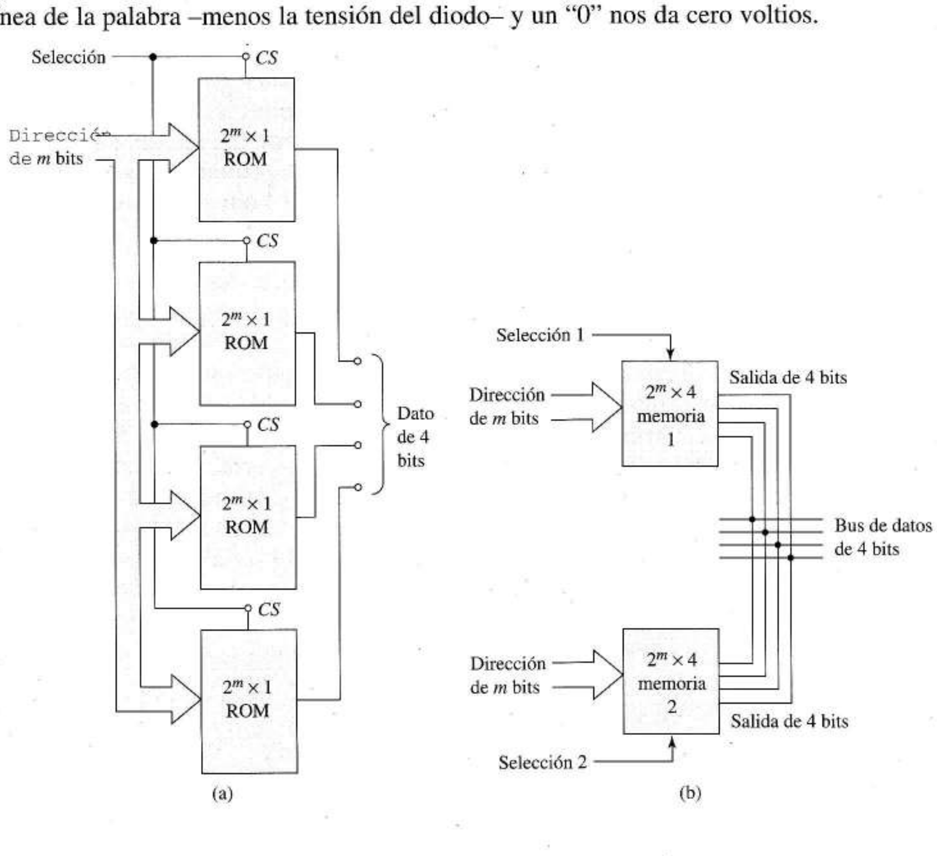


FIGURA 14.61 Organización jerárquica de una ROM: (a) organización de una memoria de palabras de 4 bits; (b) salidas de una memoria de 4 bits compartiendo el bus de datos.

[4]N. del T.: RAM son las iniciales de *Random Access Memory*, es decir, memorias de acceso aleatorio, las más populares de las memorias de lectura/escritura (RWM).

La celda MOS ROM de la Figura 14.60c se programa con un 1 formando la conexión con la puerta durante la metalización y a cero omitiendo dicha conexión. Al poner en estado alto la línea, se cierra el interruptor del transistor, poniendo la línea de bits al valor V_{CC} cuando el valor programado es cero y dejando la resistencia infinita del canal inexistente cuando el valor es cero.

Las celdas de una memoria integrada están organizadas en una matriz regular formada por filas y columnas, representadas en la ROM 16 × 1 de la Figura 14.60d, en la que las filas de celdas comparten las líneas de palabras y las columnas comparten *líneas de bits*. Cada celda tiene una *dirección única* determinada por sus conexiones de líneas de palabras y bits. El decodificador de filas y el multiplexador que selecciona columnas permite al usuario acceder a cada una de las 16 celdas con sólo 4 pines externos. Cuando aplicamos entradas a los dos dígitos menos significativos de la dirección, a_0 y a_1, aparece una tensión alta en una de las líneas de palabras. Los contenidos de todas las celdas de dirección de palabras son accesibles de forma simultánea en los cuatro bits de salida. Sin embargo, los dos dígitos de mayor peso de direcciones, a_2 y a_3 sólo conectan una de estas celdas al buffer de salida. Por ejemplo, la celda sombreada está situada en la dirección $a_3a_2a_1a_0 = 1011$.

En la memoria de la Figura 14.60d, la información almacenada sólo aparece en el nodo de salida cuando la entrada de selección (*chip select* o CS) está en estado alto. La utilidad de esa entrada en interconexiones y en la dinámica, se analiza a continuación.

Las matrices de memoria suelen tener muchas más filas y columnas que la Figura 14.60d. De forma más general, los pines externos de los m bits de direcciones se utilizan para seleccionar los contenidos de una de 2^m celdas de memoria. La Figura 14.60c representa de forma esquemática la memoria ROM como un conjunto.

La Figura 14.61a muestra cómo utilizar direcciones paralelas y las conexiones de selección para que cuatro circuitos ROM se organicen en una memoria de palabras de 4 bits. La Figura 14.61b muestra la forma en la que las salidas triestado permiten que las conexiones de salida paralelas de dos o más memorias como la de la Figura 14.61 compartan un bus de datos, concepto ya visto en la Figura 14.32. Se coloca la palabra direccionada de 4 bits en el bus sólo cuando se activa la línea de selección, evitando así otras salidas problemáticas.

PROM y EPROM En el desarrollo de prototipos en los que son frecuentes las modificaciones de código, o en aplicaciones que llevan asociadas pequeñas tiradas de productos finales, las ROMs programadas por máscaras son demasiado caras. Para esas aplicaciones, hay disponibles ROMs *programables*. El nombre PROM, acrónimo de ROM programable (*Programable ROM* en inglés), suele significar un campo ROM programable que tiene celdas similares a la de la Figura 14.62a. La PROM contiene inicialmente unos en todas sus posiciones. El usuario cambia los unos almacenados por ceros cuando lo desea mediante un programador especial, habitualmente controlado por un computador, que rompe el fusible direccionando la celda y dejando pasar alta corriente por el transistor. Un valor lógico 1 en la línea de palabras cierra el interruptor del transistor en las posiciones no modificadas y aparece un 1 como tensión alta de emisor. En cada posición en la que el fusible esté abierto, se conecta a masa la línea de bits por medio de una resistencia. Dado que esta situación es irreversible, hacer cambios en el diseño exige que programemos otra PROM.

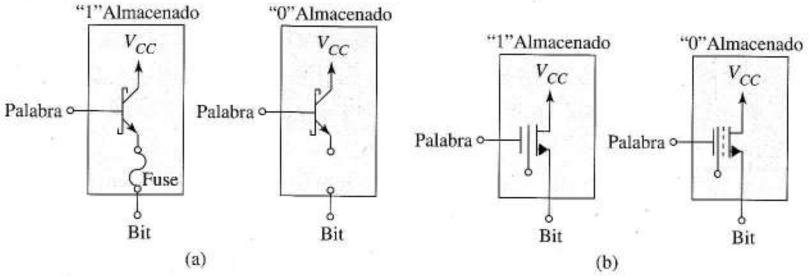


FIGURA 14.62
(a) estructura de una celda PROM; (b) estructura de una EPROM.

La EPROM[5] (ROM borrable) puede incluir la estructura MOS de puerta dual de la Figura 14.62b, en la que la segunda puerta está aislada eléctricamente. Cuando se adquiere el integrado, la segunda puerta está descargada en todas sus celdas de memoria; el transistor es un interruptor MOS normal. Un dispositivo de programación, con control por computador, direcciona todas las celdas en las que se desea un cero y utiliza una tensión alta de programación para almacenar electrones en la segunda puerta. Esto incrementa la tensión umbral a un valor alto tal que el transistor no puede volver a conducir con un valor 1 en la línea de palabras. Como nunca habrá un canal, una resistencia inferior pone al bit del transistor direccionado al valor lógico 0. La carga almacenada se mantiene durante muchos años en las puertas salvo que se altere de forma deliberada. El chip EPROM puede borrarse completamente iluminándolo a través de una ventana especial con luz ultravioleta de intensidad suficiente. Esto elimina los electrones de las segundas puertas y reestablece a su estado original a todas las celdas.

Un transistor de puerta dual también es la celda básica EAROM (ROM modificable eléctricamente o Electrical Alterable ROM en inglés). Las EAROMs están diseñadas para que la carga de las puertas direccionadas individualmente puedan cambiar de uno a cero con control de un programa en vez de tener que darles a todas ellas el valor uno por medio de radiación ultravioleta como ocurre con las EPROMs. Las EAROMs se diferencian de las EPROMs, por lo tanto, en que tienen partes que se pueden editar de forma selectiva. Estos dispositivos, también llamados E^2ROMs (ROMs borrables eléctricamente) se parecen a mas memorias de lectura/escritura que describiremos después; sin embargo, como necesitan mucho tiempo para poder escribir en ellas, en comparación con su tiempo de lectura, se utilizan en aplicaciones de ROM.

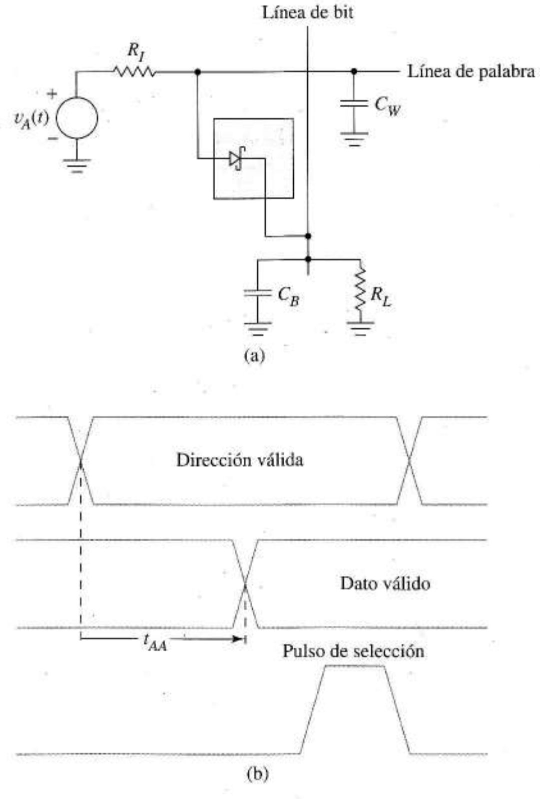


FIGURA 14.63 Tiempos en una ROM: (a) capacidades de filas y columnas que contribuyen al retardo; (b) diagrama de tiempos.

[5]N. del T.: EPROM son las iniciales de *Erasable/Programable* ROM.

Dinámica de las ROM Como otros circuitos, Las ROMs tienen capacidades parásitas que introducen retardos. A partir de la Figura 14.60d podemos suponer que las celdas de memoria conectadas en paralelo a las líneas de palabras y bits podrían dar lugar a mayores capacidades cuando las memorias son grandes y, de hecho, éste es el caso. La Figura 14.63 muestra la forma en que estas capacidades afectan a los tiempos de una operación de lectura. Una vez establecida una dirección válida en las entradas del decodificador de la Figura 14.60d, las capacidades del decodificador introducen un retraso antes de que la tensión $v_A(t)$ de la línea de palabras de la Figura 14.63a alcance su valor final. Al cargarse la capacidad C_W de la línea de palabras y la capacidad C_B de la línea de bits, se originan más retrasos. Observemos que C_W, el equivalente total de la capacidad de la línea, se incrementa con el número de celdas de memoria conectadas a esa línea de palabras en particular, es decir, el número de columnas de la memoria. C_B se incrementa con el número de filas. Dado que medimos los retrasos desde los puntos medios de las transiciones de la forma de onda, podemos asociar con la instrucción de lectura de la memoria el retraso más desfavorable, t_{AA}, llamado *tiempo de acceso*. El diagrama de tiempos de la Figura 14.63b, con su peor caso t_{AA}, representa la memoria como un conjunto. Como las nuevas celdas pueden direccionarse cada t_{AA} segundos, t_{AA} también se denomina *tiempo de ciclo de lectura* de la ROM.

TABLA 14.1 Información típica de una PROM

Dispositivo	Familia	Organización	t_{AA}	Disipación
PROM–PL87X288B	TTL	32 × 8 = 256 bits	15 ns	0,7 W
EPROM–NMC27C1024	CMOS	64K × 16 = 1M bit	170 ns	110 mW
EEPROM–NMC9346	NMOS	1024 × 1 bit	2 ns	60 mW

En algunos sistemas, la entrada de selección se mantiene en estado alto y los datos de salida se ignoran hasta t_{AA} s después de que se halla direccionado el chip. En otros sistemas, hay posibilidad de leer datos no válidos. En esos casos, se aplica el pulso del *chip select*[6] sólo tras esperar al menos t_{AA} s. Al activar la salida del triestado de esta forma, se garantiza que nunca aparecerán datos no válidos en los pines de salida de la memoria. La Tabla 14.1 nos da información de estos tres tipos de PROMs.

14.7.2 MEMORIA DE ACCESO ALEATORIO

Introducción Los chips de memoria de acceso aleatorio, como los ROM, están organizados como matrices de celdas de memoria direccionables individualmente. Sin embargo, las RAMs son más complejas que las ROMs, ya que además de leer los contenidos de las celdas es posible escribir datos en ellas.

Hay dos clases de RAMs, las *estáticas* y las *dinámicas*. Las RAMs estáticas (SRAMs o *Static RAM*) almacenan los dígitos binarios en biestables; las RAMs dinámicas (DRAMs o *Dynamic RAM*) almacenan la información en condensadores integrados, que ocupan mucho menos espacio en el chip. Como los condensadores no tienen pérdidas, las RAMs dinámicas disipan menos potencia por bit que las estáticas. Por su alta densidad de integración y su baja capacidad, son posibles chips de RAM dinámicas de hasta 4 megabits (Mb). Sin embargo, las RAM dinámicas tienen circuitería de control compleja, que debe incluir un sistema de refresco periódico de la información almacenada. A continuación examinaremos cada tipo de RAM.

SRAM La Figura 14.64a muestra los diseños externos e internos de una celda de RAM estática. La tensión de valor 1 aplicada a la línea de palabras cierra los interruptores M_1 y M_2, haciendo que

[6]N. del T.: El término *chip select* está muy extendido y viene a significar "selección del circuito"; es una entrada que permite activar una parte (habitualmente las líneas de salida) o todo un circuito integrado.

el bit almacenado sea observable en los pines de salida. Una línea de palabras en estado alto también hace que el circuito externo tenga acceso al biestable y así poder cambiar su contenido, como comentamos en la Sección 14.1. El circuito de control determina si se está realizando una operación de lectura o escritura, como veremos a continuación.

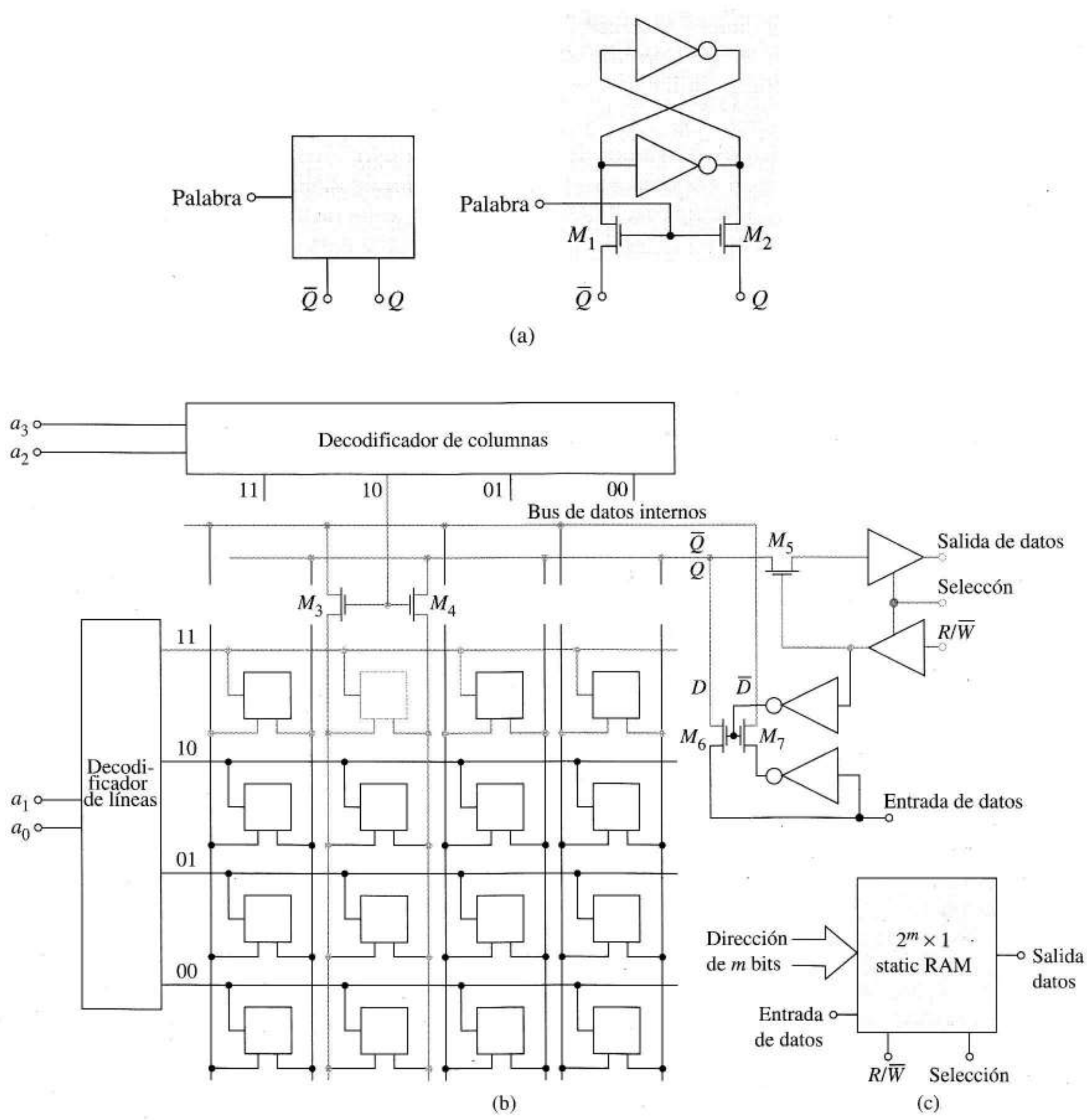


FIGURA 14.64 Memoria estática: (a) esquema de una celda y su estructura; (b) organización de la memoria; (c) esquema.

La Figura 14.64b muestra la organización general de un chip RAM de 16 × 1. Los bits de direcciones menos significativos activan las líneas de palabras de alguna fila, conectando cada biestable a un *par* distinto de columnas. Los bits más significativos utilizan un decodificador para conectar exactamente un par de columnas a un *bus* de datos interno. En la ilustración, la dirección $a_3a_2a_1a_0 = 1011$ activa la celda

sombreada y simultáneamente conecta su salida al bus cerrando los interruptores M_3 y M_4 (Se omiten los tres interruptores conectados a columnas MOS no seleccionadas para simplificar el diagrama).

El bus de datos interno está constituido por un par de conductores que facilitan la comunicación bidireccional entre las celdas direccionadas y los pines externos de la RAM. En una operación de lectura, la entrada de lectura/escritura, $R/\overline{W}$ se mantiene en el valor lógico 1, cerrando el interruptor M_5 que conecta la celda direccionada con el pin de datos de salida. Para escribir, $R/\overline{W}$ pasa al valor lógico 0, cerrando M_6 y M_7. En este caso, el valor lógico disponible en el pin de entrada de datos y su complemento, se aplican de forma simultánea al biestable direccionado, forzándolo a tomar el estado adecuado.

A veces, las RAMs tienen una entrada de selección (*chip select*), como muestra la figura, que aisla el pin de salida de datos de M_5 y además desconecta la función $R/\overline{W}$ interna del pin $R/\overline{W}$. Como en las ROMs, la entrada de selección facilita la interconexión entre distintas unidades de memoria con datos externos y buses de direcciones. La Figura 14.64c es una representación esquemática adecuada de un chip RAM.

Diagrama de tiempos de la RAM Una operación de lectura RAM requiere un tiempo de acceso t_{AA} definido en la Figura 14.63b. Como la entrada $R/\overline{W}$ suele ser alta, la principal diferencia entre los tiempos de acceso de las ROMs y las RAMs consiste en los retrasos adicionales asociados a los interruptores que hay en las celdas de memoria y en la selección de columnas.

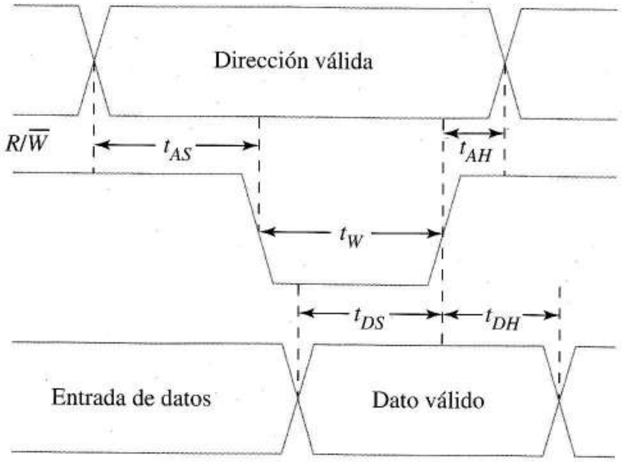


FIGURA 14.65
Diagrama de tiempos de una RAM en una operación de escritura.

La Figura 14.65 muestra los tiempos de una operación de escritura. Visualizando los sucesos internos, es fácil comprender el motivo por el que los retrasos definidos en el diagrama son necesarios en las variaciones de los componentes y los valores parásitos. Para empezar, hay un tiempo de establecimiento de direcciones (tiempo de *set-up*, en inglés), t_{AS}, tiempo mínimo que debe estar presente la información de direccionamiento antes de que la línea $R\,/\,\overline{W}$ pase a estado bajo. Este retraso asegura que *la celda más lenta* del circuito integrado se conecte al bus de datos antes de que se escriba algún dato. De esta forma t_{AS} da tiempo suficiente para los retrasos más largos en los decodificadores, para cargar las capacidades de líneas de palabras y bits y para que se cierren todos los interruptores conectados. La mínima anchura del pulso, t_W asegura que halla suficiente tiempo para que la celda más lenta cambie al estado estable apropiado mediante una operación regenerativa. El tiempo de configuración de datos, t_{DS}, es el tiempo mínimo en que los datos deben ser válidos antes de que finalice el pulso de escritura. Esto permite que se carguen todos los interruptores y que se carguen las capacidades del bus

de datos internos. El tiempo en que se mantiene la dirección, t_{AH}, es el tiempo mínimo durante el que la dirección debe mantenerse después de que finalice el pulso de escritura. Si la dirección cambiara de una forma demasiado rápida, se podrían escribir datos en direcciones incorrectas. Esta RAM emplea la excitación *S-R* como en la Figura 14.7a (además de algunos interruptores en serie) para escribir en memoria. La mínima anchura de pulso, t_W, evita el problema del biestable ilustrado en la Figura 14.6d, es decir, que el estado del biestable vuelva a ser el original debido a que su entrada no fue estable durante el tiempo suficiente para iniciar acciones regenerativas irreversibles.

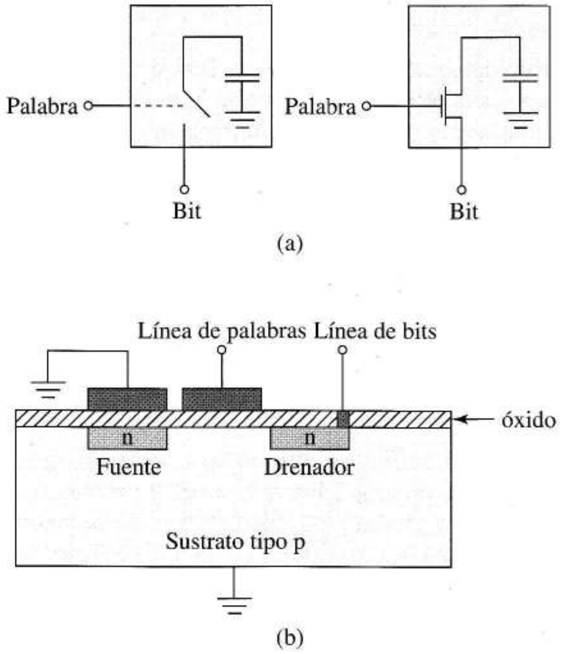


FIGURA 14.66
Celda de memoria: (a) circuito; (b) estructura física.

El tiempo de retención de los datos, t_{DH}, es el tiempo mínimo que se deben mantener válidos los datos tras haber finalizado el pulso de escritura. Esto le da a las capacidades de los circuitos asociados al pulso de escritura el tiempo suficiente para cambiar a sus valores de lectura finales. Si los datos cambian antes de que ocurra esto, pueden escribirse datos incorrectos en la posición direccionada, ya que la celda "memoriza" el último valor presente en el bus de datos internos antes de desconectarse.

Un ejemplo de SRAM moderna es la memoria BiCMOS 256 k × 1 NM5100, diseñada para tener compatibilidad con 100 K ECL. El dispositivo está organizado internamente como una matriz de celdas de 256 filas y 1.024 columnas, y tiene un tiempo de acceso de 15 ns. Con referencia a la Figura 14.65, el tiempo de escritura se especifica con t_{AS} = 2 ns, t_W = 12 ns, t_{DS} = 14 ns, t_{AH} = 3 ns y t_{DH} = 3 ns. La disipación de potencia del chip es 1,1 W, o 4,2 μW por celda. Algunas SRAMs, incluyendo el NM5100, tienen una *amplificador especial,* no ilustrado en la Figura 14.64b y que reduce la disipación de potencia e incrementa la velocidad. Estos amplificadores se describen en la siguiente explicación sobre los DRAMs.

RAM dinámica La celda básica condensador/interruptor de la Figura 14.66a es el núcleo de los chips de memoria de muy baja disipación y alta densidad; la baja disipación se debe a los componentes sin pérdidas y la alta densidad a lo compacto del elemento integrado de la Figura 14.66b que sustituye a seis transistores (Figura 14.64a). La capacidad entre conductor y masa y la de fuente, almacenan la información indicando el 1 con un condensador cargado. Al crear un canal con la línea de palabra se cierra el interruptor. Pero es necesario leer y escribir, debido a que las capacidades se van

descargando lentamente, es decir, *refrescar* los datos almacenados cada 4 ms aproximadamente. Esta operación obliga a una configuración externa compleja e invalida estas celdas para los usos habituales de lectura/escritura; de todas formas, permanecen sus ventajas ya que todas comparten los mismos componentes de control y sólo están inaccesibles un 2% del tiempo debido al refresco. A pesar de la circuitería de refresco, las DRAM sólo ocupan una sexta parte de lo que ocupa un chip SRAM.

Refresco de la memoria Para refrescar la memoria, la circuitería de control activa cada línea de palabra y aparecen los contenidos de todas las celdas de la fila que son leídos y escritos de nuevo usando amplificadores en cada columna.

Para entender el sistema de refresco comencemos con la Figura 14.76a donde queremos leer los contenidos de la celda direccionada. Las líneas de bit son físicamente largas debido a que se interconectan con muchas celdas con lo que su capacidad parásita es mucho mayor que la de la celda, por ejemplo, 1 pF frente a 0,05 pF como en el diagrama de la Figura 14. Supongamos que la capacidad de la celda se carga a 1 (5 V) y su línea de bit está descargada. Cuando la línea de palabra se pone en estado alto, la carga de la celda se comparte resultando una tensión V_1 para las dos capacidades en paralelo que cumple

$$Q = CV = 0{,}05 \times 10^{-12}(5) = 1{,}05 \times 10^{-12} V_1$$

Con lo que la tensión del V_1 es sólo de 0,24 V mientras que la del 0 es 0 V. Esta difereneia es demasiado pequeña para pensar en ninguna consideración sobre la carga residual antes de iniciar el proceso de refresco.

En la Figura 14.67b, se modifica el entorno de la celda añadiendo una segunda línea de bit, una *falsa celda* e interruptores asociados al control. El refresco comienza activando el pin de selección (no mostrado) y se produce un pulso ϕ_1 que cierra los interruptores y precarga ambas líneas de bit y la celda falsa a 2,5 V. Como A está a nivel bajo, la celda falsa está aislada de la línea de bit. Después de que ϕ_1 se abra, la línea de palabra y la celda falsa se direccionan simultáneamente poniendo A en alto.

Al direccionar la celda falsa *siempre* se mantiene la línea de bit 2 a 2,5 V. Si la celda tenía un cero (su capacidad estaba descargada), para la conservación de la carga se necesita que la tensión V_0 del condensador equivalente de valor 1,05 pF de la Figura 14.67c cumpla

$$Q = CV = 0{,}05 \times 10^{-12}(0) + 1{,}00 \times 10^{-12}(2{,}5) = 1{,}05 \times 10^{-12} V_0$$

es decir, $V_0 = 2{,}38$ V. Si había un 1 almacenado, V_1 cumple

$$Q = CV = 0{,}05 \times 10^{-12}(5{,}0) + 1{,}00 \times 10^{-12}(2{,}5) = 1{,}05 \times 10^{-12} V_1$$

que da $V_1 = 2{,}62$ V con lo que hemos hecho pocos progresos ya que la diferencia entre V_1 y V_0 sigue siendo de 0,24 V, la misma que en la Figura 14.67a. Sin embargo, comparando las celdas de memoria y la falsa se puede obtener un método fiable para leer el estado de la celda de memoria. Como amplificador (diferencial) usamos un biestable como en la Figura 14.67c. Las elevadas resistencias R obtenidas con polisilicio dopado no disipan demasiada potencia. Una vez que se hayan cargado las dos líneas de bit, se activa el biestable con un pulso ϕ_2. Analizando el equilibrio inestable y la Figura 14.8 sabemos que el biestable irá rápidamente a $Q = 1$ si la línea de bit se carga a 2,62 V y a cero con 2,38 V. Antes del pulso ϕ_2, se establecen condiciones iniciales que obligan al biestable a $Q = 1$ si había un 1 en la celda o un 0 si había un 0. Como la celda de memoria está ya conectada cuando esto sucede, se carga a 5 V si había 1 y a 0 V si había 0. Una vez refrescada, ϕ_2 retorna a su valor 0 eliminando el amplificador del circuito.

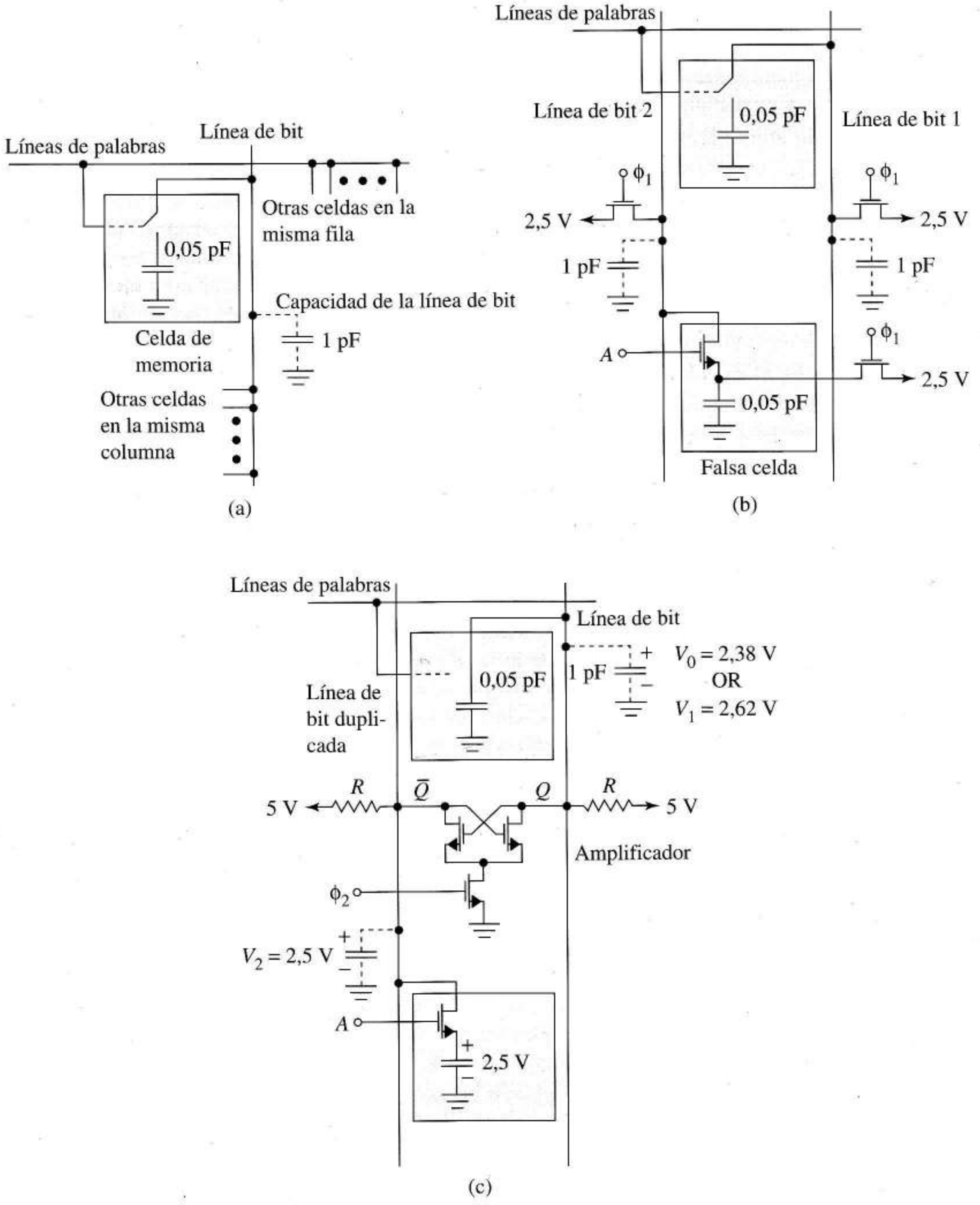


FIGURA 14.67 Refresco de una memoria volátil (dinámica); (a) celdas y capacidad de memoria; (b) interruptores y capacidades asociadas con el refresco; (c) amplificador.

Como todas las columnas tienen amplificadores que trabajan a la vez, todo el chip se refresca en lo que se tarda en direccionar todas las filas. El amplificador es compartido por todas las celdas de la misma columna con lo que su impacto en el tamaño y en la disipación de potencia del conjunto es pequeño. La lógica adicional para conectar las líneas de bit con el bus interno y con los pines de entrada y salida de datos son similares a los descritos en la Figura 14.64b. Las DRAM más representativas y que están disponibles en la actualidad son las 41C1000-08-ND[7], memorias de 1 Mega × 1 con 2.048 columnas y 512 filas con un tiempo de acceso de 80 ns.

14.8 SUMARIO

Este capítulo introduce varios nuevos principios, la mayoría asociados con las dinámica interna y externa de los circuitos digitales. El primer aspecto tratado fue el de los multivibradores, un tipo de circuito de dos estados con realimentación positiva.

Los multivibradores biestables o simplemente biestables tienen dos estados estables y son capaces de almacenar información binaria: un estado es el 1 y el otro, el 0. Los más habituales son dos inversores de cualquier familia, con acoplamiento cruzado. Este tipo de acoplamiento proporciona una forma de controlar sus estados y da lugar a los biestables *RS*. Los Schmitt-trigger también son biestables son eficaces eliminando el ruido de los datos digitales y se usan cuando son necesarias transiciones lógicas muy rápidas. Todos los biestables tienen un punto de equilibrio inestable y para cambiar de estado se deben cargar las capacidades internas para que superen ese punto, tras lo cual, el circuito cambia, continúa una rápida evolución sin más ayuda exterior.

El monoestable tiene un único estado estable y el otro es una transición cuasi-estable. Mediante disparo externo, se rompe el equilibrio y se le fuerza a ir al estado cuasi-estable en el que permanece durante un tiempo determinado y luego vuelve a su estado estable. Esto se representa externamente mediante una variable que toma distinto valor según el estado lo que da un pulso de longitud predeterminada después de cada disparo. La duración y amplitud del disparo están determinados por el monoestable y deben llevarlo a su funcionamiento regenerativo, tras lo cual se puede eliminar el pulso de disparo.

Los astables son circuitos que generan señal denominados osciladores de relajación y poseen dos estados cuasi-estables entre los que conmutan por su realimentación interna. La frecuencia del astable igual que el retardo del monoestable, queda definida por el diseñador. El temporizador integrado 555 es un dispositivo MSI muy popular que se suele usar como monoestable y como astable cuyas características son bastante independientes de la temperatura y de las alimentaciones.

Se definen varios problemas de interconexión y se aportan ejemplos de soluciones. Estos fueron los márgenes lógicos pequeños, niveles de salida que no se solapan con los necesarios en las entradas de las puertas y corrientes inadecuadas. Vimos circuitos muy útiles para corregir niveles (interruptores a transistor sencillos, circuitos de desplazamiento de nivel, circuitos limitadores) y puertas en paralelo o transistores de salida adicionales para aumentar la corriente de salida.

Algunas familias lógicas tienen salidas compatibles con los requisitos de entrada de otras y no necesitan más pero, en otros casos se necesitan resistencias de *pull-up* o interruptores a transistor para resolver el problema de la interconexión. Un *interface* entre familias necesita trabajar sólo a la velocidad de la familia más lenta y se puede simplificar usando componentes de *fan-out* 1. Los márgenes de ruido en los interfaces, definidos usando los valores de salida del circuito de conexión y los de entrada de la familia gobernada son muy útiles conceptualmente hablando.

[7] N. del T.: El mercado de la RAM dinámica evoluciona rápidamente y este dato debe ser tomado como una referencia del autor en un momento determinado.

La mayoría de las familias lógicas tienen puertas especiales para resolver determinados problemas de interconexión como los circuitos de colector abierto que pueden manejar niveles lógicos en un nodo compartido mediante una resistencia a alimentación, y las puertas tri-estado que pueden desconectarse de un nodo que comparten con otras.

Los convertidores digital/analógicos transforman una secuencia binaria en una forma de onda continua. Los D/A están constituidos por un operacional rápido conectado a una tensión de referencia mediante una red de resistencias de precisión e interruptores. El número de interruptores determina la precisión con que se puede transformar el valor binario en tensión.

Los convertidores A/D llevan a cabo la operación inversa del D/A, es decir, convierten una señal analógica muestreada en una secuencia de dígitos binarios. Para facilitar la interconexión, el A/D tiene una entrada que indica cuándo comenzar la conversión y una salida que indica cuándo se ha concluido y si los datos de salida son correctos. Existen muchos diseños distintos que se diferencian en detalles internos y en los tiempos de conversión. Igual que en el D/A, la resolución y la precisión dependen del número de bits.

Los modelos de líneas de transmisión para conectar unas puertas con otras empiezan a ser importantes cuando los retardos causados por el desplazamiento son comparables al tiempo de propagación de las puertas, lo que significa que deberemos preocuparnos de la longitud de las líneas de conexión en cualquier familia lógica y realizar conexiones cortas en las familias más rápidas.

El modelo de línea de transmisión ideal sin pérdidas se caracteriza por su resistencia característica, R_o y la velocidad de propagación u, dándonos una idea de los problemas que podemos tener en las interconexiones. Los coeficientes de reflexión son números reales, fáciles de calcular y que nos indican –con terminaciones lineales– si hay o no reflexiones en los extremos. El diagrama de rebotes nos ayuda a ver los instantes de las reflexiones y nos ayuda a dibujar las formas de onda en el emisor y en la carga. La transición hacia el equilibrio final de la línea desde el inicial se realiza en pasos de corriente y tensión con formas de onda monótonas u oscilatorias según las magnitudes y los signos de los coeficientes de reflexión. En el caso de terminaciones sin pérdidas se producen oscilaciones y no hay equilibrio final. Al estudiar las líneas con terminaciones lineales vimos que al conectar cables se pueden producir problemas como retardos demasiado largos o transiciones lógicas falsas en el extremo receptor. Pueden producirse también corrientes elevadas y (o tensiones excesivas en cualquiera de los extremos.

Como las puertas lógicas son terminaciones no lineales en las líneas de transmisión, la construcción gráfica proporciona la generalización necesaria para estudiar reflexiones más complejas. En general, se tienen tres curvas vi (dos para el emisor y una para el receptor) que dan las restricciones a las ecuaciones de la línea. La construcción gráfica obtenida de las restricciones situadas sobre las perturbaciones de la línea nos ayudan a ver los tipos de reflexiones que pueden ocurrir con distintas puertas lógicas. Más aún, la construcción nos permite evaluar el uso de puertas modificadas (*interfaces* de línea) incluyendo elementos no lineales como los diodos. Las simulaciones SPICE permiten mejorar el conocimiento general del usuario, incluyendo retardos de puertas y otros efectos secundarios en los análisis de las interconexiones.

Hay varios tipos de memoria: ROM, PROM, EAROM, DRAM, SRAM y otros. Varios de ellos fueron estudiados en función de su estructura interna. Las memorias se organizan en matrices de unidades básicas denominadas celdas, cada una caracterizada por una dirección de fila y otra de columna. Una celda de memoria puede ser un simple diodo o condensador o algo más complejo, un biestable. En el caso de las RAMs, la estructura más simple lleva a una estructura muy compacta y con baja disipación aunque la circuitería adicional de control e *interface* es más compleja y debe someterse a refresco periódico. Las señales que controlan la memoria deben cumplir determinadas restricciones de tiempos dictados por los retardos asociados con las capacidades internas de las celdas de memoria y las puertas de conexión con el mundo exterior.

REFERENCIAS

1. HAZNEDAR, H. *Digital Microelectronics*. Redwood City, CA: Benjamin/Cummings, 1991.
2. HIROSE, A., y K. LONNGREN. *Introduction to Wave Phenomena*. New York: John Wiley, 1985.
3. HODGES, D. A., y H. C. Jackson. *Analysis and Design of Digital Integrated Circuits*. New York: MacGraw-Hill, 1988.
4. MAURO, R. *Engineering Electronics*. Englewood Cliffs, NJ: Prentice Hall, 1989.
5. MITCHELL, F. H. JR., y F. H. MITCHELL, SR. *Introduction to Electronics Design*. Englewood Cliffs, NJ: Prentice Hall, 1988.
6. NATIONAL SEMICONDUCTOR CORP. *Memory Databook*. Santa Clara, CA: National Semiconductor Corp., 1990.
7. SEDRA, A., y K. SMITH. *Microelectronic Circuits*, 3ª ed. Philadelphia: Saunders College, 1991.

PROBLEMAS

DIRECTIVAS IMPORTANTES PARA LOS PROBLEMAS CON SPICE. *No maneje los listados de salida de SPICE.* En lugar de ello, sintetice la información útil del fichero de salida de SPICE igual que en los ejemplos del texto. Incluya su código SPICE y un diagrama del circuito con los nodos numerados según el código. Mencione los valores relevantes de la salida SPICE y coméntelos cuando sea apropiado. Realice representaciones para cada curva relevante y etiquete los puntos adecuados. Haga pequeñas tablas para presentar los datos numéricos si es útil para mejorar la claridad.

Sección 14.1

14.1 $V_{DD} = 9$ V en la Figura 14.2a y los parámetros del transistor son $k = 0{,}8\times10^{-3}$ A/V^2 y $|V_t| = 0{,}5$ V. Halle las resistencias en las Figuras 14.2b y c.

14.2 Dibuje las formas de onda de tensión, $v_X(t)$ y $v_Y(t)$ del biestable de la Figura 14.4 si el valor 1 almacenado pasa a 0 al cerrar el interruptor.

14.3 En la Figura 14.4a, $C_1 = C_2 = 4$ pF, $V_{DD} = 9$ V, $R_1 = R_4 \approx 150\ \Omega$ y $R_I = 15\ \Omega$. $k = 0{,}8\times10^{-3}$ A/V^2 y $|V_t| = 0{,}5$ V para los transistores.

a) Escriba la ecuación numérica de $v_X(t)$ que sirve hasta que M_3 se pone en conducción.

b) Calcule el retardo t_1.

c) Calcule el valor real de B_1 en el momento en que M_3 empieza a conducir.

Sugerencia suponga que M_1 es una resistencia controlada por tensión.

14.4 Halle la desigualdad que deben cumplir R_I y R_2 si v_X debe manejar el par inversor siempre en la zona de máxima ganancia. (Figura 14.5).

14.5 El Ejemplo 14.1 simplificaba la dinámica del biestable juntando las capacidades del transistor en una capacidad de entrada equivalente. Modifique el código de la Figura 14.6b eliminando las capacidades e incluyendo las capacidades a tensión cero en la resistencia .MODEL.

a) Estudie las tensiones $v_1(t)$ y $v_2(t)$ generadas por este modelo dinámico. A partir de esos resultados, ¿puede dar una idea razonable del funcionamiento interno del biestable? Explíquelo.

b) Explore valores más reales de la KP del transistor. ¿Qué va mal si KP es demasiado pequeña?

14.6 Comenzando con el código de la Figura 14.6b,

a) Estudie el efecto de subir RIN sobre la conmutación de la puerta con SPICE.

b) Rehaga el código para que el estado lógico inicial con 0, RIN = 10Ω y la tensión de entrada sea 1. Dibuje las formas de onda con SPICE con un tiempo de cierre de 2ns.

14.7 El biestable de la Figura 14.7a está con $Q = 0$ cuando $S = R = 0$. En $t = 0$, la entrada S pasa rápidamente a V_{DD} voltios mientras R queda a 0 V.

a) Dibuje el circuito equivalente a partir del instante $t = 0$.

b) Escriba la ecuación diferencial en ese instante en función de la capacidad C_2, la tensión de puerta de M_2, v_G, la resistencia de M_3, R_3 y los parámetros k_s y V_{ts} del transistor de entrada S.

14.8 Estime la disipación de potencia de la puerta de la Figura 14.7b.

14.9 a) Halle el margen de q en el que el circuito de la Figura 14.9 tiene $H > 0$ con la Ecuación (14.12).

b) Dibuje la curva de histéresis y marque los valores críticos cuando $q = 3{,}25$.

c) Halle el valor de q que maximiza la histéresis H y su máximo valor.

14.10 Demuestre que para valores de q suficientemente grandes, es imposible diseñar Schmitt-trigger acoplado por emisor como el de la Figura 14.9a tal que $V_{OL}<V_{IL}$.

Sección 14.2

14.11 En la Figura P14.11 el inversor tiene resistencia de entrada infinita y la función de transferencia dada. La fuente v_s tiene el valor de + 10 V cuando se alcanza el equilibrio.

a) ¿Qué valores tienen v_X y v_O?

b) ¿Cuál es el de V_C?

c) En $t = 0$, v_S baja súbitamente a 0. Escriba la ecuación que describe $v_X(t)$ para $t > 0$.

d) Dibuje $v_X(t)$ y $v_O(t)$ en el sistema de coordenadas.

e) Calcule el ancho del pulso de salida.

14.12 V_{DD} = 5 V y v_I = 0 en la Figura 14.11b. C está cargado con v_X, 0,2 V más positivo que $\overline{v}_O$ debido a un pulso anterior, es decir, el tiempo de recuperación ya pasó.

a) Halle v_O y v_X en ese instante.

b) Si se dispara el circuito con un pulso de v_I, ¿cómo será de grande la salida del monoestable?

14.13 En la Figura 14.12, V_{CC} = 5 V, $R_C = R_B$ = 1 kΩ, R = 10 kΩ y C = 0,005 μF. Todos los transistores tienen $V_{CE,\text{cuasi-saturado}}$ = 0,3 V, $V_{BE,\text{cuasi-saturado}}$ = 0,7 V y β = 20. La tensión de corte de Q_2 es 0,5 V.

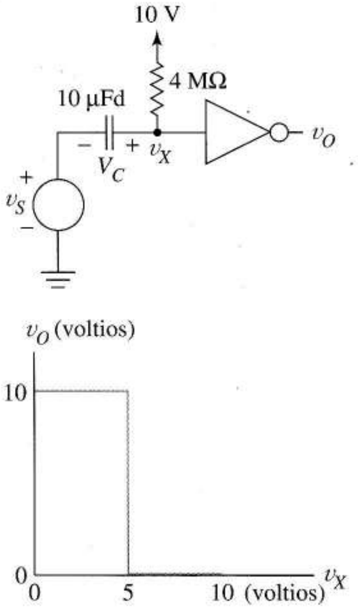


FIGURA P14.11

a) Dibuje el circuito equivalente del estado cuasi-estable suponiendo v_I = 0.

b) Señale todas las tensiones y corrientes en el diagrama. Muestre también la tensión en el condensador.

c) Un pulso de entrada lleva a Q_1 al estado cuasi-saturado que corta Q_2 y lleva a Q_3 a la situación de cuasi-saturado. Dibuje el circuito equivalente en ese instante y calcule la mínima amplitud del pulso v_I.

Sugerencia Considere el *fan-out* de la puerta y la corriente en C. Suponga que Q_1 y Q_3 tienen la misma corriente de colector cuando están cuasi-saturados.

d) Escriba la ecuación diferencial de $v_X(t)$ en este estado cuasi-estable.

e) Halle la duración τ del pulso de salida.

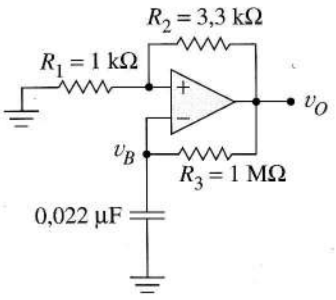


FIGURA P14.14

Sección 14.3

14.14 El operacional de la Figura P14.14 se satura a ±15 V. Con v_O = +15 V y v_B = [1 k/(1k + 3,3 k)](−15) V como condiciones iniciales. Calcule $v_B(t)$ con un circuito equivalente. Halle el instante en el que el operacional cambia de estado; cambie entonces el modelo del circuito y calcule $v_B(t)$ en el siguiente intervalo de tiempo.

a) Dibuje las formas de onda de $v_O(t)$ y $v_B(t)$.

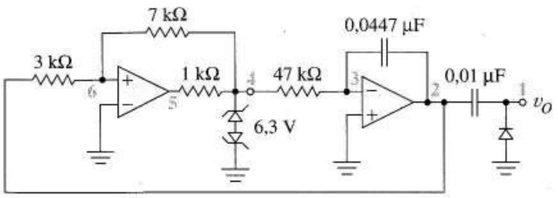


FIGURA P14.15

b) Halle el período de la forma de onda.

14.15 Dibuje las formas de onda en los nodos 4, 2 y 1 de la figura P14.15 con el siguiente procedimiento.

a) Suponga que la tensión del nodo 4 es positiva. Halle su valor. Halle la corriente de entrada del integrador. Dibuje la tensión del nodo 2 mientras se mantengan estas condiciones. Halle la pendiente de esta curva tensión-tiempo.

b) Halle las tensiones umbrales del Schmitt-trigger. En el diagrama del apartado a) marque los máximos y mínimos de la tensión del integrador.

c) Determine la corriente de entrada al integrador cuando el Schmitt-trigger está en el segundo estado. añada el siguiente segmento de la tensión del nodo 2 al dibujo del apartado a). Complete los dibujos de las tensiones en 2 y 4.

d) Dibuje la tensión de salida del circuito limitador.

14.16 Haga un dibujo que muestre que las formas de onda de la Figura 14.14c podrían cambiar a causa de un *slew-rate* significativo.

Sugerencia Dibuje primero $v_{O1}(t)$.

14.17 Simule, del astable de la Figura 14.15c, tres de sus cuatro ciclos con SPICE. Olvide las limitaciones del circuito en la simulación y utilice una VCVS de 10^7 de ganancia para el operacional. Utilice la sentencia

```
.NODESET V(4) = - 0,7
```

para indicarle al SPICE el estado a asumir para el monoestable y

```
.IC V(2) = 0
```

para indicar la condición inicial del condensador del integrador. Dibuje con SPICE las formas de onda en los nodos 4 y 2.

Sección 14.4

14.18 Diseñe dos monoestables basados en el 555 que utilicen alimentación de 9 V y produzcan pulsos de salida de 2,3 μs y 12 h de duración. Dé los valores de R_X y C_X y dibuje las tensiones en los condensadores y salidas de los dos circuitos. Sirve cualquier solución correcta.

14.19 La entrada de un monoestable que da un pulso de $2{,}2 \times 10^{-4}$ s de anchura, son una serie de pulsos de disparo de 1 μs de duración y frecuencia de 16 kHz. Dibuje los pulsos de entrada y salida para demostrar que el circuito divide la frecuencia por cuatro.

Sugerencia El dibujo debe situar el final de los pulsos de salida en relación con los de entrada.

14.20 Halle los valores de los componentes externos para que el astable de la Figura 14.17a tenga una frecuencia de 800 kHz y un ciclo de trabajo de 0,2.

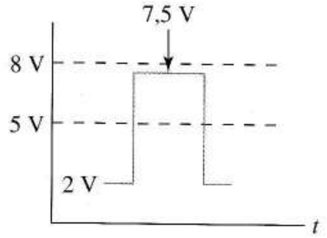


FIGURA P14.24

El diseño debe cumplir la condición de que, con una alimentación de 5 V, la máxima corriente proporcionada a los componentes externos no supere los 0,1 mA.

Sugerencia Halle la máxima corriente con el interruptor (ideal) abierto y cerrado y estudie su relación para ver cuál es mayor.

Sección 14.5

14.21 Verifique con SPICE el diseño del Ejemplo 14.4 con transistores de $k = 0{,}2\times10^{-4}$ A/V^2 y $|V_t|$= 1 V en el inversor e *interface*. Obtenga el transistor de salida de 0 a 200 ns para un pulso de 100 ns de anchura. Verifique las formas de onda V_X en la salida del inversor.

14.22 Diseñe un desplazador de nivel como el de la Figura 14.20c para una entrada cuadrada. Las especificaciones son ΔV =7 V, $k_1 = 4\times10^{-4}$ A/V^2, $k_2 = 10^{-4}$ A/V^2, $V_{t1} = V_{t2} = -1.5$ V, $v_{I,máx}$ = 3 V, $v_{I,mín}$ = −2 V.

a) Dibuje la tensión de entrada con las especificaciones dadas.

b) Dibuje la tensión de salida que debe producir el circuito con estas especificaciones.

c) Determine la tensión zener y las alimentaciones.

14.23 Diseñe un desplazador de nivel como el de la Figura 14.20d con las especificaciones: $k_E = k_D = 10^{-4}$ A/V^2, $V_{tE} = -V_{tD}$ = 1,5 V. La entrada es una onda cuadrada con una tensión caracterizada por $v_{I,máx}$ = 3 V, $v_{I,mín}$ = −2 V,

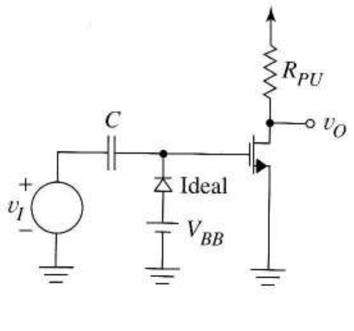


FIGURA P14.26

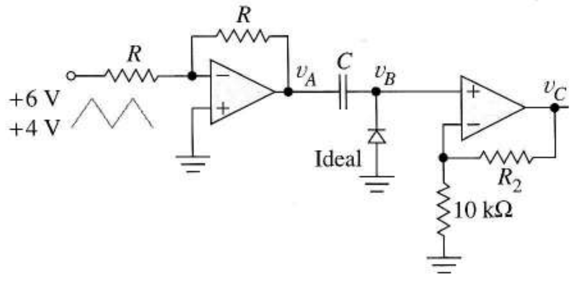


FIGURA P14.27

con una tensión caracterizada por $v_{I,máx} = 3$ V, $v_{I,mín} = -2$ V, $V_Z = 2$ V.

a) Halle la corriente de polarización.

b) Halle el valor de ΔV.

c) Dibuje la salida si la entrada es una onda cuadrada con los valores dados.

14.24 Los niveles del pulso de la Figura P14.24 deben desplazarse hacia arriba para que su media coincida con la media de los niveles de entrada marcados a trazos.

a) Halle el ΔV necesario y muestre cómo se desplaza la señal hacia arriba en relación con sus valores de entrada.

b) Halle los márgenes de ruido para el apartado (a), *NMH* y *NML*. ¿Qué se puede hacer para mejorarlos?

c) Especifique el valor adecuado del zener y los parámetros del transistor k_1, k_2, V_{t1} y V_{t2} de un desplazador de nivel como el de la Figura 14.20c para implementar el desplazamiento del apartado a). Sirven cualesquiera valores razonables que cumplan las especificaciones.

d) Halle los valores mínimos de V_{DD} y V_{SS} que hacen que el circuito trabaje adecuadamente.

14.25 a) Diseñe un *interface* que convertirá los pulsos de nivel TTL de la Figura 14.21a en niveles ECL, –1,52 V y –1,06 V con frecuencia de 1 MHz.

Sugerencia Atenúe la amplitud y use un limitador para desplazar el nivel de continua. Ajuste la fuente de continua en el desplazador de nivel para permitir una caída en el diodo sobre 0,5 V. Haga la constante de tiempo suficientemente larga para evitar la caída en los pulsos de salida.

b) Verifique el diseño con SPICE.

14.26 En la Figura P14.26, la entrada es una secuencia de pulsos con amplitud de –1,52 V y –1,06 V.

a) Halle la tensión V_{BB} que centra los pulsos de tensión en torno a la tensión umbral de los MOSFET de V_t = 0,7 V.

b) ¿Mejora la fiabilidad del circuito con la ganancia añadida entre el limitador y el MOSFET? Explíquelo.

14.27 La forma de onda triangular de la Figura P14.27 debe transformarse en una onda entre 0 y 10 V. La figura muestra el circuito propuesto que realiza esa función.

a) ¿Qué funciona mal si se conecta directamente (o a través de un seguidor) al circuito limitador sin usar un inversor? Suponga inicialmente descargado el condensador.

b) Dibuje la forma de onda v_A.

c) ¿Cuál es el valor mínimo de R que se puede usar si el operacional sólo puede dar ±25 mA sin distorsionar la señal?

Sugerencia La carga que supone el limitador es despreciable tras el transitorio.

d) Dibuje la forma de onda v_B.

e) Halle R_2.

f) ¿Podrá superarse el máximo valor de modo común de ±13 V de los operacionales? Explíquelo.

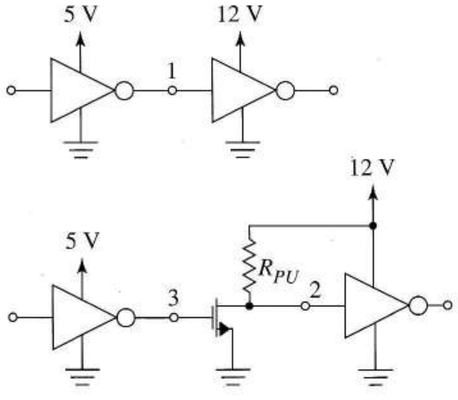


FIGURA P14.28

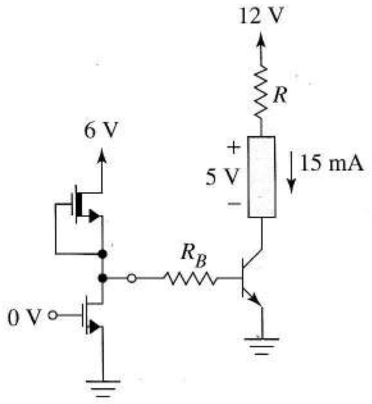


FIGURA P14.31

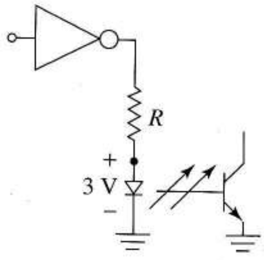


FIGURA P14.32

14.28 La Figura P14.28 muestra un *interface* inversor de CMOS a 5 V a CMOS a 12 V. Todos los transistores internos tienen $|V_t| = 1$ V.

a) Calcule y compare los márgenes de ruido en 1 y 2.

b) El circuito de *interface*, ¿realiza la función? ¿desplaza el nivel? ¿o realiza ambas cosas? Explique la respuesta.

c) Usado la tensión umbral del transistor del *interface*, calcule los márgenes de ruido en el nodo 3.

14.29 Diseñe un circuito como el primero de la Figura 14.23d para resolver el problema de interconexión del problema 14.5.

14.30 Un circuito lógico CMOS utiliza una alimentación de 9 V y se emplea para interconectar un LED a 4 V y 50 mA. Diseñe un *interface* como el primer circuito de la Figura 14.23d. Especifique R, k y V_t del transistor y su disipación de potencia con el diodo en conducción.

14.31 La Figura P14.31 muestra el *interface* entre un inversor lógico NMOS y el zumbador piezoeléctrico con oscilador interno que está diseñado para 5 V y 15 mA. El transistor de deplexión tiene $k = 10^{-4}$ A/V^2 y $V_t = 0{,}7$ V.

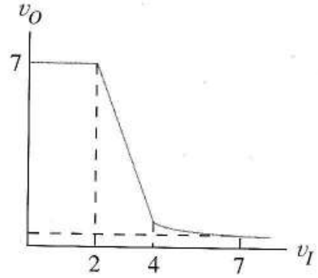


FIGURA P14.37

a) Halle la resistencia R_M del transistor de deplexión suponiéndolo en funcionamiento óhmico y resistencia lineal. Escriba la desigualdad que debe cumplir.

b) Determine la máxima corriente de base si se cumple la condición del apartado a).

c) Halle el valor de R suponiendo el bipolar saturado cuando activa el zumbador.

d) Halle la R_B consistente con los apartados (a) y (b). ¿Funcionaría el circuito con una R_B menor? Explíquelo.

e) Halle el mínimo valor de β que cumpla las condiciones establecidas.

f) Si se sustituye el bipolar por un par Darlington, estime el nuevo valor de R_B y la β de los transistores (iguales) del par.

14.32 La Figura P14.32 muestra un inversor que gobierna un circuito de aislamiento óptico. La caída directa en el LED es de 3 V.

a) Si la puerta es TTL con un circuito de salida en *totem-pole* (Figura 13.32), halle la R para que la corriente por el circuito óptico sea de 5 mA.

Sugerencia Suponga que los estados del transistor son iguales que con corriente de salida nula.

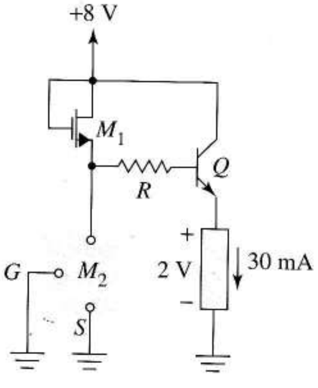


FIGURA P14.33

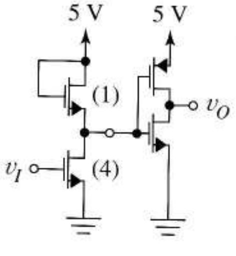


FIGURA P14.39

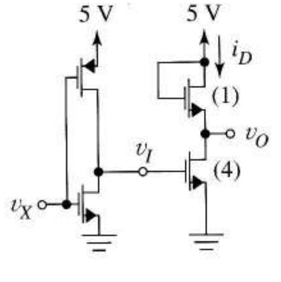


FIGURA P14.40

b) Suponga que la puerta está suministrando 5 mA con la resistencia del apartado a). Compruebe la suposición de estado activo del apartado a).

14.33 La Figura P14.33 muestra un bipolar que incrementa la corriente de carga del inversor NMOS con salida 1. (M_2 está cortado con entrada lógica 0.) Los parámetros son $k_1 = 2\times10^{-4}$A/V^2, $V_{t1} = 1{,}2$ V, $\beta = 90$. Suponga Q activo.

a) Halle la corriente de drenador de M_1.

b) Halle el valor de R consistente con la corriente y la tensión del diagrama.

Sugerencia Un transistor conectado como diodo está, o activo o cortado.

14.34 En la Figura 14.23e, $V_{XX} = 8$ V, $k = 10^{-4}$A/V^2, $V_t = -1{,}2$ V, $\beta = 70$, $V_L = 2$ V e $I_L = 30$ mA. El MOSFET es un transistor de canal p en una puerta CMOS con el otro transistor en corte. Suponga que el MOSFET cumple la Ecuación (5.5). Dibuje el diagrama del circuito y muestre los valores que vaya hallando.

a) Halle la resistencia del MOSFET.

b) Suponga la caída en el MOSFET tan grande como sea posible en el supuesto de funcionamiento lineal. Halle V_{SD} en este caso y la correspondiente corriente de drenador.

c) Halle el valor de R para que las tensiones en los componentes sean de más de 8 V.

d) Halle R_B.

14.35 Halle el valor de k del *interface* de la Figura 14.25a si $|V_t| = 0{,}9$ V y $V_{DD} = 9$ V.

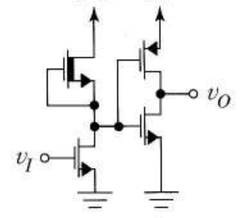


FIGURA P14.41

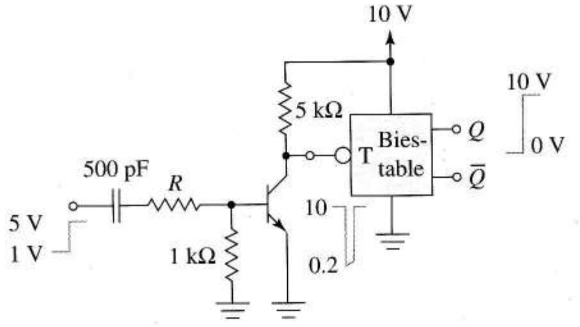


FIGURA P14.42

14.36 En la Figura 14.25b, $V_{DD} = 10$ V, $C_i = 2{,}5$ pF para la puerta CMOS y $R_P = 50$ k.

a) Halle la disipación de potencia con R_P en estado lógico 0 y 1.

b) La entrada a la puerta CMOS ha sido 1 durante bastante tiempo. Halle la velocidad de cambio de la tensión de entrada cuando la salida TTL cae a 0.

14.37 Cuando $V_{DD} = 7$ V en la Figura 14.25c, la curva de transferencia NMOS es como la de la Figura P14.37. Estime *NMH* y *NML* del *interface* (entrada NMOS):

a) Cuando R_P es infinita.

b) Cuando $R_P = 20$ kΩ.

14.38 En la Figura 14.25d, la puerta de mando usa $V_{DD} = 5$ V. Los parámetros del transistor son $V_t = 1{,}1$ V, $k_1 = 2\times10^{-3}$A/V^2 y $k_2 = 0{,}4\times10^{-3}$ A/V^2. Determine si es capaz de absorber la corriente de entrada TTL de 1,43mA cuando la tensión de entrada es 5 V.

14.39 En la Figura P14.39, los transistores de la puerta NMOS tienen $V_t = 0{,}5$ V; el inferior tiene $k = 0{,}2\times10^{-4}$A/V^2

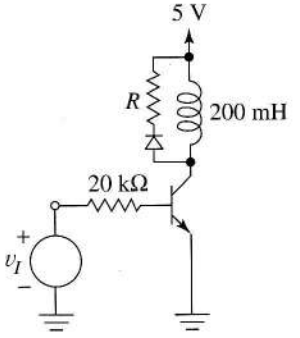


FIGURA P14.43

y las relaciones W/L se indican entre paréntesis. Los parámetros del inversor CMOS son $V_{IL} = 2{,}125$ V, $V_{IH} = 2{,}875$ V.

a) Escriba la ecuación cuadrática para la V_{OL} de la puerta NMOS cuando $v_I = 5$ V. Suponga que la Ecuación (5.5) y la carga es un transistor en estado activo. Halle V_{OL}.

b) Calcule la *NML* del *interface*.

c) Calcule la *NMH* del *interface*.

14.40 Todos los transistores de la Figura P14.40 tienen $V_t = 1{,}1$ V.

a) Calcule el *NML* del *interface*.

Sugerencia $v_X = 5$ V en este caso.

b) Para hallar la V_{IH} de la puerta NMOS se debe hallar el punto de la función de transferencia donde $dv_O/dv_I = -1$. Para simplificar el problema suponga que

$$v_O \approx i_D R_{NMOS}$$

donde i_D se obtiene de suponer que la carga es un transistor saturado y R_{NMOS} se obtiene de (5.5), (suponiendo las relaciones W/L indicadas en los diagramas). El resultado debería ser una ecuación que relacione v_O con v_I.

c) Derive la ecuación del apartado b) y determine V_{IH} igualando la derivada a -1.

d) Halle el *NMH* del *interface*.

14.41 En la Figura P14.41, los transistores de la puerta NMOS tienen $k = 0{,}2 \times 10^{-4}$ A/V^2. En el dispositivo de deplexión, $V_t = -0{,}5$ V; el transistor de enriquecimiento tiene $V_t = -0{,}5$ V. Los parámetros de entrada CMOS son $V_{IL} = 3{,}25$ V, $V_{IH} = 4{,}75$ V.

a) Estime la V_{OL} de la puerta NMOS tratando la puerta de deplexión como una fuente de corriente constante y usando la resistencia óhmica como en la Ecuación (5.5) para describir el dispositivo de enriquecimiento cuando $v_I = 5$ V. Después calcule *NML* del *interface*.

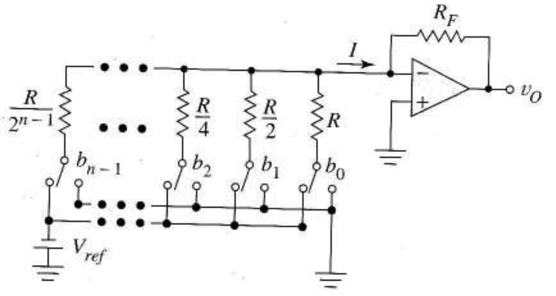


FIGURA P14.44

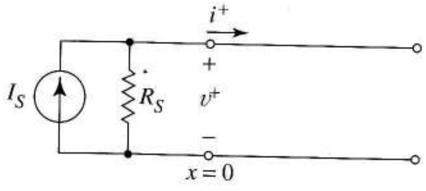


FIGURA P14.50

b) Estime *NMH* del interface.

c) Añada una resistencia *pull-up* de 100 kΩ entre el nodo del *interface* y la alimentación de 8 V. Rehaga los apartados a) y b) con esta resistencia.

14.42 El *interface* derivador/interruptor de la Figura P14.42 produce el pulso de set al biestable CMOS cuando hay un cambio brusco de la entrada, tal y como se indica.

a) Ignorando la dinámica del transistor interno, utilice un modelo de gran señal para hallar la expresión de la corriente de base, $i_B(0^+)$ en función de R en el instante siguiente al cambio.

b) Elija R para que la β forzada sea 2. Después halle $i_B(0^+)$.

c) Utilice el modelo del apartado a) para predecir el valor final de $i_B(t)$ suponiendo (incorrectamente) que el transistor estará para siempre en estado de conducción.

d) Con los valores inicial y final de R recién calculados escriba una ecuación exponencial para $i_B(t)$.

e) Estime la anchura del pulso hallando cuánto tarda la corriente de base en anularse.

14.43 En la Figura P14.43, $\beta = 20$ y el diodo tiene una tensión de 0,7 V.

a) ¿Cuál es el estado del transistor cuando $v_I = 5$ V? ¿Cuál es la corriente por la bobina?

b) Suponga que el transistor se corta instantáneamente cuando v_I cambia de los 5 V del apartado a) a cero. Dibuje el circuito equivalente. Tenga en cuenta que la corriente por la bobina no puede cambiar instantáneamente.

c) Halle la mayor R que hace que la v_{CE} del transistor no supere $BV_{CEO} = 20$ V.

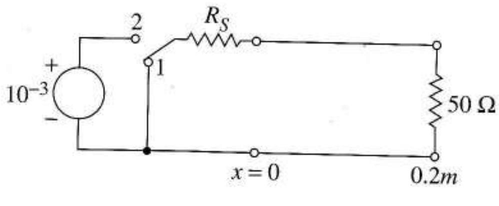


FIGURA P14.51

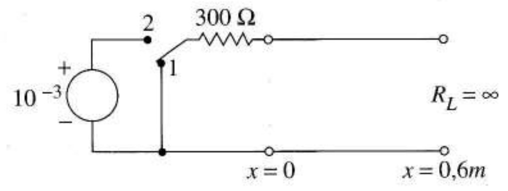


FIGURA P14.53

d) Para la R del apartado c), estime cuánto tarda la corriente por la bobina en llegar al 10% de su valor inicial.

14.44 La Figura P14.44 muestra un convertidor D/A binario de resistencias ponderadas.

a) Suponiendo ganancia infinita, halle la expresión de I en función de V_{REF}, R y los dígitos binarios b_i.

b) Comenzando con la respuesta de a), demuestre que la tensión de salida puede escribirse de la forma

$$v_O = \frac{R_F}{R} V_{REF}\left(\sum_{k=0}^{n-1} b_k 2^k\right)$$

14.45 El número de bits del D/A del Ejemplo 14.8 se reduce a $n = 8$, pero el resto del diseño permanece igual.

a) Estudie la importancia de la tensión de desviación si se usa un 741.

b) Halle la V_{REF} para que la desviación sea sólo 1/10 de la mínima tensión de salida no nula del D/A.

14.46 Estamos diseñando un D/A tipo R-2R con resolución de 4 mV, con una transferencia de tensión de 15 V. Halle el mínimo entero n que da esta resolución cuando $R_F / R = 1$.

14.47 Un controlador necesita entradas analógicas entre 0 y 8 V con el 0.4% de precisión. Diseñe un convertidor D/A $R/2R$ que lo cumpla. Hay circuitos en escalera disponibles con $R = 25$ kΩ, 50 kΩ y 100 kΩ.

14.48 El tiempo de conversión de un A/D debe ser menor o gual que 10 μs. Halle la mínima frecuencia de reloj necesaria con $n = 8$, 12 y 16 bits de precisión en:

a) Circuitos A/D de contadores.

b) Circuitos de aproximaciones sucesivas.

14.49 a) Un A/D de contadores convierte tensiones analógicas de 0-5V en valores digitales de 8 bits. Si el tiempo de conversión es 100 μs, halle el mínimo *slew-rate* de la salida del D/A en el peor caso en que sólo cambie linealmente el 0,1 del ciclo de reloj.

b) Obtenga el *slew-rate* para un A/D de aproximaciones sucesivas con las mismas especificaciones del apartado a).

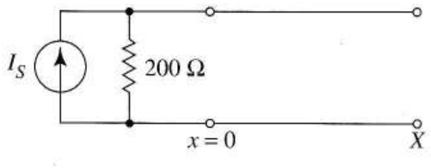


FIGURA P14.55

Sección 14.6

14.50 Mediante análisis de la Figura P14.50 y (14.46) muestre que cuando se envía una perturbación de un escalón de corriente, la restricción del emisor es la ecuación del divisor

$$i^+ = \frac{R_S}{R_S + R_o} I_S$$

14.51 En la Figura P14.51, el interruptor alcanza el equilibrio conmutando entre la posición 1 y 2 en $t = 0$. Si $R_o = 50$ Ω, $u = 3\times10^8$ m/s y T es el tiempo que tarda la onda en llegar al final de la línea, dibuje $v(0{,}1m, t)$ e $i(x, T/2)$ cuando

a) $R_s = 100$ Ω

b) $R_s = 200$ Ω

14.52 Las terminaciones de la línea con resistencia característica R_o son las resistencias de carga R_L y la de la fuente emisora de V_1 voltios, R_S Ω.

a) Halle los valores de equilibrio V_E e I_E de la tensión y corriente de la línea.

b) En $t = 0$, la fuente cambia súbitamente de V_1 a V_2 voltios, alcanzando el equilibrio. Use las ecuaciones básicas para hallar la perturbación v^+. Las restricciones del emisor relacionan $(I_E + i^+)$ con $(V_E + v^+)$.

Sugerencia Dibuje la línea para $t < 0$ y $t > 0$.

14.53 La línea ideal sin pérdidas de la Figura P14.53 está en equilibrio con el conmutador en posición 1. En $t = 0$ pasa a posición 2. Si la velocidad de propagación es $3{,}0\times10^8$ m/s y $R_o = 300$ Ω,

a) Dibuje $v\,(x, 0{,}5T)$, $i\,(x, 0{,}5T)$, $v\,(x, 1{,}5T)$ e $i\,(x, 1{,}5T)$.

b) Dibuje las formas de onda de corriente y tensión que aparecen en los extremos de emisor y receptor, es decir, dibuje $v\,(0, t)$, $i\,(0, t)$, $v\,(0{,}6m, t)$ e $i\,(0{,}6m, t)$.

14.54 Dibuje $i\,(0{,}6m, t)$ y $v\,(x, 1{,}5T)$ si la R_L de la Figura P14.53 se cambia a 0.

14.55 En la Figura P14.55, $R_o = 200$ Ω y la línea está en equilibrio con $I_S = 0$. En $t = 0$, I_S cambia súbitamente a 1 mA. Dibuje $v\,(X/2, t)$ y $v\,(X, t)$.

Sugerencia: fíjese en el Problema 14.50.

14.56 a) Según la Figura 14.45a, halle el valor de equilibrio de la corriente.

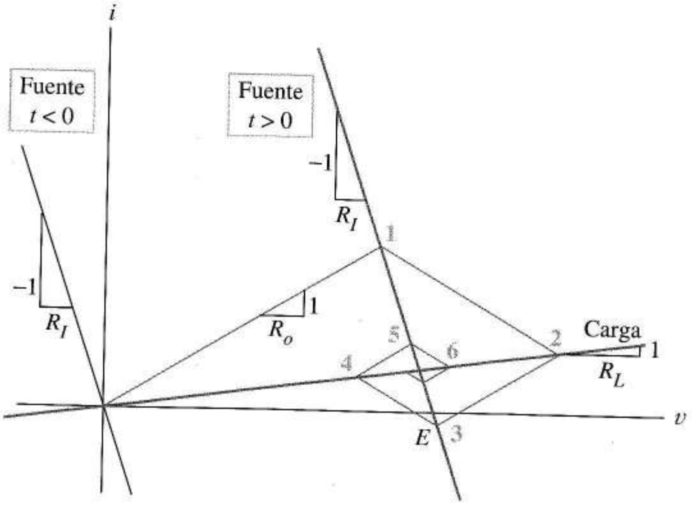


FIGURA P14.61

b) Con el diagrama de la Figura 14.45b, dibuje $v\ (X/2, t)$ con cuidado de visualizar los tiempos correctamente.

14.57 Dibuje la corriente $i\ (X/2, t)$ con la Figura 14.45b, con cuidado de que los tiempos sean correctos.

14.58 a) Dibuje el diagrama de la Figura 14.45b cuando R_L se modifica de 200 Ω a 50/3 Ω.

b) Determine el valor final de la tensión en equilibrio.

c) Dibuje $v\ (0, t)$ y $v\ (X, t)$.

14.59 Para cada problema de la tabla, dibuje $v\ (0, t)$ y $v\ (X, t)$ indicando los valores importantes, $n = 3{\times}10^8$ m/s y las condiciones iniciales son nulas.

Problema Nº	R_S (Ω)	R_O (Ω)	X(m)	R_L (Ω)	Escalón de tensión
14.59a)	50	50	10	0	0 a 5 V
14.59b)	50	50	0,1	20	0 a 5 V
14.59c)	50	50	5	70	0 a 10 V
14.59d)	0	50	10	0	0 a 10 V

14.60 Halle $v\ (X/2, t)$, $v\ (X, t)$, $i\ (X/2, t)$ e $i\ (X, t)$ con el diagrama de rebotes para los siguientes casos. Compare las soluciones con los valores esperados del permanente, $n = 2{,}0{\times}10^8$ m/s.

a) $R_o = 100$ Ω, $R_S = 50$ Ω, $R_L = \infty$ y la entrada es el escalón de la tensión $30u(t)$.

b) $R_o = 50$ Ω, $R_S = 0$, $R_L = \infty$ y la entrada es el escalón de tensión $50u(t)$.

14.61 Dibuje la tensión y la corriente de entrada para el diagrama de reflexión de la Figura P14.61.

14.62 Construya el diagrama de reflexión en papel milimetrado del problema de líneas descrito por $X = 0{,}6$ m, $R_L = 50$ Ω, $R_S = 400$ Ω y $R_o = 100$ Ω. Con la información del diagrama dibuje $v\ (0, t)$, $v\ (0{,}6\text{m}, t)$ e $i\ (0, t)$, suponien-

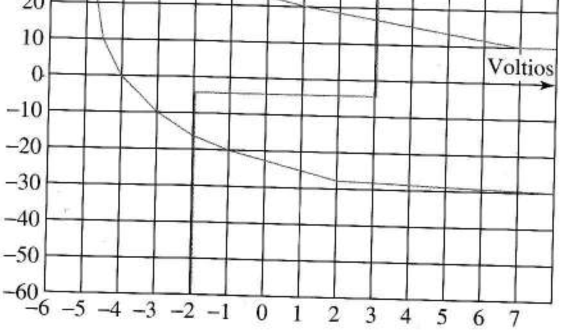


FIGURA P14.66

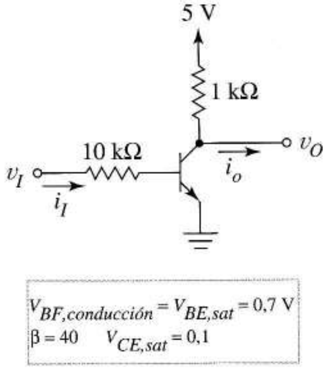


FIGURA P14.71

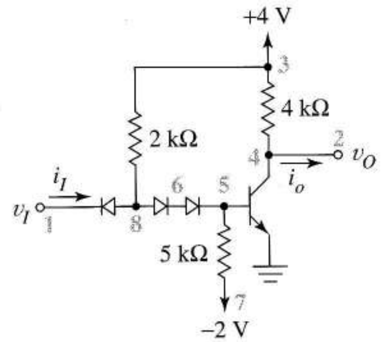


FIGURA P14.72

do la línea inicialmente en equilibrio y que la entrada es un escalón de 2 V en $t = 0$. $\mu = 2{,}8\times10^8$ m/s.

14.63 Repita el Problema 14.62 con $X = 0{,}6$ m, $R_L = 50\ \Omega$, $R_S = 50\ \Omega$ y $R_o = 100\ \Omega$.

14.64 Dibuje el diagrama de reflexión para las transiciones de 1 a 0 de la Figura 14.55a y b. Numere con pares los puntos de emisión y con impares los de recepción. Use el mismo R_o para todos los casos.

14.65 Demuestre que la resistencia característica que no produce reflexiones en CMOS con $k_p = k_n = k$ y $V_{tn} = -V_{tp} = V_t$ es la dada por la Ecuación (14.59).

Sugerencia relacione cuidadosamente los valores de la Figura. 14.54d. Observe que $I_{máx}$ es la corriente cuando el transistor tiene una tensión $V_{DD}/2$.

14.66 La Figura P14.66 muestra las restricciones de la fuente para el 0 y el 1 y las restricciones de la carga con una puerta lógica conectada a una carga no lineal a través de una línea de transmisión ideal. La línea tiene 0,03 m de larga y $\mu = 3\times10^8$ m/s.

a) Muestre la construcción de la reflexión para la transición 0-1 cuando $R_O = 100\ \Omega$ (10 mA/V).

b) Según la construcción de a), dibuje la corriente en el extremo de carga indicando los valores de corriente y tiempo.

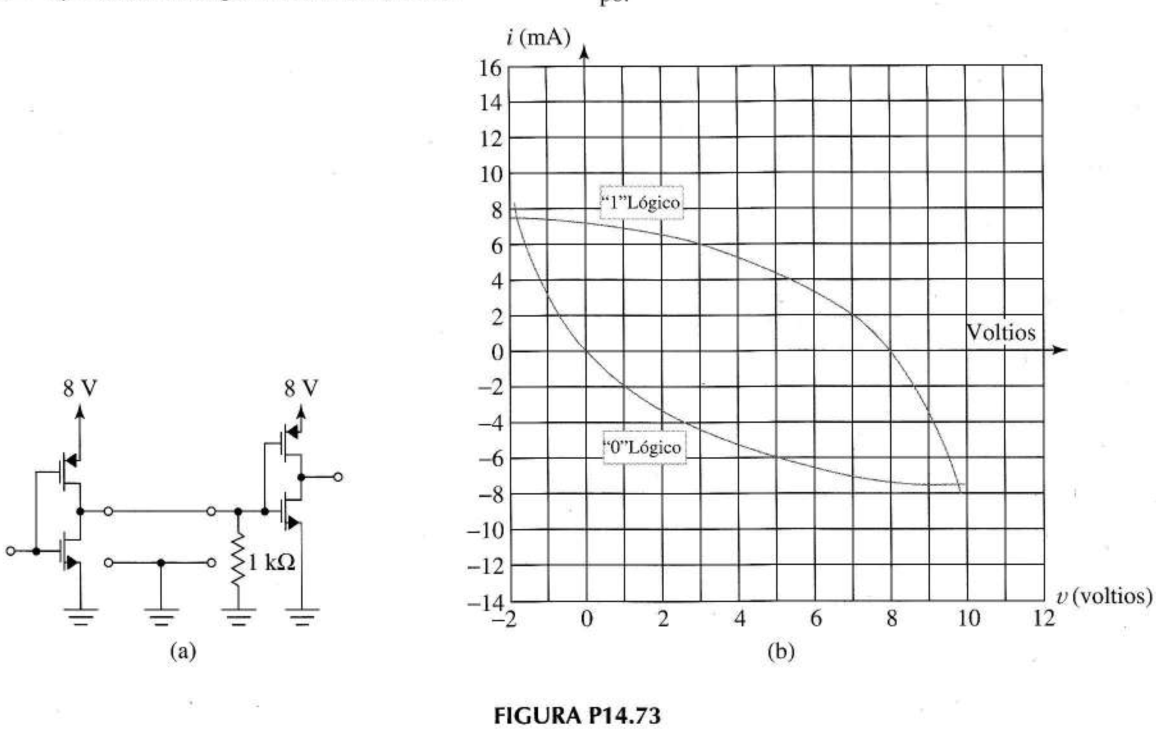


FIGURA P14.73

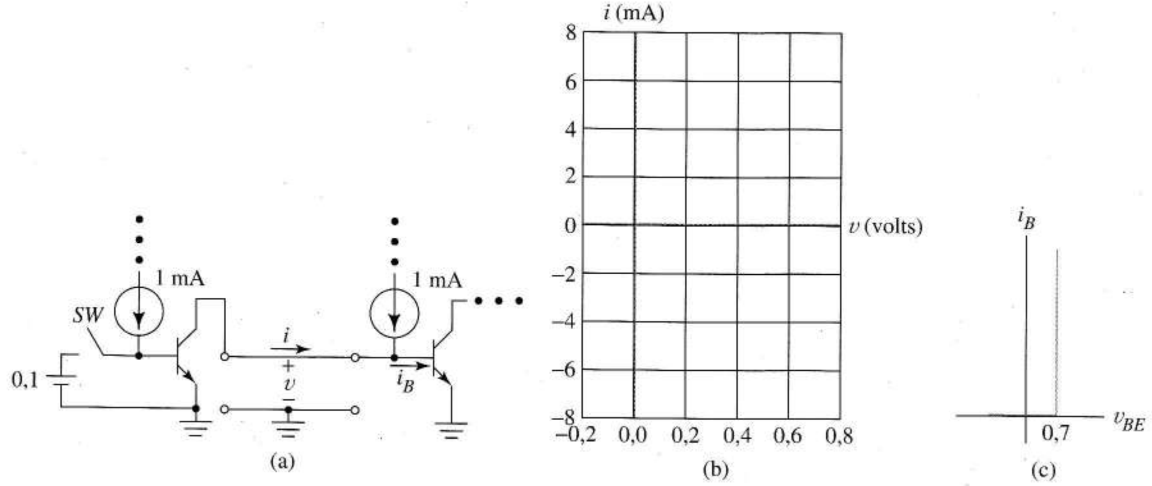


FIGURA P14.74

c) ¿Cuáles son las corrientes y tensiones máximas en el extremo emisor?

d) Si la resistencia de la línea es 50 Ω (20 mA/V) estime la duración del transitorio 1-0.

Sugerencia Dibuje un círculo en los valores de equilibrio.

14.67 Vimos que el inversor CMOS del Ejemplo 14.11 no tenía reflexiones cuando la línea se terminaba con $R_o = 649\ \Omega$.

a) Halle el valor de V_{DD} que no produce reflexiones cuando $R_o = 300\ \Omega$.

b) Con $V_{DD} = 12$ V, halle el nuevo k del transistor para no tener reflexiones con $R_o = 50\ \Omega$.

14.68 Rehaga la simulación SPICE que dio la Figura 14.56d tras añadir los diodos de protección (parámetros por defecto) en el extremo de carga (nodo 2), como en la Figura 14.29a.

14.69 Dos puertas NMOS, como en la Figura 14.57a, se conectan mediante 0,03 m de una línea de transmisión sin pérdidas caracterizada por $R_o = 300\ \Omega$, $\mu = 2{,}5\times10^{-8}$m/s. Los parámetros del transistor son $k_1 = 2\times10^{-4}$A/V^2, $k_2 = 2\times10^{-5}$A/V^2, $V_{t1} = V_{t2} = 1{,}1$ V, $V_A = 60$ V, GAMMA = 0,3, LAMBDA = 1/60 V^{-1}. Halle las tensiones en el emisor y carga con SPICE para la transición 0-1 en la puerta de emisión.

14.70 Haga el Problema 14.69 para la transición 1-0.

14.71 La Figura P14.71 muestra un inversor RTL.

a) Con el análisis lineal a trozos, halle i_I–v_I.

b) Halle de la misma forma i_O-v_O con $V_I = 5$ V.

c) Halle i_O–v_o cuando $V_I = 0{,}1$ V.

14.72 La Figura P14.72 muestra un inversor DTL. En la simulación SPICE use los diodos por defecto y $\beta = 30$.

a) Dibuje i_I-v_I para $0 \leq v_I \leq +1$ V con el análisis en continua.

b) Dibuje i_O–v_O cuando $v_I = 0{,}2$ V.

c) Dibuje i_O–v_O con $v_I = +4$ V.

d) Con los resultados SPICE haga un boceto del diagrama de reflexiones en DTL.

14.73 La Figura P14.73 muestra dos puertas CMOS conectadas por una línea de transmisión de $R_o = 200\ \Omega$ (1 V/5 mA). Hay 1 kΩ de resistencia en paralelo con la puerta de carga. La Figura P14.73 muestra las restricciones de salida CMOS.

a) Dibuje la restricción de la carga en el diagrama.

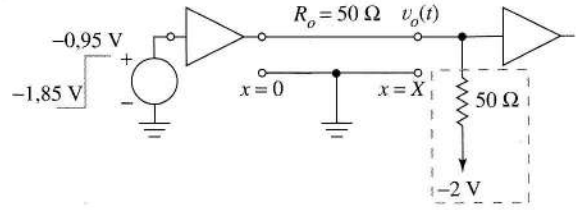
b) Dibuje $v\ (X, t)$ para la transición 1-0.

c) Si $T = 4{,}2$ ns, estime el tiempo que tarda la puerta de captura en percibir el cambio 0-1 cuando $R_o = 100\ \Omega$ (1 V/10 mA). Utilice $V_{IH} \approx V_{IL} \approx 0{,}5\ V_{DD}$.

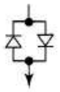
14.74 La Figura P14.74 muestra dos *inversores* (I^2L) conectados por una línea de transmisión. Los transistores tienen $\beta = 6$ y $V_{CE,\,sat} = 0{,}1$ V. Cuando la entrada es un "0" (interruptor cerrado), el transistor está al corte y cuando es un "1" (interruptor abierto), la corriente de colector es $\beta i_B = 6$ mA, salvo cuando se sature, dando $v_{CE} = V_{CE,\,sat}$ e $i_C \leq \beta i_B$.

a) En un sistema de coordenadas como en la Figura P14.74b, dibuje las restricciones del emisor cuando el interruptor está cerrado.

b) Añada las restricciones del emisor con el interruptor abierto.



(a)



(b)

FIGURA P14.76

c) Añada las restricciones del receptor.

Sugerencia las características del transistor nos las da la Figura P14.74c.

14.75 Modele con SPICE el circuito con dos inversores como en la Figura P14.71, conectando en los extremos de fuente y carga una línea de transmisión ideal sin pérdidas. La fuente cambia de 0,2 V a 5 V en $t = 0$ y los parámetros de la línea son $Z0 = 50\Omega$ y $TD = 20$ ns.

a) Con el modelo estático SPICE del transistor con BF = 50, diodos por defecto y análisis transitorio, halle las formas de onda de entrada al inversor de carga en los primeros 120 ns.

b) Repita la simulación con los parámetros dinámicos de los dispositivos. Para los diodos, CJO = 2E–12 y TT = 1,0E-10. Para los transistores, CJEO = 0,15 pF, CJCO = 0,15 PF, TF = 0,2 N, TR = 20 N.

14.76 La Figura P14.76 muestra una línea con buffers ECL en la entrada y en la salida de tal forma que se producen pocas reflexiones. La Figura 13.40a es el diagrama del buffer de entrada. Observe que las componentes en el recuadro están realmente conectada al extremo de la carga de la línea en la Figura P14.76a.

a) Halle con SPICE $v_o(t)$ para la transición mostrada. Los parámetros del transistor son

BF = 30

CJE = 0,15 PF

CJC = 0,15 PF

TF = 0,2N

Use, IC V(1) = −1,85.

El retardo de la línea es TD = 5 ns. Deje que la simulación se ejecute hasta 20 ns.

b) Repítala tras sustituir el circuito recuadrado en P14.76a por el de la Figura P14.76b. Este es otro método de interconectar usado por ECL.

c) Repítala una tercera vez sin los componentes del recuadro, es decir, con conexión directa.

Apéndice A

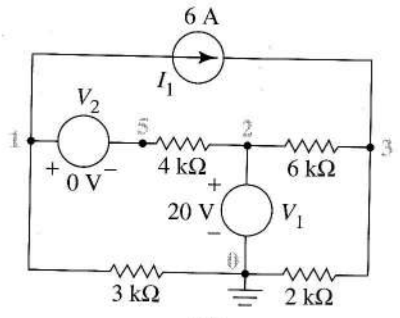
ANÁLISIS SPICE

Este apéndice inicia al principiante en los fundamentos de la simulación SPICE mediante ejemplos. Existen ejemplos adicionales a lo largo del texto que introducen otras técnicas de la programación SPICE y la tabla de las contraportadas ayuda al lector a ir a los ejemplos clave que necesite. Aunque los ejemplos del texto son autocontenidos, se necesita una referencia que trate las opciones de los parámetros y la sintaxis del SPICE en mayor profundidad; algunos de ellos se indican en este apéndice. Todos los ejemplos del libro se ejecutan en la versión SPICE para estudiantes aunque para dar mayor universalidad al código se omiten las características no disponibles en todas las versiones de SPICE.

El SPICE realiza tres tipos distintos de análisis de circuitos: en continua, en alterna y transitorio. En esta introducción se demostrarán los fundamentos SPICE con el análisis en continua y en alterna. En el análisis transitorio, la variable independiente es el tiempo y la excitación es una función del tiempo, un escalón, rampa, función exponencial, onda triangular o senoidal. A lo largo del texto se encuentran muchos ejemplos de análisis transitorio.

A.1 ANÁLISIS EN CONTINUA

La Figura A.1 muestra un circuito que contiene resistencias, una fuente de corriente dependiente y dos fuentes de tensión independientes. El primer paso es darle al SPICE el diagrama del circuito; comenzamos numerando los nodos del circuito siempre con el nodo de referencia numerado como 0. Después, describiremos el circuito en las líneas de código SPICE. La Figura A.1b muestra el código de la Figura A.1a. El código SPICE debe cumplir pocas reglas: la primera línea debe ser el título y la última la sentencia de control ".END". Entre ambas, las líneas de los elementos describen cada dispositivo del circuito. Las sentencias de control especiales, que siempre comienzan por ".", especifican el tipo de análisis e indican las salidas que el usuario desea.



(a)

```
DC CIRCUIT
R1 2 3 6000
R2 3 0 2000.0
R3 1 0 3E3
R4 5 2 4K
I1 1 3 DC6
*I1 3 1 DC-6
V1 2 0 DC 20
V2 1 5 DC 0
.PRINT DC V(3) V(1,3) I(V2)
.END
```

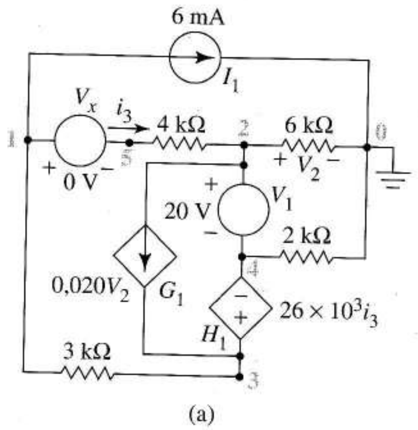
(b)

FIGURA A.1

Las resistencias llevan un nombre que empieza por R y éste es el primer dato de la línea y después se indican los números de los nodos de la resistencia y su valor en ohmios. Las descripciones de resistencias de la Figura A.1b muestran cuatro formas válidas. Los campos de información van separados por uno o más espacios. Cualquier línea que empiece por un asterisco es un comentario y será ignorado por SPICE. Los comentarios que explican el funcionamiento del circuito o el código pueden situarse en cualquier punto.

Los nombres de las fuentes de corriente independientes empiezan por I y los números de los nodos indican la dirección de referencia de la corriente (del primer nodo al segundo). Las iniciales DC indican fuente de corriente continua y la corriente se da en amperios; el comentario que sigue indica otra descripción de la misma fuente.

Los nombres de las fuentes de tensión independientes deben comenzar por V y la tensión indicada en voltios es la tensión del primer nodo respecto del segundo.



(a)

```
DEPENDENT SOURCES
R1 5 2 4K
R2 2 0 6K
R3 4 0 2K
R4 1 3 3K
I1 1 0 DC 6M
V1 2 4 DC 20
VX 1 5 DC 0
H1 3 4 VX 26K
*H1 4 3 VX -26K
G1 2 3 2 0 20M
.WIDTH OUT=80
.END
```

(b)

FIGURA A.2

La línea ".PRINT DC" es una sentencia de control que pide al SPICE que proporcione ciertos datos calculados en el análisis en continua, en el fichero de salida. En este ejemplo son: la tensión en el nodo 3, V(3), la tensión en el nodo 1 respecto del 3, V(1, 3) y la corriente en V(2), I(V2). La fuente V2 no hace nada en el circuito pero sirve como amperímetro permitiendo calcular la corriente en la resistencia de 4 kΩ, ya que el SPICE no da las corrientes por las resistencias.

TABLA A.1 Abreviaturas SPICE

Abreviatura	Nombre	Multiplicador
F	femto	10^{-15}
P	pico	10^{-12}
N	nano	10^{-9}
U	micro	10^{-6}
M	milli	10^{-3}
K	kilo	10^{+3}
MEG	mega	10^{+6}
G	giga	10^{+9}
T	tera	10^{12}

CENTRO POLITÉCNICO SUPERIOR DE INGENIEROS BIBLIOTECA

Con el código de la Figura A.1b, el SPICE calcula y da en la salida las tensiones continuas de todos los nodos, las corrientes en las fuentes de tensión y los valores de los parámetros indicados en la sentencia ".PRINT".

La Figura A.2 describe un circuito que contiene fuentes de corriente controladas por tensión y fuentes de tensión controladas por corriente. Las fuentes de tensión controladas por corriente como la que está entre los nodos 3 y 4 necesita un nombre que empiece por H seguido de sus nodos (el mismo convenio que las independientes) y el nombre de la fuente de corriente que controla su tensión.

Finalmente, se indica la transmitancia (relación entre la corriente de control y la tensión en ohmios).

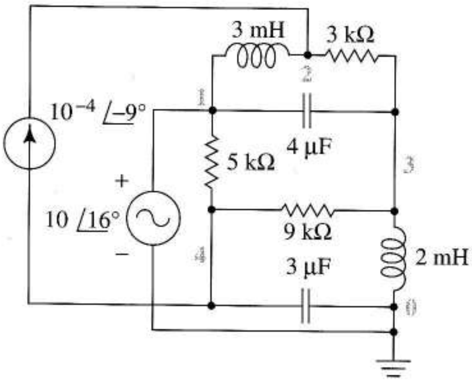
Una fuente de corriente controlada por tensión como la que hay entre los nodos 2 y 3 tiene un nombre que empieza por G. Después de sus números de nodos, llega la definición de la tensión de control, en este caso, la tensión del nodo 2 respecto del 0. Finalmente se da la transmitancia en A/V.

La Tabla A.1 da una lista de las abreviaturas SPICE para las potencias de 10. Observemos que M es la abreviatura de 10^{-3} y no de 10^{6}. Encontraremos el código SPICE de otras fuentes dependientes a lo largo del texto. Estos ejemplos no precisan ninguna línea especial de código ya que SPICE siempre realiza el análisis en continua.

A.2 ANÁLISIS EN ALTERNA

La Figura A.3 da el código SPICE para un circuito en alterna. Los nomres de los bipolares y los condensadores comenzarán por L y C respectivamente. En este circuito, V1 es una fuente de alterna e I1 es una fuente de continua. SPICE espera la magnitud en primer lugar y la fase (en grados) en segundo y si no hay valor para la fase, supone 0 grados.

La línea .AC solicita un análisis en alterna desde 1.000 Hz a 1.000 Hz en pasos lineales de 1, es decir, analizará el circuito a una sola frecuencia, 10^3 Hz. El comentario que sigue realiza la respuesta frecuencial con 100 puntos espaciados linealmente entre 0,1 Hz y 1.000 Hz. Con la línea .PRINT, el SPICE da una tabla con la magnitud de tensión del nodo 2 respecto del 4, VM(2, 4) y de su fase VP(2, 4) para todas las frecuencias del análisis. La misma línea solicita los valores de la magnitud de corriente que circula entre nodo 1 y masa a través de la fuente de tensión V1. Como la línea .AC indica sólo una frecuencia, la tabla tiene sólo una fila.



(a)

```
SINGLE-FREQUENCY ANALYSIS
R1 2 3 3K
R2 4 3 9K
R3 1 4 5K
L1 1 2 3M
L2 3 0 2M
C1 4 0 3U
C2 1 3 4U
V1 1 0 AC 10 16
I1 4 2 AC 0.1M -9
.AC LIN 1 1E3 1E3
*.AC LIN 100 0.1 1000
.PRINT AC VM(2,4) VP(2,4) IM(V1)
.END
```

(b)

FIGURA A.3

REFERENCIAS

1. ANTONETTI, P., y G. MASOBRIO, eds. *Semiconductor Device Modeling with SPICE.* NewYork: McGraw-Hill,1988.
2. BANZAFH, W. *Computer-Aided Circuit Analysis Using SPICE. Englewood Cliffs*, NJ: Prentice Hall, 1989.
3. TUINENGA, P. W. *SPICE A Guide to Circuit Simulation & Analysis Using PSPICE.* Englewood Cliffs, NJ: Prentice Hall, 1988.

Apéndice B

CUADRIPOLOS

Los conceptos que estudiamos aquí nos ayudan a analizar dispositivos y subcircuitos. La teoría está relacionada con los amplificadores realimentados y es fundamental para entender la información de las hojas de datos de los transistores.

B.1 DEFINICIÓN DE CUADRIPOLO

Un cuadripolo es un circuito que se comunica con el "mundo exterior" sólo a través de los *puertos* de entrada y salida, como en la Figura B.1. Cada uno es un par de terminales con las corrientes y tensiones definidas por el *convenio estándar* de la Figura B.1. Es esencial en la definición de puerto que la corriente que entra por uno de los terminales también salga por el otro, como la corriente i_1. Este estudio se limita a *cuadripolos lineales*.

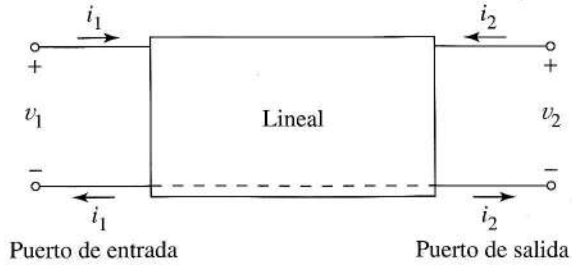


FIGURA B.1
Convenciones de notación en la teoría de cuadripolos.

La mayoría de los cuadripolos en este texto tienen en común un nodo de entrada con uno de salida (línea a trazos de la Figura B.1); pero esta condición no es esencial en los cuadripolos que carecen de ella. Los cuadripolos de mayor interés de este curso son los transistores polarizados funcionando en pequeña señal, circuitos de resistencias, conjuntos *RLC* y fuentes dependientes.

La teoría de cuadripolos juega el mismo papel que los teoremas de Thevenin y Norton para los dipolos (de dos terminales). La teoría de cuadripolos:

- Lleva a circuitos equivalentes simples y de formato estándar con parámetros se pueden obtener por medida o por análisis de circuitos.

- Se aplica a circuitos simples o complejos.

- Facilita la omisión de detalles innecesarios.

- Proporciona ecuaciones simplificadas de dispositivos y circuitos.

- Se aplica a descripción en régimen permanente tanto senoidal como en continua de dispositivos y circuitos.

- Describe correctamente sólo las variables externas del cuadripolo.

- Simplifica la interconexión de circuitos.

A diferencia de los teoremas de Norton y Thevenin, la teoría de cuadripolos no se aplica cuando contienen fuentes independientes aunque sí se permiten las dependientes.

Aquí estudiaremos cuatro posibles representaciones de cuadripolos y para un determinado circuito podrían existir alguna o todas ellas; la aplicación podría ser el factor que decidiera el uso de una u otra. Algunas veces la elección depende de los parámetros que puedan ser medidos o calculados con mayor precisión o facilidad; otras veces la descripción se da con parámetros ABC pero va más allá de los que aquí se presenta.

B.2 PARÁMETROS *z*

Ecuaciones El cuadripolo de la Figura B.1 se puede definir con parámetros z mediante

$$v_1 = z_{11}i_1 + z_{12}i_2$$

$$v_2 = z_{21}i_1 + z_{22}i_2 \qquad \text{(B.1)}$$

La Figura B.2a nos ayuda a comprender el sentido de estas ecuaciones. Como el circuito es lineal, las Ecuaciones (B.1) describen cada tensión en un extremo como *superposición de respuestas* a las fuentes de corriente conectadas en los dos lados. Con las Ecuaciones (B.1) como expresiones básicas de la linealidad de un circuito como el cuadripolo, podemos concluir que sirven para *cualquier* caso y no sólo para el caso en que haya fuentes de corriente.

Definición de los parámetros z Las Ecuaciones (B.1) nos llevan a definiciones que proporcionan sentido a cada parámetro z. En la primera de ellas, haciendo $i_2 = 0$ y despejando z_{11}

$$z_{11} = \left.\frac{v_1}{i_1}\right|_{i_2=0} \qquad \text{(B.2)}$$

Para hacer i_2 igual a cero abrimos los terminales de salida (Figura B.2b), es decir, z_{11} es la *impedancia de entrada en circuito abierto*, impedancia que se ve en la entrada con la salida en circuito abierto.

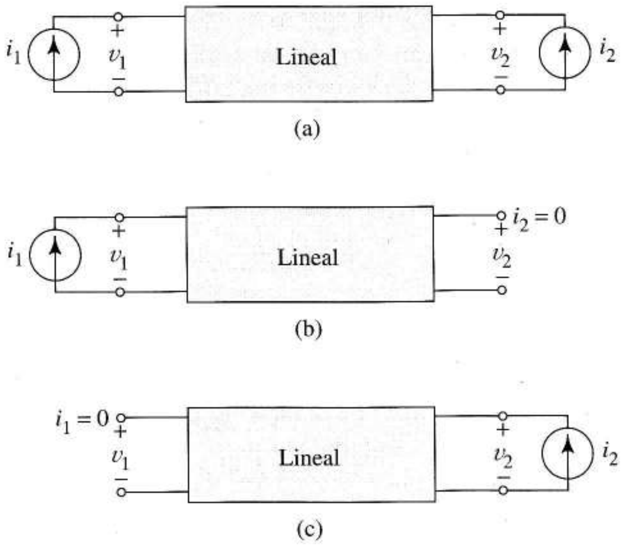


FIGURA B.2
a) Conexiones para interpretar los parámetros z; b) Conexión para definir z_{11} y z_{12}; c) Conexiones para definir z_{12} y z_{22}.

A partir de la segunda ecuación

$$z_{21} = \frac{v_2}{i_i}\Bigg|_{i_2=0} \tag{B.3}$$

A partir de la Figura B.2b, z_{21} se denomina *impedancia de transferencia directa en circuito abierto*: es una impedancia de *transferencia* porque es el cociente entre la tensión de un lado y la corriente en el otro; y es directa porque es la relación entre una variable de salida y una de entrada.

Haciendo $i_1 = 0$ en las Ecuaciones (B.1) obtenemos la Figura B.2c y las definiciones de *impedancia de transferencia inversa en circuito abierto* e *impedancia de salida en circuito abierto*,

$$z_{12} = \frac{v_1}{i_2}\Bigg|_{i_1=0} \quad \text{y} \; z_{22} = \frac{v_2}{i_2}\Bigg|_{i_1=0} \tag{B.4}$$

respectivamente.

Medida de los parámetros z Para medir z_{11} y z_{21} abrimos la salida y aplicamos una fuente a la entrada como en la Figura B.2b, medimos los valores del numerador y denominador y calculamos los cocientes según (B.2) y (B.3). Para medir z_{22} y z_{12}, abrimos la entrada y conectamos la fuente a la salida, como en la Figura B.2c. Tras medir las variables calculamos los cocientes de (B.4). Como las ecuaciones son válidas para cualquier conexionado, podemos usar fuentes de tensión o de corriente en la medida aunque, a veces, una es más adecuada que la otra o da una medida más precisa. Si es adecuado usar una excitación senoidal, tanto las tensiones como las corrientes y los parámetros z llevan asociados magnitud y fase.

Cálculo de los parámetros z mediante análisis Para hallar los parámetros z mediante análisis de circuitos, aplicamos las conexiones de las Figuras B.2 b y c al diagrama del circuito y despejamos

los cocientes usando un análisis lineal. En régimen permanente senoidal, este análisis supone el uso de cálculo complejo. Otras veces, el análisis se lleva a cabo mediante transformada de Laplace. Como en la medida, la fuente puede ser de tensión o corriente. El siguiente ejemplo presenta un cálculo de los parámetros z mediante análisis de circuitos.

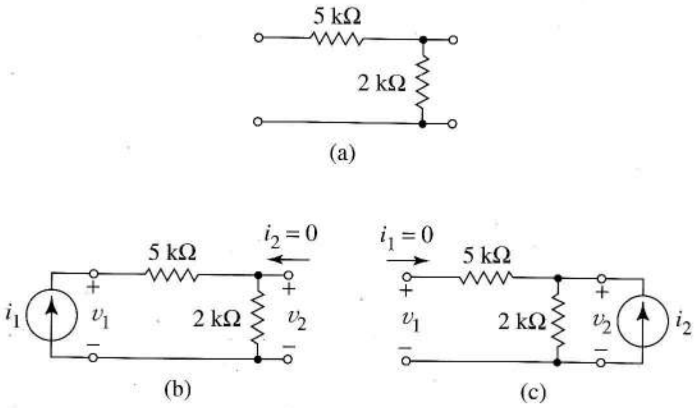


FIGURA B.3 Circuitos para el cálculo de los parámetros z: a) circuito original; b) circuito para hallar z_{11} y z_{21}; c) circuito para hallar z_{12} y z_{22}.

EJEMPLO B.1 Hallar los parámetros z del circuito de la Figura B.3a.

Solución Este circuito no contiene ni capacidades ni inductancias por lo que se puede usar un análisis en continua. La impedancia en circuito abierto, z_{11}, es la resistencia a la entrada cuando la salida está en circuito abierto como en la Figura B.3b. Siguiendo la definición podríamos hallar que $v_1 = i_1 \times 7$ kΩ. Por definición, $z_{11} = 7$ kΩ. Es más intuitivo observar que la fuente i_1 ve una impedancia de entrada de 7 kΩ. A partir de B.3b, $v_2 = (2\text{ k})i_1$. Usando (B.3), $z_{21} = 2$ kΩ.
La impedancia de salida en circuito abierto z_{22}, es sencillamente los 2 kΩ vistos en los nodos de salida de la Figura B.3c. También, $v_1 = (2\text{ k})i_2$ (la caída provocada por i_1 en la resistencia de 5 kΩ es nula). Según la primera definición de (B.4), $z_{12} = 2$ kΩ. ❑

Modelo del circuito con parámetros z Es fácil dibujar un equivalente sencillo en función de los parámetros z a partir de (B.1) para cualquier cuadripolo. Según la primera ecuación, v_1 es la suma de dos tensiones: la caída causada por i_1 cuando circula por z_{11} y una tensión dependiente *de* i_2. Para modelar esta última necesitamos una CCVS. La Figura B.4a explica la forma de trasladar estas observaciones a un circuito. También indica cómo realizar un sencillo circuito de salida con dos componentes para la segunda Ecuación de (B.1). No importa lo grande o complejo que sea el circuito real, siempre que conozcamos los parámetros z, podremos sustituirlo por la Figura B.4a.

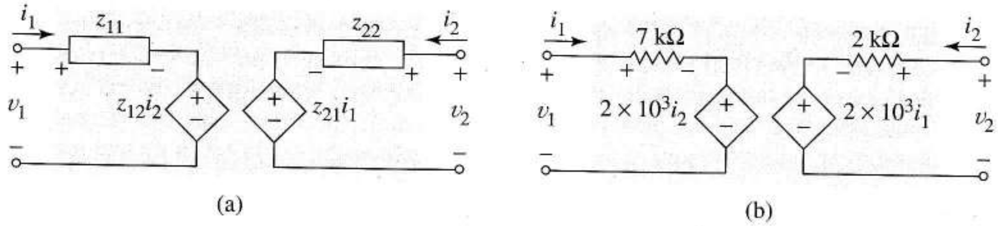


FIGURA B.4 a) Circuito equivalente con parámetros z; b) equivalente en parámetros z del divisor de tensión del Ejemplo B.1.

La Figura B.4 muestra el equivalente en parámetros z del divisor del Ejemplo B.1 y de la Figura B.3a. Aunque el equivalente sea más complejo que el divisor original, esta teoría de modelado es conceptualmente muy importante en la unificación de la teoría de los amplificadores realimentados.

Existen circuitos similares para las demás descripciones de cuadripolos que estudiaremos luego. En cada caso, los parámetros "11" y "22" representan físicamente los efectos de la carga en la entrada y la salida, respectivamente. El parámetro "21" describe la señal que atraviesa el cuadripolo y el "12" es la *realimentación interna* desde la salida a la entrada. Los cuadripolos en que el parámetro "12" es nulo son unidireccionales y las señales sólo circulan en esa dirección. Estudiando las Figuras B.3a y B.4b, existe un mecanismo de realimentación interna en el divisor de tensión elemental, una pequeña joya del conocimiento que es difícil de encontrar cuando miramos el circuito divisor en sí mismo.

B.3 PARÁMETROS y

Las ecuaciones del cuadripolo en parámetros y son

$$i_1 = y_{11}v_1 + y_{12}v_2$$

$$i_2 = y_{21}v_1 + y_{22}v_2 \qquad \text{(B.5)}$$

La Figura B.5a representa las ecuaciones mediante superposición; por ello, sirve para cualquier conexión y no sólo para fuentes de tensión.

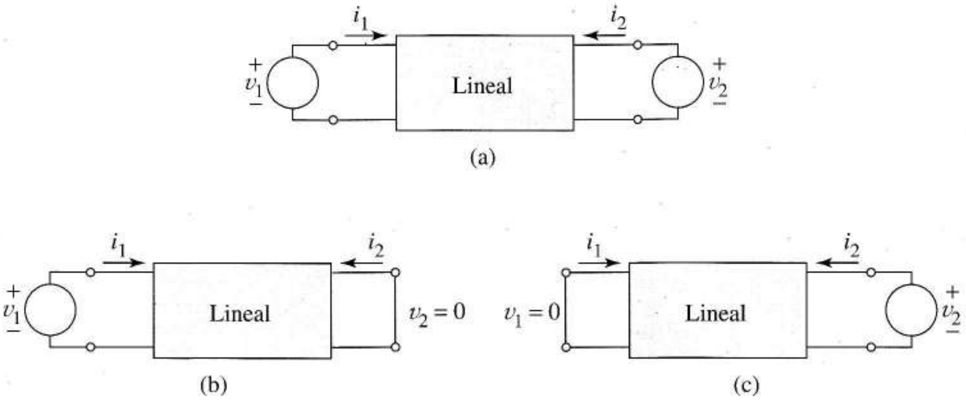


FIGURA B.5 Conexiones para los parámetros y: a) para justificar la superposición; b) para hallar y_{11} e y_{21}, c) para hallar y_{12} e y_{22}.

Definición de los parámetros y Aislando los términos individuales de (B.5) desconectamos una fuente cada vez, llegamos a las definiciones

$$y_{11} = \left.\frac{i_1}{v_1}\right|_{v_2=0}, \quad y_{21} = \left.\frac{i_2}{v_1}\right|_{v_2=0}$$

$$y_{12} = \left.\frac{i_1}{v_2}\right|_{v_1=0}, \quad y_{22} = \left.\frac{i_2}{v_2}\right|_{v_1=0} \qquad \text{(B.6)}$$

La medida/análisis de circuitos de las Figuras B.5b y B.5c y las denominaciones

y_{11}: admitancia de entrada en cortocircuito.

y_{21}: admitancia de transferencia directa en cortocircuito.

y_{12}: admitancia de transferencia inversa en cortocircuito.

y_{22}: admitancia de salida en cortocircuito.

y_{11} (y_{22}) no es la inversa de z_{11} (z_{22}) ya que los parámetros se definen en distintas condiciones.

Circuito equivalente en parámetros *y* Las ecuaciones de definición (B.5) tienen la interpretación de circuito equivalente de la Figura B.6 donde cada ecuación es una suma de corrientes en el nodo interno. De nuevo, necesitamos fuentes dependientes para representar los parámetros de transferencia.

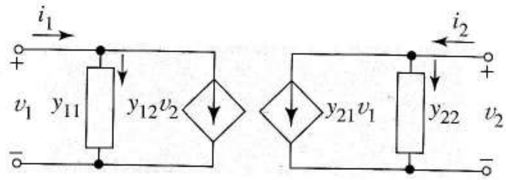
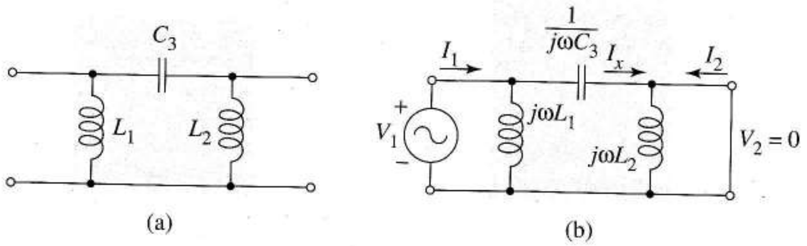


FIGURA B.6 Circuito equivalente para los parámetros *y*.

EJEMPLO B.2 Hallar los parámetros *y* del cuadripolo de la Figura B.7a por análisis.



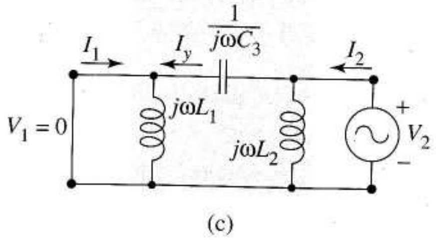


FIGURA B.7 Circuito equivalente para el Ejemplo B.2: a) cuadripolo original; b) conexión para hallar y_{11} e y_{21}; c) conexión para hallar y_{22} e y_{12}.

Solución Como el circuito contiene *LC*, interpretamos (B.5) como ecuaciones fasoriales que relacionan los fasores de corriente y tensión a la frecuencia ϖ. Por ello, los parámetros *y* buscados son valores complejos. La Figura B.7b indica qué conectar al cuadripolo para hallar y_{11} e y_{21}. Las impedancias complejas representan elementos reactivos así que usaremos mayúsculas para los fasores.

Como está en corto, la tensión en L_2 es cero y, por ello, su corriente también. Observemos también que el cortocircuito coloca a V_1 en paralelo con C_3. Como y_{11} es la admitancia que ve V_1, y_{11} es la admitancia de L_1 en paralelo con la admitancia de C_3. Así,

$$y_{11} = \frac{1}{j\omega L_1} + j\omega C_3$$

Para hallar y_{21}, observemos primero que $I_2 = -I_x$. Pero como C_3 está en paralelo con V_1, $I_x = j\varpi C_3 V_1$. Sustituyendo $-j\varpi C_3 V_1$ para I_2, en la definición de y_{21} (B.6) da

$$y_{21} = -j\omega C_3$$

Según la Figura B.7c, con un análisis similar,

$$y_{22} = j\omega C_3 + \frac{1}{j\omega L_2}$$

y

$$y_{12} = -j\omega C_3$$

❑

B.4 PARÁMETROS *h*

Ecuaciones y circuito equivalente La Figura B.8a muestra el conexionado que justifica las ecuaciones en parámetros *h*, ecuaciones (B.7) como sentencias de superposición. Con esta descripción híbrida, la conexión de entrada es la misma que se usó con los parámetros *z* mientras que la de salida es la que se usó para los parámetros *y*.

$$\begin{aligned} v_1 &= h_{11} i_1 + h_{12} v_2 \\ i_2 &= h_{21} i_1 + h_{22} v_2 \end{aligned} \quad \text{(B.7)}$$

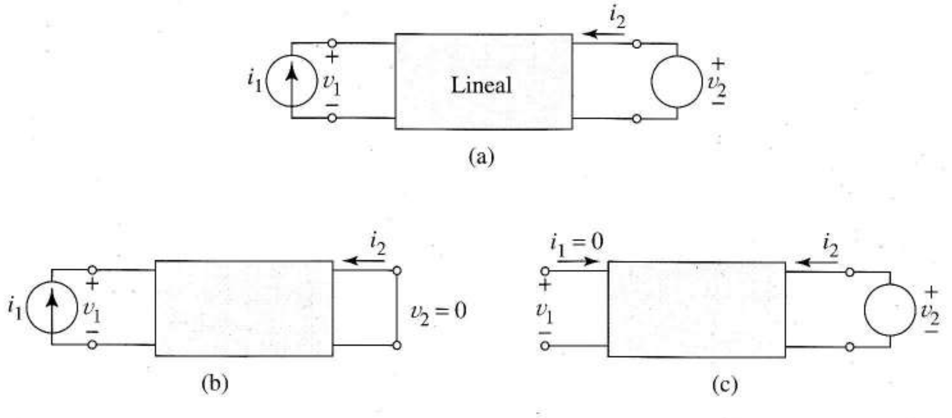


FIGURA B.8 Conexiones de cuadripolo para los parámetros *h*: a) definiciones; b) para hallar h_{11} y h_{21}; c) para hallar h_{12} y h_{22}.

Definiciones de los parámetros h Usando los procedimientos que se usaron en los cuadripolos y la terminología que ya nos está siendo familiar, usamos las Ecuaciones (B.8) para definir la impedancia de entrada en cortocircuito, h_{11}, la ganancia inversa de tensión en circuito abierto h_{12}, la ganancia directa de corriente, h_{21} y la admitancia de salida en circuito abierto, h_{22}. Las Figuras B.8b y c muestran el conexionado para la medida o el análisis.

$$h_{11} = \frac{v_1}{i_1}\bigg|_{v_2=0}, \quad h_{21} = \frac{i_2}{i_1}\bigg|_{v_2=0}$$

$$h_{12} = \frac{v_1}{v_2}\bigg|_{i_1=0}, \quad h_{22} = \frac{i_2}{v_2}\bigg|_{i_1=0}$$

Circuito equivalente en parámetros *h* Interpretando la primera línea de (B.7) como la ley de Kirchhoff de tensiones aplicada al circuito de entrada y la segunda línea como la ley de Kirchhoff de corrientes aplicada al circuito de salida, da el modelo de la Figura B.9.

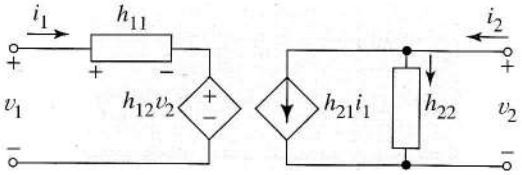


FIGURA B.9 Circuito equivalente en parámetros *h*.

EJEMPLO B.3 Hallar los parámetros *h* del circuito de la Figura B.10a.

Solución Como el circuito no contiene elementos *LC* usamos el análisis en continua. Para hallar h_{11} y h_{21} cortocircuitamos la salida y conectamos una fuente de corriente independiente a la entrada. Esto da la Figura B.10b. Para simplificar el análisis, observemos que r_o esta cortocircuitada y la tensión en r_μ es v_1 (v_π).
La ley de Kirchhoff de corriente en el nodo de arriba con la entrada da

$$i_1 = \left(\frac{1}{r_\pi} + \frac{1}{r_\mu}\right) v_1 \tag{B.9}$$

De la definición, $h_{11} = r_\pi \| r_\mu$.
La ley de Kirchhoff de las corrientes en el nodo *x* da

$$\frac{v_1}{r_\mu} = g_m v_1 - i_2$$

Así

$$i_2 = \left(g_m - \frac{1}{r_\mu}\right) v_i \tag{B.10}$$

Despejando v_1 en (B.9) y sustituyéndola en (B.10)

$$i_2 = \frac{(g_m - 1/r_\mu)}{(1/r_\pi + 1/r_\mu)} i_1 \tag{B.11}$$

El cociente i_2/i_1 es

$$h_{21} = \frac{(g_m - 1/r_\mu)}{(1/r_\pi + 1/r_\mu)}$$

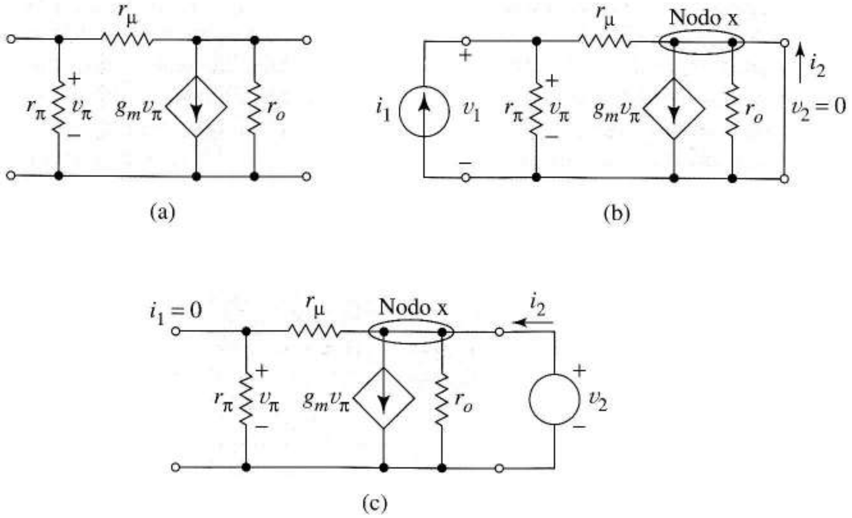


FIGURA B.10
a) Cuadripolo lineal del Ejemplo B.3;
b) conexión para hallar h_{11} y h_{21};
c) conexión para hallar h_{12} y h_{22}.

La Figura B.10c da las conexiones a usar para hallar los otros parámetros h. Aplicando la ley de Kirchhoff de tensiones al nodo x

$$i_2 = \frac{v_2}{r_o} + g_m v_\pi + \frac{v_2}{r_\mu + r_\pi} \tag{B.12}$$

Pero hay un problema: no podemos despejar i_2/v_2 hasta que v_π (segundo término de la derecha) no esté expresada como una función de v_2. En la Figura B.10c, v_π se relaciona con v_2 por la ecuación del divisor de tensión

$$v_\pi = \frac{r_\pi}{r_\pi + r_\mu} v_2 \tag{B.13}$$

Usándola para eliminar v_π de (B.12) y despejando la relación definida

$$h_{22} = \frac{i_2}{v_2} = \frac{1}{r_o} + \frac{g_m r_\pi}{r_\pi + r_\mu} + \frac{1}{r_\pi + r_\mu} \tag{B.14}$$

Al aplicar la definición de h_{12} observamos que la tensión de entrada, v_1 en la Figura B.10c es v_μ; así, según (B.13),

$$h_{12} = \frac{v_1}{v_2} = \frac{r_\pi}{r_\pi + r_\mu} \tag{B.15}$$

❑

En el ejemplo anterior se ve que aunque los detalles puedan ser complejos, los principios son sencillos. En problemas muy complejos, podemos usar SPICE para trabajar sobre los detalles poniendo las conexiones adecuadas e interpretando los resultados. Veremos la aplicación del SPICE después de estudiar los parámetros g.

B.5 PARÁMETROS g

Los últimos parámetros de los cuadripolos son otra descripción híbrida pero como ya se usó la inicial h, para éstos se usará la g.

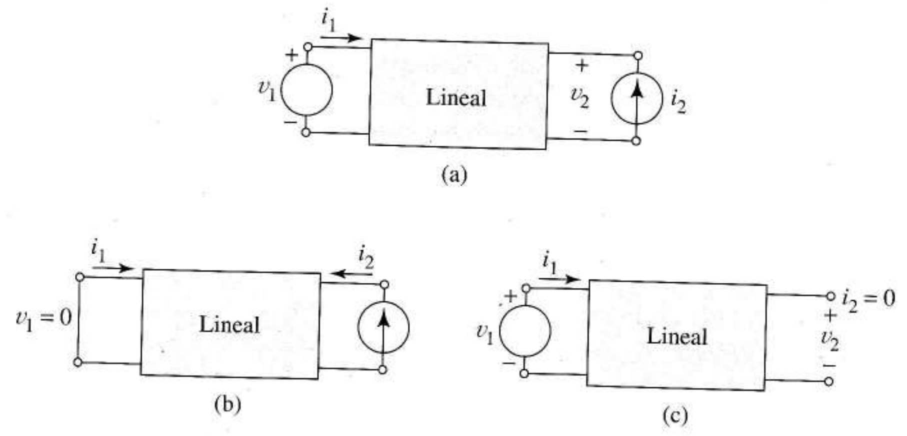


FIGURA B.11 Conexión para los parámetros *g*: a) comprensión de las definiciones; b) para hallar g_{21} y g_{22}; c) para hallar g_{11} y g_{21}.

Circuito equivalente en parámetros *g* Con la Figura B.11 se sugiere una descripción del cuadripolo como lo siguiente:

$$i_1 = g_{11}v_1 + g_{12}i_2 \tag{B.16}$$

$$v_2 = g_{21}v_1 + g_{22}i_2$$

Definiciones de los parámetros *g* Según (B.16) obtenemos las siguientes definiciones de los parámetros *g*:

$$g_{11} = \frac{i_1}{v_1}\bigg|_{i_2=0,} \quad g_{21} = \frac{v_2}{v_1}\bigg|_{i_2=0}$$

$$g_{12} = \frac{i_1}{i_2}\bigg|_{v_1=0,} \quad g_{22} = \frac{v_{22}}{i_2}\bigg|_{v_1=0}$$

Que definen, en ese orden, la *admitancia de salida en circuito abierto*, la *ganancia directa de tensión en circuito abierto*, la *ganancia inversa de corriente en cortocircuito* y la *impedancia de salida en cortocircuio*.

Circuito equivalente y ecuaciones con parámetros g La Figura B.12 muestra el circuito equivalente que corresponde a las Ecuaciones (B.16).

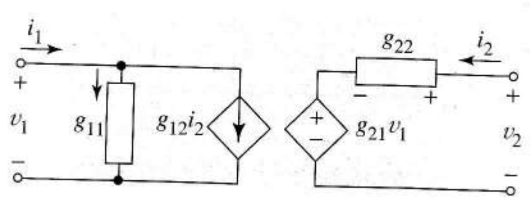
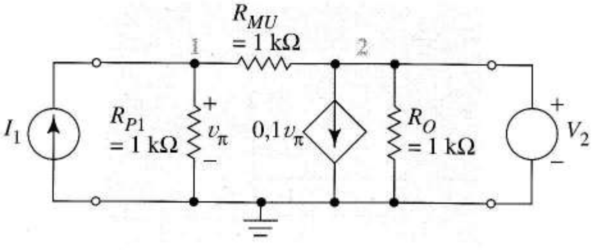


FIGURA B.12 Circuito equivalente en parámetros *g*.

Análisis de cuadripolos en SPICE Una forma fácil de hallar los valores numéricos de los parámetros en continua de los cuadripolos es usar la sentencia .TF (función de transferencia) de SPICE. Escribimos el código del cuadripolo de la forma habitual y le conectamos fuentes independientes en la entrada y salida como los usados en las ecuaciones de los cuadripolos. Así, usaremos fuentes de corriente para los parámetros *z*, de tensión para los *y*, etc. Llevamos a cabo el análisis en dos pasos. En la primera ejecución se usa una fuente unitaria de entrada y se desconecta la de salida, con lo que el SPICE da las resistencias de entrada, salida y el parámetro "21". Alguna de las resistencias calculadas es el parámetro buscado o su inverso. En la segunda ejecución, hallamos el parámetro "12", esta vez con la fuente de entrada eliminada y la de salida de valor unitario. Hay que tener cuidado al interpretar los signos algebraicos de los resultados debido al convenio de signos que SPICE tiene para las fuentes. Los siguientes ejemplos explican el procedimiento.

EJEMPLO B.4 Hallar los parámetros *h* del circuito de la Figura B.10a con $r_\pi = r_\mu = r_o$ 1 kΩ y $g_m = 0{,}1$ A/V.

Solución La Figura B.13a es como la Figura B.10a pero con las conexiones adecuadas en la entrada y salida para hallar los parámetros *h*. El código está en la Figura B.13. La fuente V2 se hace nula para producir el necesario cortocircuito en la salida. Con la sentencia .TF el SPICE calcula el cociente entre la corriente por el cortocircuito de salida y la de entrada, definidos como I(V2) e I1, respectivamente.



(a)

```
*H-PARAMETER CIRCUIT
RPI 1 0 1K
RMU 1 2 1K
RO 2 0 1K
G 2 0 1 0 0.1
I1 0 1 DC 1
V2 2 0 DC 0
.TF I(V2) I1
.END
```

(b)

FIGURA B.13 Modelo SPICE: a) circuito para hallar los parámetros *h* de la Figura B.10a; b) código SPICE; c) salida SPICE e interpretación de los resultados.

Salida SPICE	Interpretación
Resistencia de entrada = 500 Ω	h_{11}
Resistencia de salida = 19,4 Ω	$1/h_{22}$
`I(V2)/I1 = -49.5`	$-h_{21}$

(c)

La Figura B.13c muestra los resultados y su interpretación. El SPICE ha calculado la resistencia de salida con las conexiones adecuadas, pero h_{22} se define como la admitancia de salida en esas mismas condiciones. También, el SPICE define la corriente en V2 como la que entra por el terminal "+". Como esto es lo contrario de la convención de signos del cuadripolo, la función de transferencia de SPICE es h_{21} pero con signo opuesto. Podemos verificar estos valores sustituyéndolos en las expresiones algebraicas obtenidos en el Ejemplo B.3.

Para hallar los demás parámetros h, cambiamos las tres líneas de código que preceden al .END por

```
I1 01 DC 0
V2 2 0 DC 1
.TF V(1) V2
```

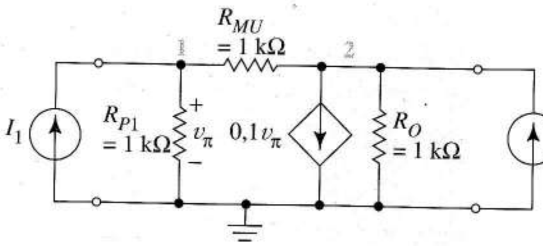
Estos cambios eliminan la fuente de entrada y vuelven a colocar la de salida solicitando la ganancia inversa de tensión en circuito abierto como función de transferencia. El SPICE calcula las resistencias de entrada y salida, pero también calcula V(1)/V2 = –0,500, que es h_{12}. ❑

EJEMPLO B.5 Hallar los parámetros z de la Figura B.10a con SPICE, siendo los valores $r_\pi = r_\mu = r_o = 1\ \text{k}\Omega$ y $g_m = 0{,}1$ A/V.

Solución En la Figura B.14a aparece el cuadripolo con fuentes de corrientes a la entrada y a la salida para hallar los parámetros z. La Figura B.14b presenta el código y la B.14c, los resultados y su interpretación como parámetros z. Para hallar los demás parámetros, cambiaremos las tres líneas de código que preceden al .END por

```
I1 01 DC 0
I2 0 2 DC 1
.TF V(1) I2
```

Estos cambios eliminan la fuente de entrada y colocan la de salida, solicitando la impedancia de transferencia en circuito abierto. En la salida SPICE está el resultado V(1)/I2 = –961,2 Ω, que es z_{12}. ❑



(a)

```
*Z-PARAMETER CIRCUIT
RPI 1 0 1K
RMU 1 2 1K
RO 2 0 1K
G 2 0 1 0 0.1
I1 0 1 DC 1
I2 0 2 DC 0
.TF V(2) I1
.END
```

(b)

Salida SPICE	Interpretación
Resistencia de entrada = 19,4 Ω	z_{11}
Resistencia de salida = 19,4 Ω	z_{22}
V(2)/I1 = -961.2	z_{21}

(c)

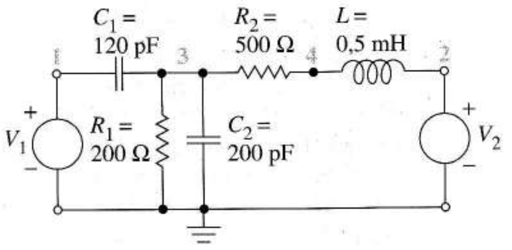
FIGURA B.14 a) Modelo SPICE para hallar los parámetros z de la Figura B.10a; b) código SPICE; c) interpretación de la salida SPICE.

Con estos conceptos, podemos usar la sentencia .TF para hallar los parámetros y y g de cualquier circuito pero, en continua, ya que no esta disponible en alterna; sin embargo, es fácil aplicar fuentes

independientes unitarias de tensión o corriente tal y como exijan las definiciones para hallar cualquier parámetro de un cuadripolo como se indica en el siguiente ejemplo.

EJEMPLO B.6 Hallar los parámetros y del cuadripolo pasivo de la Figura B.15a usando SPICE y trabajando a 1,59 MHz.

Solución Las fuentes de tensión de la Figura B.15a no son parte del cuadripolo en prueba si no que son las conexiones exteriores para nuestras medidas. El código de la Figura B.15b aplica un fasor de amplitud unitaria a la entrada con la salida en corto. La sentencia .PRINT solicita las magnitudes y las fases de las corrientes de entrada y salida. Como la tensión de entrada tiene amplitud unitaria y fase nula, las corrientes de salida serían las magnitudes y las fases de y_{11} e y_{21} si el convenio de signos fuera el mismo, pero necesitamos corregir la fase de salida en 180°, es decir, las corrientes en el cuadripolo son $I_2 = -I(V2)$ e $I_1 = I(V1)$. La Figura B.15c muestra los resultados incluyendo la ejecución por segunda vez del programa con V2 aplicada y V1 en corto. ❑



(a)

```
Y-PARAMETERS
C1 1 3 120P
C2 3 0 200P
R1 3 0 200
R2 3 4 500
L 4 2 .5E-3
V1 1 0 AC 1
V2 2 0 AC 0
.AC LIN 1 1.59E6 1.59E6
.PRINT AC IM(V2) IP(V2)
+ IM(V1) IP(V1)
.END
```

(b)

IM(V1) = 1.09E-3, IP(V1) = -101° y_{11} = 1.09E-3 79°	IM(V2) = 2.02E-4, IP(V2) = 97.5° y_{22} = 2.02E-4 -82.5°
IM(V2) = 4.08E-5, IP(V_1) = -25° y_{21} = 4.08E-5 155°	IM(V1) = 4.08E-5, IP(V1) = -25° y_{12} = y_{21} = 4.08E-5 155°

(c)

FIGURA B.15 Circuito del Ejemplo B.6; a) esquema; b) código SPICE para hallar y_{11} e y_{21}; c) resultados del SPICE.

Nuestras últimas observaciones son:

1. El procedimiento "cuadripolo" introducido en el último ejemplo es muy directo comparado con usar .TF porque hay relación directa con las definiciones. Este procedimiento se aplica tanto a problemas en continua como en alterna evitando completamente el uso de .TF y haciéndolo más fácil de recordar.
2. Aunque es fácil aplicar el análisis PSPICE a circuitos muy complejos, sólo da soluciones numéricas que están lejos de las expresiones simbólicas que se precisan en el diseño.
3. Se necesita un buen conocimiento de los convenios SPICE y de la teoría para hacer un correcto uso de los resultados.

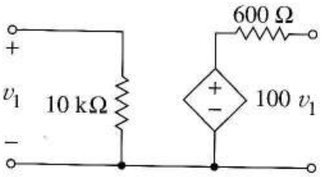


FIGURA P-B1

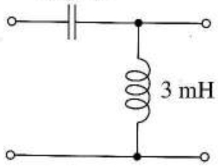


FIGURA P-B2

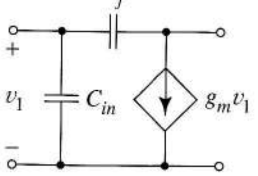


FIGURA P-B4

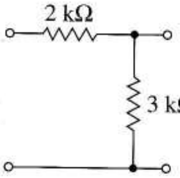


FIGURA P-B5

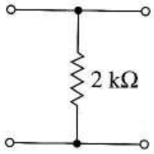


FIGURA P-B3

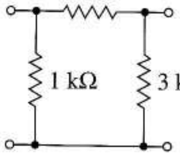


FIGURA P-B6

PROBLEMAS

B.1 Hallar los parámetros z del amplificador no ideal de la Figura P.B1.

B.2 Hallar los parámetros z a $\omega = 104$ rad/s de la Figura P.B2.

B.3 Dibujar el circuito equivalente en parámetros z de la Figura P.B3 indicando los valores numéricos.

B.4 Hallar los parámetros y de la Figura P.B4 en función de ω.

B.5 Dibujar el equivalente de la Figura P.B5 incluyendo los valores, usando a) los parámetros z, b) parámetros y, c) los parámetros h, y d) los parámetros g.

B.6 Dibujar el circuito equivalente de la Figura P.B6 incluyendo los valores, usando a) parámetros z, b) parámetros y, c) parámetros h, y d) parámetros g.

B.7 Hallar los parámetros h de la Figura B.4a y responda a esta cuestión: ¿Es posible pasar de un conjunto de parámetros a otro?

Apéndice C

PARÁMETROS SPICE DE LOS TRANSISTORES BIPOLARES

En las Figuras 4.40 y 4.44 aparecen, respectivamente, el modelo dinámico SPICE para el transistor y los parámetros que se necesitan para simularlo. Por simplicidad, los cálculos que siguen se limitan a aquellos parámetros necesarios para el funcionamiento activo directo. Una vez obtenidos, podremos simular el funcionamiento activo directo del bipolar en cualquier punto Q con precisión.

Las hojas de datos de los fabricantes suelen comenzar con la siguiente información:

1. Coordenadas de cualquier punto (V_{BE}, I_E) de la característica de entrada del transistor.
2. Valores medidos de h_{fe}, h_{ie}, h_{oe} y h_{re} y el valor de I_C de la medida.
3. Valores medidos de las capacidades de deplexión, específicamente, capacidad colector-base, C_μ, emisor-base, C_{je}, colector-sustrato C_{CIO} y las tensiones en las uniones a los que se hicieron las medidas (a veces encontraremos otras notaciones como $C_\mu = C_c = C_{co} = C_{cb} = C_{CBO}$ y $C_{je} = C_{EB0}$).
4. Frecuencia de ganancia unidad, f_τ, y los condensadores (V_{CE}, I_C) en los que se hizo la medida.

Procedimiento de cálculo Daremos una secuencia de cálculo que lleva a la obtención de los parámetros SPICE estáticos y dinámicos. I_C es la corriente a la que se midieron los parámetros *h*. Los parámetros SPICE estarán marcados en negrita en las ecuaciones.

Parámetros estáticos **1**. Calcular la corriente de saturación a partir de los valores medidos de I_E y V_{BE}, es decir,

$$\mathbf{IS} = I_E e^{-V_{BE}/V_T} \tag{C.1}$$

usando $V_T = 0{,}025$ V a temperatura ambiente.

2. Calcular la según

$$\mathbf{BF} = \beta = h_{fe} \tag{C.2}$$

3. Calcular g_m usando

$$g_m = \frac{I_C}{V_T} \tag{C.3}$$

Entonces

$$r_\pi = \frac{\beta}{g_m} \tag{C.4}$$

$$r_\mu = \frac{r_\pi}{h_{re}} \tag{C.5}$$

$$r_o = \frac{r_\mu}{r_\mu h_{oe} - \beta} \tag{C.6}$$

$$\mathbf{VAF} = r_o I_C \tag{C.7}$$

5. Hallar la "resistencia de base sin polarizar" según

$$\mathbf{RB} = r_X = h_{ie} - r_\pi \tag{C.8}$$

PARÁMETROS DEL MODELO DINÁMICO

Los siguientes cálculos dan los parámetros SPICE que modelan el funcionamiento activo directo del transistor.

Capacidades de deplexión Primero calcularemos los valores de las capacidades de deplexión colector-base, emisor-base y colector-sustrato a tensión cero usando los valores medidos a una tensión conocida. A menos que se especifique lo contrario supondremos que las uniones colector-sustrato y colector-base son abruptas y usaremos

$$\mathbf{MJC} = \mathbf{MJS} = 0{,}5$$

La unión gradual es un buen modelo para la conexión colector-emisor; por ello,

$$\mathbf{MJE} = 0{,}33$$

Los valores razonables de las barreras de potencial son

$$\mathbf{VJC} = 0{,}55\ \mathrm{V}$$
$$\mathbf{VJE} = 0{,}7\ \mathrm{V}$$
$$\mathbf{VJS} = 0{,}52\ \mathrm{V}$$

6. Conociendo C_μ a una determinada tensión V_{CEB}, calculamos **CJC** según

$$C_\mu = \frac{\mathbf{CJC}}{(1+V_{CB}/\mathbf{VJC})^{\mathbf{MJC}}} \quad (C.9)$$

7. Hallar **CJE**, según C_{je} y V_{EB} usando

$$C_{je} = \frac{\mathbf{CJE}}{(1+V_{EB}/\mathbf{VJE})^{\mathbf{MJE}}} \quad (C.10)$$

8. Calcular **CJS** con

$$C_{CI0} = \frac{\mathbf{CJS}}{(1+V_{C1}/\mathbf{VJS})^{\mathbf{MJS}}} \quad (C.11)$$

(Este paso se omitirá en transistores discretos).

Tiempo de transición directa Tras unos pocos cálculos se obtiene el tiempo de transición directo **TF**. Si f_τ fuese medido a diferente I_C que los parámetros h y las capacidades que deberán ser regulados.

9. i. Si se usa (C.3) para calcular g_m a la I_C a la que se midió f_τ.

   ii. Según (C.9), recalculamos C_μ usando el valor de V_{CB} a la que se midió f_τ. Si V_{CE} esta dada para f_τ, usamos $V_{CB} = V_{CE} = -0,7$ V. Ahora, **CJC** es conocido.

   iii. Con el nuevo valor de g_m y C_μ, calcularemos

$$C_\pi = \frac{g_m}{2\pi f_\tau} - C_\mu \quad (C.12)$$

   iv. Estimar C_{je}, la parte de C_π atribuida a la capacidad de deplexión en el punto Q en el que fue medida f_τ. Para una polarización más fuerte de las uniones pn, (C.10) no da resultados correctos y se puede sugerir su estimación como

$$C_{je} = 2 \times \mathbf{CJE} \quad (C.13)$$

   v. Calcular la parte de almacenamiento de carga, C_b de $C\pi$ según

$$C_b = C_\pi - C_{je} \quad (C.14)$$

   vi. Para hallar el tiempo de transición directo, τ_T, usamos (8.18). En notación SPICE,

$$\mathbf{TF} = \frac{V_T}{I_C} C_b \quad (C.15)$$

EJEMPLO C.1 Para el CA3086, conjunto de transistores de uso general, el fabricante proporciona las curvas V_{BE} en función de la temperatura para varios valores de I_E. A temperatura ambiente, una de estas curvas es $(V_{BE}, I_E) = (0{,}68\text{ V}, 0{,}5\text{ mA})$. La Tabla C.1 da otros datos de las hojas de información. Hallar los parámetros SPICE de los bipolares.

TABLA C.1 Resultados medidos del conjunto de transistores npn CA3086

Parámetro	Valor numérico	Condiciones de medida
h_{fe}	100	$I_C = 1$ mA, $V_{CE} = 3$ V
h_{ie}	3,5 kΩ	$I_C = 1$ mA, $V_{CE} = 3$ V
h_{oe}	$15{,}6 \times 10^{-6}$ A/V	$I_C = 1$ mA, $V_{CE} = 3$ V
h_{re}	$1{,}8 \times 10^{-4}$	$I_C = 1$ mA, $V_{CE} = 3$ V
$C_{CBO} = C_\mu$	0,58 pF	$V_{CB} = 3$ V
$C_{EBO} = C_{je}$	0,60 pF	$V_{EB} = 3$ V
$C_{CI} = C_{CI0}$	2,8 pF	$V_{CI} = 3$ V
f_τ	550 MH	$I_C = 1$ mA, $V_{CE} = 3$ V

Solución Hallamos los parámetros estáticos usando las Ecuaciones (C.1) a (C.8):

$$\mathbf{IS} = \frac{0{,}5 \times 10^{-3}}{e^{0{,}68/0{,}025}} = 7{,}69 \times 10^{-16}\text{ A}$$

$$\mathbf{BF} = h_{fe} = 100$$

$$g_m = 0{,}001/0{,}025 = 0{,}04 \text{ A/V}$$

$$r_\pi = 100/0{,}04 = 2{,}5 \text{ k}\Omega$$

$$r_\mu = 2{,}5 \text{ k} / 1{,}8 \times 0^{-4} = 1{,}39 \times 10^7 \Omega$$

$$r_o = \frac{1{,}39 \times 10^7}{1{,}39 \times 10^7 (15{,}6 \times 10^{-6}) - 100} = 199 \text{ k}\Omega$$

$$\mathbf{VAF} = 119 \times 10^3 \times 10^{-3} = 119 \text{ V}$$

$$\mathbf{RB} = 3{,}5 \text{ k}\Omega - 2{,}5 \text{ k}\Omega = 1 \text{ k}\Omega$$

Según (C.9) a (C.11).

$$\mathbf{CJC} = 0{,}58 \times 10^{-12}(1 + 3/0{,}55)^{0{,}5} = 1{,}47 \text{ pF}$$

$$\mathbf{CJE} = 0{,}60 \times 10^{-12}(1 + 3/0{,}7)^{0{,}33} = 1{,}04 \text{ pF}$$

$$\mathbf{CJS} = 2{,}8 \times 10^{-12}(1 + 3/0{,}52)^{0{,}5} = 7{,}28 \text{ pF}$$

Para hallar **TF** calculamos C_μ a $V_{CB} = 3–0{,}7 = 2{,}3$ V, la tensión de polarización a la que fue medida f_τ.

$$C_\mu = \frac{1{,}47 \times 10^{-12}}{(1 + 2{,}3/0{,}55)^{0{,}5}} = 0{,}648 \text{ pF}$$

A continuación, calculamos C_π en el mismo punto Q. Según (C.12), necesitamos g_m en I_c = 3mA o g_m = 0,003/0,025 = 0,12 A/V. Entonces

$$C_\pi = \left(\frac{0{,}120}{2\pi 550\times 10^{6}}\right) - 0{,}648\times 10^{-12} = 34{,}1 \text{ pF}$$

Según la estimación de la ecuación (C.13),

$$C_{je} = 2\times \mathbf{CJE} = 1{,}60 \text{ pF}$$

y según (C.14),

$$C_b = 34{,}1 - 1{,}60 = 32{,}5 \text{ pF}$$

Finalmente, (C.15) da

$$\mathbf{TF} = \frac{0{,}025}{0{,}003} 32{,}5\times 10^{-12} = 0{,}271 \text{ ns}$$

❏

ÍNDICE ANALÍTICO

A

A/D tipo contador 1046
Acción regenerativa 1004
Acoplamiento (entre etapas) 465
Activo inverso,
  funcionamiento 224
  modo 223
Activo(a),
  carga 407, 494-96, 797, 806
  estado 224-25, 230, 300
  pull-up 966-67, 1004
  región (zona) 260, 371-72
Aislamiento 70, 768
  eléctrico 178, 181, 292
  óptico 178, 206
Aislante 128
Alfa,
  directa 222
  inversa 223-24
Aliasing, distorsión de 916
Almacenamiento, tiempo de 202, 269, 974
Alta frecuencia,
  cicuito equivalente 586
  modelo del transistor en 584-89
  respuesta en 584-609
  zona de 566
Alto nivel, inyección 154
Amplificador,
  acoplado capacitivamente 465
  buffer 70, 486
  capacidades de 44
  cascodo 490-91, 619
  circuito de polarización de 241
  clase A 725, 742-60
  clase AB 726, 748-61
  clase B 726, 742-48
  clase C 726
  clase D 726, 764
  CMOS 494
  contralodo por tensión 340
  de acoplamiento directo 424-25
  de audio 715
  de banda ancha 565-66, 629, 651
  de capacidades conmutadas 913
  de corriente 16, 20, 646
  de dos etapas 21
  de ganancia variable 793
  de instrumentación 71
  de potencia 725-68
  de señales digitales 1022
  de tensión 16, 645, 654-55, 657, 661, 797
  de transconductancia 16, 20, 646, 654-55, 657, 660, 796
  de transistores múltiples 488-94
  de transresistencia 16, 646, 654-55, 657, 660-61
  de vídeo 51
  diferencial 23, 72-74, 504-32, 541-46
  dinámica del 43-52
  doble cascodo 557
  en base común 468, 473-76, 479-80, 591-94
  en cascada 20, 52, 475-76
  en colector común 485-86
  en drenaje común 468, 482-84
  en emisor común 468-73
  estable 682-91, 714
  frecuencia de corte del 45, 577, 581, 604
  ideal 12
  impedancia de entrada del 601
  inversor 16, 66
  multietapa 22
  no ideal 17
  no inversor 69-70, 117-18
  respuesta al pulso 48-51
  respuesta frecuencial del 45, 46, 565-67
  sumador 67-68, 114-118
Amplificador de banda ancha 565-67, 628, 650
Amplificadores de transistor único 26
Amplitud,
  distorsión de 46-47, 52, 546, 916
  limitador de 701-3
  modulador de 796-97
  onda modulada en 796
Análisis,
  de ganancia finita 88
  de Monte Carlo 405
  de sensibilidad 395
  del circuito de polarización 467
  en pequeña señal 468
Analógica, tensión 70-71
Analógico(a) (s),
  circuito 789, 927
  multiplicación 851
  multiplicador 812
  señal 1041-42

Analógico/digital, convertidor (*ver* también A/D) 1042
Ancho de banda 45, 48, 51, 52, 565, 591, 629, 645, 1017, 1042
de potencia 109
de un amplificador realimentado 649-50
de un filtro pasabanda 877
de un operacional 100-101
de un PLL 836, 838
en bucle cerrado 687
importancia del 51
reducción del 607-8
y *slew-rate* 395
Angulo de conducción 174, 177
Anodo 150, 157
AOT 789-91, 851
Apantallamiento 31
Apertura,
efecto de 916-17
función de 917
Aproximación de una función por un filtro 886-87
Área,
del diodo 153-54
modelo SPICE del diodo 167
Área de trabajo seguro (SOA) 729
Armónicos 45, 171, 323, 651, 704, 739
Arseniuro de galio 134, 140, 325, 952, 988
circuitos lógicos 952
Arseniuro-fosfuro de galio 202
ASIC 273
Astable 997, 1013-16, 1084
Atenuación 860
Auto-arrancado, oscilador 697
Autopolarización (polarización automática) 383-84, 436
Avogadro, número de 207

B

Baja freuencia 245
circuito equivalente en 566-63
respuesta en 629
zona de 565-66
Banda lateral 767
Banda pasante 859, 877, 886-87
ganancia en la 897
rizado de la 897
Banda rechazada 859, 886-87
Barkhausen, criterio de 696, 714
Barrera,
capacidad de 197
potencial de 147, 148, 221, 269
Báscula 997, 999, 1031, 1050
CMOS 999, 1003
dinámica del 1000
TTL 1002
Base 219
anchura de la 221, 257
dispersión de la resistencia 260, 457
modulación de la anchura de la 257-59, 458-59
resistencia (sin polarización) 1118
resistencia difundida en 278, 433
Batería,
cargador de 175-77
tiempo de vida 742
Beta (bipolar),
compleja 588
del JFET 330-31
del MESFET 326-28
desigualdad en 545, 756-57
directa 227, 459-60, 626, 1118
en gran señal (continua) 460
en pequeña señal (en alterna) 460
forzada 236
frecuencia de corte de 586-87
infinita 243-45
inversa 231
variación con la temperatura y punto Q 253
Beta forzada 336
BFL 955-56
función de transferencia 958
márgenes de ruido 958
BiCMOS, 988, 1028-30
circuito con carga activa 497
inversor 951-52
memoria 1081
Biestable 778
Biestable NMOS 320, 932, 988
Biestable RS 1002-6, 1018-20
Binario, 928, 997
número 1042-43
resistencias ponderadas 1046
Bipolar, transistor bipolar 9, 219
análisis
capacidad del 263-65
característica de entrada del 227, 259, 456
características de salida 226, 230, 238, 255, 456
diseño del circuito de polarización 378-80
espejo de corriente 411
estados 225-32
fuente de corriente 410-14
función de transferencia 226-27
ganancia intrínseca 495
interruptor 266-69, 1022-23
máxima corriente 383, 729
modelo (circuito equivalente)
modelo (en pi) en alta frecuencia 585-86
multiplicación de resistencias 487
parámetros SPICE 627, 1117
realimentación interna 259
sustrato 627-28
transconductancia 374, 457, 460
Bit 1042
línea 1076
nodo 1075
BJT (*ver* bipolar)
Bobina 121, 903
Bobina sintética 119, 903, 904-5
Bode, diagrama de 568-69, 629
construcción del 571
curvas de fase 570
de la ganancia del lazo 682
determinación de la estabilidad 682-83
funciones elementales 567-68
suma gráfica 569-71
Boltzman, constante de 145
Boost 774, 778
Bootstrap, referencia de corriente 430-31
Buck-boost 774-77
formas de onda del 776
Bucle cerrado 768
ancho de banda en 687
Buffer,
amplificador 70, 486
lógico 977
Butterworth, filtro de
diseño del 891-93
función de 887-88
orden del 888
polinomio 887-90
posición de polos 882-89
respuesta frecuencial del 888, 890
tabla 890

C

Cable coaxial 1050
CAG (control automático de ganancia) 826
Caída de tensión en el diodo 181
Calentamiento 725
Campo eléctrico 27-28, 147
Capa enterrada 260, 275
Capacidad 44
a tensión nula 197, 269
colector-sustrato 627-28
de bipolares 263-64

de carga espacial 197
de deplexión 197-98, 346-48, 585, 588-89, 973
de difusión 196-97, 588-89, 961, 973
de la línea de bit 1078
de la línea de palabra 1078
del cableado 565
del diodo 196-203
distribuida 1050-51
en gran señal 195
en pequeña señal 197
incremental 197, 584
lineal 195-98
Miller 596
no lineal 195
parásita 195, 263, 346, 584, 629, 931, 998
parásita 565, 629

Capacidad distribuida 1050-51

Capacidad incremental 197

Capacidad parásita 195, 263, 346, 584-85, 629, 931, 981, 998, 1070

Capacidades conmutadas,
amplificador de 913
circuito de 910
resistencia de 911

Captura,
margen de 843-45
transitorio de 845-47

Características de salida de 8-9
bipolares 226, 230, 238, 254, 256, 456
CCCS 8-10
cuadripolo 8
JFET 329, 334, 345
MESFET 325-26 ·
MOSFET 296, 297-302, 318-19, 382
triodo 10
VCVS 7

Carga 2
activa 494-96
curva de restricción de 1064
efecto de 232
línea de 231-34
potencia en la 725
puertas 972
resistencia de 2
restricción (en líneas de transmisión) 1060, 1068, 1071
simétrica 611

Carga de entrada 18
del par acoplado por emisor 521-22, 523-24, 528-29
del par acoplado por fuente 514
en alta frecuencia 611
en amplificadores diferenciales 35-36
en cuadripolos 1107

Carga de salida 17, 67, 577
en altas frecuencias 611
en amplificadores diferenciales 34, 35
en cuadripolos 1107
en par acoplado por fuente 514

Carga espacial,
capacidad de (*ver* también capacidad de deplexión) 197
zona de (*ver* también zona de deplexión) 147

Carga simétrica 611

Cascodo,
amplificador 489-91, 496-500, 537-39, 681-619, 796
espejo 418

Cátodo 150, 157

CBD 347-48

CC/BC 490-92, 803

CC/EC 490-92, 618, 796

CCCS 8-9, 16, 224, 430, 479, 661, 789

CCVS 161, 224, 742

CCVS 9, 16, 68, 661

Celda fotovoltaica 205

Célula de Gilbert 817
detector de fase en 840-42

Célula solar 205

Cero,
capacidad a tensión 197, 269
capacidad de polarización 347
en el origen 568
resistencia de polarización 1118

Ciclo de trabajo 764-65, 918, 1054

Circuito abierto 6
admitancia de entrada en 1112
admitancia de salida en 1110
ganancia de tensión directa en 1112
ganancia en 533
ganancia inversa de tensión en 1109
impedancia de entrada en 1105
impedancia de salida en 1105
impedancia de transferencia directa en 1105
impedancia de transferencia inversa en 1105

Circuito de polarización de cuatro resistencias 304-5, 375-79

Circuito de polo aislado 592

Circuito de retardo 919

Circuito en escalera 700, 1045
análisis del 700-1
de tres elementos 704-5

Circuito equivalente (*ver* modelo del transistor) 52
a frecuencias medias 556
del amplificador diferencial 34
en alta frecuencia 566, 588
en baja frecuencia 566, 573
en parámetros g 1112
en parámetros h 1110
en parámetros y 1107
en parámetros z 1106

Circuito recortador 183, 1017, 1028
como desplazador de nivel 1059

Circuitos de desacoplo 589
de la alimentación 760-61

CJC 269

CJE 269

CMOS 320-22, 943, 988
biestable 1068
con dos alimentaciones 950
disipación de potencia 944, 945, 947-48
familia lógica 943-52
fan-out 947
función de transferencia 944, 949, 951
márgenes de ruido 943
NAND de dos entradas 951
niveles lógicos 945
NOR de dos entradas 951
producto retardo-potencia 949
puerta de transmisión 355-57
puerta triestado 1041
resistencia óptima de la línea 1069
retardo de propagación 944-947
transitorios de conmutación 946-47

CMRR (*ver* RRMC)

Coeficiente de emisión 156

Coeficiente de gradiente 144, 197, 269

Colector 219

Colina de potencial 147

Comentarios (en SPICE) 1099

Comparador 111-12, 190-91, 1018

Complemento a 2 1046

Componente(s),
dispersión de 901
envejecimiento de los 394
sustitución de 382-83

Comportamiento dinámico 566

Composición de funciones 15

Compresión de la excursión de niveles lógicos 1033

Compuesto, semiconductor 134

Compuesto, transistor pnp 493

Concentración,
de impurezas 137-38, 139-40
gradiente de 144
perfil en un diodo 153

Concentración intrínseca 134

Condensador,
controlado por tensión 197
de acoplo 463, 465, 570-73, 574, 629
de compensación 692, 694-95, 799
de desacoplo 467, 629
de Miller 596

desplazamiento de nivel 1026
integrado 278
lineal 195
no lineal 195-98
Condensador de desacoplo 629
Condición de ganancia 705-6
Condición de magnitud (para oscilación) 697
Conducción de calor 727
Conducción de electrones 132
Conducción de puerta 326, 329
en lógica SDFL 955
Conductividad 130, 142
en un semiconductor intrínseco 136
en un semiconductor tipo n 139
en un semiconductor tipo p 140
Conductor 128
Configuración,
en base común 256, 479-80
en colector común 485
en drenaje común 482-84
en emisor común 225, 256, 468-70
en fuente común 292
en puerta común 476-78
Conformación de ondas 77, 168
Conmutación,
dinámica 200, 1003
frecuencia de 910, 768
retardos de 928
transitorio de 942, 946
velocidad de 947
Contacto óhmico 204
Control automático de volumen 174
Conversión,
de señal doble en simple 29, 516
h a híbrido en pi 625
Convertidor 774
boost 774
buck 775-77
buck-boost 774
corriente-tensión 68
tensión-corriente 68
Corriente de desviación 94
Corriente de difusión 144-45
Corriente inversa de saturación 154, 167, 221, 223, 402
Corte, frecuencia de 569
Cortocircuito 6
admitancia de entrada en 1108
admitancia de salida en 1108
admitancia de transferencia en 1108
admitancia de transferencia inversa en 1108
ganancia de corriente directa en 1109-10
ganancia de corriente inversa de 1112
impedancia de salida en 1112
protección de 758-59, 773
Covalente, enlace 132
Crecimiento epitaxial 277
Cristal,
desplazador de fase a 711-13
frecuencias de resonancia de 712
red 128, 132
resonador a 711
Cristal semilla 274
CT 182
Cuadripolo 7, 41, 1103-7
convenio en 1103-4
definición de 1103-4
en la teoría de la realimentación 661
Cuarzo, cristal de 711-13
Cuasi-estable, estado 997, 1010-12, 1015, 1019
Curva de degradación 727-28
CVD 321
Chebyshev,
aproximación de 893
función de 887, 895-99
polinomio de 895-96
polos de 899
tablas de 899
Chip 274
Choque de radiofrecuencia 708-9

D

D/A 1042, 1085
circuito 1042-43
precisión 1044, 1047
resolución 1044
Darlington, par 492-93, 755, 757, 774, 786
modelos en gran y pequeña señal 492
Datos,
bus de 1080
tiempo de establecimiento 1080
tiempo de mantenimiento 1080
dB (*ver* decibelio)
DCFL 959
Década 568
Decaimiento 565, 577, 580, 1027
unitario 51, 566
Decibelio 22
Decodificador 1076-78
de filas 1076
Demodulador 912
Densidad de integración 320
Dependiente, fuente 8, 1076
Deplexión,
capacidad de 197-98, 263-64, 584-85, 588, 1117-18
carga de 313-14, 940
MOSFET de 291-92, 302
resistencia de tipo 313-14
transistor de 291-92, 302-13
zona de 147-48, 221, 257, 295, 341, 342
Deposición de vapor químico 321
Desajuste,
corriente de saturación 542
de carga 1055-56
en beta 545-46, 756-57
línea de transmisión 1051
relación *W/L* 545
resistencia 542-545
tensión umbral 546
Desplazamiento 42, 128, 133, 144, 546
corriente de 144, 148
de electrones 128-30
de huecos 133
velocidad de 129
Desplazamiento de nivel 424-25, 955-58, 1025-26, 1033
circuito limitador 1027
condensador 1026
Desviación de entrada 541-46
corriente de 94, 518-19, 544-45
en operacionales 92
en pares acoplados por emisor 541-42
en pares acoplados por fuente 545-46
tensión de 44, 1045
Detector de envolvente 703
Detector de fase EXOR 838-39
Difusión, 144, 229, 277
capacidad de 196-97, 264, 588-89, 961
constante de 144-45
corriente de 144-45, 147-48, 152
de la base 277-78
del emisor 277-78
longitud de 145, 198, 221
Digital,
-analógico, convertidor (*ver* D/A)
circuito 2, 245, 325, 927, 997
memoria 997-8
procesamiento de datos 1042
señal 70
Dinámica de conmutación 200-2
Diodo,
característica *vi* 53, 154
con tensión de codo 159, 181, 770
de protección 1037-38
de unión 150
ecuación del 150, 154

ideal 155
interruptor 193-64, 200-2
láser 1027
limitador de 701, 722, 1037
modelo dinámico del 200, 202-3
Schottky 204, 959
sentidos de referencia 150
tensión de corte 161
transistor conectado como 312-13, 407-8, 462, 790
zener 163
Diodo de protección 1037-38
Diodo emisor de luz (LED) 204, 1027
Diodo varicap 198
Dipolo 4, 462
Dirección válida 1078
Direcciones, 1076
bits de 1076
bus de 1080
tiempo de establecimiento 1080
tiempo de mantenimiento 1080
Diseño,
compromisos de 386
de amplificadores en cascada 102
de amplificadores realimentados 648, 654-57, 661, 667, 673, 687
de circuitos con operacionales 79-80
de circuitos de *interface* 1030-31, 1038-40
de circuitos de polarización 375, 377-78, 383
de circuitos de potencia con operacionales 761
de filtros 861, 865-67, 870-71, 881, 891-93, 896-98, 900-2, 904-5
de fuentes de corriente 409, 411-12, 415, 416, 419
de generadores de formas de onda 1017-18
de los clase A 736-37
de los clase AB y B 752-53
de un cargador de baterías 175
prototipo 400
rectificador/filtro 182, 769
respuesta frecuencial 574-75, 581-83, 591
Schmitt-trigger 1010
uso de la sensibilidad en el 396, 397-98, 438
valores nominales 67
Disipación,
de una puerta lógica 935
instantánea 755
media 755
Disipación de potencia 177, 309, 725
CMOS 947-48
con forma de onda cuadrada 755
de la puerta lógica 933
de los circuitos con operacionales 96
del divisor MOS 316
del operacional 802
en reposo 735-36, 737, 742, 754
ganancia de 16, 18, 21
hipérbola de 727
instantánea 755
latch 1003
media 737-38, 751
Disparador 1010
Dispersión en los valores de los componentes 901, 918
Distorsión 373, 451, 460, 541, 645
armónica 47, 704, 710, 739, 741, 745
de *aliasing* 916, 1042
de amplitud 46, 565, 916
de apertura 917
de cruce 744, 748
de fase 46-47, 565, 919
de frecuencia 48
de intermodulación 742
no lineal 48, 382, 541, 725
por cambio lineal de la salida 109
términos de 739
Distorsión armónica 653, 704, 709, 740, 741, 745
Distorsión armónica total (*ver* THD) 704, 740-41, 747-48
Distorsión de cruce 744, 747, 748, 779
DMOS 730-31, 744
en zona activa 732
en zona óhmica 730
modelo SPICE 732
Doble cascodo 499-500, 556
ganancia de tensión 504
resistencia de salida 501
Donadora,
de electrones 137
impureza 137, 275
Dopado, semiconductor 137-143
Dos fases,
amplificador de 687
interruptores de 920
reloj de 911
DRAM (RAM dinámica) 1078, 1081
Drenaje (*ver* drenador) 291
Driver (etapa de mando) 756, 1048
puerta 1068

E

Early,
corrección 258, 343
efecto 257-58, 342-43, 406, 1071
tensión 257-58, 260, 342, 348
Ebers-Moll,
ecuaciones 223
modelo 222-24
ECL, 977-78, 988
función de transferencia estática 977-79
márgenes de ruido 980-81
retardo de propagación 984
salidas OR y NOR 981-84
Ecuación de control de carga 198
Ecuación de ondas 1050, 1053
Ecualización,
de fase 885
resistencia 761
Efectos de segundo orden,
en bipolares 254-64
en FETs 341-46, 358
en operacionales 87-111
Eficiencia de la inyección 221, 223, 279
Einstein, relación de 145
Electrón,
carga 130
conducción 132
corriente de 154
desplazamiento 128-29, 730
movilidad 129, 301, 320, 345
Electrones libres 128
.END (sentencia SPICE) 1099
Enriquecimiento,
carga 932-34
MOSFET 291-92, 312-13
resistencia 312-13
Entrada,
del amplificador diferencial 23-24
diferencial 23
fasor de 45
impedancia de 601, 680
inversora 23
no inversora 23
potencia de 16, 725
unipolar 23
Entrada diferencial 24, 74
Entrada set 1002
Envejecimiento de los componentes 382, 394
EPROM 1076-77
Equilibrio 935
dinámico 195, 1010
inestable 1004-7
línea de transmisión 1048, 1056
térmico 134-35, 143, 145, 150, 195
Equilibrio dinámico 195, 1042
Equilibrio final en una línea de transmisión 1060
Equilibrio inicial en la línea de transmisión 1060

Escala de integración 273
Escalado de magnitud 865
Escalera *R/2R* 1042-43
Escalón, función 185
Espectro 46
  analizador de 739
Espejo de corriente 407-8
  básica 408-10, 411-14
  bipolar 411
  cascodo 418
  con compensación de la corriente de base 415-16
  de señales 426
  Widlar 418-20
  Wilson 415-17
Espejo de corriente básico 407-10
Esquema en pequeña señal 468
Estabilidad,
  de un amplificador realimentado 80-88
  incondicional 686-87
Estabilización 799
Estado óhmico 297-99, 319
  en el JFET 329-30, 334
  en el MESFET 325
  en el MOSFET 299
  modelo en 299, 333
  resistencia en 295, 299, 319, 326-28, 1030
Estado sólido, memoria de 1073
Estático(a),
  característica 194
  comportamiento 46
  efectos de carga 965
  función de transferencia 169, 928
  funcionamiento frente a funcionamiento dinámico 194-95
  memoria 1079
Estrangulamiento 296, 328, 329
  región de 297
  tensión de 329
Etapa de salida (*ver* también amplificador de potencia) 725
Exceso de carga almacenada 152-54, 198-99, 202, 228, 236-37, 269
Exceso de portadores 143
Extremo emisor 1050, 1051
  restricción del 1051, 1054-55, 1060, 1071, 1085
Extremo receptor 1051

F

Factor de selectividad 887
Factor de transporte 221, 257, 279
Fairchild μA733 420, 422-24
Falsas transiciones lógicas 1085
Familias,
  de integrados 320-22
  lógicos 928, 930
Fan-in 928, 940, 959, 1015
Fan-out 927, 938, 947, 965, 972, 1031
Fase 45
  bucle de captura de 830, 852
  captura de 831
  característica de 45
  circuitos de desplazamiento de 697
  condición de (para la oscilación) 696-97
  curvas de 570
  desplazador de 696, 705
  desplazamiento de 44, 566, 678
  detector de 831, 851
  distorsión de 49-50, 55, 565-66, 884
  ecualización de 884
  inversión de 734
  inversor de 969, 1010
  lineal 48
  margen de 683, 687, 714
  restricción de 674-75, 676
FET 291-92
  como resistencia de carga 495
  de deplexión 291-92, 301-2
  de enriquecimiento 291-302
  de puerta aislada 292
  efectos secundarios 341-46
  funciones de transferencia 302, 318, 325, 334, 337
  interruptor 291, 349-57, 1034
  modelo de gran señal 299, 319
  modelo dinámico 346-49
  modelo en alta frecuencia 584-85
  modelo en pequeña señal 453
  modelo SPICE 322-25, 338-91, 346-50
  resistencia controlada 295, 297, 300, 302, 326-27, 329-30
  resistencia de salida 454
  tensión de ruptura 344
  variaciones de temperatura 345-46
Filtro 46, 50-51, 80, 769, 859, 951
  activo 78, 859, 867
  antialiasing 1042
  bicuadrático 875-76
  clases 919
  controlado por tensión 794, 852
  de capacidades conmutadas 913-15
  de escalera LC 906-10
  de rechazo de banda 880-81
  de Sallen-Key 870, 873-74
  familias 886
  ideal 859-60, 864-65, 876-77
  orden del 887-88, 894, 920
  pasabanda 878
  pasivo 80, 903-4
  paso alto 50, 81, 865-67, 871, 876, 903, 907-10
  paso bajo 48, 78-79, 81-82, 104-7, 847-50, 867-71, 886-902, 904, 906-7
  por condensador 769
  tablas 890, 899, 907, 920
Firmware 1074
Flujo magnético 178
Forma de onda,
  pureza de la 703-4
  valores binarios 763
Forma de onda periódica 703-4
Fotodiodo 206
Fotogeneración de pares electrón-hueco 145
Fotolitografía 275
Fotón 205
Fototransistor 118
.FOUR 704, 741
Fourier 465
  series de 45, 652, 703, 739
  transformada de 48
Frecuencia,
  compensación de 689-96, 714
  de corte 79, 859
  distorsión de 50
  escalado de 861, 912, 920
  estabilidad de 698, 699, 711
  fundamental 45
  multiplicador de 831
  preescalado 894, 899-900
  respuesta en 46-48, 529, 565
  y *slew-rate* 694
Frecuencia central 976-77
Frecuencia de corte 45, 100, 629
  con realimentación 649-5
  inferior 45, 581
  superior 45, 591
Frecuencia de corte a -3dB (*ver* frecuencia de corte) 45, 566-67, 600-1, 629-30
Frecuencia fundamental 45
Frecuencias medias 45, 565-66, 629
  circuito equivalente en 565-66
  ganancia en 45, 575-77
  zona de 45, 565-66
Fuente de corriente 6, 75, 305-6, 371, 420, 438
  aislamiento de 575
  análisis de 410, 411-12
  bootstrap 430
  con fuentes duales 420-22
  con salidas múltiples 411, 414, 421
  con transistores discretos 418
  conexión de 306
  controlada por tensión 849-50
  curva *vi* 409, 411-412

diseño de 409, 411-12
en cargas activas 407, 495-96, 501, 533
en integrados 407
factor de escala de 408, 411
FET 358-59, 427
ganancia de corriente 412-14
para referencias de corriente 427
polarización de 306, 405-406, 503-6, 519-20
práctica 406
resistencia de salida de 410, 414, 418, 501-3
sensibilidad a beta 413
sensibilidad a las alimentaciones 426-28
transformación de la 476-79

Fuente de corriente constante 6

Fuente de corriente independiente 6
código SPICE de la 1110

Fuente de tensión independiente 5
código SPICE de la 1110

Fuente(s) de alimentación,
con operacionales 773
desacoplo 760-6
dobles 387-88
negativas 387-88
resistencia interna de 426
zumbido de 29

Función de limitación en un oscilador 696
detector de envolvente 703
diodo 701-3, 722
transistor 696, 710

Función de transferencia no lineal 323-25

Función del sistema 567

G

Galga extensiométrica 28

GAMMA 347

Ganancia,
a frecuencias medias 565-66, 575
compleja 45, 567
de corriente 18, 489, 646
de potencia 16, 18, 756-57
de tensión 14, 646
de transconductancia 646
del amplificador cascodo 20
en alta frecuencia 565-66
en baja frecuencia 565-66
en decibelios 21-23
en modo común 24
en modo diferencial 24, 26
finita 88
infinita 64
intrínseca 495-96
magnitud 45
negativa 16

Ganancia en bucle abierto 87, 680, 684-87

Ganancia-ancho de banda, producto 100, 591, 617, 621, 688
de amplificadores en cascada 102
de amplificadores realimentados 650
del amplificador inversor 103
del amplificador no-inversor 101-3

H

Hartley, oscilador de 710

Histéresis 114, 1007-10, 1016-17
anchura de 795
curva de 795

Hojas de datos 624-25

I

.IC 703

IGFET (*ver* MOSFET también) 481

Impedancia de salida 39

Impedancia interna 20

Impedancia interna 25

Implantación iónica 275-77

Impurezas 277
aceptadoras 139
átomo 137
donadoras 137
en las salidas de los osciladores 704
ión 295
tipo n 137
tipo p 139

Inductancia (distribuida) 1150-51

Inestabilidad 606, 695, 760
condición de amplitud 681-82
condición de fase 679, 81

Instrumentación, amplificador de 72-73

Integrado, circuitos 141, 260
condensador en 278
chip 273-74
diodos en 279
fabricación de 272-79
lineal 789
resistencias en 141, 278-79
transistores en 274-78, 279

Integrador 76
de capacidades conmutadas 912
diferencial 77-78
insensibilidad a la capacidad 912
no inversor 77-78, 912-13
sumador 78

Integrador 76
diferencial 77-78
inversor 912

Interacción de polos y ceros 571

Interconexión 997, 1022, 1084

Interface,
circuito de 1032
CMOS/TTL 1031-32
ECL/TTL 1033
entre familias lógicas 1031
márgenes de ruido en el 1025, 1031
NMOS/CMOS 1033
TTL/NMOS 1031

Interrupción, entrada de 1038

Interruptor 192-94, 219, 224
bidireccional 355
bipolar 219, 224, 265-68, 281
controlado 194
controlado por tensión 351
FET 291, 349-57, 1002
ideal 193
no referido a masa 350
referido a masa 350
resistencia del 350, 352, 354, 355-56
velocidad del 194

Interruptor controlado 349

Inversor 928
BFL 956
BiCMOS 951-52
característica ideal 929
circuito 23
de niveles lógicos 929
NMOS 932

Inyección de electrones 221

Iones 147

Iones frontera 221

J

JFET (FET de unión) 291-92, 325, 329-33
característica de entrada del 329
de canal n 329-33
de canal p 332-33
definiciones de los estados del 330
fuente de corriente 427-28
función de transferencia del 330, 334, 388
modelo en alta frecuencia del 585-86
modelo en pequeña señal del 453
modelo SPICE 338, 348
parámetro de transconductancia del 330
resistencia controlada por tensión 330-33

K

Kirchhoff,
ley de las corrientes de 6
ley de las tensiones de 5

L

LAMBDA 347-48
Láser, diodo 1027
Lateral, transistor 279
Lazo (bucle),
ancho de banda del 836
ganancia de 682, 1006
Lectura,
ciclo de 1078
funcionamiento de la 1080
LED (diodo emisor de luz) 1027
Ley de acción de masas 138
Limitaciones dinámicas,
de una puerta lógica 927, 931
en bipolares 263
en circuitos de pequeña señal 565
en operacionales 87, 100
Limitador 188, 191, 709
de amplitud 701-3
diodo 166, 171, 701, 723, 1034, 1037
Límite de corriente recurrente 759-66
Línea,
del espectro 46
driver de 1069
regulación de 771
restricciones 1072
Línea de carga no lineal 940
Línea de transmisión 977, 997, 1051, 1085
Línea de transmisión sin pérdidas 1050
Lógica FET directamente acoplada (DCFL) 959
Lógica positiva 928
LSI 273, 320
LSI 273, 320

M

Margen de ganancia 684, 686, 714
Margen de temperatura extrínseco 139
Margen dinámico 466, 738
Masa,
bucle de 29
de referencia 29
virtual 66, 73, 508, 521
Máscara 275, 408
programación de memorias por 1075
tolerancia de 537
Máscara fotolitográfica 275, 408
Máxima corriente por el transistor 382, 729
Máxima disipación 752-53
Máxima potencia de salida,
en clase A 736
en clases AB y B 752-53
Máxima temperatura de la unión 728
Mayoritarios, portadores 139, 140
Medidas a bajo nivel 29
Medio amplificador 530
análisis del 530
esquema 611
Memoria(s) 1085
celda de 1073-75, 1079
circuito de 65, 76
conjunto de 1075, 1076
de acceso aleatorio (RAM) 1075, 1078
de estado sólido 1073
de lectura/escritura (RWM) 1073
de sólo lectura (ROM) 1073
digital 998
estática 1079
interconexión de 1080
no volátil 1074
organización de 1076, 1079
programable por máscara 1075
refresco de 1082-83
volátil 1075
MESFET 291-92, 325-29, 952
conducción por puerta 327, 329
cuatro estados del 328
curvas características 325-27
de deplexión 325
de enriquecimiento 329
estados 328
modelo en pequeña señal 453
transconductancia 326
Metalización 278
Mezclador 825
Miller,
aproximación de 596, 599
capacidad de 692
circuito equivalente de 596-97
efecto de 596, 629
ganancia de 595-96
multiplicación 608, 629, 692
teorema de 595-96
MJC 269
MJE 269
MJS 269
.MODEL 166
Modelo 3
de corte 230, 238, 299, 334
del amplificador con carga activa 533
del amplificador diferencial 26, 33-34, 512, 513-14, 522, 525, 531-32
del emisor común 228
del operacional de transconductancia 792
en estado activo 226-28, 238, 299, 319, 334
en estado óhmico 298, 333
en saturación 231, 238
Modelo con caída de tensión para el diodo 159
Modelo de gran señal 928
del bipolar 227-28, 378
del diodo 155
del MOSFET 299, 319
del par Darlington 493
Modelo del triodo de vacío 9-11
Modelo dinámico,
del bipolar 264-65
del diodo 198-99
del FET 346-48
del operacional 104
Modelo SPICE por defecto 166
del bipolar 251-52, 269
del diodo 166-67, 202
del JFET 338-39, 348
del MOSFET 322, 346-47
Modelos de circuito para el JFET de canal p 333
Modo común 23-24
componente de 23, 71-72
ganancia en 22, 73
límites del 519-20, 523-24
rechazo del 25-26, 97, 536
relación de rechazo en (RRMC)
ruido en 24, 30
Modo diferencial 23-24
componente en 24, 72
señal de 24, 509
Modulación 812
Modulación de la longitud del canal 342-43, 350, 945
Modulador 796, 812
equilibrado 820, 824-26
Modulador equilibrado 531-32, 820, 851
Monoestable, multivibrador 997, 1010-13, 1084
circuito 555, 1019-20
Monolítico 274
MOSFET 291-301, 317-20
análisis del 302-307, 308-11
capacidad 346-48
característica de entrada 297
características de salida 296, 297, 301-302, 318-19, 382
de doble puerta 827-828
diseño del circuito de polarización 375-77

efecto del sustrato 317, 341-42, 902, 935, 937, 940-41, 943, 951
efecto Early 342-43, 406
espejo de corriente 408-10
estados 297-99, 302
estrangulamiento del 296-97
fuente de corriente 408-11
función de transferencia 301-302, 318-19, 337
ganancia intrínseca 495-96
interruptor 349-57, 1002
máxima corriente 382, 730
modelo 299, 319, 453-54
modelo en alta frecuencia 584-86
parámetros SPICE 322-23, 346-48
relación ancho/largo (W/L) 301, 313, 316, 330, 408-9, 494, 933
resistencia controlada por tensión 295, 300, 320
sustrato 293, 317
tensión umbral 295
transconductancia 374, 453
zona óhmica 297
MOSFET de doble difusión 730-31, 744
Movilidad,
cambios provocados por la temperatura 128, 345
del electrón 129
MSI 273, 959
MSI 273, 959
Muestreo,
de datos 915, 920
teorema de 915
velocidad de 1075
y rentención 70-71, 111
Multiplicador,
analógico 828
de frecuencia 832
de V_{BE} 434-36, 748-49, 757
de V_{GS} 450, 748-49, 757
Multiplicador de cuatro cuadrantes 812, 823, 851
Multiplicidad de polos y ceros 569
Multivibrador 997
acoplado por emisor 1007
biestable 997
monoestable 997, 1010

N

NAND de entradas múltiples 975-77
Nivel lógico 929-30
falsas transiciones 1065
regeneración 930
retardo de las transiciones 1065
NMOS,
disipación de potencia en 941
lógica 932-42
márgenes de ruido en 933
NAND 940
puerta de transmisión 351-54
puerta NOR 939-40
reflexiones en 1070
retardo de propagación en 938
transitorios de conmutación en 936
Nyquist,
criterio de estabilidad de 682
teorema del muestreo de 915

O

OAT 789-91, 851
Oblea 274
Octava 569
Offset (*ver* desviación) 1045
Ohm, ley de 130, 1031
Ohmios por cuadro 142
.OP 627-29
Operación de escritura 1080
Operacional, (amplificador operacional) 63
ancho de banda 100
circuito equivalente 804
circuitos con memoria 65
circuitos sin memoria 65
como dispositivo de dos estados 111
compensado internamente 104, 694-95
con realimentación positiva 111
construcción interna 694-95
corriente de cortocircuito 87, 90
corriente de desviación de entrada 87, 94
corriente de polarización de entrada 94-96, 802
de potencia 127, 761
diagrama de bloques 799
disipación 762, 802
efectos secundarios 87-111
frecuencia de ganancia unidad 87, 100
funcionamiento en bucle abierto 91-92, 667
funcionamiento en paralelo 762
hoja de datos del HA2544 87
límites de saturación, 91, 694-95
modelo dinámico 104-6
resistencia de entrada 87, 89
respuesta frecuencial 100
subciruito (SPICE) 107
tensión de desviación de entrada 87, 92-94
uA 741 797-812
variación lineal de la salida 108-11, 694-95, 812
Oscilación 426, 1051, 1057
condiciones para 697
Oscilador 81-82, 680, 714
a cristal 711
auto-arrancado 682
Colpitts 706-9
controlado por corriente 849
de desplazamiento de fase 700-1
de relajación 695, 1013
de resistencia negativa 120
en puente 697
en puente de Wien 697-99, 703
Hartley 710
LC 705-10
local 831
no auto-arrancado 681-82
Pierce 712-14
RC 697-99
senoidal 82, 696
Oscilador controlado por corriente 849
Oxido, espesor de 275-77, 293-94, 347

P

Par acoplado por emisor 504, 517-29, 619, 812
carga de entrada 527-29
como interruptor 518
corrientes de colector 517
función de transferencia 517
funcionamiento en gran señal 519
límites del modo común 519-21
modelo de gran señal 521-22, 525
modelo de modo común 523-26
modelo en modo diferencial 521-22
modelo general 525
polarización 518-20
resistencia de entrada 541-43
sin cortocircuitar las resistencias de emisor 530
Par acoplado por fuente 504-515, 619
carga de entrada 511, 513
desviación 510-11, 513
equivalente en modo común 512-13, 516
equivalente en modo diferencial 505, 516
excitación diferencial 508-10
funcionamiento en modo común 508-9
ganancia de modo común 513
límites del modo común 505-8
modelo completo 513-14
polarización 505
RRMC 513
simetría 508
Par trenzado 33, 1083

Parámetros *g*,
circuito equivalente 1112
definiciones 1112
ecuaciones 1112
Parámetros *h*,
circuito equivalente en, 1110
definiciones 1110
del bipolar 824-26, 1117
ecuaciones, 1109
Partes por millón (ppm) 137, 711-12
Pasa todo, filtro 881
circuito 884-85
función 884-85
Paso alto, filtro 52-53, 79, 865, 871
de segundo orden 872
pasivo 903-4
Peor caso 115, 378, 398, 404
Pequeña señal 452, 460, 475
análisis en 546
capacidad 197
circuito equivalente en 452
dinámica del circuito en 565
esquema en 468, 469, 546
funcionamiento en 373, 451-53, 508-15
límite de amplitud 460-62
modelo de 452-54, 455, 457-58, 468, 492, 811
modelos del transistor de 451
parámetros de 375, 458-60, 468
Periodo 45
PLA 273
.PLOT 85
PMOS, 320, 932, 988
puerta de transmisión 354-55
Polarización 323, 371
auto- 383-84
circuito de 2
corriente de 94-96, 373
del par acoplado por emisor 517, 519
del par acoplado por fuente 504-5
directa e inversa 224
estabilidad de la 383-87
fija 383-84
independencia de la alimentación 426-33
independencia de la temperatura 433-37
principios de 386
tensión de 221
Polarización fija 383-84
Polisilicio 320
Polo 568-69, 591, 689-90
desplazamiento de 689-96
dominante 609, 610
interacción de 572
separación de 691
suma de 691
Polo dominante 609-10, 629
a alta frecuencia 599, 603
a baja frecuencia 577, 581
Polos aislados 570-71
Portadora 812
Portadores minoritarios 139, 140, 147, 152, 256
carga almacenada en 152, 228-29, 236-37, 264, 269
en bipolares 221
en diodos 152
tiempo de vida 143, 255
Potencia,
amplificador de 325, 809-10
amplificador en clase A 735
ancho de banda de 109
media 12
señal de 11
transistores de 729
Potencia,
MOSFET de 729
operacional de 761
valores límites de 177, 735
Potencial de superficie 294-95
Pozo de potencial 297
Predistorsión 821-22
circuito de 824-25
Preescalado (*ver* preescalado de frecuencias)
Previo (preamplificador) 616, 652-54, 749
Primario, devanado 178
.PRINT 1140-41
Procesamiento de información 51
Proceso de inyección secundario 221-22
Producto potencia-retardo 938, 942, 973-79
en CMOS 949
en NMOS 938
en TTL 973-75
Producto potencia-retardo 942, 973-79
PROM 1076-77
Propagación
retardo de 928-29, 931-32, 1011, 1048
velocidad de 1050
Protección de sobretensión 1038
PSPICE 1099
Puente,
amplificador en 762
de Wheatstone 27-29
oscilador en 696
rectificador en 182
Puerta 291, 325, 329-30
de colector abierto 1038-39
de drenaje abierto 1038-39
lógica ideal 927-32
Puerta aislada 292
Puerta de transmisión 350-57, 911
CMOS 355-57
dinámica de 355, 357
margen de entrada 352
NMOS 351-54
PMOS 354-55
resistencia de 352, 354, 355-57
Puerta de transmisión bidireccional 350-57
Puerto de entrada 1103
Pulso de escritura 1080
Pull-up pasiva 966-67
Pull-down,
resistencia de 1075
transistor de 1038
Pull-up 1028
activo 1004
resistencia de 966, 1032, 1039
Punto de trabajo (*ver* también punto *Q*) 305, 371
estable 998
inestable 998
restricciones 381
Punto de trabajo en reposo (*ver* punto *Q*) 232
Punto *Q* 232, 304, 375, 426, 589, 1117
efecto sobre la respuesta en alta frecuencia 586, 628
estabilidad del 383-84, 394, 399
PWM 764-65

Q

Q de un filtro 867-69, 877

R

Radiador,
disipación en un operacional 761-62
transferencia de calor 725
Radiador 1027-28, 1033, 1040
RAM 1075
dinámica 1078
estática 1078
tiempos en una 1080
Reactancia, curva de 1046
Realimentación,
de corriente 656

de tensión 656
del amplificador 645, 1001
efectos de carga 661-66
en alterna 671-72
en continua 671-72
en los amplificadores en clase D 768
estabilidad 680-88
estrategias 637
factor de 645
interna en los bipolares 259
negativa 64, 645
no ideal 662-67
paralelo 657-58
positiva 1001, 1004-7
regenerativa 1009
serie 656
topologías 675-76, 713
y distorsión 645, 652-53, 745-46
y sensibilidad 648-49
Realimentación negativa 64, 645-46
Realimentación térmica positiva 757, 779
Rebotes, diagrama de 1058-60, 1060-63, 1085
Receptor 1050
Recortador 169-71
Rectificador,
de media onda 769-70
de onda completa 179, 770-77
de precisión 182
en puente 181
Rectificador de media onda 172-74, 769
de precisión 189
Rectificador de onda completa 770-71
con dos diodos 182
de precisión 190
en puente 179-82
Red de iones 129, 132, 147
Referencia,
bootstrap 430-31
de corriente 407-9, 411, 428-33
de frecuencia 832, 861, 919
de tensión 111, 977-79, 1015
V_{BE} 428
zener 431, 800
Reflexión,
coeficiente de 1085
diagrama de 1060-63, 1070
múltiples 1059
Refresco 2, 1081, 1084
Regeneración 928, 1002, 1010
de niveles lógicos 930
Regulación,
de línea 770
de tensión (de carga) 771
Regulación de carga 768, 775
Regulada, tensión 775
Regulador 164-65, 768-69
conmutado 774-79
paralelo 772
rendimiento 774
serie 771
zener 771
Regulador conmutado 774
Relé 1036
Reloj 997
de dos fases 911
pulso de 1022
Rendimiento 725
del amplificador clase 735-36, 753, 764-76
del regulador de tensión 724
Reset 1036
Resistencia,
controlada por tensión 295, 297, 320, 326-27, 329-30
de entrada 17, 32, 39, 73-74, 380, 661
de la fuente de alimentación 487
de la fuente de corriente 406
de salida 713-14
del interruptor 350, 351, 354, 355-56
dispersión 458
escalado por 142, 278
negativa 320
térmica 727
transformación de la 487, 523-26
zener 165, 433, 771
Resistencia 129-32
ajustada 72, 73, 542
coeficiente de temperatura de 131
de capacidades conmutadas 911
de película fina 279, 473, 1075
de polisilicio 1082
de *pull-up* 1032
de tipo deplexión 313
de tipo enriquecimiento 312-13
difundida 1042
difundida en base 278
difundida en emisor 278
en integrados 141
en SPICE 1099
no lineal 312-13
potencia de 177
relación de 142, 278, 281,1022
tolerancias de 67, 115
valores nominales 67, 399
Resistencia característica 1051
Resistencia controlada 295, 297, 300, 320, 326-28, 329-30
Resistencia de carga no lineal 312-13
Resistencia de emisor/fuente sin cortocircuitar 472-73, 574
Resistencia de entrada 17, 20, 66, 69, 380, 661
definición de 39-40
del circuito no inversor 69
del operacional 89
del par acoplado por emisor 521-22, 529-32
en amplificadores 455, 473
en amplificadores diferenciales 32-34
en modo común 32-34, 525
en modo diferencial 32-34
mejora con la realimentación 645, 658
Resistencia de salida 17, 67, 458, 469, 645-46, 661, 713-14
de la fuente de corriente 416
de la fuente de corriente básica 411
definición de 39-40
del amplificador doble cascodo 501
del amplificador en puerta común 479
del amplificador inversor 66-67
del bipolar 258
del espejo cascodo 418
del espejo con resistencias de emisor 418
del FET 343, 454
del operacional 87, 90
incremento usando resistencia de emisor o fuente 501-2
y realimentación de corriente 658-59
y realimentación de tensión 656-57, 658
Resistencia difundida en emisor 278
coeficiente de temperatura 433
Resistencia interna 406
de un interruptor 917
de una puerta de transmisión 353, 354, 355-56
Resolución 1044
Respuesta, tiempo de 43
Restricciones de carga y extremo emisor en NMOS 1071
Restricciones impuestas por los elementos de circuito 5
Retardo 47, 885, 1053, 1065, 1085
de conmutación 202, 266, 928
de propagación 928, 931
tiempo de 268
Rizado 768, 769, 772, 886, 893
Rizado unitario 709
ROM programable por campo 1076
RRMC 25-26, 52, 74
a alta frecuencia 613-14
del operacional 87, 97- 98
del par acoplado por emisor 527
del par acoplado por fuente 514
Ruido 291, 654, 928
aditivo 79, 114, 1038
aleatorio 606, 739
de alimentación 426
en alta frecuencia 1042

en amplificadores clase D 768
en circuitos realimentados 651-52
en espejos de corriente 426
en modo común 24, 30
en polarización por fuente de corriente 438
inmunidad al 929, 938
margen de 929, 930, 945, 1041
perturbación 998, 1007
picos de 929, 947-48
por acoplamiento capacitivo 31-32
por acoplamiento magnético 30-31
por bucle de masa 30
Ruptura,
colector-base 257
por avalancha 162
secundaria 730
tensión de 162, 257, 279, 730, 1037
zona de 162
Ruptura por exceso de corriente (en bipolares) 257
Ruptura secundaria 729
Ruptura, punto de 155, 161, 170

S

Salida diferencial 79, 525, 609
Salidas múltiples,
en fuentes de corriente bipolares 414
en fuentes de corriente MOSFET 410
multiplexadores de 1114
Saturación 42, 224, 229-30, 234-36, 400
borde de 235, 237
corriente de 154, 255, 1158
función de transferencia en 42-43
límites de 42-43, 518-19
modelo de 231
tensión de 230-31
zona de 297
Saturación de velocidad 326, 730, 955
Schmitt-trigger 112-15, 795, 1007, 1015, 1084
acoplado por emisor 1007-9
Schottky,
diodo 204, 959, 988, 1037
limitación 959
lógica FET 952-53
transistor 959-62
unión 325
SDFL 955
inversor 954
márgenes de ruido 955
modelo inverso de limitación 961
NOR de dos entradas 954
retardo de propagación 955
Secundario, devanado 178
Seguidor 70-71, 482, 485, 687, 903
Seguidor de emisor 489, 669, 733
ancho de banda 797
como amplificador realimentado 718
Semiconductor,
compuesto 134
extrínseco 132
intrínseco 132
tipo n 137-38
tipo p 139
Semiconductor intrínseco 132, 136
Semiconductores extrínsecos 132
.SENSE 401
Sensibilidad 394-505, 645, 1079
a la alimentación 402
a la tensión de estrangulamiento 403
a la tensión umbral 403
amplificadores realimentados en cascada 648
análisis 394-95
aproximación incremental 394
de estructuras en escalera 903
definición de 394
del punto *Q* 407
efecto de la realimentación sobre 648-49
elemento de 401
en el diseño 395
expresión algebraica 396-97
funciones de 396-97
multiparamétrica 397-98
normalizada 401
numérica 396-97
resistencia de colector 402-3
Sensibilidad multiparamétrica 397-98
Sensibilidad normalizada 401
Sentencias de control en SPICE 1139
Señal de disparo 1010
Señal de error en PLL 833
Señal de modulación 796
Señal periódica 45
Serie ECL de 10k 983-84
Sierra, diente de,
forma de onda en 1016-18
generador de 764
Silicio 132
dióxido de 274
nitruro de 277
Símbolo,
amplificador diferencial 24
bipolar 220, 237
diodo 150, 162
JFET 329, 332
MESFET 325-26
MOSFET 294, 302, 318
operacional 64
Simulación 3-4, 1099-1102
Sintetizador 832
Sintonización 865-66, 912
Slew-rate 87, 109, 191, 694, 714, 797, 812, 1044, 1046, 1050
SOA 729
Sobreoscilación 1065
SPICE, 1099-1102
abreviaturas 1110-11
análisis de cuadripolos 1113-15
análisis en pequeña señal 487
cálculo de la resistencia de entrada 488
cálculo de la resistencia de salida 488
cálculos de respuesta frecuencial 578-79
condiciones iniciales 703
función de transferencia 1113
ganancia de tensión 488
JFET 338, 348
línea de elemento 83, 1099
modelo bipolar 251-53, 260, 264-65
modelo del diodo 166-68, 202-4
modelo del transistor Schottky 976
modelo dinámico del operacional 104-7
MOSFET 322-23, 346-48
parámetros del bipolar 627
pulsos 85, 932-33
saturación del operacional 192-93
sensibilidad 399, 401, 438
sentencias de control 4, 83, 1139
subcircuito 107-8, 192-93
transformador ideal 578
SRAM 1078
SSI 273, 959
SSI 273, 959
Stripline 1083
Subcircuito 193
operacional 108
transistor Schottky 974
Sucesivas, aproximaciones 1048
Sumador,
amplificador 67, 117, 190
integrador 78
no inversor 69-70
Superbeta, transistor 521
Superposición 24, 45, 513-14, 453, 1076
Sustrato (*body*), 274
efecto del 317, 341, 348-49, 740, 932, 933, 938, 940-41, 943, 951, 1071
Sustrato 260, 274, 291, 325

T

Taylor, serie de 455, 460
.TEMP 167, 260-61
Temperatura 1042
 coeficiente de 433, 757
 compensación de 433-36, 977-83
 efecto sobre el espejo de corriente 408-9
 efecto sobre los parámetros de los bipolares 254-55
 estabilidad de 1020
 evolución 408, 411
 exponente 255, 260-61
 extrínseca 139
 intrínseca 139
 polarización independiente de 433-37
 variaciones con la 345, 346, 399-401
 variaciones independientes de 165-66, 260-61
Temporización 997
 condensador de 1013
Temporizador 1018
Temporizador 555 1018-22, 1084
 astable 1020-22
 monoestable 1018-20
Tensión de corte 79, 859
Tensión diferencial 513
Tensión,
 componente de polarización 451
 de corte 161, 224
 de estrangulamiento 329
 de referencia 983
 de ruptura 256, 344
 divisor de 315-17, 376, 377, 379
 doblador de 185
 en el receptor 1060
 excesiva 1065
 periódica 12
 térmica 374
Tensión-corriente, curva (*ver* vi) 5-11, 409, 1068
Térmico(a),
 equilibrio 134
 grasa 729
 realimentación 762
 resistencia 727
Terminación no lineal (de una línea de transmisión) 1085
Termistor 136, 695, 727
.TF 1153
THD 704, 740-41, 747-48, 761
Tiempo de bajada 932
Tiempo de establecimiento 1001
Tiempo de recombinación 202
Tiempo de recuperación 1012
Tiempo de subida 48-50, 191, 206, 565-66, 599, 932
Tiempo de vida 143, 198
 directo 269
 inverso 269
Tiempo, constante de 49, 1007
 en circuito abierto 604, 624, 629
 en cortocircuito 581-82, 629
Tiempo, dominio del 48-50, 51
TIP (Tensión inversa de pico) 174, 177, 180, 182-83
Tipo p, semiconductor 139
Tolerancias 399
 asignación de 398
 de fabricación 394, 541
Tolerancias de fabricación 394
 efecto sobre el espejo de corriente FET 408-9
Tologías de realimentación, amplificador diferencial 667-69
 de una entrada 675-76
Topologías clásicas de realimentación 713
Totem pole 969, 1065
TOX 347
TR 269
Transconductancia 291, 374-75, 382, 46
 amplificador de 16-20, 646, 655-57, 667, 797-99
 bipolar 374, 457, 460
 ganancia de 655
 JFET 453
 MOSFET 453
 parámetro 299, 322, 326, 330
Transductor 2, 13, 27
Transductor de señal diferencial 27
Transferencia, función de 8, 14, 43
 (*ver* también función del sistema) 567
 CMOS 944, 949, 951
 de la CCCS 9-10
 de la puerta de transmisión CMOS 356-57
 de la puerta de transmisión NMOS 354
 de la VCVS 7-8
 de los operacionales 48
 del amplificador en clase A 733-34
 del bipolar 226-27
 del FET 301-2, 318, 325, 330, 334, 337
 del par acoplado por emisor 517
 del PLL 835
 del rectificador en puente 180
 no lineal 323-25
Transformación paso bajo-paso alto 871-73, 907-8, 920
Transformador 768-69, 1143
 aislamiento 178
 ideal 178
 relación de vueltas 175
Transición
 banda de 887
 capacidad de 197
 tiempo de 160
 zona de 931
Transistor
 calentamiento 725
 capacidad 566
 conectado como diodo 312-13, 462
 definiciones de sus estados 225, 229-31, 298, 317, 329, 358-59
 disipación del 752-53
 DMOS 730
 en activo directo 221, 225-29, 237-39, 246
 ganancia intrínseca 494-96
 geometría 408
 iguales 407
 lateral 279
 máxima potencia 735-36
 modelo de pequeña señal 451
 modelo en gran señal 452
 nodelo del 481-82
 polarización 219-21
 potencial del electrón 320-21
 tipos 292
 vertical 260, 729
Transistor de emisores múltiples 975, 1003
Transistor vertical 260, 279
Transistor-transistor logic (*ver* TTL)
Transitoria, respuesta del inversor NMOS 938
Transmitancia 8-9, 1076
Transresistencia,
 amplificador de 16, 17, 646, 655, 657, 665
 ganancia de 16, 646, 659
Tres resistencias, polarización de 379-81
Triestado 1076, 1078
 puerta 1041, 1046, 1048
Trimmer 73
Triodo 9-10, 297
TT 21
TTL, 988
 biestable 963, 968, 969, 971
 circuitos de salida en 966, 970
 clásica 963, 973
 fan-out 965, 970-71
 función de transferencia en 964, 971, 973
 inversor 970-72
 márgenes de ruido 964, 974
 PDP 973-74
 puerta 1004

puerta NAND 976-77
retardo de propagación 966-67

U

Umbral 172
de conmutación 1013
tensión 295, 341, 403
Unidad, frecuencia a ganancia 586-87, 594, 605, 1112
Unión
abrupta 198
diodo de 150-54
dispositivos de puerta de 291-92, 325-36
gradual 197, 1118
rectificadora y no rectificadora 204
temperatura de la 727, 761
Unión gradual 197, 1118
Unipolar 291

V

VAF 260-61
Valencia, electrones de 128, 132, 137, 139
Valor medio de una onda 173
Valor nominal 67, 132
VAR 260-61
Variable de control 8
V_{BE},
coeficiente de temperatura de 433
multiplicador de 434-36, 748, 757
referencia 428-29
VCCS 8, 9, 16, 76, 462, 789
código SPICE 1100
VCJ 269
VCO 830, 850, 852
VCVS 8, 14, 16, 70
V_{GS}, multiplicador 450, 748, 757
vi,
de la resistencia MOS de deplexión 312
de la resistencia MOS de enriquecimiento 312-13
de una CCCS 10
de una fuente de corriente 6
de una fuente de corriente bipolar 411
de una fuente de tensión 5
de una resistencia 5
de una VCVS 7
del diodo ideal 155
del transistor conectado como diodo 407-9
en circuito abierto 6
en cortocircuito 6
obtención en SPICE de la 85
Vídeo, señal de 51
Virtual, masa 66, 73, 508, 575
VJE 269
VJS 269
VLSI 272
VLSI 272
Volátil, memoria 1075
VTO 347-48

W

Wheatstone, puente de 27-29
Wired-OR 985-86
WORD, línea (línea de palabra) 1076, 1078

X

XTB 255, 260-61

Y

y, parámetros
circuito equivalente en 1108
definiciones 1107
ecuaciones 1107

Z

z, parámetros
circuito equivalente en 1106
definiciones 1104-6
ecuaciones 1104
Zener,
diodo 163, 1108
ruptura 162
tensión 163, 773
Zona de transferencia 930
Zona muerta 181, 746, 779

<table>
<tr><th colspan="2">Balance energético en reposo</th><th colspan="2">Balance a plena potencia</th></tr>
<tr><th>Potencia total que entra al circuito</th><th>Disipación de potencia sin señal</th><th colspan="2">Disipación de potencia con una senoide de amplitud V_{CC}</th></tr>
<tr><td rowspan="3">100%: Las dos alimentaciones suministran juntas
$P_i = 2\,\frac{V_{CC}^2}{R_L} = 4P_{máx}$</td><td rowspan="2">El transistor disipa
$\frac{V_{CC}^2}{R_L} = 2P_{máx}$</td><td colspan="2">Máxima potencia en la carga $\frac{V_{CC}^2}{2R_L} = P_{máx}$</td></tr>
<tr><td>El transistor disipa $\frac{V_{CC}^2}{2R_L} = P_{máx}$</td><td>25%</td></tr>
<tr><td>La fuente de corriente disipa
$\frac{V_{CC}^2}{R_L} = 2P_{máx}$</td><td colspan="2">La fuente de corriente disipa
$\frac{V_{CC}^2}{R_L} = 2P_{máx}$</td></tr>
</table>

Balance energético en el amplificador en clase A en función de la potencia máxima especificada $\mathbf{P}_{máx}$ y la resistencia de carga $\mathbf{R}_L$

<table>
<tr><th colspan="2">Potencia máxima de salida
$V_o = V_{CC}$</th><th colspan="2">Disipación máxima del transitor
$V_o = \frac{2}{\pi}\,V_{CC}$</th></tr>
<tr><td rowspan="3">De las fuentes de alimentación
$P_i = 1{,}27P_{máx}$</td><td>Potencia en la carga
$P_{máx} = \frac{V_{CC}^2}{2\,R_L}$</td><td rowspan="3">De las fuentes de alimentación
$P_i = 0{,}812P_{máx}$</td><td>Potencia en la carga = $0{,}406P_{máx}$</td></tr>
<tr><td>P_{D1} : $0{,}135P_{máx}$</td><td>P_{D1} : $0{,}203P_{máx}$</td></tr>
<tr><td>P_{D2} : $0{,}135P_{máx}$</td><td>P_{D2} : $0{,}203P_{máx}$</td></tr>
</table>

Balance energético en el amplificador clase B en función de la potencia máxima especificada $\mathbf{P}_{máx}$ y la resistencia de carga $\mathbf{R}_L$

Ejemplo SPICE	Se encuentra en
Variación de beta con la temperatura	Fig. 4.37
Modelo dinámico del bipolar	Fig. 4.45
Diagrama de Bode	Fig. 8.7
Efecto del sustrato	Fig. 5.54
CCCS, CCVS	Fig. A.2
Diodo	Fig. 3.67
Análisis de distorsión	Fig. 10.13
Efecto Early en los bipolares	Fig. 4.37
Efecto Early en los MOSFET	Fig. 6.19
Modelo del transformador ideal	Fig. 3.42c
Condiciones iniciales en un análisis transitorio	Fig. 9.34
Operacional de ganancia infinita	Fig. 2.17
Resistencia de entrada y salida en los análisis en alterna	Fig. 7.25
JFET	Fig. 5.45
MOSFET	Fig. 5.61
Constantes de tiempo en circuito abierto	Fig. 8.27
Diagrama de fase en el análisis en alterna	Fig. 9.32
Diodo Schottky, transistor Schottky	Fig. 13.36
Sensibilidad	Fig. 6.17
Análisis en alterna a una frecuencia	Fig. 7.25
Subcircuito/modelo del operacional	Fig. 2.34
Variaciones de temperatura en resistencias y bipolares	Fig. 6.16
Función de transferencia	Fig. 3.57
Funciones de transferencias usando .TF	Fig. B.13
Análisis transitorio con un pulso como entrada	Fig. 3.67
Análisis transitorio con entrada senoidal	Fig. 3.50
Línea de transmisión	Fig. 14.56
VCCS	Fig. 8.27
VCVS	Fig. 2.17

Referencias cruzadas para ejemplos SPICE

Objetivo de diseño	Tipo de realimentación	Resistencia de entrada	Resistencia de salida	Fuente ideal	Carga ideal	Modelo de cuadripolo para el circuito β
Amplificador de tensión (VCVS)	Tensión en serie	Sube	Baja	Tensión	Circuito abierto	*h*
Amplificador de transresistencia (CCVS)	Tensión en paralelo	Baja	Baja	Corriente	Circuito abierto	*y*
Amplificador de corriente (CCCS)	Corriente en paralelo	Baja	Sube	Corriente	Cortocircuito	*g*
Amplificador de transconductancia (VCCS)	Corriente en serie	Sube	Sube	Tensión	Cortocircuito	*z*

Clasificación de los amplificadores realimentados